

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月30日(30.05.2014)



(10) 国際公開番号

WO 2014/080737 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01) H02M 1/08 (2006.01)
H02M 1/00 (2007.01)
- (21) 国際出願番号: PCT/JP2013/079645
- (22) 国際出願日: 2013年10月31日(31.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-255949 2012年11月22日(22.11.2012) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 関川 貴善(SEKIGAWA, Kiyoshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 星野 裕司(HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目2番10号 浅沼第2ビル8階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: DRIVE DEVICE FOR SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子の駆動装置

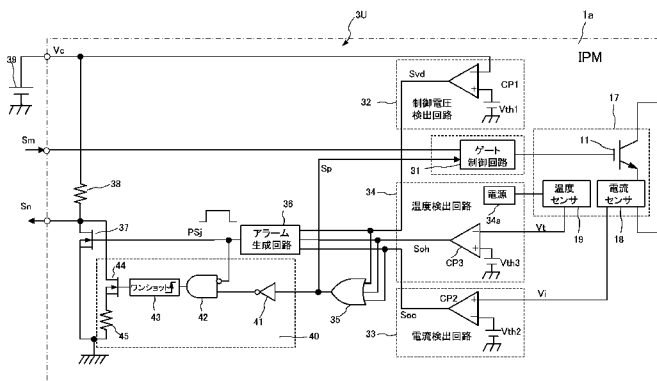


FIG. 2:
18 Current sensor
19 Temperature sensor
31 Gate control circuit
32 Control voltage detection circuit
33 Current detection circuit
34 Temperature detection circuit
34a Power source
36 Alarm generation circuit
43 One shot

(57) Abstract: A drive device for semiconductor element comprises: a drive circuit for driving a semiconductor element constituting a power conversion device; an alarm generation circuit for generating an alarm signal having a pulse width depending on a protective element in response to the output from a detection circuit that detects information required for the protective operation of the semiconductor element; an output circuit for external output of the alarm signal at a prescribed level; a protection release circuit for generating a protection release signal over a prescribed period in response to the inverted output from a drive suspension signal generation circuit that suspends the driving of the semiconductor element by the drive circuit in response to the output from the detection circuit, and the output from the alarm generation circuit; and an output control circuit for modifying the signal output level from the output circuit in accordance with the protective release signal.

(57) 要約: 電力変換装置を構成する半導体素子を駆動する駆動回路と、前記半導体素子の保護動作に必要な情報を検出する検出回路の出力に応じて該保護要因に応じたパルス幅のアラーム信号を生成するアラーム生成回路と、前記アラーム信号を所定のレベルで外部

出力する出力回路と、前記検出回路の出力に応じて前記駆動回路による前記半導体素子の駆動を停止する駆動停止信号生成回路の反転出力と前記アラーム生成回路の出力とに応じて一定期間に亘って保護解除信号を生成する保護解除回路と、前記保護解除信号に従って前記出力回路の信号出力レベルを変更する出力制御回路とを備える。

WO 2014/080737 A1

明 細 書

発明の名称 : 半導体素子の駆動装置

技術分野

[0001] 本発明は、電力変換装置を構成する複数の半導体素子を駆動すると共に、半導体素子の保護に必要な情報の通知機能を備えた半導体素子の駆動装置に関する。

背景技術

[0002] 近時、インテリジェント・パワーモジュール（ＩＰＭ）が注目されている。このインテリジェント・パワーモジュールは、ＩＧＢＴ等のパワートランジスタからなる半導体素子とその駆動回路と共に、前記半導体素子の過電流、制御電源の電圧低下、過熱等の異常に対する保護回路を１つの電子部品としてモジュール化したものである。また、例えば特許文献１には上述した異常をそれぞれ検出する複数の保護回路に加えて、各保護回路にて検出した異常の種別に応じて、予め設定したパルス幅のアラーム信号を外部出力する通知回路（出力回路）を前記インテリジェント・パワーモジュールに組み込むことが提唱されている。このようなアラーム信号の通知回路を備えることで、前記駆動装置を制御する制御装置側、例えばインバータ制御装置においては前記アラーム信号のパルス幅を検出することで、半導体素子に生じた異常の種別を判別することができる。

[0003] しかしながら前記通知回路からパルス幅の異なる複数のアラーム信号が同時期に出力された場合、その判別が困難になるという問題を含んでいる。そこで本発明者らは先に、特許文献２に開示するように上記不具合を回避し、また一般的にはパルス信号列として出力される前記アラーム信号の判別を容易化する半導体素子の駆動装置を提唱した。この半導体素子の駆動装置は、最初に異常を検出した保護回路から出力される保護信号に応じて、予め異常の種別毎に定めたパルス幅のアラーム信号を１パルス分だけ、或いは予め設定した時間間隔を経て１パルス分ずつ出力するものである。

先行技術文献

特許文献

[0004] 特許文献1：特開平8－70580号公報

特許文献2：特開2012－143125号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献2で提唱した半導体素子の駆動装置によれば、パルス幅の異なる複数種のアラーム信号が同時に出力されることがない。従って通知されたアラーム信号のパルス幅の検出が容易であり、検出したアラーム信号のパルス幅から異常の種別を正確に識別することができる。しかし半導体素子の異常検出時にその種別に応じたパルス幅のアラーム信号が1パルス分だけ、或いは予め設定した時間間隔を経て1パルス分ずつ出力されるだけなので、前記半導体素子の異常が解消されても、これを検出することができないという不具合がある。

[0006] このような不具合を解消する為に、例えば前記半導体素子の異常が解消されたとき、前記複数の保護回路からの前記保護信号の出力が停止することを利用して、前記アラーム信号とは異なるパルス幅の異常解消信号を出力することも考えられる。しかし異常解消信号を明確に識別し得るように、例えば前記アラーム信号に比較してそのパルス幅を長くすると、異常解消を検出するまでに長い時間が掛かると言う新たな問題が生じる。

[0007] 本発明はこのような事情を考慮してなされたもので、その目的は、半導体素子に生じた異常要因に応じたパルス幅のアラーム信号を的確に通知する機能を備えると共に、前記半導体素子の異常要因が解消されたことを速やかに通知する機能を備えた半導体素子の駆動装置を提供することにある。

課題を解決するための手段

[0008] 上述した目的を達成するべく本発明に係る半導体素子の駆動装置は、電力変換装置を構成する半導体素子を駆動する駆動回路と、前記半導体素子の保

護動作に必要な情報を検出して保護信号を生成し、該保護信号に従って前記駆動回路による前記半導体素子の駆動を停止させる複数の保護回路と、これらの保護回路から出力される前記保護信号に応じて保護要因に応じたパルス幅のアラーム信号を生成するアラーム生成回路と、前記アラーム信号を所定のレベルで外部出力する出力回路とを備える。

特に本発明に係る半導体素子の駆動装置は、更に

前記複数の保護回路からの前記保護信号の出力が停止すると共に、前記アラーム生成回路からの前記アラーム信号の出力が停止したときに一定期間に亘って保護解除信号を生成する保護解除回路と、

前記保護解除信号に従って前記出力回路の信号出力レベルを変更する出力制御回路と

を備えたことを特徴としている。

[0009] 好ましくは前記複数の保護回路は、当該駆動装置に加えられる制御電圧を検出する制御電圧検出回路、前記半導体素子の温度を検出する温度検出回路および前記半導体素子に流れる電流を検出する電流検出回路を含み、低電圧保護、過熱保護、および過電流保護を促す保護信号をそれぞれ生成する。そして前記保護解除回路は、前記複数の保護回路からの前記保護信号の出力が停止し、且つ前記アラーム信号の出力が停止したときに付勢されて、一定期間に亘って保護解除信号を生成するワンショット回路を含んで構成される。

[0010] また前記出力制御回路は、例えば前記出力回路を構成する出力トランジスタに並列に設けられて、前記保護解除信号を受けて該出力トランジスタの出力電圧を分圧する分圧回路として実現される。

[0011] 好ましくは前記アラーム生成回路は、例えば前記複数の保護回路の中で最初に保護信号を出力した保護回路に対して予め定められたパルス幅のアラーム信号を、前記保護信号の出力が継続している期間に亘って連続して生成するように構成される。更に前記アラーム生成回路は、例えば前記複数の保護回路のいずれかが保護信号を出力したときに前記アラーム信号の生成を開始し、前記保護信号の出力が停止したときには前記アラーム信号を形成するパ

ルス信号列における 1 パルス分のパルス信号の出力が完了した時点で当該アラーム信号の生成を停止するように構成される。

発明の効果

[0012] このような構成の半導体素子の駆動装置によれば、半導体素子に生じた異常要因に応じたパルス幅のアラーム信号が 1 パルス分、または予め設定した時間間隔を経て 1 パルス分ずつ出力される。従って前記駆動装置から通知されたアラーム信号のパルス幅の検出が容易であり、検出したアラーム信号のパルス幅から異常の種別を正確に識別することができる。しかも前記半導体素子の異常要因が解消されて前記アラーム信号の出力が終了したときには該アラーム信号とは異なるレベルの保護解除信号が出力される。従って前記保護解除信号のパルス幅を検出しなくても、その信号出力レベルから該保護解除信号を前記アラーム信号とは明確に区別して検出することができる。故に前記保護解除信号から前記異常要因の解消を容易に、且つ速やかに検出することができる。

[0013] 換言すれば、例えば電力変換装置を構成する半導体素子を駆動する前記動作信号を生成する制御部側においては、前記半導体素子の異常要因を正確に把握して適切な保護対策を講じることが可能である。そして半導体素子の異常要因が解消されたときには、その異常解消を前記保護解除信号から速やかに検出して前記制御装置を正常状態に迅速に復帰させることが可能となる等の効果が奏せられる。

図面の簡単な説明

[0014] [図1]本発明が適用される電力変換装置の全体的な概略構成を示す図。

[図2]本発明の一実施形態に係る半導体素子の駆動装置の要部概略構成図。

[図3]図 2 に示すアラーム生成回路が生成するアラーム信号を示す図。

[図4]図 2 に示す駆動装置の動作を説明する為の信号波形図。

[図5]駆動装置からの出力信号に対する検出回路の構成例を示す図。

発明を実施するための形態

[0015] 以下、図面を参照して本発明の実施形態について説明する。

- [0016] 図1は本発明が適用される電力変換装置の全体的な概略構成を示すブロック図である。この電力変換装置1は、直流電力を交流電力に変換するインバータ2を備えると共に、インバータ2を構成する複数の半導体素子、例えば6個のIGBT (Insulated Gate Bipolar Transistor) 11～16を個別に駆動する6個の駆動回路3U～3Zを備える。尚、図中21～26は、前記IGBT 11～16の各エミッタ・コレクタ間にそれぞれ逆並列に接続されたフリーホイリング・ダイオードをそれぞれ示している。
- [0017] インバータ2を構成する6個のIGBT 11～16は、2個ずつ直列に接続されて3組のハーフブリッジ回路を構成する。これらのハーフブリッジ回路は図示しない直流電源の正極ラインLpと負極ラインLnとの間にそれぞれ介装されている。並列に設けられた前記3組のハーフブリッジ回路は、前記正極ラインLpと前記負極ラインLnとの間に供給される直流電力を三相交流電力に変換する三相フルブリッジ回路を構成する。このインバータ2により変換された三相交流電力は、電動モータ等の交流負荷4に供給される。
- [0018] より詳しくは前記インバータ2を構成する6個のIGBT 11～16の内、正極ラインLpに接続されたIGBT 11, 13, 15は、三相交流のU相、V相およびW相の正の電力をそれぞれ生成する上アームUAを構成する。また負極ラインLnに接続されたIGBT 12, 14, 16は、三相交流のX相、Y相およびZ相の負の電力をそれぞれ生成する下アームLAを構成している。そしてこれらのIGBT 11～16は、互いに位相を異ならせてオン・オフ駆動されることで前記直流電力をスイッチングし、各IGBT 11～16間の直列接続点から三相交流電力を出力する。
- [0019] ところで前記各IGBT 11～16は、例えば図2に示すように電流センサ18および温度センサ19と共にそれぞれ1つの半導体チップ17に組み込まれて1チップ化されている。前記電流センサ18は、特に図示しないがIGBT 11のコレクタ・エミッタ間を流れる電流を検出する電流検出用IGBTや電流検出抵抗を有している。この電流センサ18は、IGBT 11のコレクタ・エミッタ間に流れる電流の大きさに応じた電圧Viを出力する

。また前記温度センサ 19 はサーミスタや温度検出用ダイオードを備える。この温度センサ 19 は、半導体チップ 17 の温度 T に応じた電圧 V_t を出力する。また前記電流センサ 18 および温度センサ 19 を備えて 1 チップ化された IGBT 11 ~ 16 は、例えばその駆動回路 3 U ~ 3 Z と共にそれぞれ 1 つのパッケージに収められて電子部品化され、前述したインテリジェント・パワーモジュール (IPM) 1 a として実現される。

[0020] 図 2 はインテリジェント・パワーモジュール 1 a として実現された前記 IGBT 11 とその駆動回路 3 U とからなる半導体素子の駆動装置の概略構成を示している。尚、ここでは前記電力変換装置 1 を代表して、1 つの電子部品 (IPM 1 a) として実現される前記 U 相の IGBT 11 とその駆動回路 3 U とからなる駆動装置の概略構成について説明するが、残りの各相 V ~ Z についても同様に構成されるので、その説明については省略する。

[0021] 駆動回路 3 U は、前記半導体素子の図示しないインバータ制御部から与えられる制御信号 S_m を入力して前記 IGBT 11 のゲートをオン・オフ制御するゲート制御回路 31 を備える。前記制御信号 S_m は、前記インバータ制御部において前述した U 相 ~ Z 相のそれぞれに応じた位相制御の下でパルス幅変調 (PWM) したパルス信号からなる。また前記ゲート制御回路 31 には、後述するオア回路 35 から出力される駆動停止信号としての保護信号 S_p が入力されている。

[0022] 前記ゲート制御回路 31 は前記保護信号 S_p がオフ (L レベル) のとき、つまり保護信号 S_p が出力されていないとき、前記 IGBT 11 のゲートに前記制御信号 S_m を印加して該 IGBT 11 をオン・オフ駆動する。また前記ゲート制御回路 31 は前記保護信号 S_p がオン (H レベル) のとき、前記制御信号 S_m の通過を阻止することで前記 IGBT 11 の駆動を禁止し、これによって IGBT 11 を異常から保護する。

[0023] また前記駆動回路 3 U は、前記 IGBT 11 の保護機能を実現する複数の保護回路として、制御電圧検出回路 32、電流検出回路 33、および温度検出回路 34 を備える。制御電圧検出回路 32 は、外部電源 39 から供給され

る当該駆動回路 3 U の制御電圧 V_c と、予め設定した第 1 の閾値電圧 V_{th1} とを比較する第 1 の比較器 CP 1 を主体として構成される。前記第 1 の比較器 CP 1 を構成する制御電圧検出回路 3 2 は、前記制御電圧 V_c が第 1 の閾値電圧 V_{th1} 以下に低下したとき、これを制御電圧 V_c の異常低下として検出して H レベルの電圧異常検出信号（保護信号） S_{vd} を出力する。

[0024] また前記電流検出回路 3 3 は、前記電流センサ 1 8 から出力される電圧 V_i と、予め設定した第 2 の閾値電圧 V_{th2} とを比較する第 2 の比較器 CP 2 を主体として構成される。第 2 の比較器 CP 2 を構成する電流検出回路 3 3 は、前記電圧 V_i が第 2 の閾値電圧 V_{th2} を超えるとき、これを過電流として検出して H レベルの過電流異常検出信号 S_{oc} を保護信号として出力する。

[0025] 更に前記温度検出回路 3 4 は、前記温度センサ 1 9 から出力される半導体チップ 1 7 の温度 T を示す電圧 V_t と、予め設定した第 3 の閾値電圧 V_{th3} とを比較する第 3 の比較器 CP 3 を主体として構成される。前記第 3 の比較器 CP 3 を構成する温度検出回路 3 4 は、前記電圧 V_t が第 3 の閾値電圧 V_{th3} を下回るとき、これを過熱として検出して H レベルの過熱異常検出信号 S_{oh} を保護信号として出力する。尚、温度検出回路 3 4 に設けられた電源 3 4 a は、前記温度センサ 1 9 として用いられる温度検出用ダイオードに一定電流を供給して該温度検出用ダイオードを駆動する役割を担う。

[0026] そして前記 IGBT 1 1 に異常要因が生じていないとき、具体的には前記制御電圧 V_c の異常低下、前記 IGBT 1 1 の過電流、および前記 IGBT 1 1 が形成された半導体チップ 1 7 の過熱がない場合には、前記制御電圧検出回路 3 2、電流検出回路 3 3、および温度検出回路 3 4 の各出力はそれぞれ L レベルに保たれる。従って前記各異常検出信号 S_{vd} , S_{oc} , S_{oh} は出力されない。

[0027] ところで前記オア回路 3 5 は、前記制御電圧検出回路 3 2、電流検出回路 3 3、および温度検出回路 3 4 からそれぞれ出力される異常検出信号 S_{vd} , S_{oc} , S_{oh} を入力して前記 IGBT 1 1 の駆動を停止する為の前記駆動停止信号 S_p を生成する。この駆動停止信号 S_p は、前述したように前記ゲート制御回

路 3 1 に与えられる。また前記異常検出信号 S_{vd} , S_{oc} , S_{oh} をそれぞれ入力するアラーム生成回路 3 6 は、前記各異常検出信号 S_{vd} , S_{oc} , S_{oh} に応じたアラーム信号 $P S_{vd}$, $P S_{oc}$, $P S_{oh}$ を択一的に生成する。

[0028] 即ち、前記アラーム生成回路 3 6 は、予め前記各検出回路 3 2, 3 3, 3 4 のそれぞれに対応付けて設定した互いに異なるパルス幅 T_{vd} , T_{oc} , T_{oh} のパルス信号の 1 つを、パルス間隔 T_a で生成する図示しないパルス信号発生器を備える。この前記アラーム生成回路 3 6 は、前記検出回路 3 2, 3 3, 3 4 のいずれかから前記異常検出信号 S_{vd} , S_{oc} , S_{oh} が与えられたときに前記パルス信号発生器を起動する。そして前記アラーム生成回路 3 6 は、当該異常検出信号 S_{vd} , S_{oc} , S_{oh} を出力した検出回路 3 2, 3 3, 3 4 に対応付けられたパルス幅 T_{vd} , T_{oc} , T_{oh} のパルス信号列からなるアラーム信号 $P S_j$ ($P S_{vd}$, $P S_{oc}$, $P S_{oh}$) を生成して出力する。

[0029] 尚、前記アラーム生成回路 3 6 は、前記検出回路 3 2, 3 3, 3 4 から前記異常検出信号 S_{vd} , S_{oc} , S_{oh} が同時に与えられた場合、最初に与えられた異常検出信号 S_{vd} (S_{oc} , S_{oh}) だけを、その異常発生的主要因素として取り込んで動作する。また前記パルス信号発生器は、前記検出回路 3 2, 3 3, 3 4 からの前記異常検出信号 S_{vd} , S_{oc} , S_{oh} の入力なくなったとき、前記アラーム信号 $P S_j$ ($P S_{vd}$, $P S_{oc}$, $P S_{oh}$) の生成動作を停止する。つまり前記パルス信号発生器は、異常検出信号 S_{vd} , S_{oc} , S_{oh} の出力が停止したとき、前記パルス幅 T_{vd} , T_{oc} , T_{oh} からなるパルス信号の 1 パルス分の出力が完了した時点で前記アラーム信号 $P S_j$ ($P S_{vd}$, $P S_{oc}$, $P S_{oh}$) の生成動作を停止する。

[0030] ちなみに前記パルス信号発生器は、特に図示しないが、例えばコンデンサの充放電を利用した積分回路と、このコンデンサの充放電を利用した積分回路の動作を制御するヒステリシス型の比較器とを備えて構成される。ヒステリシス型の比較器は、前記コンデンサの充放電の上限電圧および下限電圧をそれぞれ規定する第 1 および第 2 の判定閾値 V_1 , V_2 と前記積分回路の出力電圧とを比較し、その比較結果に応じて前記コンデンサの充放電を制御する。

[0031] 特にパルス信号発生器は、前記異常検出信号 S_{vd} , S_{oc} , S_{oh} に応じて前記コンデンサの充電電流を選択設定することで、前記パルス幅 T_{vd} , T_{oc} , T_{oh} を規定する L レベルの出力を前記ヒステリシス型の比較器から得る。またパルス信号発生器は、前記コンデンサに蓄積された電荷を一定電流で放電させて前記パルス間隔 T_a を規定する H レベルの出力を前記ヒステリシス型の比較器から得る。パルス信号発生器は、これら比較器の出力を用いることで前記パルス信号列を生成する。

[0032] 具体的には前記アラーム生成回路 36 のパルス信号発生器は、例えば電圧異常検出信号 S_{vd} が与えられた場合には、前記ヒステリシス型の比較器の制御の下で前記コンデンサを基準電流 I_c で充電した後、一定電流 I_d で放電する動作を繰り返す。すると、図 3 (a) に示すようにパルス幅 T_{vd} の L レベルのパルス信号がパルス間隔 T_a で連続して生成される。また前記パルス信号発生器は、前記過電流を示す異常検出信号 S_{oc} が与えられた場合には、前記基準電流 I_c の $1/2$ の電流で前記コンデンサを充電した後、前記一定電流 I_d で放電する動作を繰り返す。すると、図 3 (b) に示すように前記パルス幅 T_{vd} の 2 倍のパルス幅 T_{oc} ($= 2 T_{vd}$) の L レベルのパルス信号が前記パルス間隔 T_a で連続して生成される。

[0033] 更に前記パルス信号発生器は、前記過熱異常検出信号 S_{oh} が与えられた場合には、前記基準電流 I_c の $1/4$ の電流で前記コンデンサを充電した後、前記一定電流 I_d で放電する動作を繰り返す。すると、図 3 (c) に示すように前記パルス幅 T_{vd} の 4 倍のパルス幅 T_{oh} ($= 4 T_{vd} = 2 T_{oc}$) の L レベルのパルス信号が前記パルス間隔 T_a で連続して生成される。尚、上述したパルス幅 T_{vd} , T_{oc} , T_{oh} については、互いに明確に識別可能な時間差を有するものであれば良く、任意に設定可能である。

[0034] そして前記アラーム生成回路 36 が生成した異常の種別に応じたパルス幅のアラーム信号 $P S_j$ ($P S_{vd}$, $P S_{oc}$, $P S_{oh}$) は、出力回路を構成する MOS-FET からなる出力トランジスタ 37 のゲートに印加され、該出力トランジスタ 37 をオン・オフ制御する。この結果、前記出力トランジスタ 37 を

介して、前記制御電圧 V_c を H レベルとする前記所定のパルス幅の L レベルのパルス信号が出力端子を介して外部出力される。尚、図中 38 は MOS-FET からなる前記出力トランジスタ 37 のドレインと前記制御電圧 V_c の電源ラインとの間に介装された負荷抵抗である。

[0035] 尚、前記アラーム生成回路 36 は、前記異常検出信号 S_{vd} , S_{oc} , S_{oh} に応じて前述したパルス幅 T_{vd} , T_{oc} , T_{oh} のパルス信号の 1 つを、1 パルスだけ出力するように構成することも勿論可能である。この場合、前記パルス信号発生器を、例えば前記パルス幅 T_{vd} , T_{oc} , T_{oh} の各パルス信号をそれぞれ生成するワンショット回路を用いて構成すれば良い。

[0036] ここで本発明に係る駆動回路 3U が特徴とするところは、上述した構成に加えて更に前記オア回路 35 の出力と前記アラーム生成回路 36 の出力とに従って一定期間に亘って異常解除信号を生成する保護解除回路 40 を備える点にある。この保護解除回路 40 は、前記オア回路 35 の出力をインバータ回路 41 を介して入力すると共に、前記アラーム生成回路 36 の出力を負論理端子に入力するアンド回路 42 を備える。

[0037] このアンド回路 42 は、前記保護信号 S_p の出力が H レベルのとき、或いは前記アラーム信号 $P S_j$ が出力されているときには、その出力を L レベルに保つ。そして前記オア回路 35 の出力が L レベルとなり、且つ前記アラーム生成回路 36 の出力が L レベルとなったとき、つまり前記保護信号 S_p の出力が停止すると共に前記アラーム信号 $P S_j$ の出力が停止したとき、前記アンド回路 42 の出力が H レベルに反転する。そして前記アンド回路 42 は、その出力を H レベルに反転させることでワンショット回路 43 を付勢し、該ワンショット回路 43 の出力として一定期間に亘る保護解除信号を生成する役割を担う。

[0038] このワンショット回路 43 の出力である保護解除信号は、前記出力トランジスタ 37 に並列に設けられた MOS-FET からなるトランジスタ 44 のゲートに印加され、該トランジスタ 44 をオン制御する。このトランジスタ 44 は、オン動作によって前記出力トランジスタ 37 のドレイン・ソース間に

所定の抵抗 45 を並列接続する役割を担う。従って前記アラーム信号 PS_j の出力の停止に伴って前記出力トランジスタ 37 がオフ動作したとき、前記トランジスタ 44 は、前記ワンショット回路 43 の出力を受けてオン動作する。すると前記抵抗 38 と前記抵抗 45 とによって前記制御電圧 V_c が分圧されて前記出力トランジスタ 37 のドレイン電圧を低下させる。このため、前記出力端子の出力信号レベルは変化する。故に前記トランジスタ 44 は、前記出力端子の出力信号レベル（出力電圧）を前記アラーム信号 PS_j の出力時とは異なる電圧レベルに変化させる出力制御回路としての役割を担う。

[0039] かくしてこのように機能する保護解除回路 40 を備えた半導体素子の駆動回路 3U によれば、図 4 にその動作波形図を示すように、前記制御電圧検出回路 32、電流検出回路 33、および温度検出回路 34 のいずれかにおいて異常が検出されたとき、その異常の種別に応じたアラーム信号 PS_j が前記アラーム生成回路 36 から生成出力される。同時に前記オア回路 35 から前記 IGBT 11 の駆動を停止する駆動停止信号 S_p が出力される＜タイミング t_1 ＞。この際、1 パルス分の前記アラーム信号 PS_j の出力が停止しても＜タイミング t_2 ＞、前記駆動停止信号 S_p の出力が継続している限り、保護解除信号が生成されることはない。

[0040] しかる後、異常が解消されて前記検出回路 32, 33, 34 からの異常検出信号の出力が停止すると＜タイミング t_3 ＞、これに伴って前記駆動停止信号 S_p の出力が停止する。すると前記アラーム信号 PS_j の出力が停止していることを条件として前記ワンショット回路 43 の入力が高レベルに反転し、所定パルス幅の保護解除信号が生成出力される。そしてこの補助解除信号によって前記トランジスタ 44 がオン駆動され、前記アラーム信号 PS_j を外部出力していた出力端子の電圧が、該アラーム信号 PS_j の出力時とは異なるレベルにシフトされる。

[0041] 尚、図 4 においては所定のパルス幅のアラーム信号 PS_j を 1 パルス分だけ出力する場合を例示しているが、図 3 に示したように所定のパルス幅のアラーム信号 PS_j を、一定のパルス間隔 T_a で繰り返し出力する場合も同様であ

る。この場合には、特に図示しないが異常が解消された時点がアラーム信号 PS_j の出力中である場合には、その 1 パルス分のアラーム信号 PS_j の出力が終了した時点で該アラーム信号 PS_j の生成が停止する。よって、前記アンド回路 42 の負論理入力 L レベルとなる。従って前記 1 パルス分のアラーム信号 PS_j の出力が終了したタイミングで前記ワンショット回路 43 が付勢されて所定パルス幅の保護解除信号が生成されることになる。故に前記アラーム信号 PS_j の出力終了時点で、該アラーム信号 PS_j とは電圧レベルの異なる保護解除信号が前記アラーム信号 PS_j に代わって速やかに出力される。

[0042] 従って前記 IGBT 11～16 をそれぞれ駆動する動作信号を生成する制御部側、つまりインバータ制御部側においては前記出力端子の出力電圧レベルを監視し、その出力パルス幅を計測することでアラーム信号 PS_j が示す異常の種別を容易に識別することができる。更には前記出力端子の出力電圧レベルの違いから前記アラーム信号 PS_j とは明確に区別して前記異常解消信号を確実に検出できる。特に出力電圧レベルの違いから異常解消信号を検出するので、敢えて該異常解消信号のパルス幅を計測する必要がなく、従って異常の解消を時間遅れなく速やかに検出することができる。

[0043] 尚、前記制御部側において前記アラーム信号 PS_j および異常解消信号を検出する場合、例えば図 5 に示すように、抵抗 R を用いて電流制限した第 1 のフォトカプラ $PC1$ と、電流制限することのない第 2 のフォトカプラ $PC2$ を前記出力端子と外部電源 39 との間に並列に介装し、これらのフォトカプラ $PC1$ 、 $PC2$ の出力を検出するようにすれば良い。

[0044] このように構成された信号検出回路によれば、第 1 のフォトカプラ $PC1$ は抵抗 R により電流制限されているので、信号レベルの大きい前記アラーム信号 PS_j の出力時にだけ駆動される。これに対して第 2 のフォトカプラ $PC2$ は、電流制限されていないので、前記アラーム信号 PS_j および異常解除信号のいずれかが出力されたときに駆動される。換言すれば前記第 2 のフォトカプラ $PC2$ は、前記アラーム信号 PS_j が出力されたときだけではなく、前記異常解除信号が出力されたときにも駆動される。

[0045] 従って前記第1および第2のフォトカプラPC1, PC2において、前記駆動回路3Uからの出力信号が同時に検出される場合には、これを前記アラーム信号PSjの出力として判定する。そして、例えば前記第1のフォトカプラPC1による検出出力から当該信号のパルス幅を計測することで、該アラーム信号PSjの種別、つまり異常の種別が明確に識別できる。また前記第2のフォトカプラPC2だけが前記駆動回路3Uからの出力信号を検出した場合には、これを前記保護解除信号の出力であるとして前記アラーム信号PSjと区別して検出することができる。

[0046] かくして上述した如く構成された半導体素子の駆動装置によれば、例えばIGBT11～16からなる半導体素子の異常の発生を、その種別に応じてパルス幅が異なるアラーム信号PSjとして外部機器である制御部側に的確に通知することができる。またその異常が解消されたことを示す異常解除信号を前記アラーム信号PSjと識別可能な、信号レベルの異なる信号として外部機器に通知することができる。しかも前記アラーム信号PSjを出力する出力端子を共用して前記異常解除信号が出力できる。従って駆動回路3Uの構成の複雑化や出力端子数を増加させることなしに、該駆動回路3Uを備えたインテリジェント・パワーモジュール1aが実現でき、その実用的利点が多大である。

[0047] 尚、本発明は上述した実施形態に限定されるものではない。例えば各実施形態においては、駆動装置をインテリジェント・パワーモジュール1aとして実現する場合を例に説明したが、IGBT11からなる半導体素子とその駆動回路3Uと別個に構築することも勿論可能である。逆に本発明はIGBT11～16からなる複数の半導体素子とその駆動回路3U～3Zを纏めて1つのインテリジェント・パワーモジュールとして構築することも可能である。

[0048] また前述した複数の保護回路の数とその構成については、IGBT11に対する異常要因の種別に応じて定めれば良い。具体的にはIGBT11に加えられる直流駆動電圧の異常を検出するようにしても良い。また前述したア

ラーム信号 PS_j (PS_{vd} , PS_{oc} , PS_{oh}) をそれぞれ形成する各パルス信号のパルス幅 T_{vd} , T_{oc} , T_{oh} についても、相互に明確に識別可能な時間幅として設定すれば十分である。

[0049] 更には前述した各信号についても、例えば前記アラーム信号 PS_j (PS_{vd} , PS_{oc} , PS_{oh}) をパルス幅 T_{vd} , T_{oc} , T_{oh} の H レベルの信号列として生成する等、本発明はその論理を逆に設定することも勿論可能である。この場合、各信号の論理に合わせて出力回路や出力制御回路等を構築すれば良いことは言うまでもない。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

- [0050] 1 電力変換装置
- 1 a インテリジェント・パワーモジュール (IPM)
 - 2 インバータ
 - 3 U ~ 3 Z 駆動回路 (ドライバ回路)
 - 4 交流負荷
 - 11 ~ 16 半導体素子 (IGBT)
 - 17 半導体チップ
 - 18 電流センサ
 - 19 温度センサ
 - 21 ~ 26 フリーホイリング・ダイオード
 - 31 ゲート制御回路
 - 32 制御電圧検出回路 (保護回路)
 - 33 電流検出回路 (保護回路)
 - 34 温度検出回路 (保護回路)
 - 35 オア回路
 - 36 アラーム生成回路
 - 37 出力トランジスタ (出力回路)
 - 38 負荷抵抗

- 3 9 外部電源
- 4 0 保護解除回路
- 4 1 インバータ回路
- 4 2 アンド回路
- 4 3 ワンショット回路
- 4 4 トランジスタ（出力制御回路）

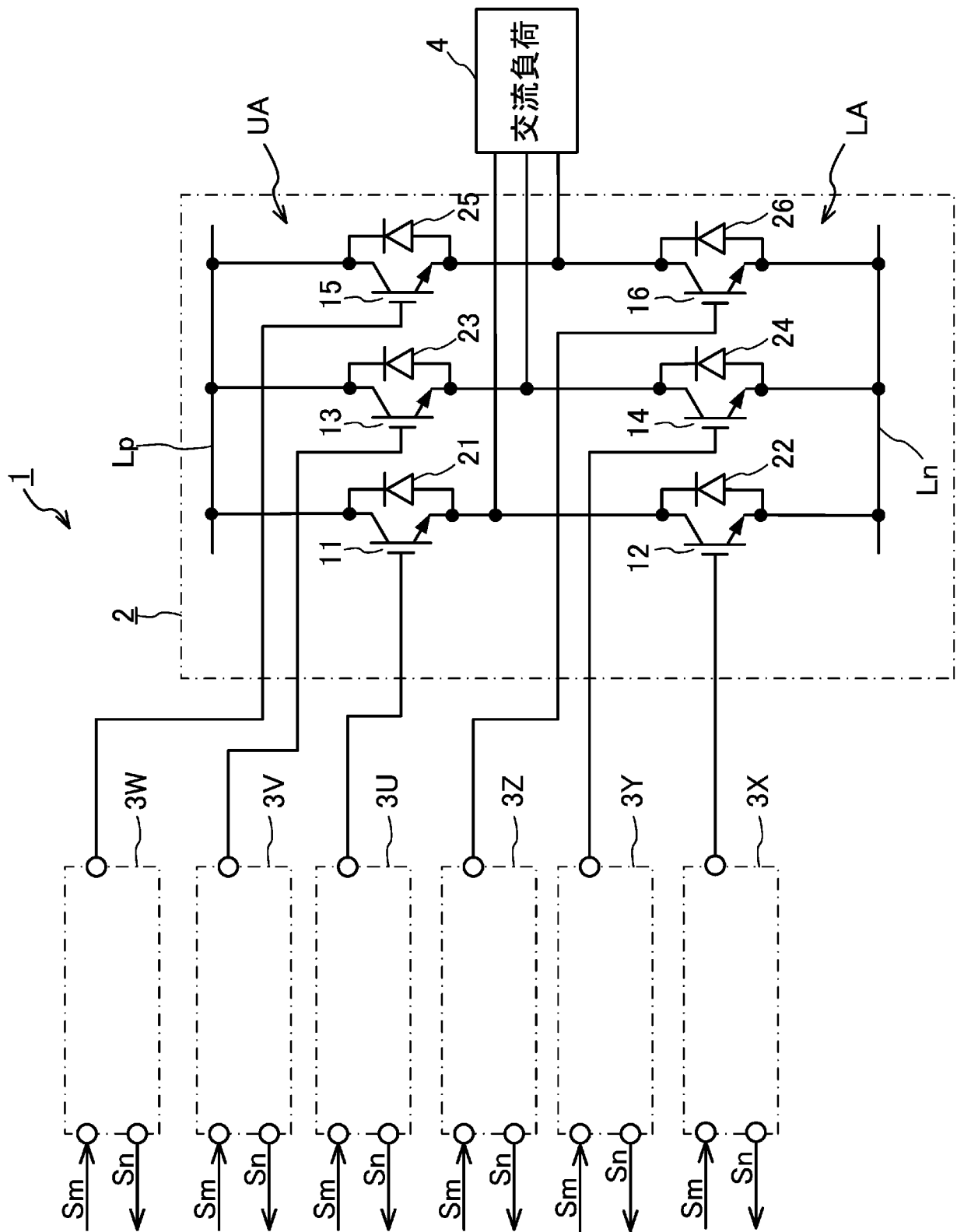
請求の範囲

- [請求項1] 電力変換装置を構成する半導体素子を駆動する駆動回路と、
前記半導体素子の保護動作に必要な情報を検出して保護信号を生成し、該保護信号に従って前記駆動回路による前記半導体素子の駆動を停止させる複数の保護回路と、
これらの保護回路から出力される前記保護信号に応じて、保護要因に応じたパルス幅のアラーム信号を生成するアラーム生成回路と、
前記アラーム信号を所定のレベルで外部出力する出力回路と、
前記複数の保護回路からの前記保護信号の出力が停止すると共に、前記アラーム生成回路からの前記アラーム信号の出力が停止したときに一定期間に亘って保護解除信号を生成する保護解除回路と、
前記保護解除信号に従って前記出力回路の信号出力レベルを変更する出力制御回路と
を具備したことを特徴とする半導体素子の駆動装置。
- [請求項2] 前記複数の保護回路は、当該制御装置に加えられる制御電圧を検出する制御電圧検出回路、前記半導体素子の温度を検出する温度検出回路および前記半導体素子に流れる電流を検出する電流検出回路を含み、低電圧保護、過熱保護、および過電流保護を促す保護信号をそれぞれ生成するものである請求項1に記載の半導体素子の駆動装置。
- [請求項3] 前記保護解除回路は、前記複数の保護回路からの前記保護信号の出力が停止し、且つ前記アラーム信号の出力が停止したときに付勢されて、一定期間に亘って保護解除信号を生成するワンショット回路を含む請求項1に記載の半導体素子の駆動装置。
- [請求項4] 前記出力制御回路は、前記出力回路を構成する出力トランジスタに並列に設けられて、前記保護解除信号を受けて該出力トランジスタの出力電圧を分圧する分圧回路からなる請求項1に記載の半導体素子の駆動装置。
- [請求項5] 前記アラーム生成回路は、前記複数の保護回路の中で最初に保護信

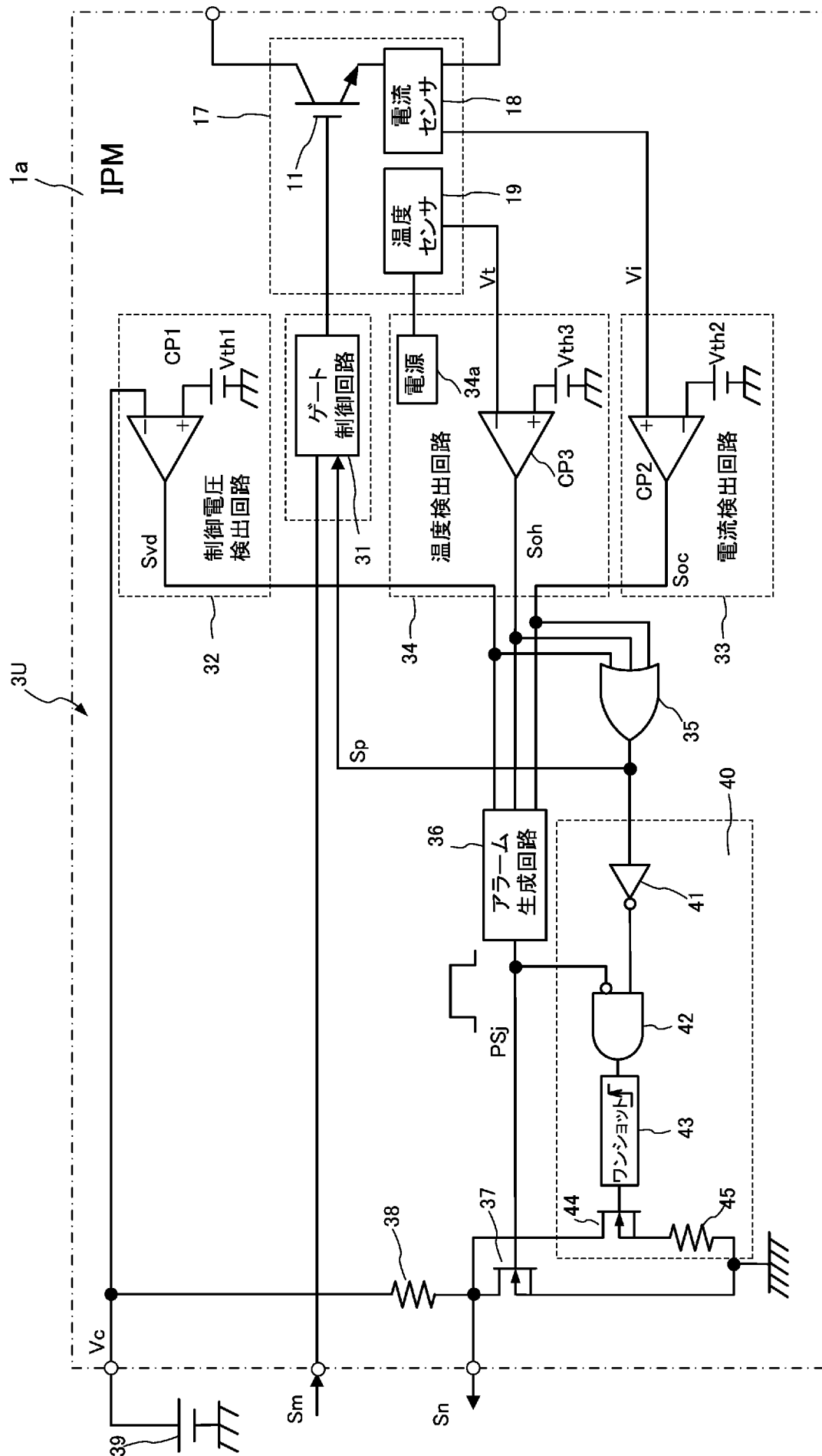
号を出力した保護回路に対して予め定められたパルス幅のアラーム信号を、前記保護信号の出力が継続している期間に亘って連続して生成するものである請求項 1 に記載の半導体素子の駆動装置。

[請求項6] 前記アラーム生成回路は、前記複数の保護回路のいずれかが保護信号を出力したときに前記アラーム信号の生成を開始し、前記保護信号の出力が停止したときには前記アラーム信号を形成するパルス信号列における 1 パルス分のパルス信号が出力された時点で当該アラーム信号の生成を停止するものである請求項 1 に記載の半導体素子の駆動装置。

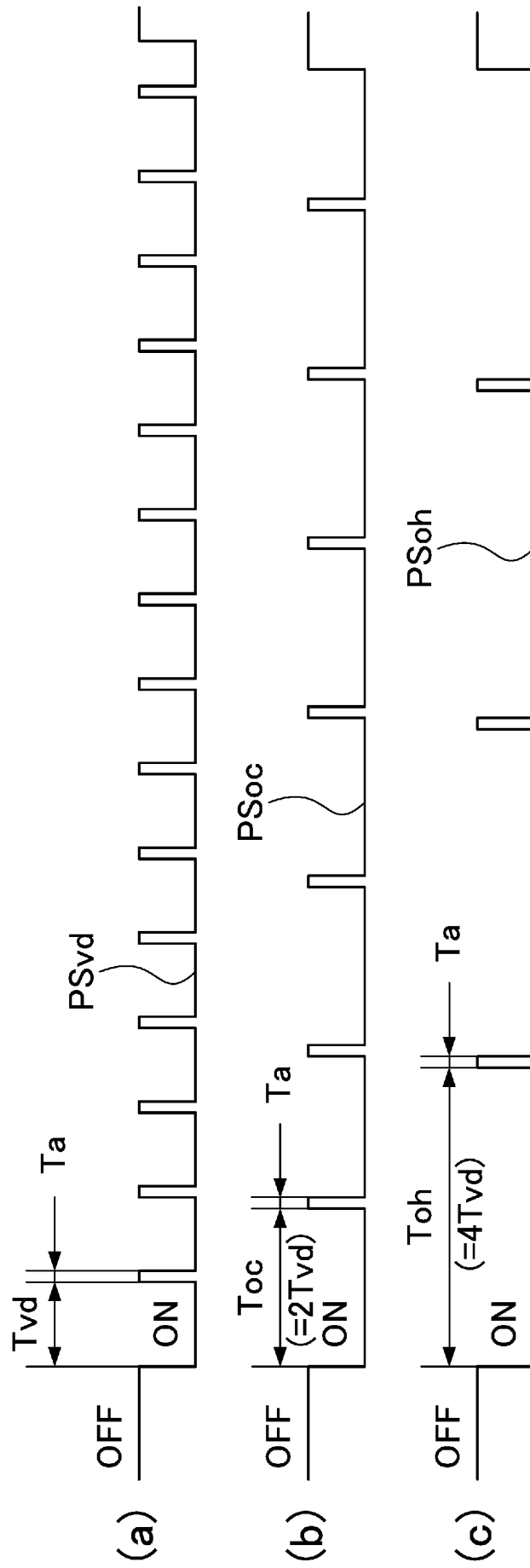
[図1]



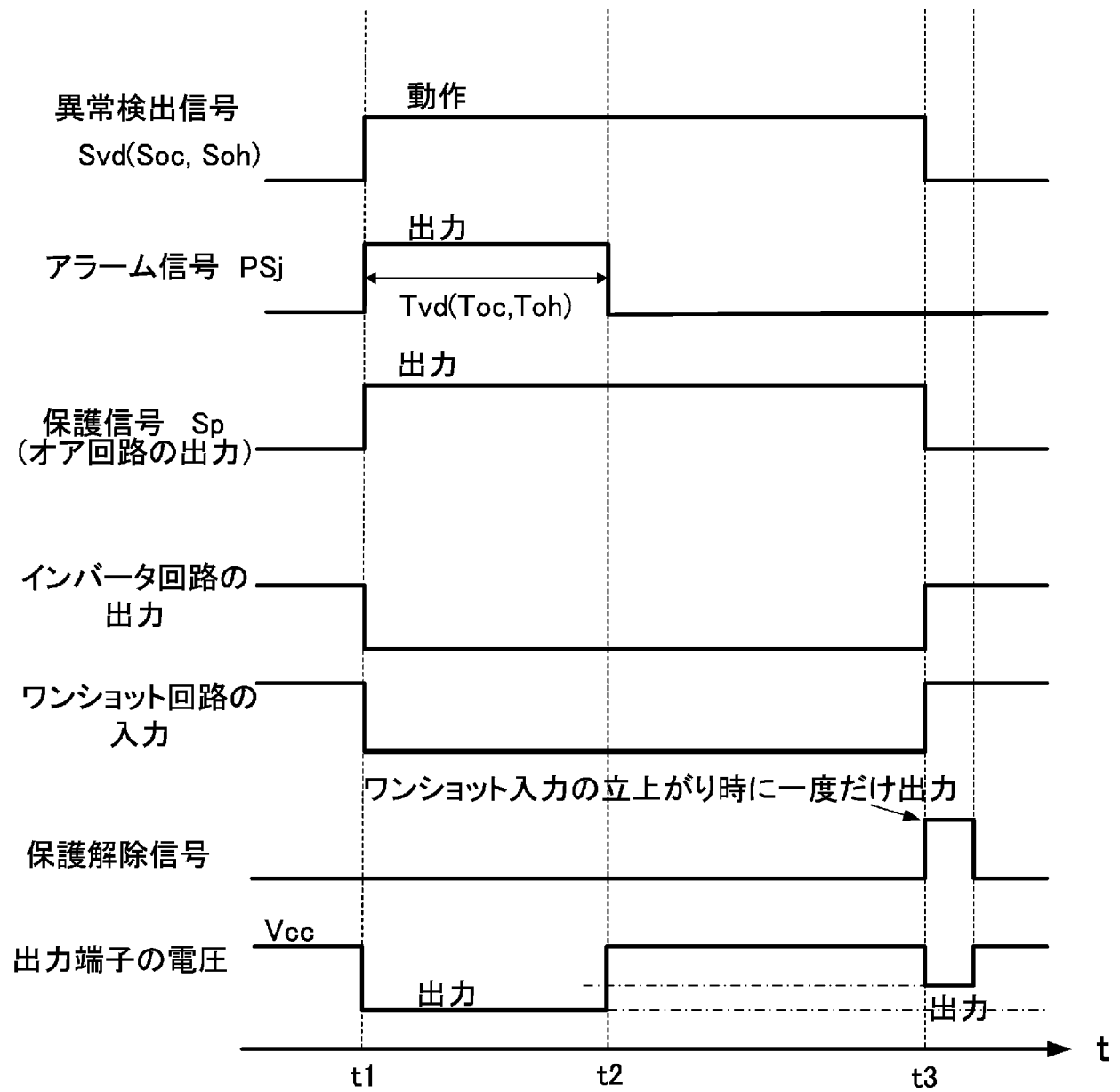
[図2]



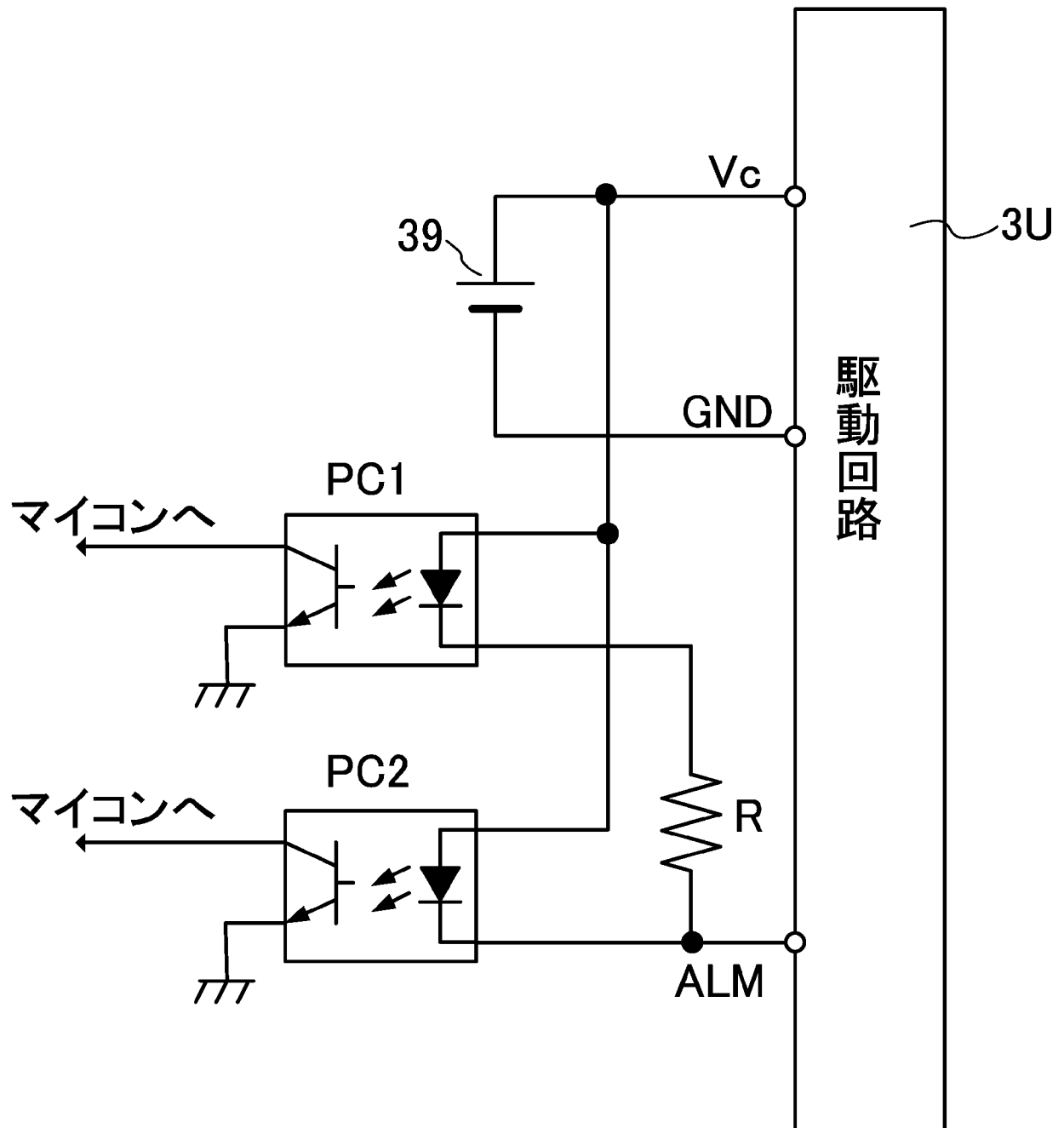
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/079645

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H02M1/00, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-143125 A (Fuji Electric Co., Ltd.), 26 July 2012 (26.07.2012), entire text; all drawings & US 2012/0146782 A1 & EP 2466752 A2 & CN 102570401 A	1-6
A	JP 11-17508 A (Toshiba Corp.), 22 January 1999 (22.01.1999), entire text; all drawings (Family: none)	1-6
A	JP 2003-88093 A (Toshiba Corp.), 20 March 2003 (20.03.2003), entire text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 January, 2014 (22.01.14)

Date of mailing of the international search report
04 February, 2014 (04.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M7/48(2007.01)i, H02M1/00(2007.01)i, H02M1/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M7/48, H02M1/00, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-143125 A（富士電機株式会社）2012.07.26, 全文全図 & US 2012/0146782 A1 & EP 2466752 A2 & CN 102570401 A	1-6
A	JP 11-17508 A（株式会社東芝）1999.01.22, 全文全図（ファミリーなし）	1-6
A	JP 2003-88093 A（株式会社東芝）2003.03.20, 全文全図（ファミリーなし）	1-6

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 1 . 2 0 1 4

国際調査報告の発送日

0 4 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 貞雄

3 V

4 1 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8