



(12) 发明专利

(10) 授权公告号 CN 101687663 B

(45) 授权公告日 2012. 06. 27

(21) 申请号 200880021669. 1

(22) 申请日 2008. 06. 13

(30) 优先权数据

168530/2007 2007. 06. 27 JP

(85) PCT申请进入国家阶段日

2009. 12. 24

(86) PCT申请的申请数据

PCT/JP2008/060847 2008. 06. 13

(87) PCT申请的公布数据

W02009/001690 JA 2008. 12. 31

(73) 专利权人 株式会社村田制作所

地址 日本京都府

(72) 发明人 川本光俊

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 张宝荣

(51) Int. Cl.

H01B 3/12 (2006. 01)

C01G 23/00 (2006. 01)

C04B 35/46 (2006. 01)

H01G 4/12 (2006. 01)

H01G 4/30 (2006. 01)

(56) 对比文件

JP 特开 2002-222703 A, 2002. 08. 09, 说明书第 [0054]-[0055] 段.

JP 特开平 3-59907 A, 1991. 03. 14, 说明书第 4 页左上栏第 6 行至第 5 页右下栏第 11 行, 实施例 1.

审查员 白婧

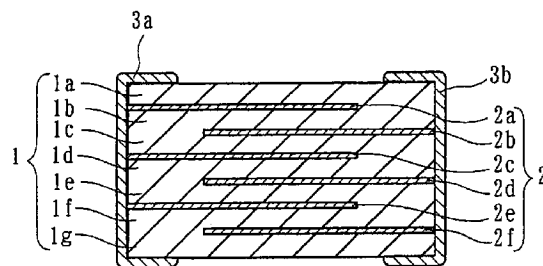
权利要求书 1 页 说明书 12 页 附图 3 页

(54) 发明名称

半导体陶瓷粉末、半导体陶瓷及层叠型半导体陶瓷电容器

(57) 摘要

本发明涉及 SrTiO₃ 系晶界绝缘型的半导体陶瓷。该半导体陶瓷中施主元素固溶于晶粒中, 并且受主元素至少存在于晶界中, 结晶面的 (222) 面中的积分宽度为 0. 500° 以下, 且晶粒的平均粉末粒径为 1. 0 μm 以下。将其烧成, 得到半导体陶瓷。另外, 使用该半导体陶瓷, 得到层叠型半导体陶瓷电容器。由此, 实现即使晶粒的平均陶瓷粒径为 1. 0 μm 以下, 也具有 5000 以上的大表观相对介电常数 ϵ_{rAPP} , 且绝缘性也优越的 SrTiO₃ 系晶界绝缘型的半导体陶瓷粉末、烧结该半导体陶瓷粉末而成的半导体陶瓷、及使用该半导体陶瓷, 能够实现基于薄层化・多层化的大电容的层叠型半导体陶瓷电容器。



1. 一种半导体陶瓷粉末,其为 SrTiO_3 系晶界绝缘型的半导体陶瓷粉末,其特征在于,施主元素固溶于晶粒中,并且受主元素至少存在于晶界中,结晶面的 (222) 面中的积分宽度为 0.500° 以下,晶粒的平均粉末粒径为 $1.0\ \mu\text{m}$ 以下。
2. 根据权利要求 1 所述的半导体陶瓷粉末,其特征在于,在所述施主元素中包含选自 La、Sm、Dy、Ho、Y、Nd、Ce、Nb、Ta、及 W 中的至少一种元素。
3. 根据权利要求 1 或 2 所述的半导体陶瓷粉末,其特征在于,在所述受主元素中包含选自 Mn、Co、Ni 及 Cr 中的至少一种元素。
4. 一种半导体陶瓷,其特征在于,其是由权利要求 1 ~ 3 中任一项所述的半导体陶瓷粉末烧结而成的。
5. 根据权利要求 4 所述的半导体陶瓷,其特征在于,其是在比所述半导体陶瓷粉末的制作时的预煅烧温度低的温度下烧结而成的。
6. 一种层叠型半导体陶瓷电容器,其内部电极设置于部件基体,且在所述部件基体的表面形成有与所述内部电极能够电连接的外部电极,其特征在于,所述部件基体由权利要求 4 或权利要求 5 所述的半导体陶瓷形成。

半导体陶瓷粉末、半导体陶瓷及层叠型半导体陶瓷电容器

技术领域

[0001] 本发明涉及半导体陶瓷粉末、半导体陶瓷及层叠型半导体陶瓷电容器,更具体来说涉及 SrTiO_3 系晶界绝缘型半导体陶瓷粉末、将其烧结而成的半导体陶瓷及使用了该半导体陶瓷的层叠型半导体陶瓷电容器。

背景技术

[0002] 伴随近年来的电子设备技术的发展,正在急速地进展电子部件的小型化。还有,在层叠陶瓷电容器的领域中,小型化・大电容化的要求也变高,因此,正在进展相对介电常数高的陶瓷材料的开发和电介质陶瓷层的薄层化。

[0003] 例如,在专利文献 1 中,提出了由通式: $\{\text{Ba}_{1-x-y}\text{Ca}_x\text{ReO}\}_m\text{TiO}_2 + \alpha \text{MgO} + \beta \text{MnO}$ (Re 为选自 Y、Gd、Tb、Dy、Ho、Er、及 Yb 的组的稀土类元素, α 、 β 、 m 、 x 及 y 分别为 $0.001 \leq \alpha \leq 0.05$, $0.001 \leq \beta \leq 0.025$, $1.000 < m \leq 1.035$, $0.02 \leq x \leq 0.15$, $0.001 \leq y \leq 0.06$) 表示的电介质陶瓷。

[0004] 在该专利文献 1 中,公开有使用了上述电介质陶瓷层的层叠陶瓷电容器,能够得到陶瓷层每一层的厚度为 $2 \mu\text{m}$,有效电介质陶瓷层的总数量为 5 且相对介电常数 ϵ_r 为 $1200 \sim 3000$ 的层叠陶瓷电容器。

[0005] 另一方面,专利文献 1 的层叠陶瓷电容器利用了陶瓷自身的作为电介质的作用,但原理上与其不同的半导体陶瓷电容器的研究・开发也在盛行。

[0006] 例如,在专利文献 2 中,提出了晶粒的平均粒径为 $10 \mu\text{m}$ 以下且最大粒径为 $20 \mu\text{m}$ 以下的 SrTiO_3 系晶界绝缘型半导体陶瓷基体。

[0007] 就该晶界绝缘型的半导体陶瓷来说,将陶瓷成形体在还原气氛下烧成(一次烧成),并半导体化后,在氧化气氛下烧成(二次烧成(再氧化)),由此将晶界绝缘体化,在该晶界获得静电电容。

[0008] 还有,在该专利文献 2 中为单层结构的半导体陶瓷电容器,但在晶粒的平均粒径为 $8 \mu\text{m}$ 的情况下,得到表观相对介电常数 $\epsilon_{r_{APP}}$ 为 9000 的半导体陶瓷基体。

[0009] 另外,在专利文献 3 中提出了一种晶界绝缘型层叠半导体陶瓷电容器的制造方法,其具有:将利用半导体陶瓷材料形成的层、和镍内部电极层的层叠体烧成的烧成工序,该半导体陶瓷材料是在以 $(\text{Sr}_{1-x-y}\text{Ca}_x\text{Y}_y)_m(\text{Ti}_{1-z}\text{Nb}_z)\text{O}_3$ 为主成分的组合物中,含有烧成后的氧化物总计量按与主成分之摩尔比为 $0.1 \sim 0.5$ 摩尔%的范围的副成分而成的,该副成分为选自 V 氧化物、Mo 氧化物及 W 氧化物的一种或两种以上;向该层叠体赋予再氧化物质的再氧化物质赋予工序;将该赋予后的层叠体再氧化的工序,在所述晶界绝缘型层叠半导体电容器的制造方法中,在所述再氧化工序中,以氮气氛在规定的再氧化条件下进行了热处理。

[0010] 在该专利文献 3 中,试做半导体陶瓷层的每一层的厚度为 $3 \mu\text{m}$,外径尺寸为纵 3.2mm 、横 1.6mm 、高度 1.2mm 的 SrTiO_3 系晶界绝缘型层叠半导体陶瓷,得到 1mA 的电流流过时的电压值即变阻电压 $V_{1\text{mA}}$ 为 $2.49\text{V} \sim 3.06\text{V}$,表观相对介电常数 $\epsilon_{r_{APP}}$ 为 $2500 \sim 4100$ 的

特性。

[0011] 专利文献 1 :特开平 11-302072 号公报

[0012] 专利文献 2 :特许第 2689439 号说明书

[0013] 专利文献 3 :特开 2005-86020 号公报

[0014] 若使用专利文献 1 的电介质陶瓷,进展陶瓷层的薄层化・多层化,则存在偏压施加时的相对介电常数降低,或静电电容的温度特性变差,另外,短路不良急剧增加的问题。

[0015] 因此,例如,在欲得到具有 $100\ \mu\text{F}$ 以上的大电容的薄层的层叠陶瓷电容器的情况下,需要将电介质陶瓷层每一层的厚度设为 $1\ \mu\text{m}$ 左右,且需要 700 层~1000 层左右的层叠数,但现状是这样的大电容的层叠陶瓷电容器还未作为通用品供给于市场。

[0016] 另一方面,专利文献 2 及 3 中记载的 SrTiO_3 系晶界绝缘型的半导体陶瓷的表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 的电场依赖性也小,另外具有变阻特性,因此,即使施加高电压,也能够避免元件破坏的情况,从而期待向电容器领域的应用。

[0017] 然而,在专利文献 2 中,平均粒径最小也高达 $4\ \mu\text{m}$ (参照相同文献、第一表),由此在薄层化上存在极限,无法得到基于薄层化・多层化的大电容的层叠电容器。

[0018] 另外,专利文献 3 如上所述,变阻电压 $V_{1\text{mA}}$ 低到 $2.49\text{V} \sim 3.06\text{V}$,实用上作为电容器元件的额定电压的设计不可能接近。而且,表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 也低到 $2500 \sim 4100$,与现状的层叠陶瓷电容器相比,看不出优越性。

发明内容

[0019] 本发明是鉴于这样的情况而做成的,其目的在于提供在晶粒的平均陶瓷粒径为 $1.0\ \mu\text{m}$ 以下的情况下,也具有 5000 以上的表观相对介电常数 $\epsilon_{r_{\text{APP}}}$,且绝缘性也优越的 SrTiO_3 系晶界绝缘型的半导体陶瓷粉末、烧结该半导体陶瓷粉末而成的半导体陶瓷、及能够使用该半导体陶瓷以实现基于薄层化・多层化的大电容的层叠型半导体陶瓷电容器。

[0020] 在 SrTiO_3 系晶界绝缘型的半导体陶瓷中,为了半导体化陶瓷,将施主元素固溶于晶粒中。另外,在这种半导体陶瓷中,若受主元素存在于晶界,则在二次烧成时,氧由于所述受主元素而吸附于晶界,由此能够实现介电特性的提高。

[0021] 因此,本发明人使施主元素固溶于晶粒,且受主元素存在于晶界地调节组成成分,进行了专心致志的研究的结果得到了通过在烧结前的粉末阶段提高结晶性,且将晶粒极力形成微粉状,能够实现表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 或绝缘性等特性提高的见解。还有,经过本发明人的进一步的专心致志的研究的结果知道了结晶面的 (222) 面中的积分宽度(积分强度/峰强度) β 为 0.500° 以下,且平均粉末粒径设为 $1.0\ \mu\text{m}$ 以下的情况下,即使烧结后的晶粒的平均陶瓷粒径为 $1.0\ \mu\text{m}$ 以下,表观相对介电常数 r_{APP} 也为 5000 以上,且比电阻 $\log \rho$ ($\rho : \Omega \cdot \text{cm}$) 也为 10 以上,能够得到良好的绝缘性的事实。

[0022] 本发明是基于这样的见解做成的,本发明的半导体陶瓷粉末为 SrTiO_3 系晶界绝缘型的半导体陶瓷粉末,其特征在于,施主元素固溶于晶粒中,并且受主元素至少存在于晶界中,结晶面的 (222) 面中的积分宽度为 0.500° 以下,且晶粒的平均粉末粒径为 $1.0\ \mu\text{m}$ 以下。

[0023] 另外,在本发明的半导体陶瓷粉末中,其特征在于,在所述施主元素中包含选自 La、Sm、Dy、Ho、Y、Nd、Ce、Nb、Ta 及 W 中的至少一种元素。

[0024] 进而,在本发明的半导体陶瓷粉末中,在所述受主元素中包含选自 Mn、Co、Ni 及 Cr 中的至少一种元素。

[0025] 另外,本发明的半导体陶瓷,其特征在于,其是所述半导体陶瓷粉末烧结而成的。

[0026] 另外,为了进行薄层化・多层化,得到大电容的层叠型半导体陶瓷电容器,期望晶粒的平均陶瓷粒径为 $1.0\mu\text{m}$ 以下,但晶粒在烧成处理时,发生粒生长而粗大化,因此,即使半导体陶瓷粉末的平均粉末粒径为 $1.0\mu\text{m}$ 以下,也仅通过调节组成范围,有时难以将平均陶瓷粒径设为 $1.0\mu\text{m}$ 以下。

[0027] 因此,本发明人等进而反复进行了专心致志的研究的结果知道了通过将烧成温度设定为比预煅烧温度低的温度,进行烧成处理,能够抑制烧成处理时的晶粒的粒生长,能够将晶粒的平均陶瓷粒径设为 $1.0\mu\text{m}$ 以下的事实。

[0028] 即,在本发明的半导体陶瓷中,其特征在于,其是在比所述半导体陶瓷粉末的制作时的预煅烧温度低的温度下烧结而成的。

[0029] 另外,本发明的层叠型半导体陶瓷电容器,其内部电极设置于部件基体,且在所述部件基体的表面形成有与所述内部电极能够电连接的外部电极,其特征在于,所述部件基体由所述的半导体陶瓷形成。

[0030] 根据本发明的半导体陶瓷粉末可知,La 或 Sm 等施主元素固溶于晶粒中,并且 Mn 或 Co 等受主元素至少存在于晶界中,结晶面的 (222) 面中的积分宽度为 0.500° 以下,且晶粒的平均粉末粒径为 $1.0\mu\text{m}$ 以下,因此,即使烧结后的晶粒的平均陶瓷粒径为 $1.0\mu\text{m}$ 以下,也能够得到表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 为 5000 以上,比电阻 $\log\rho$ ($\rho:\Omega\cdot\text{cm}$) 为 10 以上的电特性。

[0031] 另外,根据本发明的半导体陶瓷可知,烧结上述半导体陶瓷粉末而成,因此,如上所述,能够得到表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 高达 5000 以上,而且比电阻 $\log\rho$ ($\rho:\Omega\cdot\text{cm}$) 也为 10 以上,绝缘性优越,具有良好的电特性的半导体陶瓷。

[0032] 另外,在比所述半导体陶瓷粉末的制作时的预煅烧温度低的温度下烧结而成,因此,能够将晶粒的平均陶瓷粒径抑制为 $1.0\mu\text{m}$ 以下,能够得到适合薄层化・多层化的半导体陶瓷。

[0033] 另外,根据本发明的层叠型半导体陶瓷电容器可知,部件基体由上述半导体陶瓷形成,因此,能够实现即使将构成部件基体的半导体陶瓷层薄层化为 $1.0\mu\text{m}$ 左右,也具有大的表观相对介电常数 $\epsilon_{r_{\text{APP}}}$,而且比电阻也大,在以往的层叠型陶瓷电容器中不能实现的基于薄层化・多层化的大电容且高性能的层叠型半导体陶瓷电容器。

[0034] 尤其, SrTiO_3 系晶界绝缘型的半导体陶瓷具有变阻功能,因此,能够实现在以往的层叠陶瓷电容器中不能实现的耐电涌电容器或电涌吸收电容器。

附图说明

[0035] 图 1 是用于说明 (222) 面中的积分宽度 β 的意义的图。

[0036] 图 2 是以示意性表示使用本发明的半导体陶瓷制造的层叠型半导体陶瓷电容器的一实施方式的剖面图。

[0037] 图 3 是表示烧成曲线和电动势的经时变化的一例的图。

[0038] 图 4 是试样编号 1 的 X 射线衍射图。

[0039] 图中:1- 部件基体;1a ~ 1g- 半导体陶瓷层;2- 内部电极;3a、3b- 外部电极。

具体实施方式

[0040] 以下,详述本发明的实施方式。

[0041] 作为本发明的一实施方式的半导体陶瓷粉末为 SrTiO_3 系晶界绝缘型的半导体陶瓷粉末,施主元素固溶于晶粒中,并且受主元素至少存在于晶界中,结晶面的 (222) 面中的积分宽度为 0.500° 以下,且晶粒的平均粉末粒径为 $1.0\mu\text{m}$ 以下。

[0042] 即,能够通过使施主元素固溶于晶粒,使陶瓷半导体化。另外,在晶界绝缘型的半导体陶瓷电容器中,使组合物半导体化后,进行二次烧成,由此使晶界绝缘体化,但在这种情况下,若在晶界存在受主元素,则在二次烧成时,氧由于所述受主元素而吸附于晶界,由此能够实现介电特性的提高。

[0043] 然而,仅通过调节施主元素或受主元素的含量,得到相对介电常数 $\epsilon_{r_{APP}}$ 为 5000 以上且比电阻 $\log \rho$ ($\rho: \Omega \cdot \text{cm}$) 为 10 以上的绝缘性优越的具有期望的电特性的半导体陶瓷的情况下,处于困难的状况。

[0044] 因此,本发明人等着眼于半导体陶瓷粒子的结晶结构,进行了专心致志的研究。于是知道了烧结前的粉末阶段中的晶粒的结晶性对半导体陶瓷的电特性产生影响的事实。

[0045] 还有,如图 1 所示,利用 X 射线衍射的积分宽度 (积分强度 / 峰强度) β 对作为粉末阶段的烧结前的晶粒的结晶性进行评价的结果知道了通过使结晶面的 (222) 面中的积分宽度 β 成为 0.500° 以下的高结晶状态地调节组成成分,能够提高电特性的事实。

[0046] 另一方面,还知道了在所述积分宽度 β 为 0.500° 以下的情况下,也在晶粒的平均粉末粒径超过 $1.0\mu\text{m}$ 时,不能期望充分的电特性的提高。

[0047] 还有,调节组成成分及预煅烧温度,制作了所述积分宽度 β 为 0.500° 以下,且晶粒的平均粉末粒径为 $1.0\mu\text{m}$ 以下的半导体陶瓷粉末,将其烧结,测定了电特性。还有,从其结果知道了能够稳定地得到表观相对介电常数 $\epsilon_{r_{APP}}$ 为 5000 以上,且比电阻 $\log \rho$ ($\rho: \Omega \cdot \text{cm}$) 为 10 以上的绝缘性良好的半导体陶瓷的事实。

[0048] 即,仅在所述积分宽度 β 为 0.500° 以下的情况或仅在烧结前的晶粒的平均粉末粒径为 $1.0\mu\text{m}$ 以下的情况下,还不能得到充分的期望的电特性,通过满足所述积分宽度 β 为 0.500° 以下及烧结前的晶粒的平均粉末粒径为 $1.0\mu\text{m}$ 以下的双方,能够得到相对介电常数 $\epsilon_{r_{APP}}$ 为 5000 以上,且比电阻 $\log \rho$ ($\rho: \Omega \cdot \text{cm}$) 为 10 以上的绝缘性良好的具有期望的电特性的半导体陶瓷。

[0049] 例如,在所述积分宽度 β 超过 0.500° 的情况下,即使烧结前的晶粒的平均粉末粒径为超细微粒 (例如 $0.2\mu\text{m}$ 以下),比电阻 $\log \rho$ ($\rho: \Omega \cdot \text{cm}$) 也以绝缘性自身不能显示的程度极端地降低。即,若所述积分宽度 β 超过 0.500° ,则平均粉末粒径为所述超细微粒的情况下,也可能导致在烧成时,粒子生长至 2 倍以上。还有,在这种情况下,再氧化性极端地降低,因此,即使形成电容器,比电阻也以绝缘性自身不能显示的程度极端地降低。

[0050] 在此,施主元素的含有摩尔量不特别限定,但优选相对于 Ti 元素 100 摩尔为 2.0 摩尔以下。这是因为:施主元素相对于 Ti 元素 100 摩尔超过 2.0 摩尔的情况下,烧结性变差,可能导致相对介电常数 $\epsilon_{r_{APP}}$ 降低。还有,期望更优选的是相对于 Ti 元素 100 摩尔为 1.0 摩尔以下,进而优选 $0.8 \sim 1.0$ 摩尔。

[0051] 还有,作为这样的施主元素,只要是固溶于晶粒,作为施主发挥作用,就不特别限定,例如,可以使用 La、Sm、Dy、Ho、Y、Nd、Ce 等稀土类元素或 Nb、Ta、W 等。

[0052] 另外,关于在晶界存在的受主元素,对其含有摩尔量不特别限定,但优选相对于 Ti 元素 100 摩尔为 0.1 ~ 1.0 摩尔。这是因为:受主元素的含有摩尔量相对于 Ti 元素 100 摩尔超过 1.0 摩尔的情况下,可能导致表观相对介电常数 ϵ_{r_APP} 或绝缘性的降低,另一方面,在小于 0.1 摩尔的情况下,可能难以显示介电特性或绝缘性自身。还有,期望更优选相对于 Ti 元素 100 摩尔为 0.5 摩尔左右。

[0053] 还有,受主元素必须至少存在于晶界,但只要是不对特性产生影响的范围,就可以固溶于晶粒。还有,作为这样的受主元素,可以使用 Mn、Co、Ni、Cr 等过渡金属元素。

[0054] 另外,也优选在上述半导体陶瓷粉末中,尤其在晶界中,以相对于 Ti 元素 100 摩尔为 0.1 摩尔以下的范围添加低熔点氧化物。通过添加这样的低熔点氧化物,能够提高烧结性,并且,能够促进上述受主元素的向晶界的偏析。

[0055] 还有,低熔点氧化物的含有摩尔量相对于 Ti 元素 100 摩尔超过 0.1 摩尔的情况下,可能导致相对介电常数 ϵ_{r_APP} 的降低,因此,在添加低熔点氧化物的情况下,如上所述,优选相对于 Ti 元素 100 摩尔为 0.1 摩尔以下。

[0056] 还有,作为这样的低熔点氧化物,不特别限定,可以使用含有 SiO_2 、B 或碱金属元素(K、Li、Na 等)的玻璃陶瓷、铜-钨氧化物等,但适合使用 SiO_2 。

[0057] 另外, Sr 部位和 Ti 部位的配合摩尔比 m 只要是化学计量组成($m = 1.000$)的附近,就不特别限定,但优选设为 $0.995 \leq m \leq 1.020$ 。这是因为:配合摩尔比 m 小于 0.995 的情况下,晶粒的平均粉末粒径可能超过 $1.0 \mu\text{m}$ 而变大,另一方面,配合摩尔比 m 超过 1.020 的情况下,自化学计量组成的偏位变大,可能难以进行烧结。还有,配合摩尔比 m 进而优选 $0.995 \leq m \leq 1.010$,更优选 $1.000 < m \leq 1.010$ 。

[0058] 还有,通过将上述半导体陶瓷粉末烧结,得到半导体陶瓷,但此时,优选将烧成温度设定为比半导体陶瓷粉末制作时的预煅烧温度低的温度。

[0059] 即,通过调节组成范围,选择预煅烧温度,能够将晶粒的平均粉末粒径抑制为 $1 \mu\text{m}$ 以下。然而,仅此有时难以将半导体陶瓷(烧结体)的晶粒的平均陶瓷粒径抑制为 $1 \mu\text{m}$ 以下,可能对薄层大电容化带来故障。这是因为:即使预煅烧后的半导体陶瓷粉末的平均粉末粒径为 $1.0 \mu\text{m}$ 以下的微粉状,也在进行烧成处理的情况下,晶粒发生粒生长而粗大化。即,若半导体陶瓷粉末的晶粒的平均粉末粒径相对于 $1.0 \mu\text{m}$ 充分地小,特别是在晶粒的平均粉末粒径接近 $1.0 \mu\text{m}$ 的情况下,在烧成处理时,晶粒发生粒生长而粗大化,因此,有时难以将晶粒的平均陶瓷粒径抑制为 $1.0 \mu\text{m}$ 以下。

[0060] 从而,优选通过将烧成温度设定为低于预煅烧温度而进行烧成处理,抑制晶粒的粒生长,由此能够将晶粒的平均陶瓷粒径可靠地设为 $1.0 \mu\text{m}$ 以下。

[0061] 还有,这样能够得到晶粒的平均陶瓷粒径为 $1.0 \mu\text{m}$ 以下的超细微粒,同时,表观相对介电常数 ϵ_{r_APP} 为 5000 以上,比电阻 $\log \rho$ ($\rho: \Omega \cdot \text{cm}$) 为 10 以上的绝缘性优越的半导体陶瓷。

[0062] 图 2 是以示意性表示使用本发明的半导体陶瓷制造的层叠型半导体陶瓷电容器的一实施方式的剖面图。

[0063] 该层叠型半导体陶瓷电容器在包括本发明的半导体陶瓷的部件基体 1 埋设有内

部电极 2 (2a ~ 2f), 并且, 在该部件基体 1 的两端部形成有外部电极 3a、3b。

[0064] 即, 部件基体 1 包括交替地层叠了多个半导体陶瓷层 1a ~ 1g、和内部电极 2a ~ 2f 的层叠烧结体, 内部电极 2a、2c、2e 与外部电极 3a 电连接, 内部电极 2b、2d、2f 与外部电极 3b 电连接。还有, 在内部电极 2a、2c、2e 和内部电极 2b、2d、2f 的对置面之间形成静电电容。

[0065] 其次, 说明上述半导体陶瓷电容器的制造方法。

[0066] 首先, 作为陶瓷原材料, 分别准备 SrTiO_3 等 Sr 化合物、含有 La 或 Sm 等施主元素的施主化合物、Mn 或 Co 等受主化合物、优选的比表面积为 $10\text{m}^2/\text{g}$ 以上 (平均粒径: 约 $0.1\mu\text{m}$ 以下) 的 TiO_2 等 Ti 化合物, 将这些陶瓷原材料称量规定量。

[0067] 其次, 向该称量物中添加规定量的分散剂, 与 PSZ (Partially Stabilized Zirconia; “部分稳定化氧化锆”) 球等粉碎介质及水一同投入球磨机中, 在该球磨机内充分地湿式混合, 制作浆料。

[0068] 其次, 使该浆料蒸发干燥后, 在大气气氛下, 在规定温度 (例如 $1300^\circ\text{C} \sim 1450^\circ\text{C}$) 下以 2 小时左右实施预煅烧处理, 制作预煅烧粉末。

[0069] 其次, 根据需要, 称量规定量的 SiO_2 等低熔点氧化物, 然后, 对这些低熔点氧化物添加所述预煅烧粉末及纯水及根据需要的分散剂, 充分地湿式混合后, 进行蒸发干燥, 然后, 在大气气氛下, 在规定温度 (例如 600°C) 下以 5 小时左右进行热处理, 制作热处理粉末。

[0070] 其次, 向该热处理粉末中适量添加甲苯、醇等有机溶媒或分散剂, 然后, 再次与所述粉碎介质一同投入球磨机, 在该球磨机内充分地以湿式混合, 然后, 适量添加有机粘合剂或增塑剂, 充分地长时间湿式混合, 由此得到陶瓷浆料。

[0071] 其次, 使用刮板法、模唇涂敷法、模涂法等成形加工法, 对陶瓷浆料实施成形加工, 使烧成后的厚度成为规定厚度 (例如 $1 \sim 2\mu\text{m}$ 左右) 地制作陶瓷印刷电路板。

[0072] 其次, 使用内部电极用导电性膏, 在陶瓷印刷电路板上实施网板印刷、凹版印刷、真空蒸镀、或溅射等, 在所述陶瓷印刷电路板的表面形成规定图案的导电膜。

[0073] 还有, 作为在内部电极用导电性膏中含有的导电性材料, 不特别限定, 但优选使用 Ni 或 Cu 等贱金属材料。

[0074] 其次, 将形成有导电膜的陶瓷印刷电路板沿规定方向层叠多张, 并且, 层叠未形成有导电膜的外层用陶瓷印刷电路板后, 进行压敷, 以规定尺寸切割, 制作陶瓷层叠体。

[0075] 还有, 然后, 在大气气氛下, 以温度 $200 \sim 300^\circ\text{C}$, 进而根据需要在弱还原气氛下, 以 $700 \sim 800^\circ\text{C}$ 的温度进行脱粘合剂处理。其次, 使用使 H_2 气体和 N_2 气体成为规定的流量比 (例如, $\text{H}_2/\text{N}_2 = 0.025/100 \sim 1/100$) 地形成为还原气氛的烧成炉, 在该烧成炉内, 以 $1150 \sim 1300^\circ\text{C}$ 的温度进行 2 小时左右的一次烧成, 将陶瓷层叠体半导体化。即, 在预煅烧温度 ($1300 \sim 1450^\circ\text{C}$) 以下的低温下进行一次烧成, 将陶瓷层叠体半导体化。

[0076] 在此, 在该一次烧成处理中, 在烧成后的冷却开始时, 使烧成炉内的氧分压急剧地上升, 将冷却开始时的氧分压 (冷却时氧分压) 设定为烧成工序中的氧分压 (烧成时氧分压) 的 1.0×10^4 倍以上而进行冷却处理。

[0077] 即, 在本实施方式中, 在烧成后的冷却开始时, 将水蒸气向烧成炉内大量供给, 进而, 将烧成炉内的 H_2 气体的供给流量减少规定量 (例如 $1/10$) 程度, 由此使烧成炉内的氧

分压急剧地上升。具体来说,将冷却时氧分压和烧成时氧分压之比即氧分压比 ΔPO_2 设定为 1×10^4 以上而进行冷却处理。还有,由此能够确保 5000 以上的表观相对介电常数 $\epsilon_{r_{APP}}$ 的同时,能够得到更大的比电阻。

[0078] 还有,上述“冷却开始时”不仅包括冷却过程进入时,还包括在冷却过程进入后,烧成炉内的温度从烧成最高温度降低规定温度(例如 $30 \sim 50^\circ\text{C}$)程度为止的短时间。

[0079] 在此,参照图 3 的同时,说明将冷却时氧分压设定为烧成时氧分压的 1.0×10^4 倍以上的理由。

[0080] 图 3 是表示烧成曲线和电动势 E 的经时变化的图。横轴为时间(hr),左纵轴为温度($^\circ\text{C}$),右纵轴为电动势 E(V),实线表示烧成曲线,一点划线表示电动势的经时变化。

[0081] 即,烧成曲线在烧成处理的开始时,如箭头 A 所示,使烧成炉的炉内温度上升(升温过程),其次,如箭头 B 所示,以最高烧成温度 $T_{\max}$ (在本实施方式中为 $1150 \sim 1300^\circ\text{C}$)保持 2 小时(烧成过程),然后,如箭头 C 所示,使炉内温度降温,冷却被烧成物(冷却过程)。

[0082] 另一方面,在电动势 E(V) 和烧成炉内的氧分压 $PO_2(\text{atm})$ 之间成立数学式(1)所示的能斯特式成立。

[0083]
$$E = (2.15 \times 10^{-5} \times T) \times \ln(PO_2/0.206) \cdots (1)$$

[0084] 在此, T 为烧成炉内的绝对温度(K)。

[0085] 从而,通过测定电动势 E,能够求出氧分压 PO_2 。

[0086] 还有,利用直插式的氧化锆氧传感器测定烧成炉内中的电动势 E 的经时变化,同时,在冷却过程进入时,向烧成炉内供给水蒸气,进而根据需要减少向烧成炉内的氢气的供给流量的结果判明,如图 3 的一点划线所示,在炉内温度从烧成最高温度 $T_{\max}$ 降低规定温度 ΔT (例如 $30 \sim 50^\circ\text{C}$)程度的时刻,电动势 E 时常变小,然后,电动势 E 逐渐上升。从而,从数学式(1)可知,炉内温度从烧成最高温度 $T_{\max}$ 降低规定温度 ΔT 程度的时刻,氧分压 PO_2 为极大。

[0087] 因此,本发明人将成为极大的氧分压 PO_2 设为冷却时氧分压,将烧成最高温度 $T_{\max}$ 时的氧分压设为烧成时氧分压,调节向炉内的水蒸气的供给流量和 H_2 气体的供给流量的同时,使两者的氧分压比 ΔPO_2 (=冷却时氧分压/烧成时氧分压)多种不同,反复进行了实验。还有,其结果知道了通过将上述氧分压比 ΔPO_2 设为 1.0×10^4 以上,能够确保 5000 以上的表观相对介电常数 $\epsilon_{r_{APP}}$,同时,能够得到更大的比电阻。

[0088] 因此,在本实施方式中,将氧分压比 ΔPO_2 设定为 1.0×10^4 以上而进行冷却处理的同时,进行一次烧成。

[0089] 还有,这样一次烧成,将陶瓷层叠体半导体化后,在弱还原气氛下,在大气气氛下,或氧化气氛下使 Ni 或 Cu 等内部电极材料不氧化地在 $600 \sim 900^\circ\text{C}$ 的低温下以 1 小时进行二次烧成,将半导体陶瓷再氧化,形成晶界绝缘层,由此制作埋设有内部电极 2 的部件基体 1。

[0090] 然后,在部件基体 1 的两端面涂敷外部电极用导电性膏,进行烧接处理,形成外部电极 3a、3b,由此制造层叠型半导体陶瓷电容器。

[0091] 还有,在外部电极用导电性膏中含有的导电性材料不特别限定,但优选使用 Ga、In、Ni、Cu 等材料,另外,也可以在电极上形成 Ag 电极。

[0092] 另外,作为外部电极 3a、3b 的形成方法,在陶瓷层叠体的两端面涂敷了外部电极用导电性膏后,与陶瓷层叠体的同时实施烧成处理也可。

[0093] 这样在本实施方式中,使用上述半导体陶瓷,制造层叠型半导体陶瓷电容器,因此,能够将各半导体陶瓷层 1a~1g 的层厚薄层化为 $1.0\mu\text{m}$ 以下。而且,能够实现即使这样薄层化,每一层的表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 高达 5000 以上,另外,比电阻 $\log\rho$ ($\rho:\Omega\cdot\text{cm}$) 也高达 10 以上,在以往的层叠型陶瓷电容器中不能实现的基于薄层化·多层化的大电容且高性能的层叠型半导体陶瓷电容器。而且,与大电容的钽电容器相比,不需 要注意极性,操作性容易,电阻在高频区域也小,因此,还作为这些钽电容器的替代品有用。

[0094] 另外,知道 SrTiO_3 系晶界绝缘型的半导体陶瓷如“发明内容”的项所述,具有变阻特性,但在本实施方式中是晶粒的平均陶瓷粒径为 $1.0\mu\text{m}$ 以下的微粒,因此,能够提高变阻电压。从而,通过在电压-电流特性显示直线性的通常的电场强度区域(例如 $1\text{V}/\mu\text{m}$) 中作为电容器使用,作为电容器的通用用途变广。而且,具有变阻特性,因此,异常的高电压施加于元件的情况下,也能够防止元件破坏,能够得到可靠性优越的电容器。

[0095] 另外,如上所述,能够提高变阻电压,因此,能够实现对电涌电压等也能够避免破坏的电容器。即,在 ESD(electro-static discharge;静电放电)用途中使用的低电容电容器中寻求耐电涌特性,但由于破坏电压高,因此,还可以作为耐电涌电容器或电涌吸收电容器等耐 ESD 确保电容器的用途使用。

[0096] 还有,本发明不限于上述实施方式。在图 2 中,示出了多个半导体陶瓷层 1a~1g、和内部电极 2a~2f 交替地层叠而成的层叠型半导体陶瓷电容器,但也可以为具有在半导体陶瓷的单板(例如,厚度为 $200\mu\text{m}$ 左右)的表面利用蒸镀等形成内部电极,利用粘接剂等贴合了该单板的几个层(例如 2、3 层)的结构层叠型半导体陶瓷电容器。这样的结构例如在低电容的用途中使用的层叠型半导体陶瓷电容器中有效。

[0097] 另外,在上述实施方式中,利用固相法制作固溶体,但固溶体的制作方法不特别限定,例如,可以使用水热合成法、溶胶·凝胶法、水解法、共沉淀法等任意的的方法。

[0098] 另外,在上述实施方式中,在大气气氛中进行用于形成晶界绝缘层的二次烧成(再氧化处理),但根据需要,将氧浓度比大气气氛稍微降低,也能够得到期望的作用效果。

[0099] 进而,在上述层叠型半导体陶瓷电容器中,在一次烧成处理中,将冷却开始时的氧分压设定为烧成过程的氧分压的 1.0×10^4 倍以上并进行冷却处理而制造,但在不特别变更烧成炉内的氧分压而进行一次烧成处理的情况下,也能够得到 5000 以上的表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 和 10 以上的 $\log\rho$ ($\rho:\Omega\cdot\text{cm}$)。在这种情况下,大致如下所述地制造半导体陶瓷。

[0100] 即,称量规定量的施主化合物及受主化合物,进而,称量规定量的陶瓷原材料,进行混合粉碎后,进行预煅烧处理,制作预煅烧粉末,进而根据需要,称量 SiO_2 等低熔点氧化物,将其与上述预煅烧粉末混合,进行热处理,制作热处理粉末,对该热处理粉末进行了还原气氛下的一次烧成处理后,在弱还原气氛下,在大气气氛下,或氧化气氛下进行二次烧成处理,由此能够制造半导体陶瓷。

[0101] 其次,具体说明本发明的实施例。

[0102] 实施例

[0103] 作为陶瓷原材料,准备了 SrTiO_3 、 LaCl_3 、 MnCl_2 、及比表面积为 $30\text{m}^2/\text{g}$ (平均粒径:约

30nm) 的 TiO_2 。还有,使陶瓷的晶粒组成相对于 Ti 元素 100 摩尔为表 1 所示的含有摩尔量地称量这些陶瓷原材料,进而向该称量物 100 重量份中将 2 重量份的聚羧酸铵盐作为分散剂添加。其次,与直径 2mm 的 PSZ 球及纯水一同投入球磨机中,在该球磨机内湿式混合 16 小时,制作浆料。

[0104] 其次,在蒸发干燥该浆料后,在大气气氛下,在表 1 所示的预煅烧温度下,以 2 小时实施预煅烧处理,得到了预煅烧粉末。

[0105] 其次,使 Mn 元素及 SiO_2 在晶界中相对于 Ti 元素 100 摩尔成为表 1 所示的含有摩尔量地将 MnCl_2 水溶液及 SiO_2 溶胶液向所述预煅烧粉末中添加,进而添加纯水及根据需要的分散剂,湿式混合 16 小时后,进行蒸发干燥,然后,在大气气氛下,在 600°C 的温度下以 5 小时进行热处理,得到了热处理粉末。还有,代替 MnCl_2 水溶液,使用 MnO_2 溶胶也可,代替 SiO_2 溶胶液,使用四乙氧基硅烷 ($\text{Si}(\text{OC}_2\text{H}_5)_4$) 也可。

[0106] 其次,将甲苯、醇等有机溶媒、及分散剂以适量添加于所述热处理粉末中,再次与直径 2mm 的 PSZ 球一同投入球磨机中,在该球磨机内以湿式混合 4 小时。还有,然后,以适量添加作为粘合剂的聚乙烯醇缩丁醛 (PVB) 或作为增塑剂的苯二甲酸二辛酯 (DOP),进而以湿式混合处理 16 小时,由此制作陶瓷浆料。

[0107] 其次,使用模唇涂敷法,对该陶瓷浆料实施成形加工,制作厚度为约 $3.2\ \mu\text{m}$ 的陶瓷印刷电路板。还有,然后,将该陶瓷印刷电路板冲裁为规定的大小,使厚度成为 0.5mm 左右地重合,进行热压敷,制作了陶瓷成形体。

[0108] 其次,将该陶瓷成形体切断为纵 5mm、横 5mm、厚度 0.5mm 后,在大气气氛下在温度 250°C 下以 6 小时、进而在 $1.4 \times 10^{-15}\text{MPa}$ 的弱还原气氛下,在 800°C 的温度下以 5 小时进行了脱粘合剂处理。

[0109] 其次,在 H_2 气体和 N_2 气体的流量比 (H_2/N_2) 设为 1/100 的强还原气氛下,在 $1150 \sim 1250^\circ\text{C}$ 的温度下以 2 小时进行一次烧成,并半导体化。另外,此时,使氧分压比 ΔPO_2 (=冷却时氧分压 / 烧成时氧分压) 成为 1.0×10^4 地将氧分压 PO_2 调节至烧成炉成为 800°C 的同时,进行了冷却处理。即,将氧化锆氧传感器插入烧成炉,计测烧成炉内的电动势 E 即氧分压 PO_2 的同时,在冷却过程开始时,向烧成炉内供给水蒸气,并且,使 H_2 气体和 N_2 气体的流量比 (H_2/N_2) 从 1/100 成为 0.1/100 地减少 H_2 气体的供给量,使氧分压比 ΔPO_2 成为上述 1.0×10^4 地进行控制,进行了冷却处理。

[0110] 还有,然后,在大气气氛下,在 800°C 的温度下,以 1 小时进行二次烧成,实施再氧化处理,制作了晶界绝缘型的半导体陶瓷。

[0111] 其次,在两端面涂敷 In-Ga,形成外部电极,由此制作了试样编号 1 ~ 14 的试样。

[0112] 其次,关于这些试样编号 1 ~ 14 的各试样,求出了平均粉末粒径、(222) 面的积分宽度 β 、平均陶瓷粒径、表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 、比电阻 $\log \rho$ (ρ : $\Omega \cdot \text{cm}$)。

[0113] 在此,就平均粉末粒径来说,粉碎上述脱粘合剂处理后的试样,形成为粉末状,用扫描型电子显微镜 (SEM) 观察,将试样表面或截断面的 SEM 照片进行图像解析而求出。

[0114] 另外,就 (222) 面的积分宽度 β 来说,使用 X 射线衍射装置 (RIGAKU 公司制: Rint2500),在管电压 50kV、管电流 250mA 的条件下,用平行光学系分析结晶结构,由 X 射线衍射图求出。

[0115] 另外,就表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 来说,使用阻抗分析仪 (阿奇兰特·技术公司制:

HP4194A), 在频率 1kHz、电压 1V 的条件下测定静电电容, 由测定的静电电容和试样尺寸算出。

[0116] 进而, 就烧结后的晶粒的平均陶瓷粒径来说, 用扫描型电子显微镜 (SEM) 观察, 将试样表面或截断面的 SEM 照片进行图像解析而求出。

[0117] 另外, 就比电阻 $\log \rho$ 来说, 将 5 ~ 500V 的直流电压施加 2 分钟, 通过其漏电流测定 $1V/\mu m$ 的电场强度下的绝缘阻抗 IR, 由该绝缘阻抗 IR 和试样尺寸算出比电阻 ρ , 变换为常用对数而求出。

[0118] 表 1 中示出试样编号 1 ~ 14 的晶粒及晶界中的组成、预煅烧温度及其测定结果。还有, 在表 1 中, La、Mn、及 SiO_2 的各摩尔数表示相对于 Ti100 摩尔的含有摩尔量。

[0119] [表 1]

[0120]

[表 1]

试样 No.	晶粒			晶界			预烧结 温度 (°C)	半导体陶瓷粉末		半导体陶瓷（烧结体）		
	配合摩尔比 m (—)	相对于 Ti 元素 100 摩尔的含有摩尔量		相对于 Ti 元素 100 摩尔的含有摩尔量		平均粉末粒径 (μm)		$\langle 222 \rangle$ 面的积分宽度 β (°)	平均陶瓷粒径 (μm)	表观相对 介电常数 ϵ_{rAPP}	比电阻 $\log \rho$ ($\rho : \Omega \cdot \text{cm}$)	
		La (摩尔)	Mn (摩尔)	Mn (摩尔)	SiO ₂ (摩尔)							
1	1.010	0.8	0.0080	0.5	0.1		1400	0.51	0.400	0.54	5310	11.4
2	1.010	0.8	0.0080	0.5	0.1		1350	0.49	0.500	0.52	5010	11.3
3	1.005	0.8	0.0400	0.5	0.1		1375	0.53	0.410	0.57	5470	11.2
4	1.005	0.8	0.0800	0.5	0.1		1375	0.61	0.395	0.68	5910	11.1
5	1.000	0.8	0.0400	0.5	0.1		1375	0.65	0.390	0.71	5280	10.9
6	1.000	0.8	0.0800	0.5	0.1		1375	0.68	0.385	0.73	5360	10.8
7	1.010	0.85	0	0.5	0.1		1400	0.58	0.405	0.65	5910	10.3
8	1.005	0.8	0	0.5	0.1		1375	0.53	0.415	0.64	5080	10.2
9	1.000	0.4	0	0.5	0.1		1400	0.55	0.388	0.58	5560	10.8
10	1.000	1.2	0	0.5	0.1		1400	0.50	0.420	0.53	5030	11.0
11*	0.990	0.8	0.0080	0.5	0.1		1400	1.50	0.450	1.60	4500	9.8
12*	1.010	0.8	0.0800	0.5	0.1		1300	0.45	0.520	0.51	2830	11.2
13*	1.000	0.8	0	0.5	0.1		1200	0.18	0.525	0.37	2740	<6
14*	1.000	0.8	0	0.5	0.1		1100	0.12	0.535	0.31	2650	<6

* 为本发明范围外

[0121] 在试样编号 11 中, 半导体陶瓷粉末的平均粉末粒径为 $1.50 \mu\text{m}$, 超过 $1.0 \mu\text{m}$, 因此, 平均陶瓷粒径也粗大化到 $1.60 \mu\text{m}$ 。还有, 其结果, 相对介电常数 r_{APP} 成为 4500, 小于 5000, 另外, 比电阻 $\log \rho$ 也为 9.8, 绝缘性也降低。

[0122] 在试样编号 12 中, (222) 面的积分宽度 β 为 0.520° , 超过 0.500, 因此可知, 比电阻 $\log \rho$ 为 11.2, 为良好, 但相对介电常数 ϵ_{rAPP} 为 2830, 大幅度地降低。

[0123] 在试样编号 13 中, 平均粉末粒径为 $0.18\ \mu\text{m}$, 为超细微粒, 但 (222) 面的积分宽度 β 为 0.525° , 超过 0.500 。还有, 从其结果可知, 比电阻 $\log \rho$ 降低到小于 6.0 , 相对介电常数 $\epsilon_{r_{\text{APP}}}$ 大幅度地降低到 2740 。这原因认为如下, 即: 虽然是平均粉末粒径为 $0.20\ \mu\text{m}$ 以下的超细微粒, 但 (222) 面的积分宽度 β 超过 0.500 , 因此, 在烧成时, 陶瓷粒径生长为 2 倍以上, 进而再氧化性极端地降低, 其结果, 不能显示作为电容器的绝缘性。

[0124] 同理, 试样编号 14 也为平均粉末粒径为 $0.12\ \mu\text{m}$ 的超细微粒, 但 (222) 面的积分宽度 β 为 0.535° , 超过 0.500 , 因此可知, 比电阻 $\log \rho$ 降低到小于 6.0 , 表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 大幅度地降低到 2650 。

[0125] 相对于此, 在试样编号 1 ~ 10 中, 半导体陶瓷粉末的平均粉末粒径为 $0.49\ \mu\text{m} \sim 0.68\ \mu\text{m}$, 另外, (222) 面的积分宽度 β 为 $0.400^\circ \sim 0.500^\circ$, 均在本发明范围内, 因此, 晶粒的平均陶瓷粒径为 $0.52 \sim 0.73\ \mu\text{m}$, 表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 为 $5010 \sim 5910$, 比电阻 $\log \rho$ 为 $10.2 \sim 11.4$ 。即, 知道了得到晶粒的平均陶瓷粒径为 $1.0\ \mu\text{m}$ 以下, 同时, 表观相对介电常数 $\epsilon_{r_{\text{APP}}}$ 为 5000 以上, 比电阻 $\log \rho$ 为 10 以上的介电特性良好且绝缘性优越的层叠型半导体陶瓷电容器的事实。

[0126] 图 4 是试样编号 1 的 X 射线衍射图, 横轴表示衍射角 $2\theta (^\circ)$, 纵轴表示 X 射线强度 (a. u.)。

[0127] 该图 4 的 (222) 面中的积分宽度 β 成为结晶性评价的对象。

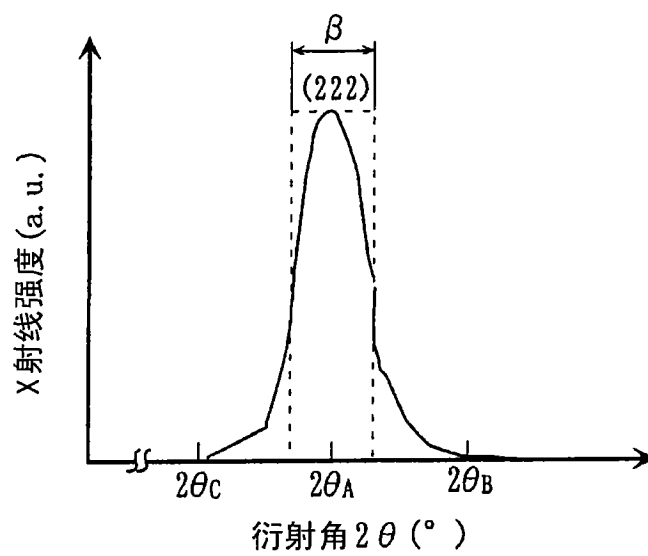


图 1

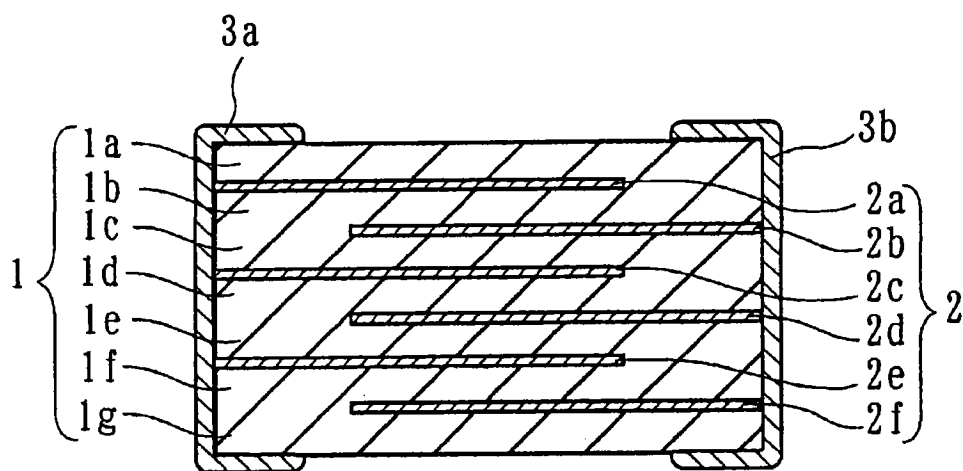


图 2

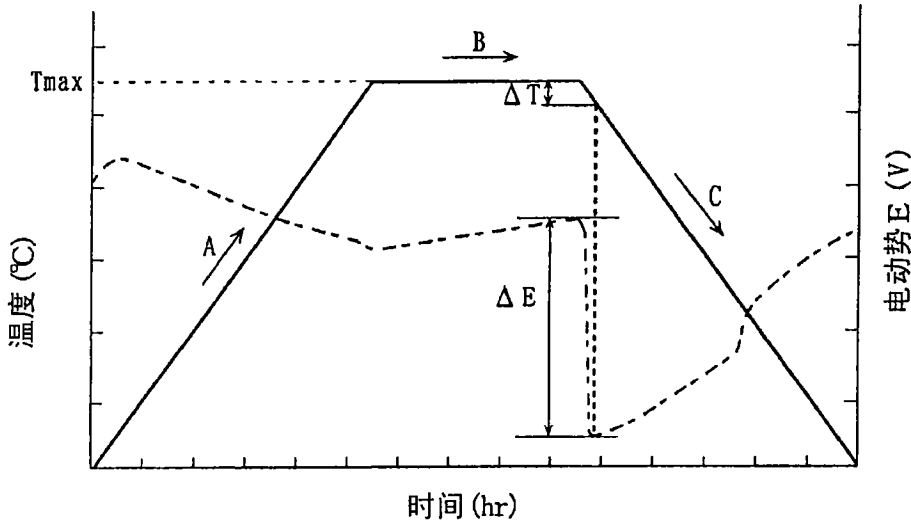


图 3

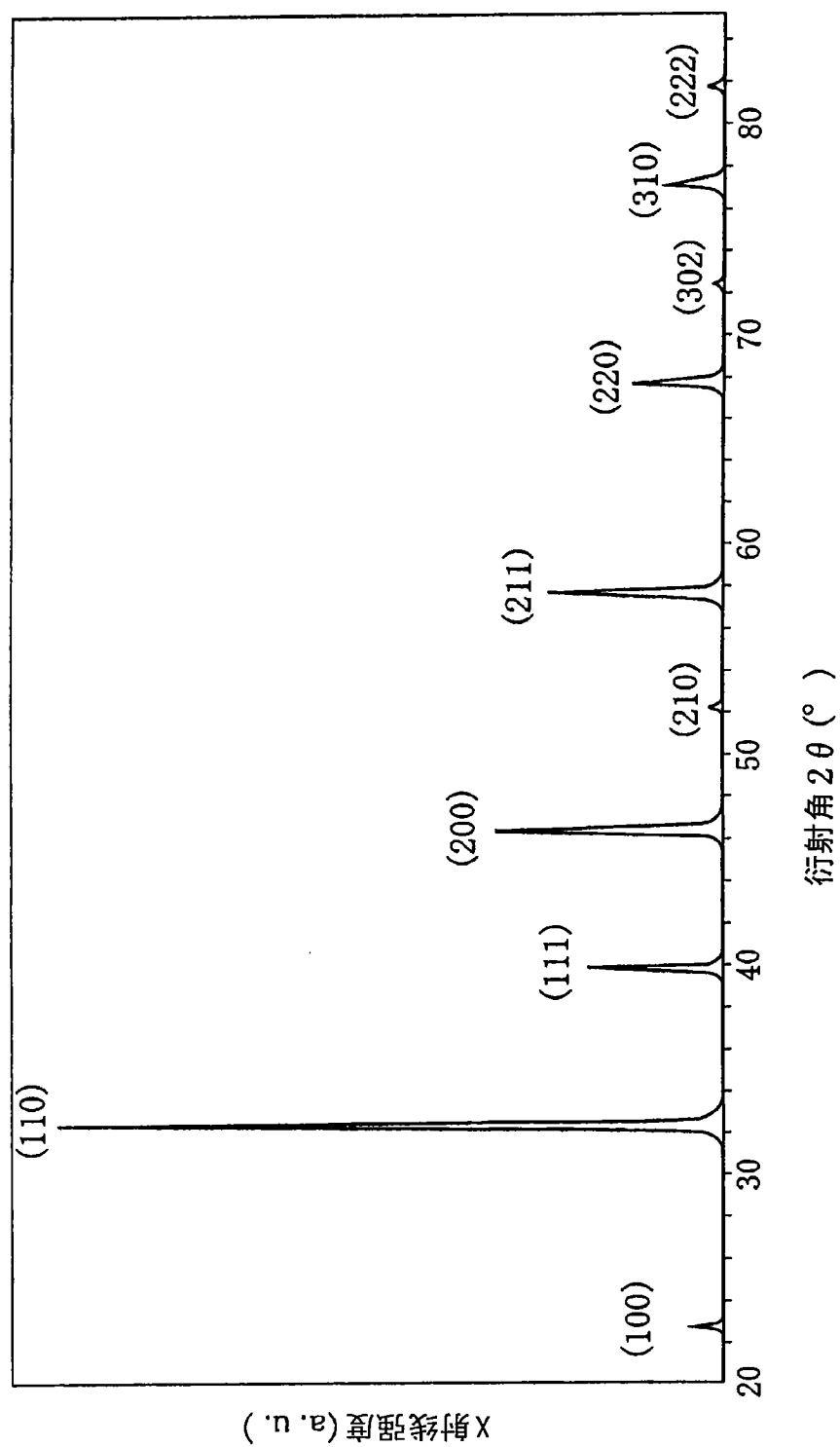


图 4