(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4693197号
(P4693197)
(45)発行日　平成23年6月1日(2011.6.1)　(24)登録日　平成23年3月4日(2011.3.4)

(51)Int.Cl.　F I
G11C 29/04 (2006.01)　G11C 29/00 603F

請求項の数 9　(全 15 頁)

(21)出願番号　特願平11-108096
(22)出願日　平成11年4月15日(1999.4.15)
(65)公開番号　特開2000-11680(P2000-11680A)
(43)公開日　平成12年1月14日(2000.1.14)
審査請求日　平成18年3月16日(2006.3.16)
(31)優先権主張番号　特願平10-112967
(32)優先日　平成10年4月23日(1998.4.23)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100092820
弁理士　伊丹　勝

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
複数のサブセルアレイに分割されたメモリセルがロウ及びカラムに配列されたメモリセルアレイと、
前記各サブセルアレイに対応して配置された冗長セルアレイと、
入力されたアドレスに応じて前記メモリセルアレイのロウを選択するロウデコーダと、
入力されたアドレスに応じて前記メモリセルアレイのカラムを選択するカラムデコーダと、
前記メモリセルアレイに含まれる不良メモリセルのアドレスと前記冗長セルアレイとの対応関係を示すマッピング情報とを記憶して、前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合、一致結果と前記マッピング情報とに基づいて不良メモリセルの置換制御信号を出力する複数の記憶回路と、
前記記憶回路から供給される置換制御信号に応じて活性化され、前記冗長セルアレイを選択するスペアデコーダとを具備し、
前記記憶回路の数は、前記冗長セルアレイの数以下であることを特徴とする半導体記憶装置。
【請求項２】
複数のサブセルアレイに分割されているメモリセルがロウ及びカラムに配列されたメモリセルアレイと、
前記各サブセルアレイに対応して配置された冗長セルアレイと、

入力されたアドレスに応じて前記メモリセルアレイのロウを選択するロウデコーダと、
入力されたアドレスに応じて前記メモリセルアレイのカラムを選択するカラムデコーダと、
前記メモリセルアレイに含まれる不良メモリセルのアドレスを記憶する複数の第１の記憶素子と、前記冗長セルアレイと各フューズセットの対応関係を示すマッピング情報を記憶する複数の第２の記憶素子と、複数の前記第１の記憶素子に記憶された前記不良メモリセルのアドレスと入力されたアドレスとを比較して、前記記憶された前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合に一致出力信号を出力する複数の比較器と、前記各比較器から前記一致出力信号が出力された場合に前記第２の記憶素子に記憶されたマッピング情報をデコードし、置換制御信号を出力するデコーダとを備える複数の記憶回路と、
前記デコーダの出力信号に応じて活性化され、前記冗長セルアレイを選択するスペアデコーダとを具備し、
前記記憶回路の数は、前記冗長セルアレイの数以下であることを特徴とする半導体記憶装置。
【請求項３】
前記記憶回路は、
不良メモリセルのアドレスを記憶するアドレス指定用フューズ回路と、
冗長セルアレイとの対応関係を示すマッピング情報を記憶するマッピング用フューズ回路と、
前記アドレス指定用フューズ回路に記憶されたアドレスと入力されたアドレスの一致検出を行うアドレス一致検出回路と、
前記アドレス一致検出回路の一致出力信号に応じて前記マッピング用フューズ回路の出力信号をデコードし、前記置換制御信号を生成するデコーダと、
を具備することを特徴とする請求項１記載の半導体記憶装置。
【請求項４】
前記複数のサブアレイはバンクを構成し、
不良メモリセルのアドレスを記憶するアドレス指定用フューズ回路と、
冗長セルアレイとの対応関係を示すマッピング情報を記憶するマッピング用フューズ回路と、
前記バンクのアドレスを記憶するバンクアドレス指定用フューズ回路と、
前記記憶回路を使用するか否かを示すイネーブルフューズ回路と、
前記アドレス指定用フューズ回路に記憶されたアドレスと入力されたアドレスの一致検出を行う第１のアドレス一致検出回路と、
前記バンクアドレス指定用フューズ回路に記憶されたアドレスと入力されたアドレスの一致検出を行う第２のアドレス一致検出回路と、
前記第２のアドレス一致検出回路の一致出力信号が供給される第１のアンド回路と、
前記第１のアンド回路の出力信号と前記イネーブルフューズ回路の出力信号が供給されるオア回路と、
前記第２のアドレス一致検出回路の一致出力信号及び前記オア回路の出力信号が供給される第２のアンド回路と、
前記第２のアンド回路の出力信号に応じて、前記マッピング用フューズ回路の出力信号をデコードし、前記置換制御信号を生成するデコーダと、
をさらに具備することを特徴とする請求項１又は２記載の半導体記憶装置。
【請求項５】
前記各記憶回路は、前記置換制御信号を出力するための複数の出力端子を有し、前記各記憶回路の前記出力端子は複数の置換制御信号線により互いに接続されワイヤド・オア回路を構成していることを特徴とする請求項１又は２記載の半導体記憶装置。
【請求項６】
前記スペアデコーダは、前記置換制御信号線の１つに接続され、前記各スペアデコーダ

に対応して配置されたカラムデコーダは、対応する前記スペアデコーダと同じ前記置換制御信号線にインバータ回路を介して接続されることを特徴とする請求項５記載の半導体記憶装置。

【請求項７】

不良メモリセルのアドレスを記憶するアドレス指定用フューズ回路と、

冗長セルアレイとの対応関係を示すマッピング情報を記憶するマッピング用フューズ回路と、

前記アドレス指定用フューズ回路に記憶されたアドレスと入力されたアドレスの一致検出を行うアドレス一致検出回路と、

前記アドレス一致検出回路の一致出力信号に応じて前記マッピング用フューズ回路の出力信号をデコードし、前記置換制御信号を生成するデコーダと、

をさらに具備することを特徴とする請求項１又は２の何れかに記載の半導体記憶装置。

【請求項８】

複数のメモリセルがロウ及びカラムに配列された第１のメモリセルアレイと、

複数のメモリセルがロウ及びカラムに配列された第２のメモリセルアレイと、

前記第１のメモリセルアレイ内の第１の不良メモリセルを置換する複数の第１の冗長ユニットと、

前記第２のメモリセルアレイ内の第２の不良メモリセルを置換する複数の第２の冗長ユニットと、

不良メモリセルのアドレス、及び前記第１、第２の冗長ユニットとの対応関係を示すマッピング情報を記憶し、前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合、前記マッピング情報に基づいて不良メモリセルの置換制御信号を出力する複数の記憶回路とを具備し、

前記記憶回路の数は、前記第１、第２の冗長ユニットの数以下であり、

前記第１のメモリセルアレイは第１のバンクを含み、前記第２のメモリセルアレイは第２のバンクを含み、前記複数の記憶回路のそれぞれは、前記第１のメモリセルアレイの不良メモリセルと前記第２のメモリセルアレイの不良メモリセルの何れか１つを置換することを特徴とする半導体記憶装置。

【請求項９】

複数のバンクに分割されたメモリセルがロウ及びカラムに配列されたメモリセルアレイと、

前記メモリセルアレイの不良メモリセルを置換するための冗長セルアレイと、

前記メモリセルアレイに含まれる不良メモリセルのアドレスと前記冗長セルアレイとの対応関係を示すマッピング情報と、前記バンクを選択するためのアドレス情報を記憶し、前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合、前記マッピング情報とアドレス情報に基づき不良メモリセルの置換制御信号を出力する複数の記憶回路と、を具備し、

前記記憶回路の数は、前記冗長セルアレイの数以下であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、不良メモリセルを救済するリダンダンシ・システムを含む半導体記憶装置に関する。

【０００２】

【従来の技術】

半導体記憶装置には、リダンダンシ・システムが採用されている。このリダンダンシ・システムは一部のメモリセルに欠陥があった場合、この欠陥セルを冗長セルと置き換えることにより救済し、製品の歩留まりを向上させるものである。現在最も一般的に用いられているリダンダンシ・システムは、セルアレイ単位の置き換えであり、メモリセルアレイの

複数行又は複数列（一列又は一行の場合もある）を単位として置き換えられる。すなわち、メモリセルアレイをテストした結果、欠陥を有するセルがあった場合、そのセルを含むセルアレイがそれと同じ大きさの冗長セルアレイ（スペアエレメント）で置き換えられる。

欠陥セルを含むセルアレイ単位のアドレス情報は、不揮発性の記憶素子により記憶されている。現在この記憶素子としては一般にフューズが用いられている。アドレス情報は通常複数ビットで構成されるため、それに対応した複数本のフューズを含むフューズセットがリダンダンシの単位となる。通常、スペアエレメントとフューズセットは１対１に対応され、チップ内にはスペアエレメントと同数のフューズセットが設けられる。スペアエレメントを使用する場合、それに対応するフューズセット内のフューズがアドレスに応じて切断される。この方式は構成がシンプルであり、現在広く使用されている。

【０００３】

一方、リダンダンシ・システムは通常の回路に加えてスペアエレメント及びフューズセットを必要とするため、メモリチップの面積が増大する。救済可能な欠陥の数と冗長回路の面積はトレードオフの関係にあるため、面積効率を向上させるリダンダンシ・システムが種々提案されている。例えば、Kirihata等が提案したフレキシブルなリダンダンシ・システム（"Fault-Tolerant Design for 256Mb DRAM"（IEEE JOURNAL of SOLID-STATE CIRCUITS, VOL.31, NO.4, April 1996）参照）がある。この方式は、１つのスペアエレメントが広いセルアレイ領域をカバーしているため、欠陥セルがチップの一部に偏って存在する場合でも、セルアレイ内に欠陥が均等に分散している場合と同様に救済できる。このため、スペアエレメントの数を削減して、リダンダンシ回路の面積効率を高めることができる。

このように、チップ当たりの欠陥数が判明している場合、或いは予測できる場合、少数のスペアエレメントで欠陥を救済することは面積効率を向上でき有効である。特に、１つのスペアエレメントが広いセルアレイ領域をカバーできる場合、上記方式は有効である。

【０００４】

しかし、近年、メモリセルアレイが複数に分割されたメモリチップが開発されている。例えばチップ内部に複数のバンクを持ち、それらのバンクが同時に活性化されるメモリチップがある。この様なメモリチップは、他のバンクの欠陥セルを救済するスペアエレメントを持つことができない。バンクの数が多くなるほど、チップ内のメモリセルアレイの分割数は増加し、１つのスペアエレメントがカバーできるセルアレイ領域は狭くなる。これは主に、ロウスペアエレメントの問題であるが、カラムスペアエレメントについても同様の問題が生じる。即ち、メモリデバイスの高速化が進むと、スペアエレメントで置き換える前と置き換えた後のメモリセルの位置が物理的に離れた場合、信号又はデータの伝搬遅延が大きくなり、高速性能を損なう。高速性能を維持しようとすると、物理的に近い位置同士の置き換えしかできなくなるため、結果的にカラムスペアエレメントは広いセルアレイ領域をカバーできなくなる。

【０００５】

【発明が解決しようとする課題】

以上のように、バンク数や高速動作等の制限から、スペアエレメントが狭い範囲しかカバーできない場合、欠陥がメモリセルアレイの一部に偏在した場合においても欠陥セルを救済できるようにするためには狭いセルアレイ領域毎にスペアエレメントを設けなければならない。これはチップ全体として見ると、チップ当たりの平均欠陥数を大幅に超えたスペアエレメント数をチップに組み込むことになるため、面積効率を悪化させる。更に、スペアエレメントとフューズセットを一対一に対応させる従来の方式では、スペアエレメントの増加に伴ってフューズセットの数も増加してしまう。一般にフューズの方がスペアエレメントよりも大きな面積を必要とするため、スペアエレメントとフューズセットを１対１に対応させる方式では、リダンダンシ回路の面積効率が大きく低下してしまう。

この発明は、上記課題を解決するものであり、その目的とするところは、不良救済に必要な不揮発性記憶素子の数を削除してチップに対するリダンダンシ回路の面積効率を向上で

き、しかも、高い救済率を得ることが可能な半導体記憶装置を提供しようとするものである

【課題を解決するための手段】

本発明にかかる第１の半導体記憶装置は、複数のサブセルアレイに分割されたメモリセルがロウ及びカラムに配列されたメモリセルアレイと、前記各サブセルアレイに対応して配置された冗長セルアレイと、入力されたアドレスに応じて前記メモリセルアレイのロウを選択するロウデコーダと、入力されたアドレスに応じて前記メモリセルアレイのカラムを選択するカラムデコーダと、前記メモリセルアレイに含まれる不良メモリセルのアドレスと前記冗長セルアレイとの対応関係を示すマッピング情報とを記憶して、前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合、一致結果と前記マッピング情報とに基づいて不良メモリセルの置換制御信号を出力する複数の記憶回路と、前記記憶回路から供給される置換制御信号に応じて活性化され、前記冗長セルアレイを選択するスペアデコーダとを具備することを特徴とする。

【０００６】

本発明にかかる第２の半導体記憶装置は、複数のサブセルアレイに分割されているメモリセルがロウ及びカラムに配列されたメモリセルアレイと、前記各サブセルアレイに対応して配置された冗長セルアレイと、入力されたアドレスに応じて前記メモリセルアレイのロウを選択するロウデコーダと、入力されたアドレスに応じて前記メモリセルアレイのカラムを選択するカラムデコーダと、前記メモリセルアレイに含まれる不良メモリセルのアドレスを記憶する複数の第１の記憶素子と、前記冗長セルアレイと各フューズセットの対応関係を示すマッピング情報を記憶する複数の第２の記憶素子と、複数の前記第１の記憶素子に記憶された前記不良メモリセルのアドレスと入力されたアドレスとを比較して、前記記憶された前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合に一致出力信号を出力する複数の比較器と、前記各比較器から前記一致出力信号が出力された場合に前記第２の記憶素子に記憶されたマッピング情報をデコードするデコーダとを備える複数の記憶回路と、前記デコーダの出力信号に応じて活性化され、前記冗長セルアレイを選択するスペアデコーダとを具備することを特徴とする。

【０００７】

本発明に係る第３の半導体記憶装置は、複数のメモリセルがロウ及びカラムに配列された第１のメモリセルアレイと、複数のメモリセルがロウ及びカラムに配列された第２のメモリセルアレイと、前記第１のメモリセルアレイ内の第１の不良メモリセルを置換する複数の第１の冗長ユニットと、前記第２のメモリセルアレイ内の第２の不良メモリセルを置換する複数の第２の冗長ユニットと、不良メモリセルのアドレス、及び前記第１、第２の冗長ユニットとの対応関係を示すマッピング情報を記憶し、前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合、前記マッピング情報に基づいて不良メモリセルの置換制御信号を出力する複数の記憶回路とを具備し、前記記憶回路の数は、前記第１、第２の冗長ユニットの数以下であり、前記第１のメモリセルアレイは第１のバンクを含み、前記第２のメモリセルアレイは第２のバンクを含み、前記複数の記憶回路のそれぞれは、前記第１のメモリセルアレイの不良メモリセルと前記第２のメモリセルアレイの不良メモリセルの何れか１つを置換することを特徴とする。

本発明に係る第４の半導体記憶装置は、複数のバンクに分割されたメモリセルがロウ及びカラムに配列されたメモリセルアレイと、前記メモリセルアレイの不良メモリセルを置換するための冗長セルアレイと、前記メモリセルアレイに含まれる不良メモリセルのアドレスと前記冗長セルアレイとの対応関係を示すマッピング情報と、前記バンクを選択するためのアドレス情報を記憶し、前記不良メモリセルのアドレスと入力されたアドレスとが一致した場合、前記マッピング情報とアドレス情報に基づき不良メモリセルの置換制御信号を出力する複数の記憶回路と、を具備し、前記記憶回路の数は、前記冗長セルアレイの数以下であることを特徴とする。

【０００８】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。図１は、この発明の一実施の形態によるＤＲＡＭの要部構成を示している。メモリセルアレイ１は、Ｍ行×Ｎ列のマトリクス状のサブセルアレイ１１（ｍ，ｎ）に分割されている。具体的には、メモリセルアレイ１は、横方向（ロウ方向）にＭ＝８個、縦方向（カラム方向）にＮ＝１６個の計８×１６＝１２８個のサブセルアレイ１１（ｍ，ｎ）（ｍ＝０～７、ｎ＝０～１５）に分割されている。サブセルアレイ１１の分割単位は例えば、データ線に同時にデータを転送できるカラム数と、１つのセンスアンプ列に接続される連続するビット線の範囲に含まれるロウ数（ワード線数）とで決定される。この分割単位はこの実施の形態の場合、１つのスペアエレメント（冗長セルアレイ）により不良救済される救済単位でもある。しかし、１つのスペアエレメントで複数のサブアレイの不良を救済することも可能である。

ロウ方向に並ぶ８個のサブセルアレイ１１は、１つのバンクを構成しており、この実施の形態の場合１６個のバンクＢｎ（ｎ＝０～１５）が配置される。さらに、カラム方向に並ぶ１６個のサブアレイはサブアレイ列を構成し、図１の場合、８個のサブセルアレイ列Ｃｍ（ｍ＝０～７）が配置されている。メモリセルアレイ１のロウ方向端部には外部から供給されるロウアドレスＲＡをデコードするロウデコーダ回路３が配置され、各サブセルアレイ列Ｃｍには外部から供給されるカラムアドレスＣＡをデコードするカラムデコーダ回路２ｍがそれぞれ配置されている。これらロウデコーダ回路３、及びカラムデコーダ回路２ｍにより、メモリセルが選択される。

【０００９】

各サブセルアレイ１１は、図２に示すように、複数本のワード線ＷＬとダミーワード線ＤＷＬ、及びこれらと直交する複数本のカラム選択線ＣＳＬを含んでいる。サブセルアレイ１１の容量は任意であるが、この実施の形態において、カラム選択線ＣＳＬは各サブセルアレイ１１につき１６本であるとする。図１では省略しているが、図２に示すようにサブセルアレイ１１の両側には、カラム選択線ＣＳＬにより選択されるビット線のデータを読み出すセンスアンプ列６が配置されている。これらセンスアンプ列６は、隣接するサブセルアレイにより共有される所謂シェアードセンスアンプ方式とされている。但し、シェアードセンスアンプ方式に限らず、サブセルアレイ毎に独立にセンスアンプ列が設けられる構成であってもよい。

各サブセルアレイ１１のロウ方向端部には、冗長セルアレイとしてスペアエレメント１２（ｍ，ｎ）が配置され、このスペアエレメント１２にはスペアエレメント１２を選択するためのスペアカラム選択線ＳＣＳＬｍ（ｍ＝０～７）がカラム選択線ＣＳＬと平行に配置されている。

図３は、図２を具体的に示している。図３において、スペアエレメント１２は、一対の冗長ビット線ＢＬ，ｂＢＬ（以下、ｂは反転信号を示す）を有している。しかし、これに限らず、複数の冗長ビット線対を持つスペアエレメントとしてもよい。スペアエレメント１２を構成する冗長ビット線対ＢＬ，ｂＢＬには、サブセルアレイ１１と同様のメモリセルＭＣ及びダミーセルＤＭＣが配置されている。これらメモリセルＭＣ及びダミーセルＤＭＣは、サブセルアレイ１１から延長されたワード線ＷＬ及びダミーワード線ＤＷＬにより選択される。

【００１０】

カラム選択線ＣＳＬとスペアカラム選択線ＳＣＳＬは、図１に示すように、カラム方向に並ぶＮ＝１６個のサブセルアレイ１１及びスペアエレメント１２に連続して配設されている。カラム選択線ＣＳＬを選択駆動するカラムデコーダ回路（ＣＤ）２は、カラム方向に並ぶＮ＝１６個のサブセルアレイ１２に共通に設けられている。スペアカラムデコーダ（ＳＣＤ）９ｍは、各カラムデコーダ回路２に隣接して配置されている。このスペアカラムデコーダ（ＳＣＤ）９ｍは、不良救済時にカラム方向に並ぶＮ＝１６個のスペアエレメント１２に共通に接続されたスペアカラム選択線ＳＣＳＬを駆動する。

図３に示すように、各サブセルアレイ１１及びスペアエレメント１２のビット線対ＢＬ，ｂＢＬはセンスアンプ列６を構成するセンスアンプ（ＳＡ）にそれぞれ接続されている。これらセンスアンプ（ＳＡ）とデータ線対ＤＱ，ｂＤＱの相互間にはカラム選択スイッ

チ回路（ＳＷ）７が接続されている。これらカラム選択スイッチ回路（ＳＷ）７はカラム選択線ＣＳＬおよびスペアカラム選択線ＳＣＳＬに接続され、これらカラム選択スイッチ回路（ＳＷ）７はカラム選択線ＣＳＬおよびスペアカラム選択線ＳＣＳＬの信号により選択的にオンオフ制御される。データの読み出し時に、ビット線対ＢＬ，ｂＢＬを伝搬するデータは、センスアンプ（ＳＡ）により増幅され、オンとされたスイッチ回路７を介してデータ線対ＤＱ，ｂＤＱに出力される。

【００１１】

図１に示すように、この実施の形態ではロウ方向のサブセルアレイ１１の個数（即ちバンク数）に等しいＮ＝１６個のフューズセット５ｎ（ｎ＝０～１５）が設けられている。各フューズセット５0～５15は、不良メモリセルのアドレス（不良アドレス）を記憶し、外部から供給されるアドレスと不良アドレスとを比較する。この比較の結果、これらが一致している場合、スペアエレメント１２により不良カラムを置き換えるための信号を出力する。この信号は対応するサブセルアレイのスペアカラムデコーダに供給され、この信号の反転信号が対応するサブセルアレイのカラムデコーダに供給される。また、この実施の形態において、各フューズセット５0～５15は、８本のスペアカラム選択線ＳＣＳＬ0～ＳＣＳＬ15との対応関係情報（マッピング情報）を記憶する。その詳細は後述する。

なお、この実施の形態は、Ｍ×Ｎ個のサブセルアレイ１１に対応してＭ×Ｎ個のスペアエレメント１２を配置し、カラム方向のサブセルアレイ１１の個数分のフューズセット５を設けている。しかし、この発明はこの構成に限られるわけではない。即ち、この発明において、フューズセットは従来のものと異なり、スペアエレメントとの対応関係を示すマッピング情報を有している。従来のフューズセットはスペアエレメントと１対１に対応されている。これに対して、この実施の形態のフューズセットはマッピング情報により、任意のスペアエレメントと対応づけられる。これにより、フューズセットの数をスペアエレメントの数以下とすることができ、しかも、不良が均一に分散した場合、或いは不良が偏在した場合にも、柔軟に不良を救済できる。本発明におけるフューズセットの数Ｎfsとスペアエレメントの関係を一般的に示すと次式のようになる。

【００１２】

Ｎfs＜Ｍ×Ｎ

各フューズセット５0～５15は８本の出力線８0～８7を有している。これら出力線８0～８7は、不良カラム選択線の置き換えを行う場合、いずれか１つが活性化される。各フューズセット５0～５15の出力線８0～８7は、８本の置換制御信号線４0～４7は接続され、ワイヤド・オア回路を構成している。これら８本の置換制御信号線４0～４7は、不良セルの置き換え時に、フューズセット５0～５15のいずれか１つから出力されるハイレベル信号に応じて、いずれか１本がハイレベルとされる。置換制御信号線４0～４7の１つがハイレベルとなると、このハイレベル信号が供給されるスペアカラムデコーダ（ＳＣＤ）により１つのスペアカラム選択線ＳＣＳＬが選択される。これとともに、前記ハイレベル信号がインバータ回路２２を介して供給されるカラムデコーダ（ＣＤ）は、サブセルアレイ１１内のカラム選択線ＣＳＬを非選択とする。従って８本の置換制御信号線４0～４7は、それぞれ８個のカラムデコーダ回路２0～２7と、これらに隣接するスペアカラムデコーダ９0～９7を制御する。

置換制御信号線４の作用をより具体的に説明する。第１番目の置換制御信号線４0は、カラムデコーダ回路２0とこれに隣接するスペアカラムデコーダ９0を選択的に活性化する。従って、カラムデコーダ回路２0を構成する各カラムデコーダ（ＣＤ）の入力端はインバータ２２を介して置換制御信号線４0に接続され、スペアカラムデコーダ（ＳＣＤ）９0の入力端は置換制御信号線４0に直接接続されている。これにより、置換制御信号線４0がハイレベルのとき、スペアカラムデコーダ９0が活性化され、カラムデコーダ回路２0が非活性化される。この結果、カラムデコーダ回路２0により選択されるカラム選択線ＣＳＬに代わって、スペアカラム選択線ＳＣＳＬ0が選択され、スペアエレメント１２のデータが読み出される。

【００１３】

第２番目以下の置換制御信号線４1，４2，…も同様に、カラムデコーダ回路２1，２2，…とこれらに隣接するスペアカラムデコーダ９1，９2，…の活性化を制御する。この構成によれば、任意のサブセルアレイ内でスペアカラム選択線ＳＣＳＬが選択されたとき、カラム選択線ＣＳＬが非活性化され、不良セルがスペアセルに置き換えられる。
図４は、図１に示すフューズセット５0～５15の具体構成を示している。これらフューズセット５0～５15はいずれも同一構成であるため、１つを代表して説明する。フューズセット５は、メモリセルアレイ１の不良アドレスを記憶するアドレス指定用フューズ回路５０１と、このフューズセット５を使用するか否かを記憶するイネーブル用フューズ回路５０２を有する。さらに、このフューズセット５は、マッピング用フューズ回路５０３を有している。このマッピング用フューズ回路５０３は、フューズセット５が対応された８本の前記スペアカラム選択線ＳＣＳＬのうちの１つのアドレスを予め記憶する。
アドレス指定用フューズ回路５０１は、計１１本のフューズＦＳを有する。このうち例えば７本のフューズＦＳ（１）～（７）はカラムアドレスの最小単位を指定するために用いられる。残り４本のフューズＦＳ（８）～（１１）は、一本のスペアカラム選択線ＳＣＳＬにより読み出される１６個のスペアエレメント１２を選択するために使用される。即ちアドレス指定用フューズ回路５０１は、サブセルアレイ１１内の不良メモリセルを指定するためのアドレス情報と、１６個のバンクＢｎ（ｎ＝０～１５）を選択するためのアドレス情報とを含んでいる。マッピング用フューズ回路５０３は、８本のスペアカラム選択線ＳＣＳＬｍを選択するに必要な３本のフューズＦＳ（１３）～（１５）を有する。即ちマッピング用フューズ回路５０３は、ロウ方向に並ぶ８個のサブセルアレイ列Ｃｍ（ｍ＝０～７）の１つを選択するアドレス情報を記憶する。

【００１４】

各フューズ回路５０１～５０３のフューズＦＳは、いずれもプリチャージ用ＰＭＯＳトランジスタＱｐ及び選択用ＮＭＯＳトランジスタＱｎと共に電源Ｖccと接地Ｖss間に直列接続されている。ＰＭＯＳトランジスタＱｐとＮＭＯＳトランジスタＱｎの接続ノードＮは出力ノードである。フューズデータは、ＰＭＯＳトランジスタＱｐをオンとして出力ノードＮを電源電圧Ｖccにプリチャージした後、ＰＭＯＳトランジスタＱｐをオフ、ＮＭＯＳトランジスタＱｎをオンとして読み出される。即ちフューズＦＳが切断されている場合、ハイレベル（＝Ｖcc）が出力ノードＮから出力され、フューズＦＳが切断されていない場合、ローレベル（＝Ｖss）が出力ノードＮから出力される。

フューズ回路５０１の出力信号は、カラムアドレスａ０～ａ６及びアドレスｂ０～ｂ３と共に複数のコンパレータＣＭＰにより構成されたアドレス一致検出回路５０４に供給される。前記アドレスｂ０～ｂ３は一本のスペアカラム選択線ＳＣＳＬにより選択される１６個のスペアエレメント１２の選択に必要なアドレスである。このアドレス一致検出回路５０４は、フューズ回路５０１の出力信号とカラムアドレスａ０～ａ６、及びアドレスｂ０～ｂ３とが一致しているか否か検出される。このアドレス一致検出回路５０４の複数の出力信号とイネーブルフューズ回路５０２の出力信号はＡＮＤゲート５０５に供給される。このＡＮＤゲート５０５の出力端から、外部から供給されるアドレスとフューズ情報が一致したことを示すＭａｔｃｈ信号５０７（即ち不良セルの置き換えを行うためのイネーブル信号）が出力される。

【００１５】

前記Ｍａｔｃｈ信号５０７はデコーダ５０６に供給される。このデコーダ５０６にはマッピング用フューズ回路５０３の３本の出力信号線５０８1、５０８2、５０８3が接続されている。このデコーダ５０６はＭａｔｃｈ信号５０７が活性化されたとき、マッピング用フューズ回路５０３の出力信号をデコードする。その結果、デコーダ５０６の８本の出力線８のいずれか１つが活性化され、これが前記置換制御信号線４の１つを活性化するための置換制御信号となる。
ここでは、アドレス指定用フューズ回路５０１が１１本のフューズを持ち、イネーブル用フューズ回路５０２が１本のフューズを有し、マッピング用フューズ回路５０３が３本のフューズを持つ例を示している。しかし、これは一例に過ぎない。アドレス指定用フュー

ズ回路５０１のフューズの数はサブセルアレイ１１の容量及びバンクの容量に応じて増減し、マッピング用フューズ回路５０３のフューズの数もサブセルアレイ列の数に応じて増減する。イネーブル用フューズ回路５０２のフューズを複数本とすることもできる。
図５は、前記デコーダ５０６の一例を示している。このデコーダ５０６はフューズ回路５０３から出力される３つの信号とそれらの反転信号、及びＭａｔｃｈ信号５０７が供給される８個のＡＮＤゲートＧ１～Ｇ８により構成される。これらＡＮＤゲートＧ１～Ｇ８の出力端から置換制御信号が出力される。

【００１６】

上記実施の形態によれば、１２８個のサブセルアレイ１１にそれぞれスペアエレメント１２を配置し、フューズセットはスペアエレメント１２の数より少ない１６個とし、１６個のサブセルアレイ１１の不良を救済可能としている。しかも、各フューズセット５は、不良アドレスと共に、１６個のフューズセット５を８個のサブセルアレイ列Ｃｍのどれに対応させるかを示すマッピング情報を有し、このマッピング情報に基づいて８本の置換制御信号線４のいずれか１つを選択し、フューズセット５を任意のサブセルアレイ列Ｃｍに対応可能としている。したがって、メモリセルアレイ内部で不良箇所が分散している場合、或いは不良箇所がメモリセルアレイの一部分に偏在している場合においても、１６個のフューズセット５を柔軟に対応させることができる。
具体的には、例えば図１に示すメモリセルアレイ１において、サブセルアレイ列C0内の１つのカラム選択線ＣＳＬに沿って１６個の不良セルがある場合を考える。この場合、１６個のフューズセット50～515の全てに、置換制御信号線40を活性化するマッピング情報が記憶され、１６個のフューズセット50～515により１つのカラム選択線に沿った１６個の不良セルが救済される。

【００１７】

具体的にこの実施の形態のリダンダンシ方式の作用効果を、従来方式を用いた図１４及び図１５と比較しながら説明する。図１４及び図１５において、図１と同一部分には同一符号を付す。まず、図１４に示す従来方式において、スペアエレメント１２（ｍ，ｎ）はメモリセルアレイ１の１２８個のサブセルアレイ１１（ｍ，ｎ）毎に配置されている。この構成は、本実施の形態と同様である。しかし、フューズセット群６０１（６０10～６０17）は各スペアカラム選択線ＳＣＳＬ毎に設けられる。各フューズセット群６０１はスペアカラム選択線ＳＣＳＬに沿って分割された１６個のスペアエレメント１２と対応させるために１６個のフューズセット６０２（６０20～６０215）を有している。例えばスペアエレメント１２（１，０）にフューズセット６０20を対応させ、スペアエレメント１２（１，１５）に対してフューズセット６０215を対応させるというように、各スペアエレメント１２と各フューズセット５が一対一に対応されている。この例の場合、アドレスの数が上記実施の形態と同じであると仮定すると、フューズ本数は、｛7（アドレスの数）＋１（イネーブル）｝×１６×８＝１０２４本となる。これは、上記実施の形態のフューズ本数に比べて４．３倍である。

【００１８】

また、図１４に示す従来方式の場合、１２８個のスペアエレメント１２を不良セルと置き換えることができるため、上記実施の形態と同様、救済の自由度は大きい。しかし、１チップ内に発生する欠陥数を平均１０個程度とした場合、実際に不良救済に使用されるフューズセットの数は１０個程度である。したがって、不良救済に使用されないフューズセットの数が多い。このため、冗長回路がチップの多くの面積を占有する割に不良セルの救済効率が低い。
次に、図１５に示す従来方式において、スペアエレメント１２はカラム方向に並ぶ複数のサブセルアレイ１１に対して共通に配置されている。フューズセット７０10～７０17は、各サブセルアレイ列C0～C7に配置されている。この例の場合、フューズの数は、｛7（アドレスの数）＋１（イネーブル）｝×８＝６４本と少ない。しかし、１チップ内に発生する欠陥数を前述のように平均１０個とすると、スペアエレメント１２が８個しかないため、救済率が低く、チップの歩留まりが大きく低下してしまう。

一方、上記実施の形態の場合、メモリセルアレイ１は１２８個のスペアエレメント１２を有している。しかし、フューズ本数は、｛７（アドレスの数）＋４（スペアエレメント選択）＋１（イネーブル）＋３（マッピング）｝×１６＝２４０本である。即ち、図１４に示す方式と比較してフューズの数を大きく削減できる。しかも、１２８個のスペアエレメントの１つを任意に選択して不良セルの書き換えを行うことができる。したがって、救済効率が良好である。

【００１９】

図６は、フューズセットの変形例を示している。上記実施の形態において、あるカラム選択線に沿って複数個の不良セルがあった場合、各不良セルに対応するアドレス情報をマッピング用フューズ回路５０３にプログラムして複数のフューズセットを対応させている。これに対して、もし一本のカラム選択線に沿った全てのメモリセルが不良である場合、これらを１つのフューズセットで救済可能とするには、図４に示すフューズセットの構成を、図６のように変形すればよい。即ち、図４のフューズセットに、フューズ回路５１１、ＡＮＤゲート５１３及びＯＲゲート５１４を付加する。前記フューズ回路５１１は１本のフューズを有し、このフューズセットが使用されているか否かを示すイネーブルフューズ回路である。ＡＮＤゲート５１３には、一致検出回路５０４の出力信号のうち、バンクアドレス指定用回路部５０１ｂに対応する出力信号が供給される。このＡＮＤゲート５１３の出力信号と前記フューズ回路５１１の出力信号はＯＲゲート５１４に供給され、ＯＲゲート５１４は前記ＡＮＤゲート５０５に供給される。

上記構成において、あるカラム選択線に沿って全てのメモリセルが不良である場合、対応するフューズセットのフューズ回路５１１のフューズを切断する。このとき、アドレス指定用フューズ回路５０１のバンクアドレス指定用回路部５０１ｂのプログラムは行う必要がない。

【００２０】

この様にすれば、不良カラムアドレスが入力されたとき、バンクアドレスとは無関係に、フューズ回路５１１の出力信号によりＭａｔｃｈ信号５０７がハイレベルとなる。即ち、一本のカラム選択線に沿った全てのセルが不良の場合、これら不良セルに対して１つのフューズセットで不良救済を行うことができる。従って、不良セルの数や場所に応じて、不良セルを柔軟に救済できる。

上記実施の形態では、サブセルアレイ１１毎にスペアエレメント１２を配置したが、これに限定されるものではない。スペアエレメントの配置及び個数は、図７～図１２に示すように、種々変形できる。

図７は、ロウ方向に並ぶ複数個のサブセルアレイ１１に対して１個のスペアエレメント１２を配置する例を示している。このとき、１つのスペアエレメント１２はロウ方向に配置された複数個のサブセルアレイ１１の不良救済に用いられる。スペアエレメント１２の数は、サブセルアレイ１１の数Ｍ×Ｎの整数分の１である。

図７に示す構成は、スペアエレメントの数が少ないため、欠陥セルの密度が小さい場合に有効である。この構成によれば、救済効率を低下せずに面積を縮小できる。

【００２１】

図８は、スペアエレメント１２をカラム方向に配置された複数のサブセルアレイ１１に対して共通に１つ配置した例を示している。この構成によれば、カラム選択線ＣＳＬに沿った複数のサブセルアレイ１１に発生した不良セルを一括してスペアエレメント１２に置換えることができる。しかも、この構成とすることにより、１つのフューズセット中のフューズの数、比較回路の数、ＡＮＤゲートの数を削減することができ、チップ面積を削減して高速動作が可能である。

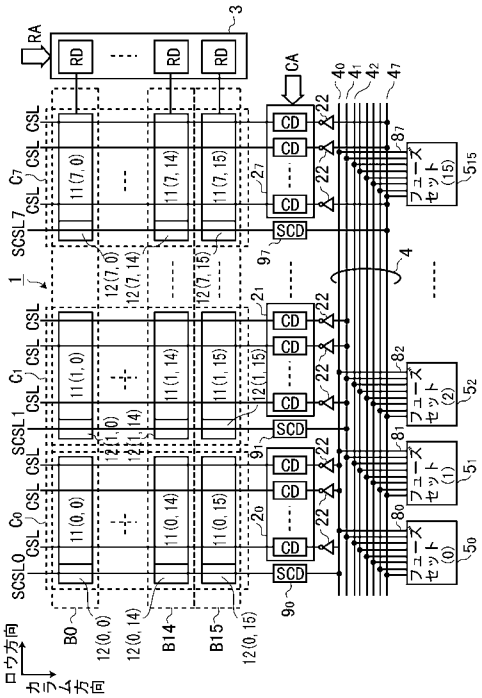
図９は、スペアエレメント１２をサブセルアレイ１１とロウデコーダ３の相互間に配置した例を示している。この構成によれば、ロウデコーダの近傍に入出力回路が配置されている場合、スペアエレメントが選択されると、この選択されたスペアエレメントと入出力回路との間で高速にデータを転送できる。

図１０は、サブセルアレイ１１とスペアエレメント１２の相互間にロウデコーダ３を配置

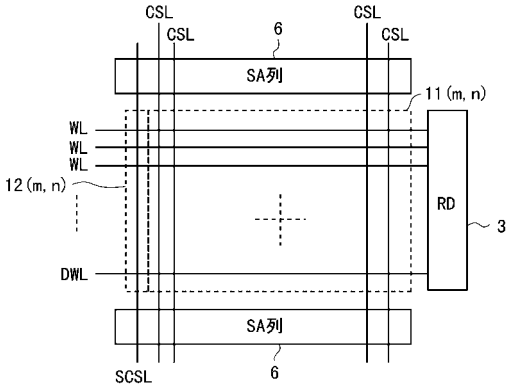
した例を示している。この構成によっても、図９と同様の効果を得ることができる。
図１１は、ロウ方向に並ぶサブセルアレイ１１の中間部にスペアエレメント１２を配置した例を示している。この構成によっても、図９と同様の効果を得ることができる。
【００２２】
図９乃至図１１において、スペアエレメント１２を図８に示す例と同様に、カラム方向に共通に配置することもできる。
図１２は、メモリセルアレイの場所に応じて、スペアエレメントの数を異ならせた例を示している。具体的には、１つのサブセルアレイ１１に対して、スペアエレメント１２を２個設ける部分と、１個設ける部分があることを示している。一般に、製造プロセスの条件により、チップ端部やメモリセルアレイの端部のようにパターンの連続性が途切れる部分には不良が発生し易い。そこで、図１２に示すように、チップの端部やメモリセルアレイの端部のようにパターンの連続性が途切れる部分に位置するサブセルアレイに対して、複数のスペアエレメントを配置することにより、複数の不良を救済できる。
図１３は、サブセルアレイの容量に応じて、スペアエレメントの数を異ならせた例を示している。例えばパリティビットを有するメモリセルや、ランバス（Rambus）準拠ＤＲＡＭのように、メモリセルアレイが均等の容量を有するサブセルアレイに分割されていないメモリ装置がある。このようなサブセルアレイを有するメモリセルアレイは、サブセルアレイの容量に応じて不良の発生密度が異なる。図１３に示すメモリセルアレイ１１において、サブセルアレイ１１ａは例えば１６０Ｋビットの容量を有し、サブセルアレイ１１ｂは例えば１２８Ｋの容量を有している。この場合、サブセルアレイ１１ｂに比べてサブセルアレイ１１ａの不良発生密度が高くなる。したがって、各サブセルアレイ１１ａに対応して２個のスペアエレメント１２を配置し、各サブセルアレイ１１ｂに対応して１個のスペアエレメント１２をしている。
【００２３】
上記構成によれば、不良発生密度が高いサブセルアレイに対してのみ多くのスペアエレメントを配置しているため、スペアエレメントの数を必要最小限に抑えて不良セルの救済効率を向上できる。
その他、この発明は、種々変形実施可能である。例えば上記実施の形態は、スペアエレメントにより不良カラム選択線、すなわち不良ビット線を置き換える場合について説明した。しかし、これに限らず、不良ワード線をスペアエレメントに置き換える場合にもこの発明を同様に適用できる。
また、上記実施の形態において、不良アドレス記憶回路を構成する不揮発性記憶素子としてフューズを用いたが、ＲＯＭ，ＥＰＲＯＭ，ＥＥＰＲＯＭ等、他の各種不揮発性半導体記憶素子を用いることができる。
さらに、この発明が適用される半導体記憶装置は、単体に限らず、ロジック回路等にマージンされた記憶装置の場合も含む。
【００２４】
【発明の効果】
本発明によれば、不良アドレスを記憶する記憶回路内に冗長セルアレイとのマッピング情報を記憶させることにより、不良セルがメモリセルアレイの一部に偏在した場合にも確実に不良セルを救済できる。しかも、不良セルの救済に必要な冗長セルアレイの数を削除してリダンダンシ回路の面積効率を向上することが可能である。
【図面の簡単な説明】
【図１】　本発明の実施の形態によるＤＲＡＭの要部を示すブロック図。
【図２】　図１に示すサブアレイの具体な構成を示すブロック図。
【図３】　図１に示すサブセルアレイ及びその周辺回路を具体的に示す回路図。
【図４】　図１に示すフューズセットを示す回路図。
【図５】　図４に示すデコーダの構成を示す回路図。
【図６】　フューズセットの変形例を示すブロック図。
【図７】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。

【図８】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。
【図９】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。
【図１０】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。
【図１１】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。
【図１２】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。
【図１３】　サブセルアレイとスペアエレメントとの配置の変形例を示すブロック図。
【図１４】　従来のリダンダンシ方式の一例を示すブロック図。
【図１５】　従来のリダンダンシ方式の他の例を示すブロック図。
【符号の説明】
１・…メモリセルアレイ、２・…カラムデコーダ回路、３・…ロウデコーダ回路、４・…置換制御信号線、５・…ヒューズセット、６・…センスアンプ列、７・…カラム選択スイッチ回路、８・…出力端子、９・…スペアカラムデコーダ、１１・…サブセルアレイ、１２・…スペアエレメント（冗長セルアレイ）、５０１・…アドレス指定用ヒューズ回路、５０２・…イネーブル用ヒューズ回路、５０３・…マッピング用ヒューズ回路、５０４・…アドレス一致検出回路、５０５・…ＡＮＤ回路、５０６・…デコーダ。

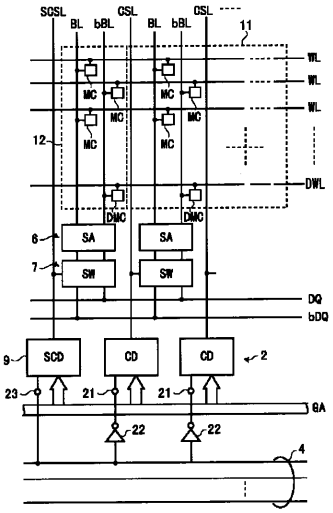
【図１】



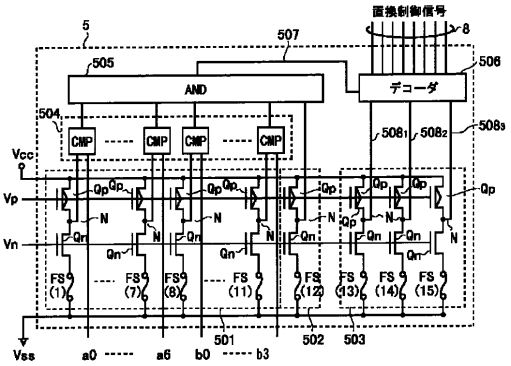
【図２】



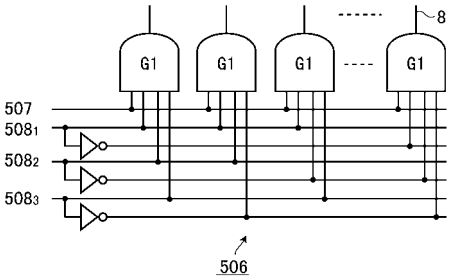
【図３】



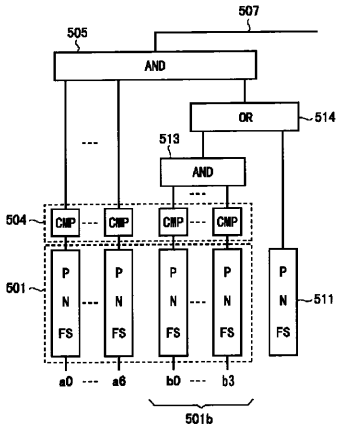
【図４】



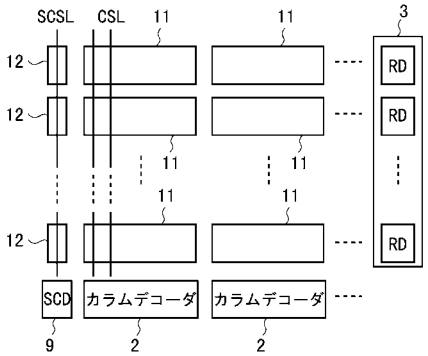
【図５】



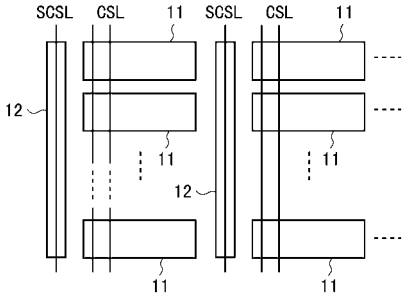
【図６】



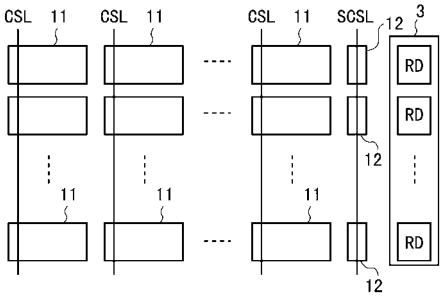
【図７】



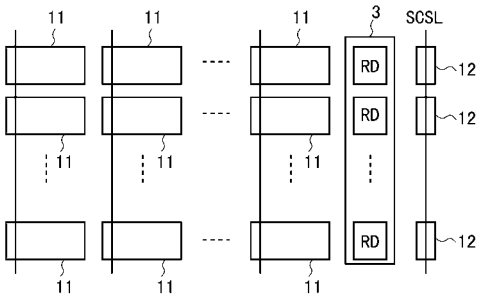
【図８】



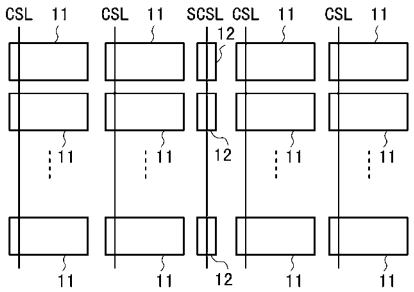
【図９】



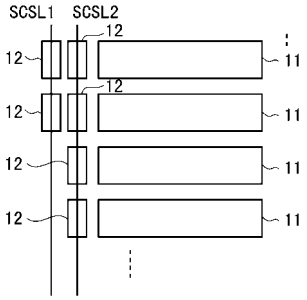
【図１０】



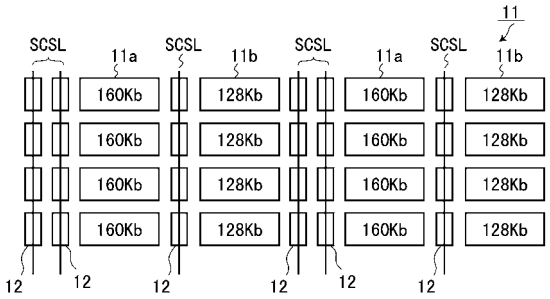
【図１１】



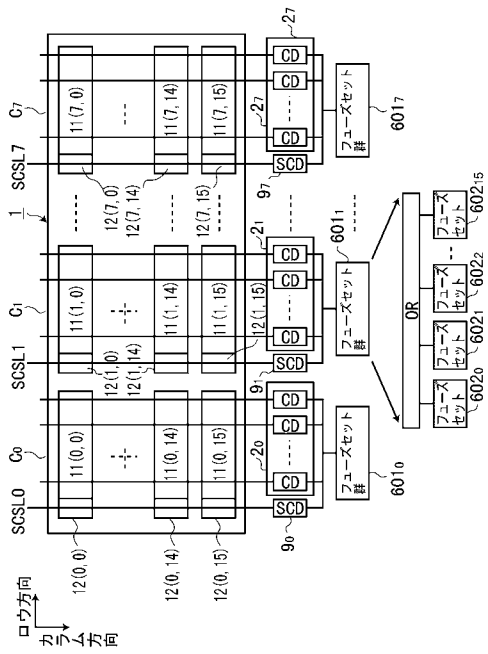
【図１２】



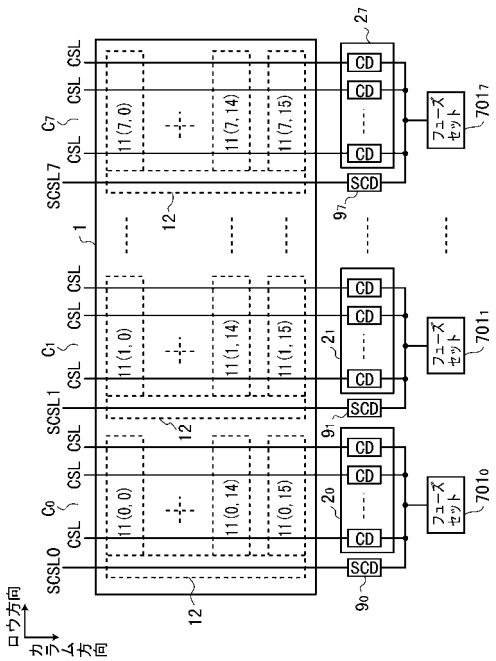
【図１３】



【図１４】



【図１５】



フロントページの続き

(72)発明者　高瀬　覚
神奈川県川崎市幸区堀川町５８０番１号　株式会社東芝　半導体システム技術センター内

審査官　小林　紀和

(56)参考文献　特開平０４－２９１０９９（ＪＰ，Ａ）
特開平０４－３０１２９９（ＪＰ，Ａ）
特開平０５－０７４１９１（ＪＰ，Ａ）
特開平０２－２０８８９８（ＪＰ，Ａ）
特開平１１－１０２５９５（ＪＰ，Ａ）
特開平０６－２５９９９１（ＪＰ，Ａ）
特開平０６－０４４７９５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/04