

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2010-0127070 (43) 공개일자 2010년12월03일
(51) Int. Cl. <i>H01L 29/772</i> (2006.01) <i>H01L 51/30</i> (2006.01) (21) 출원번호 10-2009-0045580 (22) 출원일자 2009년05월25일 심사청구일자 2009년05월25일	(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가 1 (72) 발명자 최종호 서울 성북구 돈암동 609-1 한신아파트 110동 1505호 장영 서울시 성북구 안암동5가 자연계캠퍼스 아산이학관 324호 서훈석 서울특별시 성북구 안암동5가 고려대학교자연계캠퍼스 아산이학관324호 (74) 대리인 특허법인충현	

전체 청구항 수 : 총 17 항

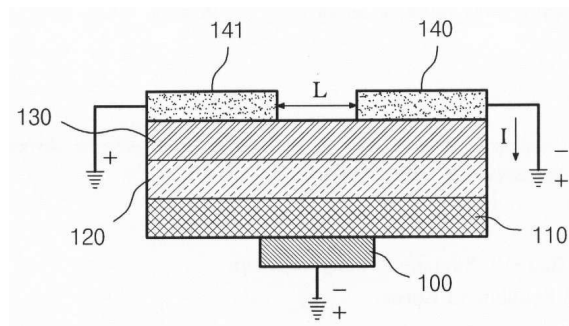
(54) n형 전계효과 트랜지스터의 제조방법

(57) 요약

본 발명의 n형 전계효과 트랜지스터는 특정한 화합물로 사용하여 유기막을 증착시키므로 통상의 화합물을 사용한 경우에 비하여 유기박막의 결정도 및 전계이동도가 우수하다.

나아가, 본 발명의 특정한 화합물을 사용하여 유기막을 증착한 후 특정한 온도에서 열처리를 수행하는 경우 전계이동도를 비약적으로 향상시킬 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 R0A20050001002302008

부처명 한국과학재단

연구관리전문기관

연구사업명 국가지정연구실사업(NRL)

연구과제명 과도화학종 검출 및 반응성 분석 연구

기여율

주관기관 한국과학재단

연구기간 2008년 04월 01일 ~ 2009년 03월 31일

특허청구의 범위

청구항 1

- 1) n형 실리콘 기판의 하부에 게이트 전극을 형성하는 단계;
- 2) 상기 실리콘 기판의 상부에 유전체층을 형성하는 단계
- 3) 노즐을 구비한 도가니를 포함하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입하는 단계;
- 4) N,N' -디트리데실페릴렌-3,4,9,10-테트라카복실릭 디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide) 화합물을 상기 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하는 단계;
- 5) 상기 증기화된 화합물이 상기 노즐을 통과하며 클러스터를 형성하는 단계;
- 6) 상기 유전체층의 상부에 상기 클러스터를 증착시켜 유기막을 형성하는 단계; 및
- 7) 상기 유기막의 상부에 소스전극 및 드레인 전극을 형성하는 단계를 포함하는 n형 전계효과 트랜지스터의 제조방법.

청구항 2

제1항에 있어서,
상기 기판을 가열하지 않는 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 3

제1항에 있어서,
상기 도가니의 재질은 흑연인 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 4

제1항에 있어서, 상기 도가니의 온도는 $277 \sim 307^{\circ}\text{C}$ 인 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 5

제1항에 있어서,
상기 유기막의 증착두께는 $400 \sim 500 \text{ \AA}$ 인 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 6

제1항에 있어서,
상기 유기막의 증착속도는 $0.5 \sim 0.8 \text{ \AA/s}$ 인 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 7

제1항에 있어서,
상기 기판은 전체 공정에서 0V를 유지하는 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 8

제1항에 있어서,
상기 노즐의 직경은 $0.5 \sim 1.5 \text{ mm}$ 인 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 9

제1항에 있어서,

상기 4) 단계에서 전압인가방식은 6 ~ 13.5V의 전압을 인가하는 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 10

제1항에 있어서,

상기 7) 단계에서 생성된 소스전극과 드레인 전극의 채널너비는 500 ~ 2000 μm , 채널길이는 100 ~ 200 μm 인 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 11

제1항에 있어서,

상기 6) 단계와 7) 단계 사이에 상기 증착된 기판을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 12

제11항에 있어서,

상기 열처리는 95 ~ 105℃에서 30분 내지 2시간 동안 수행되는 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 13

제1항에 있어서,

상기 2) 단계와 3) 단계 사이에 상기 기판을 HMDS(hexamethyldisilazane)로 처리하는 단계를 더 포함하는 것을 특징으로 하는 n형 전계효과 트랜지스터의 제조방법.

청구항 14

제1항 내지 제13항 중 어느 한 항의 제조방법으로 제조된 n형 전계효과 트랜지스터.

청구항 15

기판의 하부에 형성된 게이트 전극; 상기 기판의 상부에 형성된 유기막; 및 상기 유기막의 상부에 형성된 소스전극 및 드레인 전극을 포함하는 n형 전계효과 트랜지스터에 있어서,

상기 유기막은 N,N'-디트리데실페틸렌-3,4,9,10-테트라카르복실릭 디이미드 화합물을 포함하는 n형 전계효과 트랜지스터.

청구항 16

제15항에 있어서,

상기 유기막의 증착두께는 400 ~ 500 Å 인 것을 특징으로 하는 n형 전계효과 트랜지스터.

청구항 17

진공챔버의 내상측에 n형 실리콘 기판을 고정시키고, 진공챔버의 내하측에 배치된 도가니의 내부에 있는 N,N'-디트리데실페틸렌-3,4,9,10-테트라카르복실릭 디이미드를 가열하는 단계;

상기 가열된 N,N'-디트리데실페틸렌-3,4,9,10-테트라카르복실릭 디이미드가 승화되어 상기 도가니의 상부에 구비된 노즐을 통과하며 클러스터를 형성하는 단계; 및

상기 기판의 하부에 상기 클러스터가 충돌하며 균일하게 증착되어 유기막을 형성하는 단계;를 포함하는 n형 전계효과 트랜지스터의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 n형 전계효과 트랜지스터의 제조방법에 관한 것으로, 보다 상세하게는 유기박막의 결정도 및 전계이동도가 우수한 n형 전계효과 트랜지스터의 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 평판 표시 패널이라 함은 가시광선을 내는 특성을 이용한 전면이 평판으로 된 장치로서 두 전극 사이에 강한 전압을 걸면 전극 사이에 기체(Gas) 방전이 생기고, 이때 발생하는 자외선이 형광체에 부딪혀 빛을 내는 현상을 이용한 PDP(플라즈마 디스플레이 패널), 평면으로 형성된 캐소드(Cathode)에서 방출된 전자가 형광체에 부딪혀 발광하는 FED(전계 발광 디스플레이), 필라멘트(Filament)에 전압을 인가하여 열전자를 발생시키고, 그리드(Grid)에서 전자가 가속되어 애노드(Anode)에 도달하도록 하여, 이미 패턴(Patterning)된 형광체에 부딪혀 발광함으로써 정보를 표시하는 VFD(배류업 플루오레센트 디스플레이), 형광 또는 인광 유기물 박막에 전류를 흘려주면 전자와 정공이 유기물층에서 결합하면서 빛이 발생하는 자발광형인 OLED 등이 있고, 액체와 고체의 중간상태인 액정의 전기적 성질을 표시장치에 응용한 디스플레이(Display)로서 액정이 셔터(Shutter)의 역할을 하여 전압의 스위칭에 따라 빛을 투과 또는 차단하는 원리를 이용하여 정보를 표시하는 LCD(액정디스플레이)가 있다.

[0003] 액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: 이하, TFT라 함)는 각 픽셀의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다. 이러한 TFT는 반도체층은 소스/드레인 영역과, 이 소스/드레인 영역의 사이에 형성된 채널 영역을 갖는 반도체층을 가지며, 이 반도체층과 절연되어 상기 채널 영역에 대응되는 영역에 위치하는 게이트 전극과, 상기 소스/드레인 영역에 각각 접촉되는 소스/드레인 전극을 갖는다.

[0004] 최근의 평판 디스플레이 장치는 박형화와 아울러 유연(flexible)한 특성이 요구되고 있다. 이러한 유연한 특성을 위해 디스플레이 장치의 기판을 종래의 글라스 기판과 달리 플라스틱 기판을 사용하려는 시도가 있는데, 이렇게 플라스틱 기판을 사용할 경우에는 플라스틱 고유의 유리전이온도가 낮아서 고온 공정을 사용하지 않고, 저온 공정을 사용해야 한다. 종래의 폴리 실리콘계 박막 트랜지스터를 사용하거나 화학기상증착법(CVD)이나 물리기상증착법(PVD)을 이용하기에는 어려운 문제가 있었다.

[0005] 이를 해결하기 위해, 최근에 유기 반도체가 대두되고 있다. 유기 반도체는 저온 공정에서 형성할 수 있어 저가경형 박막 트랜지스터를 실현할 수 있는 장점을 갖는다. 또한, 일반적으로 상기 유기막은 그 하부에 양극을 형성하고 그 상부에 음극을 형성하여 외부의 인가된 전압에 의하여 구동이 가능한데, 상기 유기막의 물리적 특성 즉, 표면의 형태, 결정도 및 표면 입자들의 조밀도(Packing Density)에 의하여 유기 발광 표시 패널의 발광효율이 영향을 받는다. 특히, n형 전계효과 트랜지스터는 게이트 전극에 전압을 걸어 채널의 전계에 의하여 전자가 흐르는 관문(게이트)이 생기게 하는 원리로 소스, 드레인 전극의 전류를 제어하는 트랜지스터로서 유연한 평판 디스플레이분야에 사용된다. 그러나 n형 전계효과 트랜지스터의 성능은 주로 유기 활성박막의 결정도에 좌우됨에도 불구하고 종래에는 결정도가 낮고, 유기 박막이 성장되는 게이트 절연층의 표면에 유기물이 균일하게 증착되지 못하였다. 나아가, 통상의 화합물로 유기막을 증착하는 경우 전계이동도가 낮아 전기회로에서 구동이 불가능한 문제가 있었다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 첫번째 해결하고자 하는 과제는 특정한 화합물을 포함하는 유기박막을 증착시켜 유기박막의 결정도 및 전계이동도가 우수한 n형 전계효과 트랜지스터의 제조방법을 제공하는 것이다.

[0007] 본 발명의 두번째 해결하고자 하는 과제는 유기박막의 결정도 및 전계이동도가 우수한 n형 전계효과 트랜지스터를 제공하는 것이다.

과제 해결수단

- [0008] 본 발명은 상기 첫번째 과제를 달성하기 위해서,
- [0009] 1) n형 실리콘 기판의 하부에 게이트 전극을 형성하는 단계, 2) 상기 실리콘 기판의 상부에 유전체층을 형성하는 단계, 3) 노즐을 구비한 도가니를 포함하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입하는 단계, 4) N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide) 화합물을 상기 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하는 단계, 5) 상기 증기화된 화합물이 상기 노즐을 통과하며 클러스터를 형성하는 단계, 6) 상기 유전체층의 상부에 상기 클러스터를 증착시켜 유기막을 형성하는 단계 및 7) 상기 유기막의 상부에 소스전극 및 드레인 전극을 형성하는 단계를 포함하는 n형 전계효과 트랜지스터의 제조방법을 제공한다.
- [0010] 본 발명의 바람직한 실시예에 따르면, 상기 기판을 가열하지 않을 수 있다.
- [0011] 본 발명의 바람직한 다른 실시예에 따르면, 상기 도가니의 재질은 흑연일 수 있다.
- [0012] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 도가니의 온도는 277 ~ 307℃일 수 있다.
- [0013] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 유기막의 증착두께는 400 ~ 500Å 일 수 있으며, 상기 유기막의 증착속도는 0.5 ~ 0.8 Å/s 일 수 있다.
- [0014] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 1) 단계와 2) 단계 사이에 상기 기판의 상단에 유전층을 형성하는 단계를 더 포함할 수 있다.
- [0015] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 기판은 전체 공정에서 0V를 유지할 수 있다.
- [0016] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 노즐의 직경은 0.5 ~ 1.5mm일 수 있다.
- [0017] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 4) 단계에서 전압인가방식은 6 ~ 13.5V의 전압을 인가할 수 있다.
- [0018] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 7) 단계에서 생성된 소스전극과 드레인 전극의 채널너비는 500 ~ 2000 μm , 채널길이는 100 ~ 200 μm 일 수 있다.
- [0019] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 6) 단계와 7) 단계 사이에 상기 증착된 기판을 열처리하는 단계를 더 포함할 수 있으며, 보다 바람직하게는 상기 열처리는 95 ~ 105℃에서 30분 내지 2시간 동안 수행될 수 있다.
- [0020] 본 발명의 바람직한 또 다른 실시예에 따르면, 상기 2) 단계와 3) 단계 사이에 상기 기판을 HMDS(hexamethyldisilazane)로 처리하는 단계를 더 포함할 수 있다.
- [0021] 본 발명은 상기 두번째 과제를 달성하기 위하여, 기판의 하부에 형성된 게이트 전극; 상기 기판의 상부에 형성된 유기막; 및 상기 유기막의 상부에 형성된 소스전극 및 드레인 전극을 포함하는 n형 전계효과 트랜지스터에 있어서, 상기 유기막은 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드 화합물을 포함하는 n형 전계효과 트랜지스터를 제공한다.
- [0022] 본 발명의 바람직한 실시예에 따르면, 상기 유기막의 증착두께는 400 ~ 500Å 일 수 있다.
- [0023] 본 발명은 진공챔버의 내상측에 n형 실리콘 기판을 고정시키고, 진공챔버의 내하측에 배치된 도가니의 내부에 있는 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드를 가열하는 단계, 상기 가열된 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드가 승화되어 상기 도가니의 상부에 구비된 노즐을 통과하며 클러스터를 형성하는 단계, 및 상기 기판의 하부에 상기 클러스터가 충돌하며 균일하게 증착되어 유기막을 형성하는 단계;를 포함하는 n형 전계효과 트랜지스터의 제조방법을 제공한다.

효과

- [0024] 본 발명의 n형 전계효과 트랜지스터는 특정한 화합물을 사용하여 유기막을 증착시키므로 통상의 화합물을 사용한 경우에 비하여 유기막의 결정도 및 전계이동도가 우수하다.
- [0025] 나아가, 본 발명의 특정한 화합물을 사용하여 유기막을 증착한 후 특정한 온도에서 열처리를 수행하는 경우 전계이동도를 비약적으로 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0026] 이하, 본 발명을 보다 상세히 설명한다.
- [0027] 상술한 바와 같이, 종래의 n형 전계효과 트랜지스터는 동도가 낮고 공기중에서 불안정한 문제가 있었다.
- [0028] 이에 본 발명에서는 유기박막의 결정도 및 전계이동도가 우수한 n형 전계효과 트랜지스터의 제조방법을 제공하여 상술한 문제점의 해결을 모색하였다. 구체적으로, 본 발명의 일실시예에 따른 n형 전계효과 트랜지스터의 제조방법은 1) n형 실리콘 기판의 하부에 게이트 전극을 형성하는 단계, 2) 상기 실리콘 기판의 상부에 유전체층을 형성하는 단계, 3) 노즐을 구비한 도가니를 포함하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입하는 단계, 4) N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide) 화합물을 상기 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화하는 단계, 5) 상기 증기화된 화합물이 상기 노즐을 통과하며 클러스터를 형성하는 단계, 6) 상기 유전체층의 상부에 상기 클러스터를 증착시켜 유기막을 형성하는 단계 및 7) 상기 유기막의 상부에 소스전극 및 드레인 전극을 형성하는 단계를 포함한다.
- [0029] 먼저, 본 발명에서 사용되는 진공증착장비를 개략적으로 살펴보면, 진공챔버의 내상측에 피증착물인 기판을 위치시키며, 내하측에는 가열수단으로서 전열선이 구비된 도가니를 배치하며 상기 도가니의 상부에는 노즐을 구비한 덮개가 형성되어서 상기 도가니는 상부의 노즐을 제외하고는 밀폐된 형상을 가지게 되고, 그 내부에는 증착되는 유기물을 위치시킨다. 또한, 증착이 완료된 증착 유기물 박막의 두께를 측정하기 위하여 설치된 두께 모니터는 증착 유기물의 증착 속도와 두께를 각각 Å/s와 kÅ/단위로 나타내며 상기 박막의 두께를 모니터링하고 적절한 두께를 조절할 수 있도록 한다. 또한, 셔터를 상기 기판과 도가니의 중간에 위치시켜서 외부에서 열고 닫을 수 있도록 구비되어 있으며 처음에는 닫힌 상태로서, 정제되지 않은 불순물이 증착되는 것을 방지하고 일정한 증착 속도에 도달했을 때 외부에서 회전시켜서 열 수 있도록 마련된다.
- [0030] 다음, 상술한 본 발명의 n형 전계효과 트랜지스터의 제조방법을 보다 상세히 설명하면, 1) 단계로서 n형 실리콘 기판의 하부에 게이트 전극을 형성하는 단계로서 당업계에서 통상 사용하는 방법인 이상 특별하게 한정되지 않는다.
- [0031] 다음, 2) 단계로서 상기 실리콘 기판의 상부에 유전체층을 형성한다. 상기 유전체층은 통상의 수단을 통해 형성될 수 있으나, 바람직하게는 상기 실리콘 기판의 표면은 열산화법에 의하여 형성된 이산화실리콘(SiO_2)으로 이루어질 수 있으며 그 두께는 바람직하게는 1000 ~ 3000Å일 수 있으나 이에 제한되는 것은 아니다.
- [0032] 한편, 상기 2) 단계 이후 상기 기판에 형성된 유전체층의 상부에 후술하는 유기막과 유전체층 사이의 밀착이 균일해지도록 양쪽성 물질인 HMDS(hexamethyldisilazane)으로 처리할 수 있다. 이 경우 다른 계면활성제(예를 들어 옥타데실트리클로로실란)으로 HMDS를 처리하는 경우에 비하여 트랜지스터 내부의 전계이동도를 더욱 향상시킬 수 있다. 한편 HMDS를 처리하는 방법은 통상의 코팅방법을 사용할 수 있다.
- [0033] 다음, 3) 단계로서 노즐을 구비한 도가니를 포함하는 클러스터 빔 증착 챔버 내부에 상기 기판을 삽입한다. 구체적으로 상기 도가니의 재질은 후술하는 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide) 화합물을 가열하는 경우 상기 화합물이 흡착되거나 반응하지 않는 재질이면 특별하게 제한할 것은 아니나, 고온으로 가열이 가능하고 고온에서도 열변형이 적은 흑연(graphite)이 바람직하다. 아울러, 상기 도가니의 형태는 밀폐되어 그 상부에 노즐을 가진 덮개가 구비될 수 있는 한 특별하게 제한할 것은 아니나 바람직하게는 박막의 형성이 용이한 스프인코팅이 유리하다. 한편, 상기 노즐은 후술하는 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭디이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide) 화합물이 승화되어 기판을 향해 배출되는 통로로서 그 직경은 바람직하게는 0.5 ~ 1.5mm일 수 있다. 만일 도가니에 구비된 노즐의 직경이 0.5mm 미만인 경우에는 후술하는 클러스터화된 증기 입자가 노즐을 통과하기 어려우므로 바람직하지 못하고, 1.5mm를 초과하는 경우에는 클러스터 분자가 너무 커져서 이동할 때의 고른 박층이 형성되기 어렵기 때문에 바람직하지 못하다. 따라서 직경이 0.5 내지 1.5mm인 노즐을 통과하면서 발생된 운동에너지는 고른 박막을 형성하기 위하여 이동(migration)에 필요한 에너지를 공급할 수 있는 것이다. 그러므로 상기 이동 에너지에 의하여 증착 단계에서 가온하지 않고 실온에서 증착시킬 수 있다는 장점이 있다.

[0034]

다음, 4) 단계로서 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실리다이미드(N,N' -ditridecylperylene-3,4,9,10-tetracarboxylic diimide) 화합물을 상기 도가니 내부에 넣고 전압 인가 방식에 의하여 가열함으로써 증기화한다. 본 발명에 서는 트랜지스터에 증착되는 유기막의 주성분으로서 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실리다이미드 화합물을 사용한다. 상기 화합물은 상기 화합물은 Alq_3 (트리스(8-하이드록시퀴놀린)알루미늄), TCNQ(tetrafluoro-tetracyano-quinodimethane) 및 통상의 페릴렌 계열의 화합물 등 통상의 유기막 재질에 비하여 트랜지스터의 전계이동도가 우수하다.

[0035]

이를 위하여 바람직하게는 6 ~ 13.5V의 전압을 인가할 수 있다. 만일 6V 미만의 전압을 인가하는 경우에는 유기분자들이 클러스터한 입자들을 형성 할 수가 없고 13.5V를 초과하면 유기분자들의 증착 속도가 너무 증가 되고 일정한 속도로 증착 불가능하며 결정을 형성할 수가 없다.

[0036]

다음, 5) 단계로서 상기 증기화된 화합물이 상기 노즐을 통과하며 클러스터를 형성한다. 구체적으로 진공상태에서 상기 N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실리다이미드 화합물을 가열하면 상변화에 의하여 기체로 승화하게 되고 승화된 화합물 입자들은 도가니 내부를 유동하게 된다. 유동하는 상기 입자들은 도가니의 상부에 형성된 노즐을 통과하게 되는데, 상기 노즐의 작은 구멍(hole)을 통과하기 때문에 상부로 향하는 운동을 하는 즉, 한 방향의 운동에너지를 가진 상태의 입자들만이 노즐을 통과할 수 있게 된다. 따라서, 상기 도가니의 내부에서 증기화된 입자들은 도가니 내부에서 유동하며 서로 부딪치며 약한 분자간 인력으로 클러스터(cluster)를 형성하게 되고, 상부로 향하는 방향성을 가진 상기 클러스터들만이 균일하고 일정한 운동에너지를 가지고, 빔(beam)의 형태로 노즐을 통과하여 진공챔버의 내상측을 향하여 진행하게 된다. 이렇게 상부로 향하는 방향성을 가지고 동시에 균일하고 일정한 운동에너지를 가진 클러스터는 진공챔버의 내상측에 배치된 기판의 하부에 충돌을 하게 되고, 충돌에 의하여 상기 클러스터의 약한 분자간 인력이 깨지게 되며 동시에 잔여의 운동에너지에 의하여 충돌된 주변의 빈 자리를 찾아 증착되어서 결국 형성되는 박막의 두께가 균일하게 되어, 결정성이 우수해진다.

[0037]

이에 반하여 종래의 물리기상증착(PVD)법 또는 OMBD법에 의하면, 증착하고자 하는 상기 유기분자들이 특정한 방향성을 가지고 진공챔버내에서 운동하는 것이 아니라 접시모양 또는 그릇모양의 보트(boat)가 가열됨에 따라서 진공상태인 주변환경으로 직접 증발되는 현상이 발생된다. 이는 본 발명에 의한 클러스터빔 증착에서의 클러스터와는 다른 것으로 약한 인력으로 유기분자들이 뭉쳐져서 클러스터를 형성할 수 없게 된다. 즉, 진공상태인 주변으로 다양한 각도의 방향성을 가지고 또한 넓은 분포 크기의 운동에너지를 가진 유기분자들이 승화되는 것이다. 따라서, 넓은 범위의 운동에너지를 가진 입자들이 여러 방향으로부터 많거나 또는 적게 증착되어 기판의 하부에는 그 표면이 거친 섬(island)의 형태를 가지게 된다. 따라서, 증착되는 유기분자들로 이루어진 표면은 거칠어지게 되어 결정도(crystalline)가 떨어져서 전하이동도(mobility)가 저감된다.

[0038]

한편, 상기 도가니의 온도는 바람직하게는 277 ~ 307℃일 수 있다. 만일 도가니 내부온도가 277℃ 미만인 경우에는 상기 화합물이 증기화되기 어려울 뿐만 아니라, 평평한 기판에서 열중합이 일어나기 위해 필요한 충분한 에너지를 공급할 수 없기 때문에는 유기박막이 형성되기 어렵고, 307℃를 초과하는 경우에는 불안정한 상태의 프리폴리머 라디칼이 형성되기 때문에 박막을 형성한 물질의 화학적 조성이 변성된 형태일 수 있고 표면의 거칠기도 열악해지기 때문에 바람직하지 않다.

[0039]

다음, 6) 단계로서 상기 유전체층의 상부에 상기 클러스터를 증착시켜 유기막을 형성한다. 구체적으로 상기 승화되어 크루서블의 노즐을 통과한 클러스터는 진공챔버의 내상측으로 진행하며 기판의 하부에 충돌하게 된다. 충돌된 클러스터는 약한 분자간 결합력이 깨지며 원래 승화된 유기 입자로 되며 주변의 빈 자리로 이동하여 기판과 결합하게 된다. 또한, 클러스터를 증착하기 전에 기판의 표면에 계면활성제를 적층할 수 있다. 또한, 상기 화합물을 이용하는 경우에는 그 두께가 400 내지 500Å일 수 있다. 만일, 400Å 미만이면, 실제 제조 공정에서 여러 공정을 거치면서 취급성으로 균열 등의 물리적 손상의 우려가 있고, 500Å을 초과하면, 전기적 특성을 저하시킬 수 있다. 또한, 상기 클러스터의 증착속도는 0.5 내지 0.8Å/S인 것이 바람직하며, 증착속도가 0.5Å 미만인 때에는 박막의 증착속도가 너무 느리기 때문에 유기박막이 제대로 형성되기 어렵고 0.8Å을 초과하는 경우에는 제조된 유기박막의 거칠기가 열악해질 수 있다.

[0040]

한편, 클러스터 빔 증착시에 상기 기판을 가열하지 않는 것이 바람직하며, 보다 바람직하게는 증기화된 클러스터는 20 내지 30℃의 실온에서 증착되어 유기막을 형성할 수 있다. 만일, 기판을 가열하면 가열시 필요한 생산원가가 증가할 뿐만 아니라 대형화에 따라서 기판 전체의 온도균일성을 공정조건으로 수립하기 까다로운 단점이 있다.

[0041] 다음, 바람직하게는, 트랜지스터의 전하이동성을 향상시키기 위하여 상기 6) 단계와 7) 단계 사이에 상기 증착된 기판을 열처리하는 단계를 더 포함할 수 있다. 이 경우 단순히 N,N' -디트리데실페틸렌-3,4,9,10-테트라카르복실리디이미드 화합물만을 증착한 경우에 비하여 전하이동성이 비약적으로 향상되는 것을 확인할 수 있는데(표 1 참조) 이는 정확하지는 않으나 열처리에 의해서 표면이 더 매끄러워지고 결정성이 좋아졌기 때문인 것으로 예상된다.

[0042] 이 경우, 보다 바람직하게는 상기 열처리는 95 ~ 105℃에서 30분 내지 2시간 동안 수행될 수 있다. 만일 열처리 온도가 95℃ 미만이거나 105℃를 초과하면 전하이동성의 향상을 도모할 수 없으며 이에 대하여는 하기 표 1을 통해 확인할 수 있다. 또한 열처리 시간이 30분 미만이면 열처리 효과가 미미하고, 2시간을 초과하면 결정성이 향상되지 않는다.

[0043] 다음, 7) 단계로서 상기 유기막의 상부에 소스전극 및 드레인 전극을 형성한다. 형성되는 소스전극과 드레인 전극은 통상의 방법을 통해 형성될 수 있으며, 바람직하게는 상기 7) 단계에서 생성된 소스전극과 드레인 전극의 채널너비는 500 ~ 2000 μm , 채널길이는 100 ~ 200 μm 일 수 있다.

[0044]

[0045] 상술한 제조방법을 통해 제조된 n형 전계효과 트랜지스터를 설명하면, 도 1은 본 발명의 바람직한 실시예에 따른 유기박막 트랜지스터의 단면을 개략적으로 나타내는 도면이다. 도 1을 참조하면, 본 발명의 바람직한 일 실시예에 따른 유기박막 트랜지스터는 평평한 기판(110)의 상부에 형성된 유전체층(120)과, 상기 유전체층의 상부에 형성되는 N,N' -디트리데실페틸렌-3,4,9,10-테트라카르복실리디이미드 합물층(130, 유기박막)을 포함한다. 또한, 통상적으로 사용되는 전극으로서 게이트(100) 전극이 상기 기판의 하부에 구비되고, 소스(141) 및 드레인 전극(140)이 상기 화합물층의 상부에 적층된 구조이다. 상기 기판(110)은 n형으로 도핑된(doped) 실리콘 기판이다. 상기 유전체층(120)은 별도의 수단으로 구비될 수 있으나, 바람직하게는 상기 실리콘 기판의 표면은 열산화법에 의하여 형성된 이산화실리콘(SiO_2)으로 이루어질 수 있다.

[0046] 도 2는 본 발명에서 사용되는 증기화 장치의 작동원리를 개략적으로 도시한 것이다. 도 2를 참조하면, 진공챔버의 내부에는 N,N' -디트리데실페틸렌-3,4,9,10-테트라카르복실리디이미드 화합물(210)을 담은 도가니(211)가 구비되어 있으며, 도가니(211)에 전압을 가해 주어 기판(215)과의 전위차를 형성시키기 위해 가변 전압 회로가 연결되어 있고 그 말단은 접지되어 있다. 상기 도가니(211)에 소정의 전압을 인가함으로써 본 발명의 특정한 페틸렌 화합물(210)은 도가니(211) 덮개에 위치한 직경 약 0.5 내지 1.5mm의 노즐(212)을 통과하게 되므로 분자간의 충돌에 의해 클러스터(213)를 형성하게 된다. 상기 클러스터(213)는 일정한 방향성을 가진 빔의 형태를 띠게 된다. 챔버의 상부에는 평평한 기판(215)을 위치시키고, 증착되는 유기막(216)의 두께를 측정하기 위하여 설치된 모니터(217)는 증착물의 증착 속도와 두께를 각각 $\text{\AA}/\text{s}$ 와 $\text{k}\text{\AA}$ 단위로 나타내며 상기 유기막(216)의 두께를 모니터링하며 적절한 두께를 조절할 수 있도록 한다. 중성 클러스터 빔 증착(Neutral Cluster Beam Deposition)법은 약한 분산력으로 결합된 클러스터가 기판(215)에 충돌시 부수어져서 기판(215) 위에 균일하게 분포되기 때문에 표면이 고른 박막이 형성될 수 있다. 상기 기판(215)에는 전류계를 연결하고 접지시키기 때문에 기판의 전압은 0V이다. 한편, 상기 전류계에 의해 클러스터 이온화 정도를 정량적으로 알 수 있다. 서터(218)는 외부에서 열고 닫을 수 있도록 구비되어 있으며 처음에는 닫힌 상태로서, 정제되지 않은 불순물이 증착되는 것을 막기 위해 일정한 증착 속도에 도달했을 때 외부에서 회전시켜서 열 수 있도록 구비되어 있다. 이처럼 클러스터 빔을 이용함으로써 기체 분자들은 고진공 상태로 단열 팽창할 때 빔의 높은 방향성과 병진 운동에너지를 얻을 수 있다. 도 2의 A는 유전체층에 정렬된 상기 화합물의 형상을 확대한 것이고, B는 상기 화합물 입자가 기판에 부딪혀 고르게 분포되는 모습을 확대하여 나타낸 것이다.

[0047] 결국 본 발명의 제조방법을 통해 제조된 n형 전계효과 트랜지스터는 특정한 화합물로 사용하여 유기막을 증착시키므로 통상의 화합물을 사용한 경우에 비하여 유기박막의 결정도 및 전계이동도가 우수하다. 나아가, 본 발명의 특정한 화합물을 사용하여 유기막을 증착한 후 특정한 온도에서 열처리를 수행하는 경우 전계이동도를 비약적으로 향상시킬 수 있다.

[0048] 이하 본 발명의 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명하나 본 발명이 이에 의해 제한되는 것은 아니다.

- [0049] <실시예 1>
- [0050] 1-(1) 게이트 전극 형성
- [0051] 먼저 세정된 n형 실리콘기판의 하부에 알루미늄(Al)을 이용하여 두께 1000 Å으로 게이트 전극을 형성하였다.
- [0052] 1-(2) 유전층의 형성
- [0053] 게이트 전극이 형성된 기판의 상부에 열산화방법을 이용하여 이산화규소(SiO₂)를 두께 2500 Å으로 증착하였다.
- [0054] 1-(3) 유기박막 증착
- [0055] 배플(baffle)이 달린 10인치 디퓨전펌프(diffusion pump)를 이용하여 진공챔버내의 진공도를 평균 1×10^{-5} Torr로 유지하며, 상부에 직경 1mm의 노즐이 형성된 덮개를 구비한 흑연(graphite)소재의 도가니를 진공챔버의 내하측에 위치시키고 n형 실리콘기판의 이산화규소가 적층된 면을 아래로 하여 상기 진공챔버의 내상측에 배치하였다. 이때, 상기 n형 실리콘기판과 도가니와의 이격된 거리는 190mm이었다. 다음으로, 상기 도가니의 내부에 N,N'-디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드를 투입하고 가열온도 277℃, 증착속도는 0.7 Å/sec의 조건으로 500Å 두께의 유기박막을 증착하였다. 여기서 기판온도의 온도는 20℃를 유지하였다.
- [0056] 1-(4) 소스 및 드레인전극 형성
- [0057] 다음으로, 금(Au)을 전극소재로 박막두께 500Å으로 채널길이 200μm, 채널폭 1000μm인 새도우 마스크를 이용하여 진공증착법으로 소스 및 드레인전극을 동시에 형성하여 유기박막 트랜지스터를 제조하였다.
- [0058] <실시예 2>
- [0059] 상기 실시예 1의 1-(3)과 1-(4) 단계 사이에 유기막이 증착된 기판을 100℃의 오븐에서 1시간 동안 열처리를 한 것을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.
- [0060] <실시예 3>
- [0061] 상기 실시예 1의 1-(2)와 1-(3) 단계 사이에 기판을 헥사메틸디실라
- [0062] 제인(HMDS:hexamethydisilazane)(Aldrich사 제조)으로 스핀코팅하여 건조한 점을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.
- [0063] <실시예 4>
- [0064] 상기 실시예 1의 1-(2)와 1-(3) 단계 사이에 기판을 헥사메틸디실라
- [0065] 제인(HMDS:hexamethydisilazane)(Aldrich사 제조)으로 스핀코팅하여 건조하고 상기 실시예 1의 1-(3)과 1-(4) 단계 사이에 유기막이 증착된 기판을 100℃의 오븐에서 1시간 동안 열처리를 한 것을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.
- [0066] <비교예 1>
- [0067] N,N'-디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드를 대신하여 Alq₃를 사용한 것을 제외하고

는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.

[0068] <비교예 2>

[0069] N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드를 대신하여 TCNQ를 사용한 것을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.

[0070] <비교예 3>

[0071] N,N' -디트리데실페릴렌-3,4,9,10-테트라카르복실릭 디이미드를 대신하여 N,N' -디옥탈페릴렌-3,4,9,10-테트라카르복실릭 디이미드를 사용한 것을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.

[0072] <비교예 4>

[0073] 상기 실시예 1의 1-(3)과 1-(4) 단계 사이에 유기막이 증착된 기판을 90℃의 오븐에서 1시간 동안 열처리를 한 것을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.

[0074] <비교예 5>

[0075] 상기 실시예 1의 1-(3)과 1-(4) 단계 사이에 유기막이 증착된 기판을 110℃의 오븐에서 1시간 동안 열처리를 한 것을 제외하고는 실시예 1과 동일하게 실시하여 n형 전계효과 트랜지스터를 제조하였다.

[0076] <실험예>

[0077] 상기 실시예 1 ~ 4 및 비교예 1 ~ 5의 제조방법을 통해 제조된 n형 전계효과 트랜지스터에 대하여 하기와 같은 방법으로 물성을 평가하여 그 결과를 표 1에 나타내었다.

[0078]

[0079] 1. 원자힘 현미경 (Atomic Force Microscopy, AFM)

[0080] 표면의 거칠도는 AFM(Atomic Force Microscopy)를 통해서 알 수 있다. AFM은 실리콘 탐침이 박막의 표면을 주사하면서 표면의 영상을 나타낼 수 있고 기준선으로부터 거친 정도를 수치로 나타내어 준다. 실시예 1, 2, 3, 4에 의해 제조된 유기박막 트랜지스터의 P13의 표면에 대하여 AFM을 측정하여 그 결과를 도 3에 나타내었다. 도 3을 참조하면, 박막표면의 R_{rms} 값은 알 수 있는데, 실시예 1, 2, 3, 4의 R_{rms} 값은 각각 63, 15, 39, 22 Å 을 나타내었다. 이는 열처리에 의해서 표면이 더 매끄러워졌다는 것을 의미한다. 그러므로 NCBDS는 실온에서 증착할 수 있는 좋은 장비로서 구지 기판에 온도를 가하지 않아도 기체 분자들이 고진공 상태로 단열 팽창할 때 얻어지는 빔의 높은 방향성과 병진 운동에너지로 인해 분자들의 배열이 잘 이루어 졌고 열처리해준 후 결정성이 더 좋아졌다는 것을 알 수가 있다.

[0081] 또한, 실시예 1, 2, 3, 4에 대하여 얻을 수 있는 사실은 실리콘 기판을 계면활성제로 처리하거나 열처리한 후 유기박막이 그레인 크기도 커지고 더욱 밀집된 알갱이의 결정들로 구성되어 있음을 보여준다. HMDS는 SiO_2 표면과 유기박막이 증착되는 그 사이의 표면에서 친수기와 친유기를 동시에 가짐으로써 친 양쪽성의 역할을 하여 소수성 유기박막과 친수성의 SiO_2 의 구조적인 배치를 원활하게 해줌으로써 박막의 결정성을 증가시키고 있다.

[0082]

[0083] 2. X선 회절분석 (XRD)

[0084] 실시예 1, 2, 3, 4에 의해 제조된 유기박막 트랜지스터의 유기박막의 표면에 대하여 XRD를 측정하여 그 결과를 도 4에 나타내었다. 그림 4를 참조하면, 열처리를 한 것이 그렇지 않은 XRD pattern에 비해 더 높은 결

정성을 보이는 것을 알 수 있다. HMDS 표면처리 하거나 유기박막의 증착후 열처리를 해주면 XRD 이미지에 노이즈가 적게 생기는 것으로 박막형성이 가장 잘 되어있음을 알 수 있다. AFM data와 상응하는 결과라고 할 수 있다.

[0085] 3. 전기적 특성 측정

[0086] 실시예 2에 의해 제조된 유기박막 트랜지스터에 대한 전기적 특성에 대한 그래프는 도 5에 나타내었다. 도 5를 참조하여 전기적 특성 즉, 전계이동도(μ_{FET} , cm^2/Vs), 전류점멸비($I_{ON/OFF}$), 문턱전압(V_T , V), subthreshold slope(SS, V/dec) 의 값은 하기 <수학식 1>에 의해서 유도할 수 있다. 이외에도 트랩밀도(N_{trap} , 10^{12} cm^{-2}) 와 활성화에너지(E_a , meV)를 <수학식 2>, <수학식 3>에 의하여 구할 수 있다. 활성화에너지는 도 6에 그 결과가 도출되어 있다.

[0087] [수학식 1]

$$\mu = \frac{2L(I_{DS})}{WC_i(V_{GS} - V_T)^2}$$

[0088] 단, 상기 수학식 1에서 L은 드레인과 소스 사이 채널의 길이(μm)이고 I_{DS} 는 소스와 드레인 전극 사이에 흐르는 전류(암페어) 이며 W는 소스와 드레인 전극 사이 채널의 넓이(μm) 이고 C_i 는 유전층으로 사용되는 이산화 규소의 전기용량이고 단위는 nF/cm^2 이다. V_{GS} 는 소스와 게이트 전극 사이의 전압(볼트)이고 V_T 은 문턱전압(볼트)이다.

[0090] [수학식 2]

$$N_{trap} = \frac{C_i |V_T - V_{T0}|}{e}$$

[0091] 단, 상기 수학식 2에서 e는 단위전하량으로써 1.60×10^{-19} 쿨롱이고, V_T 는 문턱전압이고 단위는 볼트(V) 이다. 상기 식은 트랩밀도를 구하는 식이다.

[0093] [수학식 3]

$$\mu_{eff} \propto \exp(-E_a/kT)$$

[0094] 단, 상기 수학식 3에서 μ_{eff} 는 전계이동도이고 단위는 $\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, k는 볼츠만 상수 이고 T는 온도, 단위는 켈빈이다. 수학식 3은 아레니우스 관계식이고 온도 변화에 따른 이동도를 측정하여 활성화에너지 E_a 를 구할 수가 있다.

[0096] 이와같이 유도된 값들을 하기 <표 1>에 나타낼 수 있다.

[0097] [표 1]

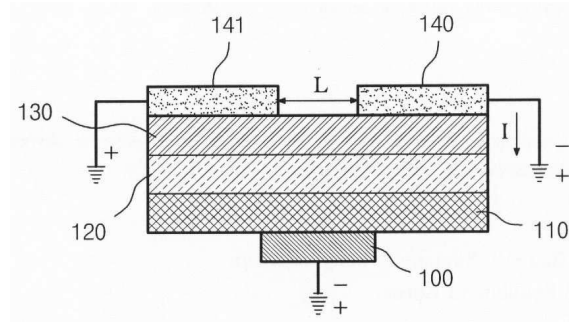
	μ_{eff} [$\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$]	$\mu_{eff}^{avg} \pm \sigma$ [a] [$\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$]	I_{on}/I_{off}	V_T [V]	V_{T0} [V]	SS [V/decade]	N_{trap} [10^{12} cm^{-2}]	E_a [meV]
실시예 1	0.16	0.11 ± 0.03	10^4	46.32	15	10.18	2.70	28.4

[0115] 216 : 유기막
[0116] 218 : 셔터

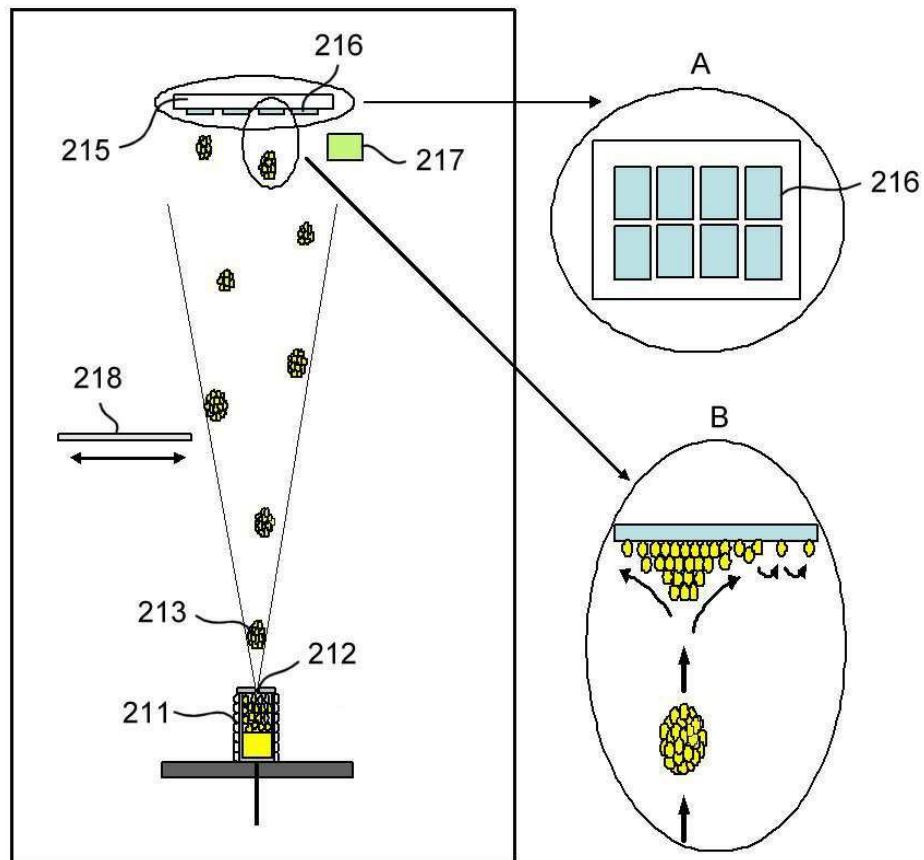
217 : 두께 모니터

도면

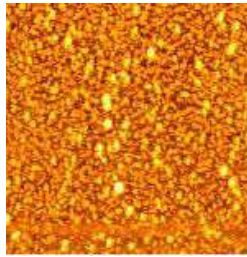
도면1



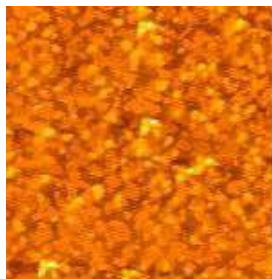
도면2



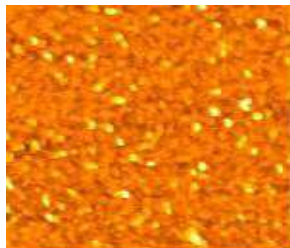
도면3a



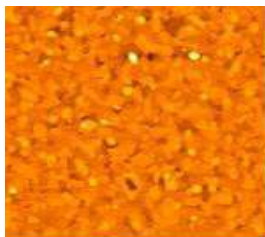
도면3b



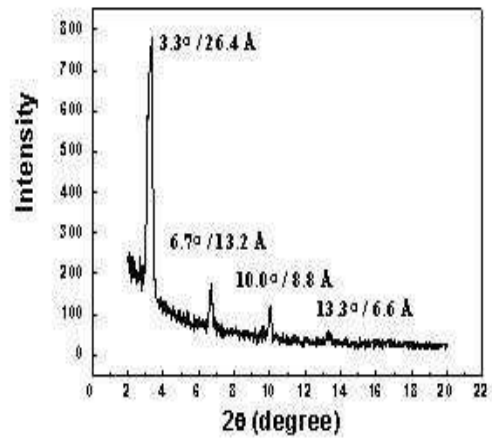
도면3c



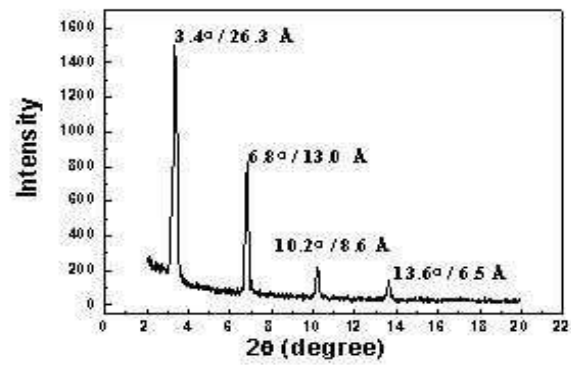
도면3d



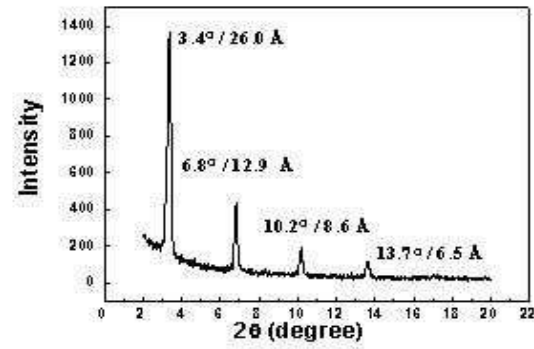
도면4a



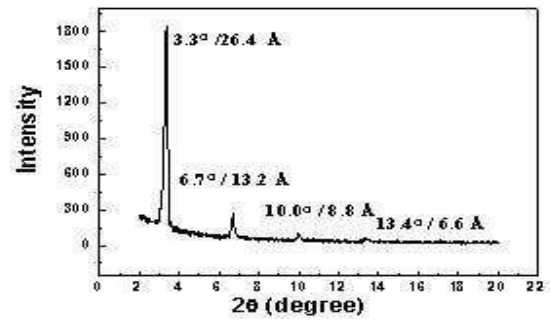
도면4b



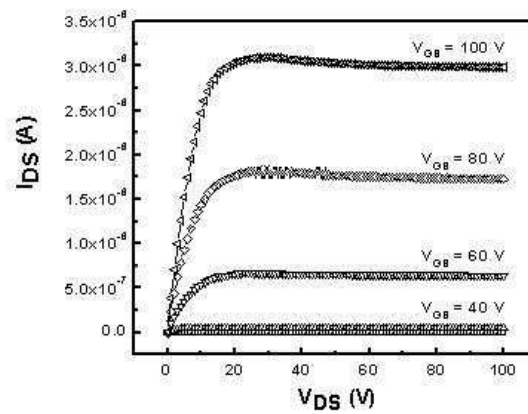
도면4c



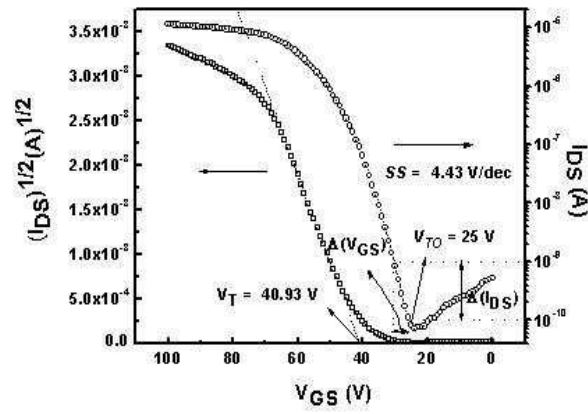
도면4d



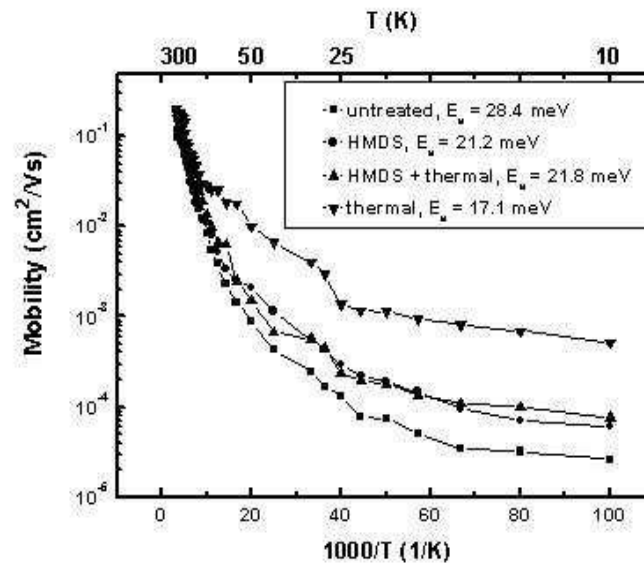
도면5a



도면5b



도면6



도면7

