

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 22 年 6 月 17 日 (2010.6.17)

【公表番号】特表 2009-538549 (P2009-538549A)
 【公表日】平成 21 年 11 月 5 日 (2009.11.5)
 【年通号数】公開・登録公報 2009-044
 【出願番号】特願 2009-507984 (P2009-507984)
 【国際特許分類】

H 0 3 K 19/003 (2006.01)

【F I】

H 0 3 K 19/003 E

H 0 3 K 19/003 C

【手続補正書】

【提出日】平成 22 年 4 月 26 日 (2010.4.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

出力信号を生成するために入力信号を受け取るための第 1 の論理回路と、
 前記入力信号を受け取り、前記出力信号を生成するための前記第 1 の論理回路の複製を含む第 2 の論理回路と、

直並列変換器回路であって、前記第 1 および第 2 の論理回路の各々から前記出力信号を受け取るためにそれぞれ接続される第 1 および第 2 の C 素子と、前記第 1 および第 2 の C 素子の各々の出力ならびに前記第 1 および第 2 の論理回路の各々の出力にインバータを通じてそれぞれ接続される第 3 および第 4 の C 素子とを含み、各インバータは、前記 C 素子の一对の入力と出力とに物理的に間隔をあけるように前記 C 素子の前記一对に接続する、直並列変換器回路とを含む、耐故障性非同期回路。

【請求項 2】

前記第 3 および第 4 の C 素子の各々が弱 C 素子である、請求項 1 に記載の回路。

【請求項 3】

前記第 1 および第 2 の C 素子の前記出力が前記耐故障性非同期回路の出力を含む、請求項 2 に記載の回路。

【請求項 4】

前記第 1 および第 2 の論理回路の各々が、複数の信号処理トランジスタの各々のために一对の直列接続トランジスタを含み、前記第 1 および第 2 の論理回路の出力が、前記耐故障性非同期回路の出力を含む、請求項 2 に記載の回路。

【請求項 5】

前記直並列変換器回路が、N 出力信号を生成する N 論理ゲートの出力を処理するために複製される、請求項 1 に記載の回路。

【請求項 6】

出力信号を生成するために入力信号を受け取るための第 1 の論理回路を提供するステップと、

前記入力信号を受け取り前記出力信号を生成するための前記第 1 の論理回路の複製を含む第 2 の論理回路を提供するステップと、

直並列変換器回路を提供するステップであって、前記第 1 および第 2 の論理回路の各々

から出力を受け取るためにそれぞれ接続される第 1 および第 2 の C 素子と、前記第 1 および第 2 の C 素子の各々の出力ならびに前記第 1 および第 2 の論理回路の各々の出力にインバータを通じてそれぞれ接続される第 3 および第 4 の C 素子とを含み、各インバータに、前記 C 素子の一对の入力と出力とに物理的に間隔をあけるように前記 C 素子の前記一对を接続する、直並列変換器回路を提供するステップとを含む、耐故障性非同期回路を製造する方法。

【請求項 7】

前記第 3 および第 4 の C 素子の各々が弱 C 素子である、請求項 6 に記載の方法。

【請求項 8】

前記第 1 および第 2 の C 素子の前記出力が前記耐故障性非同期回路の出力を含む、請求項 7 に記載の方法。

【請求項 9】

各信号処理トランジスタのための一对の直列接続トランジスタならびに前記耐故障性非同期回路の出力を含む前記第 1 および第 2 の論理回路の前記出力を提供するために、前記第 1 および第 2 の論理回路の各々を複製するステップをさらに含む、請求項 7 に記載の方法。

【請求項 10】

N 出力信号を生成する N 論理ゲートの出力を処理するために前記直並列変換器回路を複製するステップをさらに含む、請求項 6 に記載の方法。

【請求項 11】

出力信号を生成するために入力信号を受け取るための第 1 の論理回路と、

前記入力信号を受け取り前記出力信号を生成するための前記第 1 の論理回路の複製を含む、第 2 の論理回路と、

前記入力信号を受け取り前記出力信号を生成するための前記第 1 の論理回路の複製を含む、第 3 の論理回路と、

前記入力信号を受け取り前記出力信号を生成するための前記第 1 の論理回路の複製を含む、第 4 の論理回路と、

前記出力信号を生成するために前記第 1 および第 2 の論理回路の各々の出力を組み合わせるための第 1 の組み合わせ回路と、

前記出力信号を生成するために前記第 3 および第 4 の論理信号の各々の出力を組み合わせるための第 2 の組み合わせ回路と、

直並列変換器回路であって、

前記第 1 および第 2 の組み合わせ回路の各々から出力信号を受け取るためにそれぞれ接続される第 1 および第 2 の C 素子と、

前記第 1 および第 2 の C 素子の各々の出力ならびに前記第 1 および第 2 の組み合わせ回路の各々の出力にそれぞれ接続される第 3 および第 4 の C 素子とを含む直並列変換器回路とを含む、耐故障性非同期回路。

【請求項 12】

前記組み合わせ回路の各々が、

対応する前記論理回路の出力に接続される単一 C 素子と、

前記単一 C 素子の出力と前記 C 素子への入力の各々との間に接続される第 1 のインバータと、

前記 C 素子の前記出力に接続される第 2 のインバータであって、前記第 2 のインバータの出力が前記出力信号を含む第 2 のインバータとを含む、請求項 11 に記載の回路。

【請求項 13】

前記第 3 および第 4 の C 素子が弱 C 素子である、請求項 12 に記載の回路。

【請求項 14】

前記第 1 の C 素子の前記出力、第 2 の C 素子の前記出力、第 3 の弱 C 素子の出力、および第 4 の弱 C 素子の出力の各々に接続される追加の複数のインバータをさらに含み、前記追加の複数のインバータの各々が、一对の C 素子の入力と出力とに物理的に間隔をあける

ように前記一対の C 素子を接続する、請求項 13 に記載の回路。

【請求項 15】

前記直並列変換器回路が、N 出力信号を生成する N 論理ゲートの出力を処理するために複製される、請求項 13 に記載の回路。

【請求項 16】

論理またはメモリ回路に S E E 免疫を提供するために前記論理またはメモリ回路とともに使用するための直並列変換器回路であって、

第 1 の C 素子および前記第 1 の C 素子の出力に接続される第 1 の直列チェーン接続インバータ対を含む第 1 の回路分岐と、

第 2 の C 素子および前記第 2 の C 素子の出力に接続される第 2 の直列チェーン接続インバータ対を含む第 2 の回路分岐と、

第 3 の C 素子および前記第 3 の C 素子の出力に接続される第 3 の直列チェーン接続インバータ対を含む第 3 の回路分岐とを含み、

前記第 1 の C 素子の 2 入力、前記第 2 および第 3 のインバータ対に接続され、

前記第 2 の C 素子の 2 入力、前記第 1 および第 3 のインバータ対に接続され、

前記第 3 の C 素子の 2 入力、前記第 1 および第 2 のインバータ対に接続され、

第 1 および第 3 の回路分岐は、入力信号および前記入力信号の複製をそれぞれ受け取るため、および正しい入力信号を代表しかつ過渡シングル・イベント効果 (S E E) エラーに対して免疫のある出力信号を生成するためのものであることを特徴とする、直並列変換器回路。

【請求項 17】

前記入力信号および前記入力信号の前記複製を論理回路から受け取るために接続される、請求項 16 に記載の直並列変換器回路。

【請求項 18】

前記入力信号および前記入力信号の前記複製をメモリ回路から受け取るために接続される、請求項 16 に記載の直並列変換器回路。

【請求項 19】

前記第 1、第 2 および第 3 のインバータ対の各々が弱インバータを含む、請求項 16 に記載の直並列変換器回路。

【請求項 20】

読み出し回路と、

書き込み回路と、

直並列変換器回路とを含み、

前記直並列変換器回路は、前記読み出しおよび書き込み回路の各々にそれぞれ接続される第 1 および第 2 の C 素子と、前記第 1 および第 2 の C 素子の各々の出力ならびに前記読み出しおよび書き込み回路にインバータを通じてそれぞれ接続される第 3 および第 4 の C 素子とを含み、時限故障中に単一書き込みが S R A M の全体状態を変えることを防止するように機能し、

各インバータは、前記 C 素子の一対の入力と出力とに物理的に間隔をあけるように前記 C 素子の各々に接続する、

耐故障性 S R A M 回路。

【請求項 21】

前記第 3 および第 4 の C 素子の各々が弱 C 素子である、請求項 20 に記載の回路。

【請求項 22】

前記直並列変換器回路が、N 出力信号を生成する N 論理ゲートの出力を処理するために複製される、請求項 20 に記載の回路。

【請求項 23】

前記読み出しおよび書き込み回路の少なくとも 1 つが、複数の信号処理トランジスタの各々のための一対の直列接続トランジスタを含む、請求項 20 に記載の回路。

【請求項 24】

前記読み出しおよび書き込み回路の少なくとも１つが、元の回路と並列に接続される複製回路を含む、請求項 2 0 に記載の回路。

【請求項 2 5】

読み出し回路を提供するステップと、
書き込み回路を提供するステップと、
直並列変換器回路を提供するステップとを含み、

前記直並列変換器回路は、前記読み出しおよび書き込み回路の各々にそれぞれ接続される第 1 および第 2 の C 素子と、前記第 1 および第 2 の C 素子の各々の出力ならびに前記読み出しおよび書き込み回路にインパータを通じてそれぞれ接続される第 3 および第 4 の C 素子とを含み、時限故障中に単一書き込みが S R A M の全体状態を変えることを防止するように機能し、

各インパータは、前記 C 素子の一对の入力と出力とに物理的に間隔をあけるように前記 C 素子の各々に接続する、

耐故障性 S R A M 回路を提供する方法。

【請求項 2 6】

前記第 3 および第 4 の C 素子の各々が弱 C 素子である、請求項 2 5 に記載の方法。

【請求項 2 7】

N 出力信号を生成する N 論理ゲートの出力を処理するために前記直並列変換器回路を複製するステップをさらに含む、請求項 2 5 に記載の方法。

【請求項 2 8】

複数の信号処理トランジスタの各々のための一对の直列接続トランジスタとして前記読み出しおよび書き込み回路の少なくとも１つを構成するステップをさらに含む、請求項 2 5 に記載の方法。

【請求項 2 9】

前記故障耐性 S R A M 回路と並列に接続される前記読み出しおよび書き込み回路の少なくとも１つを複製するステップをさらに含む、請求項 2 5 に記載の方法。