

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年6月17日(2010.6.17)

【公表番号】特表2009-538549(P2009-538549A)

【公表日】平成21年11月5日(2009.11.5)

【年通号数】公開・登録公報2009-044

【出願番号】特願2009-507984(P2009-507984)

【国際特許分類】

H 03K 19/003 (2006.01)

【F I】

H 03K 19/003 E

H 03K 19/003 C

【手続補正書】

【提出日】平成22年4月26日(2010.4.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

出力信号を生成するために入力信号を受け取るための第1の論理回路と、

前記入力信号を受け取り、前記出力信号を生成するための前記第1の論理回路の複製を含む第2の論理回路と、

直並列変換器回路であって、前記第1および第2の論理回路の各々から前記出力信号を受け取るためにそれぞれ接続される第1および第2のC素子と、前記第1および第2のC素子の各々の出力ならびに前記第1および第2の論理回路の各々の出力にインバータを通じてそれぞれ接続される第3および第4のC素子とを含み、各インバータは、前記C素子の一対の入力と出力とに物理的に間隔をあけるように前記C素子の前記一対に接続する、直並列変換器回路とを含む、耐故障性非同期回路。

【請求項2】

前記第3および第4のC素子の各々が弱C素子である、請求項1に記載の回路。

【請求項3】

前記第1および第2のC素子の前記出力が前記耐故障性非同期回路の出力を含む、請求項2に記載の回路。

【請求項4】

前記第1および第2の論理回路の各々が、複数の信号処理トランジスタの各々のために一対の直列接続トランジスタを含み、前記第1および第2の論理回路の出力が、前記耐故障性非同期回路の出力を含む、請求項2に記載の回路。

【請求項5】

前記直並列変換器回路が、N出力信号を生成するN論理ゲートの出力を処理するために複製される、請求項1に記載の回路。

【請求項6】

出力信号を生成するために入力信号を受け取るための第1の論理回路を提供するステップと、

前記入力信号を受け取り前記出力信号を生成するための前記第1の論理回路の複製を含む第2の論理回路を提供するステップと、

直並列変換器回路を提供するステップであって、前記第1および第2の論理回路の各々

から出力を受け取るためにそれぞれ接続される第1および第2のC素子と、前記第1および第2のC素子の各々の出力ならびに前記第1および第2の論理回路の各々の出力にインバータを通じてそれぞれ接続される第3および第4のC素子とを含み、各インバータに、前記C素子の一対の入力と出力とに物理的に間隔をあけるように前記C素子の前記一対を接続する、直並列変換器回路を提供するステップとを含む、耐故障性非同期回路を製造する方法。

【請求項7】

前記第3および第4のC素子の各々が弱C素子である、請求項6に記載の方法。

【請求項8】

前記第1および第2のC素子の前記出力が前記耐故障性非同期回路の出力を含む、請求項7に記載の方法。

【請求項9】

各信号処理トランジスタのための一対の直列接続トランジスタならびに前記耐故障性非同期回路の出力を含む前記第1および第2の論理回路の前記出力を提供するために、前記第1および第2の論理回路の各々を複製するステップをさらに含む、請求項7に記載の方法。

【請求項10】

N出力信号を生成するN論理ゲートの出力を処理するために前記直並列変換器回路を複製するステップをさらに含む、請求項6に記載の方法。

【請求項11】

出力信号を生成するために入力信号を受け取るための第1の論理回路と、

前記入力信号を受け取り前記出力信号を生成するための前記第1の論理回路の複製を含む、第2の論理回路と、

前記入力信号を受け取り前記出力信号を生成するための前記第1の論理回路の複製を含む、第3の論理回路と、

前記入力信号を受け取り前記出力信号を生成するための前記第1の論理回路の複製を含む、第4の論理回路と、

前記出力信号を生成するために前記第1および第2の論理回路の各々の出力を組み合わせるための第1の組み合わせ回路と、

前記出力信号を生成するために前記第3および第4の論理信号の各々の出力を組み合わせるための第2の組み合わせ回路と、

直並列変換器回路であって、

前記第1および第2の組み合わせ回路の各々から出力信号を受け取るためにそれぞれ接続される第1および第2のC素子と、

前記第1および第2のC素子の各々の出力ならびに前記第1および第2の組み合わせ回路の各々の出力にそれぞれ接続される第3および第4のC素子とを含む直並列変換器回路とを含む、耐故障性非同期回路。

【請求項12】

前記組み合わせ回路の各々が、

対応する前記論理回路の出力に接続される单一C素子と、

前記单一C素子の出力と前記C素子への入力の各々との間に接続される第1のインバータと、

前記C素子の前記出力に接続される第2のインバータであって、前記第2のインバータの出力が前記出力信号を含む第2のインバータとを含む、請求項11に記載の回路。

【請求項13】

前記第3および第4のC素子が弱C素子である、請求項12に記載の回路。

【請求項14】

前記第1のC素子の前記出力、第2のC素子の前記出力、第3の弱C素子の出力、および第4の弱C素子の出力の各々に接続される追加の複数のインバータをさらに含み、前記追加の複数のインバータの各々が、一対のC素子の入力と出力とに物理的に間隔をあける

ように前記一対の C 素子を接続する、請求項 1 3 に記載の回路。

【請求項 1 5】

前記直並列変換器回路が、N 出力信号を生成する N 論理ゲートの出力を処理するために複製される、請求項 1 3 に記載の回路。

【請求項 1 6】

論理またはメモリ回路に S E E 免疫を提供するために前記論理またはメモリ回路とともに使用するための直並列変換器回路であって、

第 1 の C 素子および前記第 1 の C 素子の出力に接続される第 1 の直列チェーン接続インバータ対を含む第 1 の回路分岐と、

第 2 の C 素子および前記第 2 の C 素子の出力に接続される第 2 の直列チェーン接続インバータ対を含む第 2 の回路分岐と、

第 3 の C 素子および前記第 3 の C 素子の出力に接続される第 3 の直列チェーン接続インバータ対を含む第 3 の回路分岐とを含み、

前記第 1 の C 素子の 2 入力は、前記第 2 および第 3 のインバータ対に接続され、

前記第 2 の C 素子の 2 入力は、前記第 1 および第 3 のインバータ対に接続され、

前記第 3 の C 素子の 2 入力は、前記第 1 および第 2 のインバータ対に接続され、

第 1 および第 3 の回路分岐は、入力信号および前記入力信号の複製をそれぞれ受け取るため、および正しい入力信号を代表しつつ過渡シングル・イベント効果 (S E E) エラーに対して免疫のある出力信号を生成するためのものであることを特徴とする、直並列変換器回路。

【請求項 1 7】

前記入力信号および前記入力信号の前記複製を論理回路から受け取るために接続される、請求項 1 6 に記載の直並列変換器回路。

【請求項 1 8】

前記入力信号および前記入力信号の前記複製をメモリ回路から受け取るために接続される、請求項 1 6 に記載の直並列変換器回路。

【請求項 1 9】

前記第 1 、第 2 および第 3 のインバータ対の各々が弱インバータを含む、請求項 1 6 に記載の直並列変換器回路。

【請求項 2 0】

読み出し回路と、

書き込み回路と、

直並列変換器回路とを含み、

前記直並列変換器回路は、前記読み出しおよび書き込み回路の各々にそれぞれ接続される第 1 および第 2 の C 素子と、前記第 1 および第 2 の C 素子の各々の出力ならびに前記読み出しおよび書き込み回路にインバータを通じてそれぞれ接続される第 3 および第 4 の C 素子とを含み、時限故障中に単一書き込みが S R A M の全体状態を変えることを防止するように機能し、

各インバータは、前記 C 素子の一対の入力と出力とに物理的に間隔をあけるように前記 C 素子の各々に接続する、

耐故障性 S R A M 回路。

【請求項 2 1】

前記第 3 および第 4 の C 素子の各々が弱 C 素子である、請求項 2 0 に記載の回路。

【請求項 2 2】

前記直並列変換器回路が、N 出力信号を生成する N 論理ゲートの出力を処理するために複製される、請求項 2 0 に記載の回路。

【請求項 2 3】

前記読み出しおよび書き込み回路の少なくとも 1 つが、複数の信号処理トランジスタの各々のための一対の直列接続トランジスタを含む、請求項 2 0 に記載の回路。

【請求項 2 4】

前記読み出しあり書き込み回路の少なくとも1つが、元の回路と並列に接続される複製回路を含む、請求項2_0に記載の回路。

【請求項2_5】

読み出しひ回路を提供するステップと、
書き込み回路を提供するステップと、
直並列変換器回路を提供するステップとを含み、

前記直並列変換器回路は、前記読み出しあり書き込み回路の各々にそれぞれ接続される第1および第2のC素子と、前記第1および第2のC素子の各々の出力ならびに前記読み出しあり書き込み回路にインバータを通じてそれぞれ接続される第3および第4のC素子とを含み、時限故障中に单一書き込みがSRAMの全体状態を変えることを防止するように機能し、

各インバータは、前記C素子の一対の入力と出力とに物理的に間隔をあけるように前記C素子の各々に接続する、

耐故障性SRAM回路を提供する方法。

【請求項2_6】

前記第3および第4のC素子の各々が弱C素子である、請求項2_5に記載の方法。

【請求項2_7】

N出力信号を生成するN論理ゲートの出力を処理するために前記直並列変換器回路を複製するステップをさらに含む、請求項2_5に記載の方法。

【請求項2_8】

複数の信号処理トランジスタの各々のための一対の直列接続トランジスタとして前記読み出しあり書き込み回路の少なくとも1つを構成するステップをさらに含む、請求項2_5に記載の方法。

【請求項2_9】

前記故障耐性SRAM回路と並列に接続される前記読み出しあり書き込み回路の少なくとも1つを複製するステップをさらに含む、請求項2_5に記載の方法。