

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5812112号

(P5812112)

(45) 発行日 平成27年11月11日(2015.11.11)

(24) 登録日 平成27年10月2日(2015.10.2)

(51) Int.Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 C

H O 1 L 31/08 (2006.01)

H O 1 L 31/00 A

H O 1 L 27/144 (2006.01)

H O 1 L 27/14 K

G O 1 T 1/24 (2006.01)

G O 1 T 1/24

H O 4 N 5/32 (2006.01)

H O 4 N 5/32

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2013-550077 (P2013-550077)
 (86) (22) 出願日 平成24年10月22日(2012.10.22)
 (86) 国際出願番号 PCT/JP2012/006751
 (87) 国際公開番号 W02013/094099
 (87) 国際公開日 平成25年6月27日(2013.6.27)
 審査請求日 平成26年1月24日(2014.1.24)
 (31) 優先権主張番号 特願2011-277370 (P2011-277370)
 (32) 優先日 平成23年12月19日(2011.12.19)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001993
 株式会社島津製作所
 京都府京都市中京区西ノ京桑原町1番地
 (74) 代理人 100093056
 弁理士 杉谷 勉
 (74) 代理人 100142930
 弁理士 戸高 弘幸
 (74) 代理人 100175020
 弁理士 杉谷 知彦
 (74) 代理人 100180596
 弁理士 栗原 要
 (72) 発明者 徳田 敏
 京都府京都市中京区西ノ京桑原町1番地
 株式会社島津製作所内

最終頁に続く

(54) 【発明の名称】 放射線検出器およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

放射線に感応して電荷を生成する半導体多結晶膜と、
 前記半導体多結晶膜の一方の面に設けられた支持基板と、
 前記半導体多結晶膜を挟んで前記支持基板の反対側に画素ごとにマトリクス状に設けられた個別電極と、

を備えた放射線検出器の製造方法において、

前記半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径を前記個別電極側よりも前記支持基板側で小さくなるように、前記支持基板上に前記半導体多結晶膜を形成する工程を備えていることを特徴とする放射線検出器の製造方法。

10

【請求項2】

請求項1に記載の放射線検出器の製造方法において、

前記半導体多結晶膜の結晶粒径を前記個別電極側で画素ピッチよりも小さくなるように形成することを特徴とする放射線検出器の製造方法。

【請求項3】

請求項1または2に記載の放射線検出器の製造方法において、

前記半導体多結晶膜は、CdTeまたはCdZnTeで構成されることを特徴とする放射線検出器の製造方法。

【請求項4】

請求項1から3のいずれかに記載の放射線検出器の製造方法において、

20

前記半導体多結晶膜を形成する工程は、前記支持基板上に第1多結晶膜域を形成する工程と、第1多結晶膜域上に第2多結晶膜域を形成する工程とを有し、

前記第1多結晶膜域は、予め設定されたC1量をドーピングしながら形成し、

前記第2多結晶膜域は、前記第1多結晶膜域よりもドーピングさせるC1量を少なくして、またはC1をドーピングさせずに形成することを特徴とする放射線検出器の製造方法。

【請求項5】

請求項1から4のいずれかに記載の放射線検出器の製造方法において、

前記半導体多結晶膜を形成する工程は、前記支持基板上に第1多結晶膜域を形成する工程と、第1多結晶膜域上に第2多結晶膜域を形成する工程とを有し、

前記第1多結晶膜域は、前記第2多結晶膜域よりも低い温度で形成することを特徴とする放射線検出器の製造方法。

10

【請求項6】

請求項1から5のいずれかに記載の放射線検出器の製造方法において、

前記半導体多結晶膜を形成する工程は、前記支持基板上に第1多結晶膜域を形成する工程と、第1多結晶膜域上に第2多結晶膜域を形成する工程とを有し、

前記第1多結晶膜域は、前記第2多結晶膜域よりも高い圧力で形成することを特徴とする放射線検出器の製造方法。

【請求項7】

請求項1から6のいずれかに記載の放射線検出器の製造方法において、

前記半導体多結晶膜の結晶粒径を厚み方向に連続的に変化するように形成することを特徴とする放射線検出器の製造方法。

20

【請求項8】

放射線に感応して電荷を生成する半導体多結晶膜と、

前記半導体多結晶膜の一方の面に設けられた支持基板と、

前記半導体多結晶膜を挟んで前記支持基板の反対側に画素ごとにマトリクス状に設けられた個別電極と、を備え、

前記半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径は、前記個別電極側よりも前記支持基板側で小さいことを特徴とする放射線検出器。

【請求項9】

請求項8に記載の放射線検出器において、

30

前記半導体多結晶膜の結晶粒径は、前記個別電極側で画素ピッチよりも小さいことを特徴とする放射線検出器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、X線、γ線、光等を含む放射線を検出する機能を有し、医療用および異物検査等の産業用に使用される放射線検出器およびその製造方法に関する。

【背景技術】

【0002】

従来から高感度な放射線検出器の材料として各種の半導体材料、とりわけCdTe（テルル化カドミウム）またはCdZnTe（テルル化亜鉛カドミウム）の結晶体が研究・開発され、一部製品化されている。しかしながら、医用診断用の放射線検出器に応用するには、大面積（例えば20cm角以上）の放射線変換層を形成（成膜）する必要がある。このような大面積の結晶体を形成することは、技術的にもコスト的にも現実的に難しい。そこで、CdTeまたはCdZnTeの多結晶膜は、近接昇華法により形成されている（例えば特許文献1および2）。

40

【0003】

従来の放射線検出器101を図6に示す。図6中の符号rは放射線の入射方向を示す。対向基板（検出基板ともいう）103は、放射線の入射側から順番に、バイアス電圧Vhが印加される共通電極として機能する導電性のグラファイト支持基板105、電子注入阻

50

止層 106、放射線に感応して電荷を生成する半導体層（放射線変換層）102、正孔注入阻止層 107、対向電極 108 の各層（膜）が積層して構成されている。対向基板 103 は、パンプ電極 131 を介してアクティブマトリクス基板 104 と貼り合わせて一体的に構成されている。アクティブマトリクス基板 104 は、コンデンサ 111 およびスイッチング素子 112 を画素ごとに有し、入射した放射線強度に応じて半導体層 102 で生成された電荷を蓄積し、蓄積された電荷の読み出しを行っている。

【0004】

なお、特許文献 1 には、多結晶の半導体層 102、すなわち半導体多結晶膜 102 を形成する際、成膜温度を高くして粒径が大きい大粒径多結晶域を電子阻止用半導体膜（電子注入阻止層 106）に積層形成する高温成膜過程を先に行い、次に成膜温度を低くして粒径が小さい小粒径多結晶膜を積層形成する低温成膜過程を行うことが開示されている。また、特許文献 2 には、C1 が含まれたソースを用いて検出層（半導体多結晶膜）102 の形成時に C1 をドーピングして結晶粒を均一化させ、検出層 102 が形成された後にさらに C1 をドーピングして C1 を均一にドーピングさせることが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許 4092825 号公報

【特許文献 2】特許 4269653 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、このような従来例の場合には、次のような問題がある。放射線検出器 101 の半導体多結晶膜 102 では、膜質とりわけ膜の結晶構造（結晶粒の厚み方向 200 の分布）によって検出特性が大きく変化することがわかっている。具体的には、結晶粒径が大きいと、感度は向上するものの画素間のばらつきが大きくなり、リーク電流も半導体多結晶膜の厚み方向 200 に縦断する結晶粒界（結晶粒）の存否によって画素間のばらつきが非常に大きくなる。

【0007】

図 7 に示すように、例えば、半導体多結晶膜 102 には、半導体多結晶膜 102 の厚み方向 200 を縦断するような結晶粒（以下適宜、「貫通粒」）がある場合（符号 201）と、半導体多結晶膜 102 の厚み方向 200 に複数の結晶粒がある場合（符号 202）とが混在しているものとする。結晶粒界は、半導体多結晶膜 102 の中でリーク電流の走行経路となるので、貫通粒 201 は、複数の結晶粒 202 に比べ、生成された電荷やリーク電流が流れ易くなる。そのため、対向電極 108 間、すなわち画素間でばらつきが生じ、また、流れ易さにより短い間隔で複数の画像（動画像）を取得する場合は、ゆらぎとなって現れる。その結果、放射線検出器 101 として画素ノイズが著しく増加し画質の劣化を招いてしまう。

【0008】

本発明は、このような事情に鑑みてなされたものであって、リーク電流による画素間のばらつきを低減させることができる放射線検出器およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

発明者は、上記の問題を解決するために鋭意研究した結果、次のような知見を得た。結晶粒径は初めに大きく成長すると、その結晶粒が同等の径かそれよりも大きく成長するので、半導体多結晶膜の厚み方向 200 に縦断する貫通粒 201 が生じやすい。そのため、半導体多結晶膜を初めに小さく結晶粒を形成する必要がある。

【0010】

このような知見に基づく本発明は、次のような構成をとる。すなわち、本発明に係る放

10

20

30

40

50

放射線検出器の製造方法は、放射線に感応して電荷を生成する半導体多結晶膜と、前記半導体多結晶膜の一方の面に設けられた支持基板と、前記半導体多結晶膜を挟んで前記支持基板の反対側に画素ごとにマトリクス状に設けられた個別電極と、を備えた放射線検出器の製造方法において、前記半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径を前記個別電極側よりも前記支持基板側で小さくなるように、前記支持基板上に前記半導体多結晶膜を形成する工程を備えていることを特徴とするものである。

【0011】

本発明に係る放射線検出器の製造方法によれば、半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径を個別電極側よりも支持基板側で小さくなるように、支持基板上に半導体多結晶膜を形成する工程を備えている。すなわち、半導体多結晶膜の結晶粒径は、個別電極側よりも支持基板側で小さい。先に形成される支持基板側の結晶粒径が小さいので、半導体多結晶膜の厚み方向に結晶粒界が縦断する貫通粒が形成されることを防止でき、半導体多結晶膜の感度およびリーク電流のばらつきを低減させることができる。その結果、各画素の感度およびリーク電流が均一に揃い、画素ノイズの低い、診断上視認性の優れた放射線画像を取得することができる。

10

【0012】

また、本発明に係る放射線検出器の製造方法において、前記半導体多結晶膜の結晶粒径を前記個別電極側で画素ピッチよりも小さくなるように形成することが好ましい。これにより、複数の画素を結晶粒がまたぐことによる画素間のばらつきを低減することができる。

20

【0013】

また、本発明に係る放射線検出器の製造方法において、前記半導体多結晶膜の一例は、CdTeまたはCdZnTeで構成されることである。これにより、CdTeまたはCdZnTeの多結晶膜の厚み方向に結晶粒界が縦断する貫通粒が形成されることを防止でき、CdTeまたはCdZnTeの多結晶膜の感度およびリーク電流のばらつきを低減させることができる。

【0014】

また、本発明に係る放射線検出器の製造方法の一例は、前記半導体多結晶膜を形成する工程は、前記支持基板上に第1多結晶膜域を形成する工程と、第1多結晶膜域上に第2多結晶膜域を形成する工程とを有し、前記第1多結晶膜域は、予め設定されたC1量をドーピングしながら形成し、前記第2多結晶膜域は、前記第1多結晶膜域よりもドーピングさせるC1量を少なくして、またはC1をドーピングさせずに形成することである。これにより、支持基板側の第1多結晶膜域の結晶粒を、個別電極側の第2多結晶膜域よりも小さくすることができる。

30

【0015】

また、本発明に係る放射線検出器の製造方法の一例は、前記半導体多結晶膜を形成する工程は、前記支持基板上に第1多結晶膜域を形成する工程と、第1多結晶膜域上に第2多結晶膜域を形成する工程とを有し、前記第1多結晶膜域は、前記第2多結晶膜域よりも低い温度で形成することである。これにより、支持基板側の第1多結晶膜域の結晶粒を、個別電極側の第2多結晶膜域よりも小さくすることができる。

40

【0016】

また、本発明に係る放射線検出器の製造方法の一例は、前記半導体多結晶膜を形成する工程は、前記支持基板上に第1多結晶膜域を形成する工程と、第1多結晶膜域上に第2多結晶膜域を形成する工程とを有し、前記第1多結晶膜域は、前記第2多結晶膜域よりも高い圧力で形成することである。これにより、支持基板側の第1多結晶膜域の結晶粒を、個別電極側の第2多結晶膜域よりも小さくすることができる。

【0017】

また、本発明に係る放射線検出器の製造方法において、前記半導体多結晶膜の結晶粒径を厚み方向に連続的に変化するように形成することが好ましい。これにより、半導体多結晶膜の結晶粒径を厚み方向、すなわち、支持基板側から個別電極側へ連続的に大きく変化

50

するように形成することができる。この場合、半導体多結晶膜の厚み方向、すなわち生成された電荷の進行方向に粒径の段差がなく、電荷をスムーズに移動させることができるので、応答性または感度等がより良好となる。また、半導体多結晶膜中の応力を緩和できるので、支持基板の反りや半導体多結晶膜のクラック等を抑えることができる。

【0018】

また、本発明に係る放射線検出器は、放射線に感応して電荷を生成する半導体多結晶膜と、前記半導体多結晶膜の一方の面に設けられた支持基板と、前記半導体多結晶膜を挟んで前記支持基板の反対側に画素ごとにマトリクス状に設けられた個別電極と、を備え、前記半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径は、前記個別電極側よりも前記支持基板側で小さいことを特徴とするものである。

10

【0019】

本発明に係る放射線検出器によれば、半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径は、個別電極側よりも支持基板側で小さい。先に形成される支持基板側の結晶粒径が小さいので、半導体多結晶膜の厚み方向に結晶粒界が縦断する貫通粒が形成されることを防止でき、半導体多結晶膜の感度およびリーク電流のばらつきを低減させることができる。その結果、各画素の感度およびリーク電流が均一に揃い、画素ノイズの低い、診断上視認性の優れた放射線画像を取得することができる。

【0020】

また、本発明に係る放射線検出器において、前記半導体多結晶膜の結晶粒径は、前記個別電極側で画素ピッチよりも小さいことが好ましい。これにより、複数の画素を結晶粒がまたぐことによる画素間のばらつきを低減することができる。

20

【発明の効果】

【0021】

本発明に係る放射線検出器およびその製造方法によれば、半導体多結晶膜の厚み方向の複数の結晶粒に関し、結晶粒径は、個別電極側よりも支持基板側で小さい。先に形成される支持基板側の結晶粒径が小さいので、半導体多結晶膜の厚み方向に結晶粒界が縦断する貫通粒が形成されることを防止でき、半導体多結晶膜の感度およびリーク電流のばらつきを低減させることができる。その結果、各画素の感度およびリーク電流が均一に揃い、画素ノイズの低い、診断上視認性の優れた放射線画像を取得することができる。

30

【図面の簡単な説明】

【0022】

【図1】実施例に係るフラットパネル型X線検出器（FPD）の構成を示す縦断面図である。

【図2】実施例に係る対向基板を部分拡大した縦断面図である。

【図3】実施例に係るフラットパネル型X線検出器（FPD）の構成を示すブロック図である。

【図4】実施例に係るフラットパネル型X線検出器（FPD）の製造方法を示すフローチャートである。

【図5】近接昇華法の説明に供する図である。

40

【図6】従来のフラットパネル型X線検出器（FPD）の構成を示す縦断面図である。

【図7】多結晶の半導体層の厚み方向における貫通粒と複数の結晶粒との説明に供する図である。

【実施例1】

【0023】

以下、図面を参照して本発明の実施例1を説明する。また、本実施例では、放射線検出器の一例として、フラットパネル型X線検出器（FPD）について説明する。図1は、フラットパネル型X線検出器（FPD）の構成を示す縦断面図であり、図2は、対向基板を部分拡大した縦断面図である。図3は、フラットパネル型X線検出器（FPD）の構成を示すブロック図である。

50

【0024】

図1を参照する。F P D 1は、入射したX線に感応して電荷（電子－正孔対キャリア）を生成する多結晶の半導体層（以下、「半導体多結晶膜」とする）2を有する対向基板3と、生成された電荷を蓄積するとともに蓄積された電荷を読み出すアクティブマトリクス基板4とを備えている。

【0025】

対向基板3は、X線入射方向（図1中の符号x）から順番に、半導体多結晶膜2を支持するとともに負のバイアス電圧V_hを印加する共通電極として機能する支持基板5と、支持基板5の下面に形成され、半導体多結晶膜2への電荷（電子）の注入を阻止する電子注入阻止層6と、半導体多結晶膜2と、半導体多結晶膜2への電荷（正孔）の注入を阻止する正孔注入阻止層7と、電荷収集用の対向電極8と、が積層形成された構成となっている。なお、対向電極8は本発明の個別電極に相当する。

10

【0026】

すなわち、半導体多結晶膜2の一方の面には、電子注入阻止層6を介して支持基板5が設けられ、半導体多結晶膜2を挟んで支持基板5の反対側には、画素ごとにマトリクス状に分離して個別に対向電極8が設けられている。また、半導体多結晶膜2の結晶粒径9は、対向電極8側よりも支持基板5側で小さく（細かく）なるように構成されている。

【0027】

具体的には、図2に示すように、半導体多結晶膜2は、支持基板5側の小粒径多結晶域2aと、この小粒径多結晶域2a以外である対向電極8側の大粒径多結晶域2bとで構成されている。小粒径多結晶域2aは、電子注入阻止層6を介して支持基板5上に初め（先）に形成される多結晶域である。上述のように、半導体多結晶膜2の結晶粒径9は、対向電極8側よりも支持基板5側で小さくなるように構成されている。すなわち、支持基板5側と対向電極8側の半導体多結晶膜2のほぼ両端の結晶粒径9が、対向電極8側よりも支持基板5側で小さくなるように構成されている。なお、小粒径多結晶域2aの結晶粒を符号10aで示し、大粒径多結晶域2bの結晶粒を符号10bで示す。また、小粒径多結晶域2aは本発明の第1多結晶膜域に相当し、大粒径多結晶域2bは本発明の第2多結晶膜域に相当する。

20

【0028】

半導体多結晶膜2の多結晶粒の（平均）結晶粒径9は、例えば、画素ピッチ（図2中の符号P）が150μmの場合、支持基板5側で50μm未満であり、対向電極8側、すなわち膜表面側で150μm未満（より望ましくは75μm未満）である。ここで、対向電極8側を150μm未満の結晶粒径9にするのは、画素ピッチPが150μmであるためである。例えば、複数（例えば2つ）の対向電極8（分離した正孔注入阻止層7）に結晶粒がまたがって形成された場合、生成された電荷が、ある時は一方の対向電極8で収集され、またある時は他方の対向電極8で収集されることにより、画素間でばらつきが生じる。そのため、例えば、半導体多結晶膜2の結晶粒径9は、対向電極8側で画素ピッチPよりも小さいことが好ましい。これにより、複数の画素を結晶粒がまたぐことによる画素間のばらつきを低減することができる。

30

【0029】

図1に戻る。一方、アクティブマトリクス基板4は、生成された電荷を蓄積するコンデンサ11と、コンデンサ11に蓄積された電荷を読み出すスイッチング素子として機能する薄膜トランジスタ（T F T）12と等を備えている。コンデンサ11とT F T 12等は、絶縁基板13上に形成されている。また、アクティブマトリクス基板4は、画素電極14およびスルーホール15を備えている。コンデンサ11は、容量電極16、絶縁膜17およびグランド線18とで構成されている。グランド線18は、アースされ、または、予め設定された所定電圧が印加されている。T F T 12は、容量電極16および絶縁膜17、データ線19、ゲートチャネル20、ゲート線21で構成されている。また、絶縁膜22は、画素電極14と容量電極16との間に形成されている。絶縁膜23は保護膜として形成されている。

40

50

【0030】

対向基板3とアクティブマトリクス基板4は、対向基板3の対向電極8とアクティブマトリクス基板4の画素電極14とがバンプ電極31で接合されることにより、貼り合わされて構成されている。

【0031】

図1中の符号DUは、X線検出素子を示しており、X線検出素子DUでの検出が1画素に相当する。X線検出素子DUは、2次元マトリクス状に配置され、例えば 1500×1500 個程度(230×230 mm程度)で構成される。X線検出素子DUは、図3に示すように、図示の便宜上 3×3 個で構成されている。コンデンサ11およびTF12は、2次元マトリクス状に構成された 3×3 個のX線検出素子DUに個別に設けられている。

10

【0032】

図3において、ゲート線21は、行(X)方向のX線検出素子DUで共通に接続するように構成されており、データ線19は、列(Y)方向のX線検出素子DUで共通に接続するように構成されている。また、ゲート線21は、ゲート駆動部33と接続しており、データ線19は、順番に電荷電圧変換アンプ35、マルチプレクサ37に接続している。ゲート駆動部33、電荷電圧変換アンプ35およびマルチプレクサ37は、駆動制御部39で制御されるようになっており、例えば図示しない外部装置からの信号で駆動される。

【0033】

次に、FPD1の製造方法について、図4のフローチャートに沿って説明する。対向基板3とアクティブマトリクス基板4は、個別に作成される。ステップS01～S04は、対向基板3を作成する工程を示す。ステップS11、S12は、アクティブマトリクス基板4を作成する工程とバンプ電極31を形成する工程を示す。そして、ステップS21の工程において、対向基板3とアクティブマトリクス基板4とが貼り合わせて一体となる。

20

【0034】

〔ステップS01〕電子注入阻止層の形成

支持基板5上(図1では下側)に電子注入阻止層6を形成する。電子注入阻止層6は、ZnTe(テルル化亜鉛)、 Sb_2S_3 (硫化アンチモン)、または Sb_2Te_3 (アンチモンテルル)等のp型半導体で構成され、支持基板5上に昇華法、蒸着もしくはスパッタリング、化学析出法、または電析法等によって形成される。

30

【0035】

なお、支持基板5は、X線の吸収係数が小さなものが好ましく、例えば、グラファイトや、Al(アルミニウム)、SUS(ステンレス)等の導電性材料で構成される。また、支持基板5がセラミック(Al_2O_3 、AlN)や、シリコン等の絶縁材料で構成される場合は、電子注入阻止層6を形成する前に、バイアス電圧Vhを印加する共通電極(図示しない)を支持基板5上に形成し、形成された共通電極上に電子注入阻止層6を形成する。共通電極は、ITO(酸化インジウムスズ)や、Au(金)、Pt(白金)、グラファイトなどの導電性材料から構成され、支持基板5上に蒸着法やスパッタリング等で形成される。

【0036】

〔ステップS02〕半導体多結晶膜の形成

電子注入阻止層6上に半導体多結晶膜2を近接昇華法により形成する。半導体多結晶膜2は、例えばCdTeまたはCdZnTeの多結晶膜で構成される。図5は、近接昇華法の説明に供する図である。

40

【0037】

蒸着チャンバ41内には、ソースSを置くための下部サセプタ43が設けられている。ソースSは、例えばCdTeの粉末材料の焼結体が用いられ、予め常圧かつ不活性雰囲気(例えばArガス)中で加熱(例えば 690°C)して焼結させておく。支持基板5は、半導体多結晶膜2を形成する蒸着面を下部サセプタ43に向けた状態でスペーサ45を介在させて蒸着チャンバ41内の下部サセプタ43上に載置される。蒸着チャンバ41の上下

50

部には、独立して温度を制御することが可能なヒータ47, 49が設けられている。支持基板5とソースSとを対向配置させた状態で、真空ポンプ51を動作させて蒸着チャンバ41内を減圧雰囲気（例えば260Pa）にした後、上下部のヒータ47, 49によりソースSを加熱する（例えば基板温度550℃、ソース温度650℃）。これにより、ソースSは昇華するとともに、電子注入阻止層6の蒸着面に付着して半導体多結晶膜2を形成する。

【0038】

また、半導体多結晶膜2の検出特性を向上させるため、半導体多結晶膜2には、任意の不純物をドーピングしてもよく、例えば、Znをドーピングすると、ワイドギャップ化することによりリーク電流を低減させることができる。また、適量のClをドーピングすると、結晶粒径9を細かくする効果、または半導体多結晶膜2の結晶粒界等での電荷の流れ易さを示すキャリア走行性を改善し、感度および応答性を改善させる効果を有する。

10

【0039】

本工程では、半導体多結晶膜2の結晶粒径9を対向電極8側よりも支持基板5側で小さくなるように、支持基板5上に半導体多結晶膜2を形成する。具体的には、半導体多結晶膜2を形成する工程は、電子注入阻止層6を介して支持基板5上に小粒径多結晶域2aを形成する工程と、小粒径多結晶域2a上に小粒径多結晶域2a以外の大粒径多結晶域2bを形成する工程とを有している。

【0040】

まず、電子注入阻止層6上に小粒径多結晶域2aを形成する。小粒径多結晶域2aは、予め設定されたCl量（濃度）をドーピングしながら形成する。次に、小粒径多結晶域2a上に大粒径多結晶域2bを形成する。大粒径多結晶域2bは、Clをドーピングさせずに、または小粒径多結晶域2aよりもドーピングさせるCl量を少なくして形成する。なお、半導体多結晶膜2の結晶粒径9を対向電極8側で画素ピッチP（図2）よりも小さくなるように形成することが好ましい。

20

【0041】

Clドーピングは、粉末材料を焼結させたソースSにClを混入したり、蒸着チャンバ41の外部から供給口53を通して内部にClを供給したりする。例えば、ソースSとしては、CdTe、ZnTe、およびCdZnTeの少なくとも1つを含む第1の材料と、CdCl₂（塩化カドミウム）、およびZnCl₂（塩化亜鉛）の少なくとも1つを含む第2の材料との混合体を用いてもよい。また、例えば、蒸着チャンバ41の外部から内部に、HCl（塩化水素）、CHCl₃（クロロホルム）などをアルゴン（Ar）、窒素（N₂）などの不活性ガスで希釈したCl含有ガスを、供給口53から流量を制御しながら供給してもよい。また、これらClを混入したソースSと、蒸着チャンバ41の外部から内部に供給するCl含有ガスとを組み合わせてもよい。

30

【0042】

また、半導体多結晶膜2は、図2中の符号61に示すように、（平均）結晶粒径9が厚み方向200に連続的（段階的）に変化するように形成されてもよい。具体的には、半導体多結晶膜2（小粒径多結晶域2aおよび大粒径多結晶域2b）の形成時にドーピングさせるCl量（濃度）を、予め設定された量から直線的または曲線的に減少させることで実現させることができる。例えば、Cl含有ガスを供給する場合は、供給するCl量（濃度）を予め設定された量から段階的に減少させたり、Clを混入させたソースSの場合は、Clが成膜初期で無くなってしまう性質を利用してCl量を減少させたり、また、これらを組み合わせるCl量を段階的に減少させたりするようにしてもよい。

40

【0043】

このようにして半導体多結晶膜2は、近接昇華法により600～700μm程度の厚みに形成する。半導体多結晶膜2がアズデポ（そのまま）の状態では、表面の凹凸が数百μmと激しく、また、膜厚にばらつきを有する。そのため、半導体多結晶膜2の表面をアクティブマトリクス基板4との一体化接合のため、600～700μmの半導体多結晶膜2を形成し、その表面を平面研磨して平坦化しするとともに400μm程度の厚みにする。

50

なお、平面研磨後の400 μm程度の厚みにおいて、結晶粒径9を対向電極8側で画素ピッチPよりも小さくする。

【0044】

〔ステップS03〕正孔注入阻止層の形成

半導体多結晶膜2上(図1では下側)に正孔注入阻止層7を形成する。正孔注入阻止層7は、CdS(硫化カドミウム)、ZnS(硫化亜鉛)、ZnO(酸化亜鉛)、またはSb₂S₃(硫化アンチモン)等のn型半導体で構成され、昇華法、蒸着法、スパッタリング、化学析出法、または電析法等で形成される。正孔注入阻止層7は、必要に応じてパターンニングして画素ごとに分離して形成する。但し、正孔注入阻止層7が高抵抗で隣接画素リークによる空間解像度低下などの弊害が無ければ、分離して形成しなくてもよい。

10

【0045】

なお、必要に応じて、電子注入阻止層6と正孔注入阻止層7との配置を交換した構成としてもよいし、また、電子注入阻止層6および正孔注入阻止層7のいずれか一方あるいは両方を形成しない構成としてもよい。

【0046】

〔ステップS04〕対向電極の形成

正孔注入阻止層7上(図1では下側)に対向電極8を形成する。対向電極8は、ITOや、Au、Pt、グラファイトなどの導電材料から構成され、正孔注入阻止層7上に蒸着法やスパッタリング等で形成される。なお、必要に応じて、対向電極8を形成しない構成としてもよい。なお、この場合、バンプ電極31が対向電極8として機能する。

20

【0047】

〔ステップS11〕アクティブマトリクス基板の作成

ガラス等で構成される絶縁基板13上にグラウンド線18とゲート線21とを形成し、それらを覆うように絶縁膜17を形成する。グラウンド線18およびゲート線21は、Ta(タンタル)、Al(アルミニウム)、Mo(モリブデン)等の金属膜で構成され、蒸着法またはスパッタリング等で形成される。絶縁膜17は、SiN_xやSiO_xで構成され、蒸着法等で形成される。また、絶縁膜17は、無機膜の他にアクリルやポリイミド等で構成してもよい。

【0048】

TFT12を形成するために、ゲートチャネル20を絶縁膜17上に形成する。ゲートチャネル20は、a-Si(アモルファスシリコン)やp-Si(ポリシリコン)を蒸着法で形成し、不純物を拡散させて例えばn+層としたもので構成される。

30

【0049】

コンデンサ11およびTFT12を作成するために、容量電極16とデータ線19とを絶縁膜17等上に形成し、それらを覆うように絶縁膜22を形成する。また、絶縁膜22にスルーホール15を形成する。そして、絶縁膜22およびスルーホール15上に画素電極14を形成し、画素電極14で開口するように絶縁膜23を形成する。画素電極14、スルーホール15、容量電極16およびデータ線19は、Ta、Al、Ti(チタン)等の金属膜で構成される。これらの金属膜は、蒸着法またはスパッタリング等で形成される。絶縁膜22、23は、絶縁膜17と同様に、SiN_xやSiO_xで構成され、蒸着法等で形成される。

40

【0050】

〔ステップS12〕バンプ電極の形成

ステップS11で形成されたアクティブマトリクス基板4上にバンプ電極31を形成する。バンプ電極31は、導電性ペーストをスクリーン印刷することにより形成される。

【0051】

バンプ電極31は、導電性ペーストで構成され、例えば、ゴムを主成分とした母材に、カーボンの主成分とした導電性材料と、常温で放置することにより有機物質が徐々に揮発して硬化する、あるいは空気中の水分と縮合反応して硬化するバインダー樹脂とを配合したもので構成される。この導電性ペーストに含まれる導電性材料については、導電性を有

50

していれば、適宜材料を選択しても良い。また、例えば、母材の主成分をゴムと例示したが、その他の高分子材料でもよい。バインダー樹脂についても、必ずしも樹脂に限定されず、接着性および硬化性を有する素材の混合物であってもよい。

【0052】

また、導電性ペーストには、例えば、バインダー樹脂のように常温で放置することにより有機物質が徐々に揮発して硬化する、あるいは空気中の水分と縮合反応して硬化する素材が含まれていることが望ましいが、温度変化（100℃程度まで）を与えることにより硬化する物質が含まれていてもよい。

【0053】

〔ステップS21〕対向基板とアクティブマトリクス基板の貼り合わせ

10

対向基板3の対向電極8とアクティブマトリクス基板4の画素電極14上に形成されたバンプ電極31とを接合する。これにより、対向基板3とアクティブマトリクス基板4とが貼り合わされる。接合は、予め設定された所定の圧力を加えながら、常温放置、あるいは必要に応じて加熱することにより行われる。また、バンプ電極31以外にも、異方導電性フィルム（ACF）を用いて接合（接続）してもよい。

【0054】

以上の工程によりFPD1を製造する。なお、この他に、ゲート駆動部33、電荷電圧変換アンプ35、マルチプレクサ37、および駆動制御部39等が設けられる。

【0055】

次に、図1および図3を参照してFPD1の動作を説明する。X線管から照射されたX線は被検体を透過し、被検体を透過したX線がFPD1に入射する（X線管と被検体は共に図示しない）。FPD1の半導体多結晶膜2にX線が入射されると、光導電効果により電荷が生成される。このとき、例えばグラファイト支持基板5には、負のバイアス電圧Vhが印加されているので、半導体多結晶膜2で生成された電荷は、バンプ電極31等を通じて画素ごとにコンデンサ11に蓄積される。

20

【0056】

コンデンサ11に蓄積された電荷は、TF T12の動作によりコンデンサ11から読み出される。ゲート駆動部33は、例えば図3の上側のゲート線21から1行ずつ順番に信号を送信することで、TF T12を接続（ON）の状態にさせる。これにより、コンデンサ11に蓄積された電荷がTF T12を通じてデータ線19に移動され、データ線19を通じて電荷電圧変換アンプ35に転送される。電荷電圧変換アンプ35は、電荷を電圧に変換して電圧信号として出力し、マルチプレクサ37に転送する。マルチプレクサ37は、複数の電圧信号から1つの電圧信号を選択して出力する。出力された電圧信号に基づいて2次元のX線画像が取得される。

30

【0057】

本実施例に係るFPD1およびその製造方法によれば、半導体多結晶膜2の結晶粒径9を対向電極8側よりも支持基板5側で小さくするように、支持基板5上に半導体多結晶膜2を形成する工程を備えている。すなわち、半導体多結晶膜2の結晶粒径9は、対向電極8側よりも支持基板5側で小さい。先に形成される支持基板5側の結晶粒径9が小さいので、半導体多結晶膜2の厚み方向200に結晶粒界が縦断する貫通粒201（図7）が形成されることを防止でき、半導体多結晶膜2の感度およびリーク電流のばらつきを低減させることができる。その結果、各画素の感度およびリーク電流が均一に揃い、画素ノイズの低い、診断上視認性の優れた放射線画像を取得することができる。

40

【0058】

半導体多結晶膜2の形成において、電子注入阻止層6を介して支持基板5上に初め（先に）形成される支持基板5側の結晶粒径9を、対向電極8側に形成される結晶粒径9よりも小さく（細かく）形成することで、貫通粒が形成されることを防止することができる。また、結晶粒を一度大きく成長させると、同等の大きさかそれよりも大きく成長するので、結晶粒を小さくすることは比較的に難しい。そこで、支持基板5上に初めに小さく結晶粒を形成することにより、貫通粒201の形成を防止するとともに結晶粒の大きさのコン

50

トロールを比較的容易に行える。

【0059】

また、半導体多結晶膜2を形成する工程は、支持基板5上に小粒径多結晶域2aを形成する工程と、小粒径多結晶域2a上に大粒径多結晶域2bを形成する工程とを有し、小粒径多結晶域2aは、予め設定されたC1量（濃度）をドーピングしながら形成し、大粒径多結晶域2bは、C1をドーピングさせずに、または小粒径多結晶域2aよりもドーピングさせるC1量を少なくして形成する。これにより、支持基板5側の小粒径多結晶域2aの結晶粒を、対向電極8側の大粒径多結晶域2bよりも小さくすることができる。

【0060】

また、半導体多結晶膜2の結晶粒径9は、厚み方向200に連続的に変化するように形成される。これにより、半導体多結晶膜2の結晶粒径9を厚み方向200、すなわち、支持基板5側から対向電極8側へ連続的に大きく変化するように形成することができる。この場合、半導体多結晶膜2の厚み方向200、すなわち生成された電荷の進行方向に粒径の段差がなく、電荷をスムーズに移動させることができるので、応答性または感度等がより良好となる。また、半導体多結晶膜2中の応力を緩和できるので、支持基板5の反りや半導体多結晶膜2のクラック等を抑えることができる。

10

【実施例2】

【0061】

次に、本発明の実施例2を説明する。実施例1において、半導体多結晶膜2の小粒径多結晶域2aは、予め設定されたC1量（濃度）をドーピングしながら形成し、大粒径多結晶膜域2bは、C1をドーピングさせずに、または小粒径多結晶域2aよりもドーピングさせるC1量を少なくして形成している（図1および図2）。しかしながら、実施例2では、小粒径多結晶域2aは、大粒径多結晶膜域2bよりも低い温度で形成する。なお、実施例1と重複する部分の説明は省略する。

20

【0062】

上述のように、半導体多結晶膜2を形成する工程は、電子注入阻止層6を介して支持基板5上に小粒径多結晶域2aを形成する工程と、小粒径多結晶域2a上に小粒径多結晶域2a以外の大粒径多結晶域2bを形成する工程とを有している。ここで、小粒径多結晶域2aは、大粒径多結晶膜域2bよりも低い温度で形成される。例えば、550～650℃の範囲で小粒径多結晶域2aを先に形成し、図5に示すヒータ47、49の温度を高くして600～700℃の範囲で大粒径多結晶膜域2bを形成する。なお、この場合、例えば、小粒径多結晶域2aを基板温度550℃、ソース温度650℃で形成し、大粒径多結晶膜域2bを基板温度600℃、ソース温度700℃で形成する。

30

【0063】

また、半導体多結晶膜2は、結晶粒径9が厚み方向200に連続的に変化するように形成されてもよい。すなわち、ヒータ47、49により加熱する成膜温度を、予め設定された（低い）温度から直線的または曲線的に連続的（段階的）に高くするように変化させることで半導体多結晶膜2を形成する。

【0064】

本実施例に係るFPD1およびその製造方法によれば、半導体多結晶膜2を形成する工程は、支持基板5上に小粒径多結晶域2aを形成する工程と、小粒径多結晶域2a上に大粒径多結晶域2bを形成する工程とを有し、小粒径多結晶域2aは、大粒径多結晶域2bよりも低い温度で形成する。これにより、支持基板5側の小粒径多結晶域2aの結晶粒を、対向電極8側の大粒径多結晶域2bよりも小さくすることができる。

40

【0065】

また、半導体多結晶膜2の結晶粒径9は、厚み方向200に連続的に変化するように形成される。これにより、半導体多結晶膜2の結晶粒径9を厚み方向200、すなわち、支持基板5側から対向電極8側へ連続的に大きく変化するように形成することができる。

【実施例3】

【0066】

50

次に、本発明の実施例 3 を説明する。実施例 1 または 2 において、半導体多結晶膜 2 の形成の際に、C 1 ドープ量や温度を変化させて小粒径多結晶域 2 a および大粒径多結晶域 2 b を形成している（図 1 および図 2）。しかしながら、実施例 3 では、小粒径多結晶域 2 a は、大粒径多結晶域 2 b よりも高い圧力（真空度の低い）で形成する。なお、実施例 1 および 2 と重複する部分の説明は省略する。

【0067】

上述のように、半導体多結晶膜 2 を形成する工程は、電子注入阻止層 6 を介して支持基板 5 上に小粒径多結晶域 2 a を形成する工程と、小粒径多結晶域 2 a 上に小粒径多結晶域 2 a 以外の大粒径多結晶域 2 b を形成する工程とを有している。ここで、小粒径多結晶域 2 a は、大粒径多結晶域 2 b よりも高い圧力で形成する。例えば、2 torr を基準として、5 torr または 10 torr で小粒径多結晶域 2 a を先に形成し、図 5 に示す真空ポンプ 5 1 を動作させて圧力を低くして 0.5 torr または 1 torr で大粒径多結晶域 2 b を形成する。なお、1 torr = 130 Pa である。

10

【0068】

また、半導体多結晶膜 2 は、結晶粒径 9 が厚み方向 200 に連続的に変化するように形成されてもよい。すなわち、真空ポンプ 5 1 により減圧雰囲気成膜圧力を、予め設定された（高い）圧力から直線的または曲線的に連続的（段階的）に低くする（真空度を高くする）ように変化させることで半導体多結晶膜 2 を形成する。

【0069】

本実施例に係る FPD 1 およびその製造方法によれば、半導体多結晶膜 2 を形成する工程は、支持基板 5 上に小粒径多結晶域 2 a を形成する工程と、小粒径多結晶域 2 a 上に大粒径多結晶域 2 b を形成する工程とを有し、小粒径多結晶域 2 a は、大粒径多結晶域 2 b よりも高い圧力で形成する。これにより、支持基板 5 側の小粒径多結晶域 2 a の結晶粒を、対向電極 8 側の大粒径多結晶域 2 b よりも小さくすることができる。

20

【0070】

また、半導体多結晶膜 2 の結晶粒径 9 は、厚み方向 200 に連続的に変化するように形成される。これにより、半導体多結晶膜 2 の結晶粒径 9 を厚み方向 200、すなわち、支持基板 5 側から対向電極 8 側へ連続的に大きく変化するように形成することができる。

【0071】

本発明は、上記実施形態に限られることはなく、下記のように変形実施することができる。

30

【0072】

（1）上述した実施例では、半導体多結晶膜 2 は、CdTe または CdZnTe、すなわち、CdTe 系半導体または CdZnTe 系半導体の多結晶膜で構成されていた。しかしながら、半導体多結晶膜 2 は、CdTe 系半導体または CdZnTe 系半導体の多結晶膜以外でも応用可能である。

【0073】

（2）上述した実施例および変形例（1）では、半導体多結晶膜 2 は、検出対象の放射線として、X 線に感応して電荷を生成していた。しかしながら、X 線に限らず、例えば γ 線または光（可視光や紫外線、赤外線等）であってもよい。この場合、FPD 1 は、X 線、 γ 線および光の全てを検出することが可能であるが、X 線、 γ 線および光の少なくともいずれか 1 つを検出する構成であってもよい。

40

【0074】

（3）上述した実施例および各変形例では、図 3 に示すように、2 次元状の X 線像を検出するものであったが、X 線検出素子 DU が 1 列に並ぶだけの 1 次元の X 線像を検出するものであってもよい。

【0075】

（4）上述した実施例および各変形例では、半導体多結晶膜 2 の形成の際に、C 1 ドープ量や温度、圧力を個別に変化させていた。しかしながら、それらを組み合わせて半導体多結晶膜 2 を形成してもよい。すなわち、C 1 ドープ量、温度および圧力の少なくとも 1

50

つの条件を変化させて半導体多結晶膜 2 を形成してもよい。

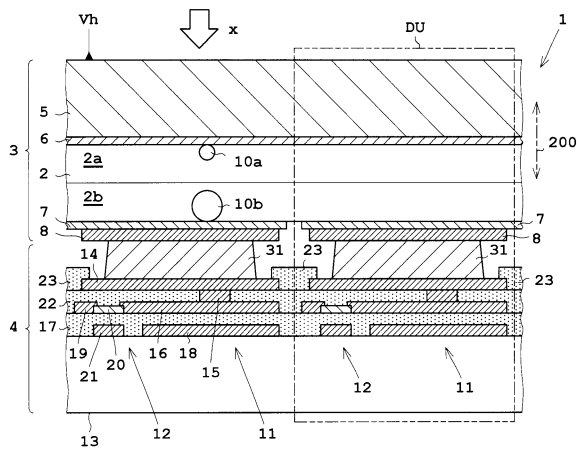
【符号の説明】

【0076】

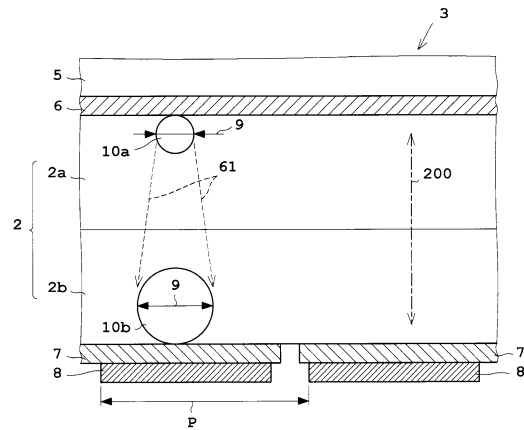
- 1 … フラットパネル型 X 線検出器 (FPD)
- 2 … 多結晶の半導体層 (半導体多結晶膜)
- 3 … 対向基板
- 4 … アクティブマトリクス基板
- 5 … 支持基板
- 8 … 対向電極
- 9 … 結晶粒径
- 41 … 蒸着チャンバ
- 47, 49 … ヒータ
- 51 … 真空ポンプ
- 53 … 供給口
- 200 … 厚み方向
- 201 … 貫通粒
- 202 … 複数の結晶粒
- P … 画素ピッチ

10

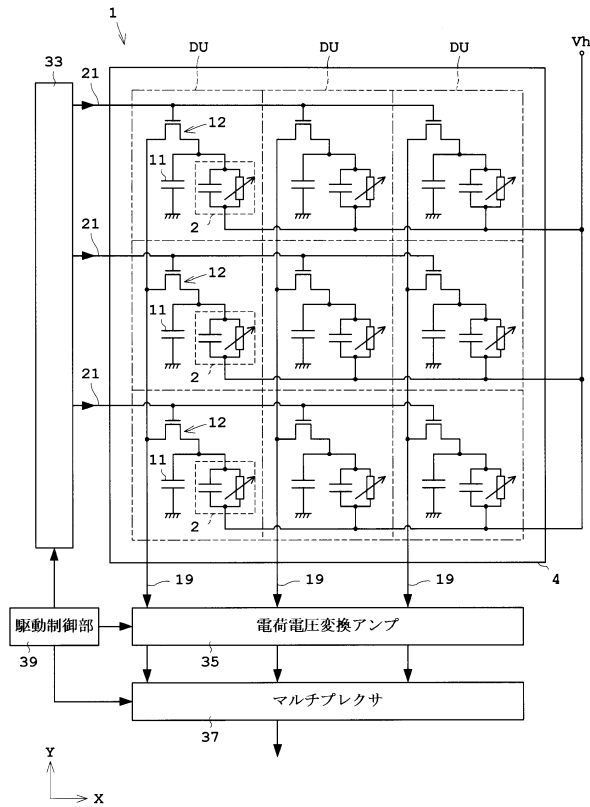
【図 1】



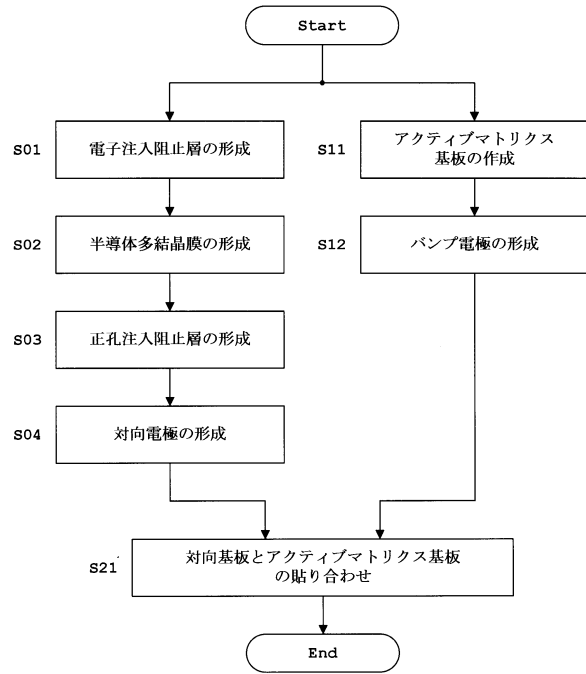
【図 2】



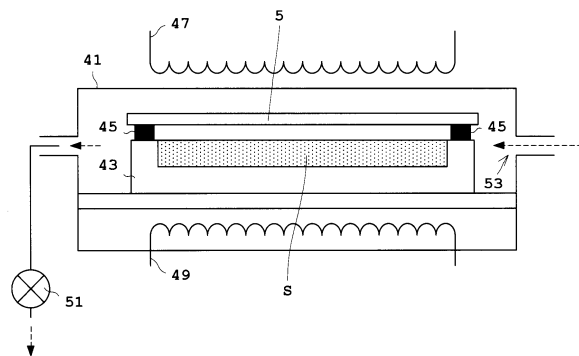
【図 3】



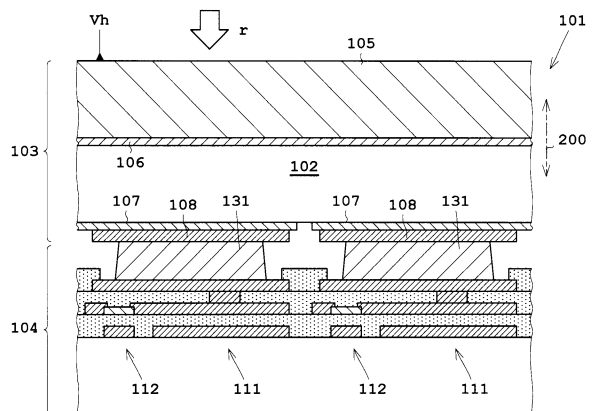
【図 4】



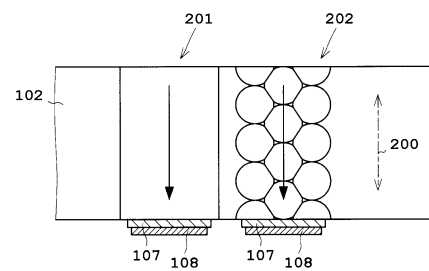
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.		F I			
H04N	5/369	(2011.01)	H04N	5/335	690
H04N	5/374	(2011.01)	H04N	5/335	740
H04N	5/357	(2011.01)	H04N	5/335	570

(72)発明者 岸原 弘之
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

(72)発明者 貝野 正知
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

(72)発明者 吉松 聖菜
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

(72)発明者 土岐 貴弘
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

(72)発明者 吉牟田 利典
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

(72)発明者 佐藤 敏幸
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

(72)発明者 桑原 章二
京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内

審査官 柴山 将隆

(56)参考文献 特開2001-102602 (JP, A)
特開2002-083946 (JP, A)
特開平10-294484 (JP, A)
特開2008-153460 (JP, A)
特開2008-153461 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/146
G01T	1/24
H01L	27/144
H01L	31/08
H04N	5/32
H04N	5/357
H04N	5/369
H04N	5/374