

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200510074362.6

H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

G11C 11/56 (2006.01)

[45] 授权公告日 2009 年 4 月 15 日

[11] 授权公告号 CN 100479219C

[22] 申请日 2005.5.27

[21] 申请号 200510074362.6

[30] 优先权

[32] 2004.5.27 [33] KR [31] 10-2004-0037965

[32] 2004.12.14 [33] KR [31] 10-2004-0105905

[32] 2005.4.15 [33] KR [31] 10-2005-0031662

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 宋胤宗 黄荣南 南相敦 赵性来

高宽协 李忠满 具奉珍 河龙湖

李秀渊 郑相旭 李智惠 柳庚昶

李世昊 安洙珍 朴淳五 李将银

[56] 参考文献

US4115872 1978.9.19

CN1506973A 2004.6.23

US4499557 1985.2.12

US6642102B2 2003.11.4

US2004/0087074A1 2004.5.6

US4599705 1986.7.8

Ge-Sb-Te-O 相变薄膜的光学性质研究.
顾四朋, 候立松, 曾贤成, 赵启涛. 光学仪器,
第 23 卷第 5.6 期. 2001

审查员 刘振玲

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 林宇清 谢丽娜

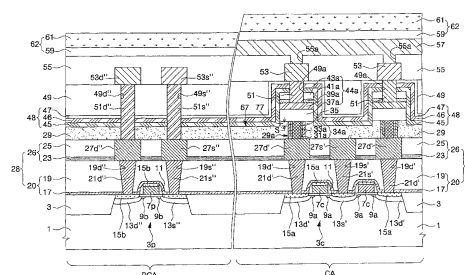
权利要求书 11 页 说明书 14 页 附图 16 页

[54] 发明名称

具有相变存储单元的半导体器件、使用它的
电子系统和其制造方法

[57] 摘要

在一个实施例中, 相变存储器件具有防止存储
单元污染或氧化的氧化阻挡层及其制造方法。在
一个实施例中, 半导体存储器件包括覆盖在半导体衬
底上的压模层。该压模层具有从其顶表面垂直扩展
的突起部分。该器件进一步包括邻近突起部分的相
变图案和电气连接至相变图案的下电极。



1. 半导体存储器件，其包括：

覆盖半导体衬底的导电结构；

覆盖所述导电结构的压模层，该压模层具有顶表面和底表面，其中顶表面的第一区域在半导体衬底上的高度低于顶表面的第二区域，所述压模层包括从顶表面的第二区域延伸至底表面的接触孔，其中从顶表面第二区域至底表面的压模层的厚度大于从顶表面第一区域至底表面的压模层的厚度；以及

所述顶表面第二区域上的相变材料图案，其中所述顶表面包括将压模层的顶表面第一区域与压模层顶表面第二区域相连接的阶梯，其中相变材料图案与压模层的顶表面的阶梯自对准，其中所述导电结构通过接触孔电气连接至所述相变材料图案。

2. 如权利要求 1 所述的器件，其中所述相变材料图案的最下侧部分位于所述接触孔之上。

3. 如权利要求 1 所述的器件，其中所述相变材料图案位于所述接触孔内。

4. 如权利要求 1 所述的器件，进一步包括覆盖所述相变材料图案的侧壁的至少一部分和所述压模层的顶表面的阶梯的至少一部分的氧化阻挡层。

5. 如权利要求 1 所述的器件，进一步包括电气连接至所述相变材料图案的电极。

6. 如权利要求 5 所述的器件，进一步包括覆盖所述相变材料图案和所述电极的氧化阻挡层。

7. 如权利要求 1 所述的器件，其中所述相变材料图案包括硫族化物材料。

8. 如权利要求 7 所述的器件，其中所述硫族化物包括 GST 合金。

9. 如权利要求 8 所述的器件，其中所述 GST 合金被硅和氮的至少一种掺杂。

10. 如权利要求 1 所述的器件，其中从所述压模层的顶表面的第二区域到所述压模层的底表面的压模层的厚度为至少 100 埃。

11. 如权利要求 10 所述的器件，其中从所述压模层的顶表面的第二区域到所述压模层的底表面的压模层的厚度的范围为 300 至 600 埃。

12. 半导体存储器件，其包括：

配置在半导体衬底上方的压模层，该压模层具有在其顶表面上延伸的突起部分；

所述突起部分上的相变材料图案，其中所述相变材料图案的侧壁与所述突起部分的侧壁自对准；

覆盖所述相变材料图案的侧壁与所述突起部分的侧壁相邻接的区域的氧化阻挡层；以及

电气连接至所述相变材料图案的下电极。

13. 如权利要求 12 所述的器件，其中所述相变材料图案穿透所述突起部分。

14. 如权利要求 12 所述的器件，进一步包括覆盖所述相变材料图案的上电极。

15. 如权利要求 14 所述的器件，进一步包括在所述上电极上的硬

掩模。

16. 如权利要求 15 所述的器件，其中所述氧化阻挡层覆盖所述上电极和所述相变材料图案。

17. 如权利要求 16 所述的器件，其中所述氧化阻挡层包括覆盖所述上电极顶部的第一部分和覆盖所述相变层图案的侧壁的第二部分，其中所述第一部分具有比所述第二部分厚度更厚的厚度。

18. 如权利要求 17 所述的器件，其中所述第二部分的厚度大于或等于 300 埃。

19. 如权利要求 12 所述的器件，其中所述氧化阻挡层包括下层和上层。

20. 如权利要求 19 所述的器件，其中在小于或等于 350℃ 下通过 PE-CVD 或 ALD 形成所述下层，和在大于或等于 350℃ 下通过 PE-CVD 或 LPCVD 形成所述上层。

21. 如权利要求 20 所述的器件，其中所述下氧化阻挡层包括氮化物层，且其中所述上氧化阻挡层包括氮化物层或金属氧化物层。

22. 如权利要求 21 所述的器件，其中所述氮化物层包括氮化硅层或氮氧化硅层，且其中所述金属氧化物层包括氧化铝层、氧化钛层、氧化锆层、二氧化钪层或氧化镧层。

23. 如权利要求 19 所述的器件，其中所述下氧化阻挡层具有覆盖所述突起部分的侧壁和所述相变材料图案的侧壁の間隔形状。

24. 如权利要求 19 所述的器件，进一步包括配置在所述下氧化阻

挡层和所述上氧化阻挡层之间的应力缓冲层。

25. 如权利要求 24 所述的器件，其中所述应力缓冲层包括氧化硅层。

26. 如权利要求 12 所述的器件，其中所述氧化阻挡层包括单层氮化物。

27. 如权利要求 26 所述的器件，其中所述氧化阻挡层包括在小于或等于 350℃ 下使用 PE-CVD 工艺、或 ALD 工艺沉积的氮化硅或氮氧化硅。

28. 如权利要求 12 所述的器件，其中所述相变材料图案包括硫族化物材料。

29. 如权利要求 12 所述的器件，进一步包括：
形成在所述半导体衬底上的开关晶体管；
覆盖所述开关晶体管的层间绝缘层，该层间绝缘层具有电气连接到所述开关晶体管和所述下电极的导电衬垫，
其中所述压模层突起部分位于所述导电衬垫上方。

30. 如权利要求 29 所述的器件，其中所述开关晶体管包括栅电极、源区和漏区，且其中所述导电衬垫电气连接到所述漏区。

31. 如权利要求 30 所述的器件，进一步包括配置在所述层间绝缘层内的公用源线，该公用源线电气连接到所述源区。

32. 如权利要求 30 所述的器件，进一步包括位于所述源/漏区和所述栅电极的至少一个上的硅化物层。

33. 如权利要求 29 所述的器件，其中所述压模层具有比氧化硅更高的热导率。

34. 如权利要求 33 所述的器件，其中所述压模层包括氮氧化硅或氮化硅。

35. 如权利要求 29 所述的器件，进一步包括围绕所述下电极的侧壁的接触间隔。

36. 如权利要求 35 所述的器件，其中所述接触间隔包括内部接触间隔和外部接触间隔，所述外部接触间隔围绕所述内部接触间隔的外壁。

37. 半导体存储器件，其包括：

半导体衬底上的存储单元区域和所述半导体衬底上的外围电路区域，

其中所述单元区域包括：

第一晶体管 and 相变电阻器，

其中所述第一晶体管包括第一源/漏区、第一栅电极和配置在所述第一栅电极与所述衬底之间的第一栅电介质，所述第一栅电极具有第一宽度，并且其中所述相变电阻器包括：

覆盖所述半导体衬底的压模层，该压模层具有从其顶表面垂直扩展的突起部分；

邻近所述突起部分的相变材料图案；

电气连接至所述相变材料图案的下电极；

电气连接至所述相变材料图案的上电极；和

覆盖所述相变材料图案的侧壁和所述突起部分的侧壁的氧化阻挡层；

其中所述半导体衬底上的外围电路区域具有第二晶体管，所述第二晶体管包括第二栅电极、第二源/漏区和配置在所述衬底和所述第二

栅电极之间的第二栅电介质，所述第二栅电极具有第二宽度，其中所述第一宽度不同于所述第二宽度。

38. 如权利要求 37 所述的器件，其中所述第二宽度比所述第一宽度大至少 1.5 倍。

39. 如权利要求 37 所述的器件，其中所述相变材料图案穿透所述突起部分。

40. 如权利要求 37 所述的器件，其中所述第二栅电介质比所述第一栅电介质厚。

41. 如权利要求 37 所述的器件，其中所述相变材料图案包括硫族化物材料。

42. 如权利要求 37 所述的器件，其中所述相变材料图案的侧壁与所述突起部分的侧壁自对准。

43. 如权利要求 42 所述的器件，其中所述氧化阻挡层包括下氧化阻挡层和上氧化阻挡层。

44. 如权利要求 43 所述的器件，其中所述下氧化阻挡层包括氮化物层，且所述上氧化阻挡层包括氮化物层或金属氧化层。

45. 如权利要求 44 所述的器件，其中所述氮化物层包括氮化硅层或氮氧化硅层，且所述金属氧化层包括氧化铝层、氧化钛层、氧化锆层、二氧化铪层或氧化镧层。

46. 如权利要求 43 所述的器件，其中所述下氧化阻挡层具有覆盖所述突起部分的侧壁和所述相变材料图案的侧壁的间隔形状。

47. 如权利要求 43 所述的器件，进一步包括配置在所述下氧化阻挡层和所述上氧化阻挡层之间的应力缓冲层。

48. 如权利要求 47 所述的器件，其中所述应力缓冲层是氧化硅层。

49. 如权利要求 37 所述的器件，其中所述氧化阻挡层包括单层氮化物。

50. 如权利要求 49 所述的器件，其中所述氧化阻挡层是在 350℃ 或更低的温度下使用等离子体 CVD 工艺或 ALD 工艺形成的氮化硅层或氮氧化硅层。

51. 如权利要求 37 所述的器件，其中所述氧化阻挡层包括下层和上层。

52. 如权利要求 37 所述的器件，其中所述氧化阻挡层包括覆盖所述上电极顶部的第一部分和覆盖所述相变层图案的侧壁的第二部分，其中所述第一部分具有比所述第二部分厚度更厚的厚度。

53. 如权利要求 37 所述的器件，进一步包括分别位于所述第一和第二晶体管的所述第一和第二源/漏区和所述第一和第二栅电极的至少一个上的硅化物层。

54. 一种系统，其包括：

处理器；

与所述处理器通信的输入和输出；和

与所述处理器通信的相变存储器件，该器件包括：

覆盖半导体衬底的导电结构；

覆盖所述导电结构的压模层，该压模层具有顶表面和底表面，

其中顶表面的第一区域在半导体衬底上的高度低于顶表面的第二区域，所述压模层包括从顶表面的第二区域延伸至底表面的接触孔，其中从顶表面第二区域至底表面的压模层的厚度大于从顶表面第一区域至底表面的压模层的厚度；以及

所述顶表面第二区域上的相变材料图案，其中所述顶表面包括将压模层的顶表面第一区域与压模层顶表面第二区域相连接的阶梯，其中相变材料图案与压模层的顶表面的阶梯自对准，其中所述导电结构通过接触孔电气连接至所述相变材料图案。

55. 如权利要求 54 所述的系统，其中所述相变材料图案位于接触孔内。

56. 如权利要求 54 所述的系统，进一步包括覆盖所述相变材料图案的侧壁和压模层顶表面的阶梯邻接的区域的氧化阻挡层。

57. 如权利要求 56 所述的系统，其中所述氧化阻挡层包括下氧化阻挡层和上氧化阻挡层。

58. 如权利要求 57 所述的系统，其中所述下氧化阻挡层包括氮化物层，且所述上氧化阻挡层包括氮化物层或金属氧化层。

59. 如权利要求 58 所述的系统，其中所述氮化物层包括氮化硅层或氮氧化硅层，且所述金属氧化层包括氧化铝层、氧化钛层、氧化锆层、二氧化铪层或氧化镧层。

60. 如权利要求 57 所述的系统，其中所述下氧化阻挡层具有覆盖所述压模层顶表面的阶梯和所述相变材料图案的侧壁的间隔形状。

61. 如权利要求 57 所述的系统，进一步包括配置在所述下氧化阻挡层和所述上氧化阻挡层之间的应力缓冲层。

62. 如权利要求 61 所述的系统,其中所述应力缓冲层是氧化硅层。

63. 如权利要求 56 所述的系统,其中所述氧化阻挡层包括单层氮化物。

64. 如权利要求 63 所述的系统,其中所述氧化阻挡层是在 350℃ 或更低的温度下使用等离子体 CVD 工艺或 ALD 工艺形成的氮化硅层或氮氧化硅层。

65. 如权利要求 56 的系统,其中所述相变材料图案包括硫族化物材料。

66. 如权利要求 65 的系统,其中所述硫族化物包括 GST 合金。

67. 制造存储器件的方法:

提供半导体衬底;

在所述半导体衬底上形成压模层;

在所述压模层中形成下电极;

形成邻近所述下电极的一层相变材料;

蚀刻所述压模层的顶部以形成从所述压模层扩展的突起部分,由此形成邻近所述突起部分的相变材料图案;以及

共形地形成覆盖所述相变材料图案的氧化阻挡层。

68. 如权利要求 67 所述的方法,其中所述氧化阻挡层由单层氮化物形成。

69. 如权利要求 68 所述的方法,其中在低于 350℃ 的温度下形成由氮化硅层或氮氧化硅层构成的所述单层氮化物。

70. 如权利要求 69 所述的方法，其中使用等离子体 CVD 工艺或 ALD 工艺形成所述单层氮化物。

71. 如权利要求 69 所述的方法，进一步包括使用退火技术或等离子体处理技术致密化所述单层氮化物。

72. 如权利要求 67 所述的方法，其中形成所述氧化阻挡层包括：在具有所述相变材料图案的所述衬底上形成下氧化阻挡层；和在所述下氧化阻挡层上形成上氧化阻挡层。

73. 如权利要求 72 所述的方法，其中在低于 350℃ 的温度下形成由氮化硅层或氮氧化硅层构成所述下氧化阻挡层。

74. 如权利要求 73 所述的方法，进一步包括使用退火技术或等离子体处理技术致密化所述下氧化阻挡层。

75. 如权利要求 72 所述的方法，进一步包括各向异性地蚀刻所述下氧化阻挡层以形成覆盖所述相变材料图案的侧壁和所述突起部分的侧壁的间隔形状下氧化阻挡层图案。

76. 如权利要求 75 所述的方法，进一步包括使用退火技术或等离子体处理技术致密化所述间隔形状下氧化阻挡层图案。

77. 如权利要求 75 所述的方法，进一步包括在具有间隔形状下氧化阻挡层图案上形成应力缓冲层。

78. 如权利要求 77 所述的方法，其中所述应力缓冲层由氧化硅层形成。

79. 如权利要求 72 所述的方法，进一步包括在具有所述下氧化阻

挡层的所述衬底上形成应力缓冲层。

80. 如权利要求 79 所述的方法，其中所述应力缓冲层由氧化硅层形成。

81. 如权利要求 72 所述的方法，其中所述上氧化阻挡层由氮化物层或金属氧化层形成。

82. 如权利要求 81 所述的方法，其中所述氮化物层由氮化硅层或氮氧化硅层形成，且所述金属氧化层由氧化铝层、氧化钛层、氧化锆层、二氧化铪层或氧化镧层形成。

83. 一种半导体存储器件，其包括：

配置在半导体衬底上方的压模层，该压模层具有在其顶表面上延伸的突起部分；

相变材料图案，具有所述突起部分之上的一部分，以及该相变材料图案具有穿透所述突起部分的另一部分，其中所述相变材料图案的侧壁与所述突起部分的侧壁自对准；以及

覆盖所述相变材料图案和所述突起部分的氧化阻挡层。

84. 如权利要求 83 所述的器件，其中所述氧化阻挡层包括覆盖所述相变材料图案的侧壁和所述突起部分的侧壁的间隔形状下氧化阻挡层、上氧化阻挡层、和配置在其间的应力缓冲层。

85. 如权利要求 83 所述的器件，进一步包括围绕所述相变材料图案的另一部分的接触间隔。

具有相变存储单元的半导体 器件、使用它的电子系统和其制造方法

发明背景

技术领域

本发明涉及一种半导体存储器件及其制造方法，具体涉及一种相变存储器件和其制造方法。

背景技术

已知用于电子存储器应用的相变材料的使用，并在例如美国专利 No.6,147,395 和美国专利 No.6,337,266 中公开。就相变存储器而言，存储器的两种状态取决于存储单元中的电流阻抗。相变材料典型地具有非晶相和晶相，分别具有固有的高和低电阻抗。非晶相存在于相对较高的温度下，晶相存在于相对低的温度下。相变存储器运行于存储单元状态（例如“接通”或“切断”）取决于温度这一基本概念之上。因此，用于设定温度高或低的装置包含在每个存储单元中。

这种类型存储器的一般结构包括夹在下电极和顶电极之间的相变材料。下电极典型地起两个作用，一方面是存储单元的传导电极，另一方面是控制相变材料的相位的欧姆加热器。正如所述，该结构包括顶电极与相变材料之间、和底电极与相变材料之间的界面。在存储器件的制造过程中，和在使用中的它的使用寿命期间，这些界面可能被污染或被氧化。这种氧化引起这些界面处接触电阻的分布的巨大变化。由于相变存储器的运行取决于基于单元对电流的阻抗是“接通”或“切断”间的区分，污染或氧化危及存储器编程的准确度。仍保持对能够防止这种污染或氧化的新的相变存储结构和其制造方法的需求。

发明内容

一种相变存储器件具有防止存储单元污染或者氧化的氧化阻挡层及其制造方法。在一个实施例中，半导体存储器件包括覆盖在半导体衬底上的压模层。压模层具有从其顶表面垂直扩展的突起部分。该器件还进一步包括邻近突起部分的相变材料图案和电气连接到相变材料图案的下电极。根据本发明的一个方面，氧化阻挡层覆盖相变材料图案的侧壁与突起部分的侧壁邻接的区域。相变存储器件的更稳定运行和更长使用寿命是本发明的一些好处。

附图的简要说明

图1a是以本发明的相变存储单元阵列（CA）和周边电路区域（PCA）为特征的实施例的示意图。

图1b是根据本发明的实施例相变存储单元阵列区域和周边电路区域的一部分的平面图。

图2-9是沿显示制造本发明的实施例的工艺步骤的图1b的沿线I-I'的各剖面图。

图10是说明根据本发明的另一个实施例的相变存储器件的晶胞的剖视图。

图11是说明根据本发明的又一个实施例的相变存储器件的晶胞的剖视图。

图12是说明根据本发明的又一个的实施例的相变存储器件的晶胞的剖视图。

图13是采用本发明的相变存储器件的实施例的便携式电子装置的示意性方框图。

图14是显示根据本发明实施例制造的相变电阻器的相变材料和下电极之间的下电极接触电阻特性的图表。

图15是显示没有氧化阻挡层的传统相变存储器件的编程特性的图表。

图16是显示具有氧化阻挡层的本发明实施例的相变存储器件的编程特性的图表。

图17是说明根据本发明和传统技术制造的相变存储单元的设置/重置阻抗特性的图表。

具体实施方式

图1a是以本发明的相变存储单元阵列CA和周边电路区域PCA为特征的实施例的示意图。单元阵列区域CA包括每个依次包括存取晶体管TA和相变电阻器RP的存储单元CL的阵列。在现有技术公知的结构中，各存储单元CL连接到位线BL、字线WL、和共源极线CSL。在本发明中将包括其他传统技术，例如，周边电路区域PCA包括驱动存储单元CL的第一和第二集成电路PCA1、PCA2。存储单元CL状态由写入电流IW的电流感应确定。存储器控制的电流感应和其它功能为本领域的技术人员所知。

图1b是根据本发明实施例的相变存储单元阵列区域CA的一部分和周边电路区域PCA的一部分的平面图。图1b显示单元有源区3c、共源极线27s'(在随后的图的范围内其称为"共源极衬垫27s')、单元栅电极7c、周边栅电极7p、位线57、第一和第二源接触孔19s'和19s"、位线接触孔55a、第一和第二漏极接触孔19d'和19d"、相变电阻器44a、和相变电阻器接触孔29a。这些元件的细节将在随后说明。

图2-9是沿显示制造本发明的实施例的制造步骤的图1b的线I-I'的各剖面图。

参照图2，单元栅电极7c和周边的栅电极7p分别形成在单元有源区3c中的单元栅介质层5c上和周边电路有源区3p中的周边栅介质层5p上，由形成在半导体衬底1上的场隔离区3限定。单元栅电极7c和周边栅电极7p的宽度不同。优选地，周边栅电极7p的宽度至少比单元栅电极7c的宽度大大约1.5倍。而且，可以将周边栅介质层5p形成的比单元栅介质层5c厚。

参照图3，形成周边电路MOS晶体管TP和单元存取MOS晶体管TA。详细地，使用单元栅电极7c作为离子注入掩模，在单元有源区3c中形成n型第一低浓度杂质区9a。此外，使用周边栅电极7p作为离子注入掩模，在周边电路有源区3p中形成p型第二低浓度杂质区9b。

同样，使用传统技术，沿着单元栅电极7c的相对侧以及沿着周边栅电极7p的相对侧优选形成传统的间隔材料（例如氧化物或者氮化物）的栅间隔物11。

然后，使用栅间隔物11，在单元有源区3c中形成n型第一源区13s'和n型第一漏区13d'。另外，使用现有技术中公知的方法，在周边电路有源区3p中随后形成p型第二源区13s"、p型第二漏区13d"。结果，在单元区域CA中形成一对存取(开关) MOS晶体管TA，并在周边电路区域PCA中形成周边的MOS晶体管TP。

在第二源和漏区13s"和13d"和周边栅电极7p的至少一个上形成硅化物层15b。在第一源和漏区13s'和13d'和周边单元栅电极7c的至少一个上形成硅化物层15a。然后，在最终结构上方形成低刻蚀停止层17。

参照图4，在下刻蚀停止层17上方形成下绝缘层19，二者结合形成下中间绝缘层20。

其后，在单元区域CA中的下中间绝缘层20中形成第一源极接触孔19s'、第一漏极接触孔19d'。然后，使用现有技术中公知的方法，分别在第一源极接触孔19s'、第一漏极接触孔19d'中形成第一源极接触塞21s'和第一漏极接触塞21d'。同样，使用常规技术，在下中间绝缘层20中的周边电路区域PCA中形成第二源极接触孔19s"、第二漏极接触孔19d"、第二源极接触塞21s"、和第二漏极接触塞21d"。

然后，形成上中间绝缘层26，其包括上刻蚀停止层23和上绝缘层25。元件28表示由上述的层17,19,23和25组成的中间绝缘层。

参照图5，在图4所示的上中间绝缘层26内形成代表图1b中共源极线27s'的横截面的共源极衬垫27s'，导电衬垫（即，第一漏极衬垫27d'）、外围电路区域源极衬垫27s''、外围电路区域漏极衬垫27d''。根据本领域技术人员公知的工艺形成这些元件。因此，共源极衬垫27s'和第一漏极衬垫27d'分别电气连接到第一源区13s'和第一漏区13d'。

然后，在最终结构上形成压模层29。然后使用光刻法和刻蚀工艺，在压模层29中形成相变电阻器接触孔29a。压模层29优选由具有高热导率的材料形成。例如，压模层29具有比二氧化硅高的热导率。除防止相变材料图案氧化的氧阻挡特性之外，这给出了相变材料图案的相变的高速淬火效率。例如，上述材料包括氮化硅和氮氧化硅。

转向图6，共形接触间隔层34由或者一层或者两层形成。优选地，不使用氧气在真空下形成共形接触间隔层34。如果使用氧气形成共形接触间隔物层34，为了防止漏极衬垫27d氧化，优选使用较低的形成温度。共形接触间隔层34可以是使用等离子体增强(PE)CVD、或者低压(LP)CVD形成的氮化硅层。共形接触间隔层34可以由二层形成，包括在小于大约500°C以下通过使用PE - CVD形成的氮氧化硅层的下接触间隔层31、和在大于大约500°C以上通过使用LP - CVD形成的氮化硅的上接触间隔层33。

参照图7，各项异性地刻蚀共形接触间隔层34以暴露第一漏极衬垫27d'。结果，形成包括内接触间隔物31a和外接触间隔物33a的接触间隔34a。外接触间隔33a围绕内接触间隔物31a的外壁。

然后，在接触间隔物34内的相变电阻器接触孔29a中形成下电极35。然而，根据应用情况，可不需要接触间隔物34a。下电极35电气

连接到第一漏极衬垫27'，其经第一接触塞21d'依次电气连接至开关晶体管TA的第一漏区13d'。详细地，可以通过在压模层29上和接触孔29a内沉淀导电薄膜（例如TiN膜或TiAlN膜）并通过整平导电膜直到暴露压模层29来形成相变电阻器接触孔29a中的下电极35。结果，接触间隔物34a围绕低电极35的侧壁。

其后，在包括压模层29的最终结构上顺序地形成相变材料层37、上电极层39、胶层41和硬掩模层43。硬掩模层43可以由SiO₂形成。胶层41可以是例如SiN的润湿层。然而，本领域的技术人员将理解上述结构仅仅是优选实施例，还可以在本发明的精神和范围内使用其他适当的结构。例如，可以使用除了SiO₂外的电介质材料形成硬掩模层43。

相变材料层37可以由硫族化物材料形成，包括但不限于GeSbTe合金或者掺Si或者N的GeSbTe合金，具有例如大约1000Å的厚度。

在图8中，可以通过构图硬掩模层43、胶层41、上电极层39、相变材料层37形成相变电阻器44a以形成硬掩模层图案43a、上电极39a、和相变材料图案37a，然后刻蚀压模层29的上部，从而与相邻的相变材料图案37a完全分离。该工艺也产生与相变电阻器44a自对准的压模层29的突起部分77。压模层29的突起部分77导致图8中所示的由符号"S"表示的表面阶梯差异。相变材料图案37a电气连接下电极35。

然后，氧化阻挡层48覆盖包括相变电阻器44a的最终结构。氧化阻挡层48包含在小于或等于大约350℃下使用PE-CVD工艺或者原子层沉淀(ALD)工艺沉淀的单层氮化物，例如氮化硅或者氮氧化硅。可替换地，氧化阻挡层48可以由双层形成，包括在小于或等于大约350℃下使用PE-CVD工艺或者ALD工艺沉淀的氮化物的下氧化阻挡层45，例如氮化硅或者氮氧化硅；和在高于或等于大约350℃下使用PE-CVD工艺或者LP CVD工艺沉淀的氮化物的上氧化阻挡层47，例如氮化硅或者氮氧化硅。

氧化阻挡层48防止在工艺例如覆盖相变电阻器44a的氧化物沉淀(ILD沉淀)过程中相变材料图案37a被可以深入低电极35和相变材料图案37a之间界面、或者上电极39a和相变材料图案37a之间的另一个界面的氧或者杂质氧化或者污染。

因为氧化阻挡层48覆盖压模层29的突起部分77的侧壁、以及相变电阻器44a的侧壁和/或上表面,可以高效地阻挡氧渗透到相变电阻器44a。

另外,可以在形成氧化阻挡层48之前,在小于或等于大约350°C下使用N₂或者NH₃在相变电阻器44a的表面上执行等离子体渗氮处理。

仍然参照图1B和8,根据本发明的另一个方面,可以通过顺序地堆积下氧化阻挡层45、应力缓冲器层46、和上氧化阻挡层47形成氧化阻挡层48。下氧化阻挡层45可以由氮化物层(例如氮氧化硅层或者氮化硅层)形成。上氧化阻挡层47可以由氮化物层,例如氮氧化硅层或者氮化硅层、或者金属氧化物层例如氧化铝层(AlO)、二氧化钛层(TiO)、氧化锆层(ZrO)、二氧化铪层(HfO)、或者氧化镧层(LaO)形成。另外,应力缓冲器层46可以由用于减轻由于氧化阻挡层47的存在而施加到下氧化阻挡层45的应力的材料层形成。例如,应力缓冲器层46由二氧化硅层形成,其在大约200至大约400°C温度下使用等离子体CVD技术形成。

如果在如上所述的低于350°C的温度下形成下氧化阻挡层45,那么下氧化阻挡层45可以是多孔状。在这种情况下,由于降低了下氧化阻挡层45的氧整流效率,所以优选致密下氧化阻挡层45。使用退火技术或者等离子体处理技术执行致密处理。可以在大约400°C的温度下使用氮气或者氨气作为周围气体执行退火处理,可以在大约200至400°C的温度下使用氮气或者氨气作为等离子体源气执行等离子处理

工艺。

上氧化阻挡层47可以不直接与相变材料层图案37a接触。因而，考虑到氧阻塞性能胜于施加到相变材料层图案37a的损伤，因此形成上氧化阻挡层47。也就是说，在高于形成下氧化阻挡层45的温度的温度下形成上氧化阻挡层47。例如，在比大约350℃高的温度下使用等离子体CVD技术、低压CVD技术或者原子层沉淀技术形成上氧化阻挡层47。

在本发明的实施例中，上氧化阻挡层47使用原子层沉淀技术，由氧化铝层形成。在这种情况下，使用臭氧气体形成氧化铝层。臭氧气体比氧气具有更强腐蚀性。然而，由于相变材料层图案37a被下氧化阻挡层45覆盖，所以可以最小化在形成上氧化阻挡层47过程中施加到相变材料层图案37a的损伤。

在本发明的另一个实施例中，可以使用溅射技术形成用作上氧化阻挡层47的金属氧化物层。在这种情况下，可以通过使用溅射技术沉淀金属层和氧化金属层已形成金属氧化层。例如，在上氧化阻挡层47由氧化铝层形成的情况下，通过使用溅射技术沉淀铝层和氧化铝层以形成氧化铝层。当使用如上所述的溅射技术和氧化处理形成氧化铝层时，将氧化铝层形成为具有相当于通过溅射处理形成的铝层厚度的一倍半的最终厚度。例如，如果用作上氧化阻挡层47的氧化铝层的最终目标厚度是150 Å，那么可以通过使用溅射技术沉淀100Å厚的铝层并氧化该铝层以形成氧化铝层。

将下氧化阻挡层45形成为200至1000Å厚，将上氧化阻挡层47形成为10 至150Å厚。优选地，将下氧化阻挡层45形成为300至500Å厚，将上氧化阻挡层47形成为50至100Å厚。

其他的实施例可以省略下氧化阻挡层45的致密工艺、应力缓冲器

层46的形成工艺和上氧化阻挡层47的形成工艺中的至少一个。

图9显示图8外加下中间金属电介质(IMD) 49、上电极接触孔49a、上周边源衬垫接触孔49s "、上周边漏极衬垫接触孔49d "、上电极接触塞51、周边上源塞51s "、周边上漏极塞51d "、位线衬垫53、源金属线53s "、漏极金属线53d "、上IMD 55、位线接触孔55a、和位线57的结构。根据为本领域技术人员所知的工艺添加额外元素。

然后，在最终结构上形成包括二氧化硅层59和氮化硅层61的钝化层62，以完成具有氧化阻挡层48的相变存储器件。

因此，最终存储器件包括覆盖半导体衬底1的压模层29。压模层29具有从压模层29的顶表面67垂直扩展的突起部分77。突起部分77具有至少100埃的厚度，优选地，在大约300至大约600埃的范围内。

该存储器件还进一步包括邻近突起部分77的相变材料图案37a和电气连接到相变材料图案37a的下电极35。下电极35优选沿着其中心部分贯穿突起部分77。突起部分77位于上述第一漏极衬垫，即，导电衬垫27 d '之上。另外，在本发明的精神和范围内，尽管只要相变材料图案37a邻近突起部分77，其他结构也是可能的，但相变材料图案37a覆盖突起部分77。同时，相变材料图案37a的侧壁与突起部分77的侧壁自对准。相变材料图案37a优选包括硫族化物材料例如GST (GeSbTe) 合金。根据本发明的一个方面，可以用硅和氮的至少一个掺杂GST合金。

本器件还进一步包括电气连接至相变材料图案37a的上电极39a。

同样，该器件包括覆盖相变材料图案37a的侧壁的至少一部分和突起部分77的侧壁的至少一部分的氧化阻挡层48。一方面，氧化阻挡层48覆盖相变材料图案37a和上电极39a。更具体地，氧化阻挡层48优

选覆盖相变材料图案37a的侧壁与突起部分77的侧壁邻接的区域，以便高效地阻塞氧渗透到相变电阻器44a。因此，用本发明的实施例，可以在本发明中形成更可靠的相变存储器件。

在本发明的另一方面，氧化阻挡层48包含覆盖上电极39a的顶端的第一部分和覆盖相变层图案37a的侧壁的第二部分。虽然没在附图中说明，但第一部分具有比第二部分的厚度更厚的厚度。优选地，第二部分的厚度大于或等于大约300埃。

图10是说明根据本发明的另一实施例的相变存储器件的晶胞的制造方法的剖视图。本实施例仅仅在下氧化阻挡层的形成方法不同于图8所述的实施例，该下氧化阻挡层对应于图8的元件45。因此，为简单起见在该实施例中仅仅描述下氧化阻挡层的形成方法。

参照图10，使用如参照图2至8所述相同的方法在半导体衬底1上形成相变电阻器44a。使用如参照图8所述的本质上相同的方法在具有相变电阻器44a的衬底1上形成下氧化阻挡层45。各向异性地蚀刻下氧化阻挡层45，由此在相变电阻器44a的侧壁上和在突起77的侧壁上形成具有间隔形状的下氧化阻挡层图案45a。可以使用如参照图8所述的退火工艺或者等离子体处理工艺致密化间隔形下氧化阻挡层图案45a。另外，在间隔形下氧化阻挡层图案45a上顺序地形成应力缓冲层46和上氧化阻挡层47。结果，间隔形下氧化阻挡层图案45a、应力缓冲层46、和上氧化阻挡层47组成氧化阻挡层48a。

在该实施例中，也可以省略下氧化阻挡层45a的致密处理、应力缓冲器层46的形成工艺和上氧化阻挡层47的形成工艺中的至少一个。

图11是说明根据本发明的另一实施例的相变存储器件的晶胞的制造方法的剖视图。该实施例在相变材料层图案的形成方法方面与在图7和8中说明的实施例不同。

参照图11，使用如参照图2至6所述实施例的本质上相同方法在半导体衬底1上形成压模层29和接触间隔层34。如果需要接触间隔34a，各向异性刻蚀接触间隔层34以形成接触间隔34a。然后，在具有接触间隔34a的最终结构上顺序地形成相变材料层37和上电极层39，而不形成图7所示的下电极35。接着，使用如参考图7和8所述的本质上相同的方法形成相变电阻器44b和氧化阻挡层48。结果，形成每个相变电阻器44b以具有经由如图11所示的接触间隔物34a围绕的相变电阻器接触孔29a直接接触导电漏极衬垫27 d'的相变材料层图案37b。也就是说，形成限制相变存储单元，即由接触间隔34a限制的相变存储单元。因此，相变材料层图案37b穿透突起部分77（参照图9）。在这种情况下，导电漏极衬垫27d'用作相变电阻器44b的下电极。

图12是说明根据本发明的另一实施例的相变存储器件的晶胞的制造方法的剖视图。该实施例是图10和11所示实施例的组合。。

参照图12，使用如参照图11所述本质上相同的方法在半导体衬底1上形成限制相变电阻器44b。使用如参照图10所述的本质上相同的方法在具有限制相变电阻器44b的衬底上形成氧化阻挡层48a。

图13显示本发明实施例的典型应用。便携式电子装置600（例如蜂窝式电话）与处理器604和输入/输出器件606一起使用相变存储器件602。

图14是显示下面表1所示的四个样本A、B、C、和D的接触电阻的分布的图。

工艺参数	现有技术	本发明的一些实例		
	样本A	样本B	样本C	样本D
压模层	氮氧化硅 (SiON)			
外部接触间隔	氮氧化硅 (SiON; 等离子体CVD)			
内部接触间隔	氮化硅 (SiN; LP CVD)			
下电极	氮化钛 (TiN), 直径: 50nm			
相变材料	GeSbTe合金			
上电极	钛 (TiN)			
氧化阻挡	无	SiON层 (200 °C, PECVD, 200Å)	SiN层 (200°C, PECVD, 200Å)	下SiN层 (200 °C, PECVD, 200Å)
				上SiN层 (400 °C, PECVD, 200Å)

与本发明的实施例相比，样本A不包括氧化阻挡层。在图14中，容易知道样本A的接触电阻比样本B、C、和D的接触电阻具有更大的分布，其每个包括本发明的不同实施例的氧化阻挡层。

具体地，样本B包括SiON层，样本C包括SiN层，样本D包括下和上氧化阻挡层，每个都是SiN。对于样本B，在200°C下使用PECVD工艺将SiON层形成为200Å厚。对于样本C，用与样本B相同的方法形成SiN层，对于样本D，除了在400° C下处理上层外，使用如样本B和C的方法形成两层SiN。

图14用显示均匀分布特性的样本B、C、和D的相变电阻器的下电极接触电阻来表示超过传统技术，例如样本A的改进。由本发明制造的样本中的样本D具有最稳定分布特性。

图15是显示没有氧化阻挡层的传统相变存储器件的编程特性的图表。

直到大约5,000编程周期，同设置的阻抗值比较起来，传统的相变存储器件具有6,000 - 100,000 Ω 的极低重置阻抗值。因此，难以得到充足的检测余量以正确地读取存储单元信息。

图16是显示具有氧化阻挡层的本发明实施例的相变存储器件的编程特性的图表。在10个编程周期之后，与设置的阻抗值相比，根据本发明实施例的相变存储器件具有30,000-3,000,000 Ω 的高重置阻抗值。因而它具有很高的检测余量。

对比图15和16，可以看出充当具有氧化阻挡层的本发明的相变材料层图案的编程区域的界面区域比传统的相变材料层图案的界面区域具有更好的质量。

实例

图17是说明根据本发明和常规技术制造的相变存储单元的设置/重置阻抗特性的图表。在图17中，水平轴代表相变材料图案的直径D，垂直轴代表相变电阻器的阻抗R。在图17的图表中，由参考字母"NR"和"NS"表示的数据分别代表没有氧化阻挡层制造的传统相变电阻器重置阻抗和设置阻抗。由参考字母"SR"和"SS"表示的数据分别代表由单氧化阻挡层覆盖的相变电阻器的重置阻抗和设置阻抗。另外，由参考字母"DR"和"DS"表示的数据分别代表由双氧化阻挡层覆盖的相变电阻器的重置阻抗和设置阻抗。使用下面表2所列的工艺条件制造显示图17的测量结果的相变电阻器。

工艺参数	常规技术	本发明	
		单阻挡层	双阻挡层
压模层		氮氧化硅 (SiON)	
下电极		氮化钛 (TiN),直径 (50nm)	
相变材料层		GST合金层 (GeSbTe合金层)	
上电极		氮化钛层 (TiN)	
氧化阻挡层	无	SiN层, 500Å, PECVD	下阻挡层 (SiN层, 500Å, PECVD,) 上阻挡层 (AlO层, 50Å ALD)

参照图17和表2，随着相变材料图案的直径D的减少，逐渐地缩小了传统的相变电阻器的设置阻抗和重置阻抗之间的差异。例如，当相变材料图案的直径D从0.68μm减少到0.4μm时，传统的相变电阻器的重置/设置阻抗比突然地从大约1.6x10²减少到大约0.5x10。另外，具有0.4μm直径的相变材料图案的传统的相变电阻器显示大约6x10⁴至大约7x10⁵的不均匀设置阻抗。

另一方面，当相变材料图案的直径D从0.68μm减少到0.4μm时，用单氧化阻挡层覆盖的相变电阻器的重置/设置阻抗比从大约1.6x10²减少到大约1 x10²。另外，当相变材料图案的直径D从0.68μm减少到0.4μm时，用双氧化阻挡层覆盖的相变电阻器的重置/设置阻抗比从大约2.5x10²减少到大约1.3x 10²。特别地，与具有0.4μm直径的相变材料图案的传统的相变电阻器相比，用单氧化阻挡层或者双氧化阻挡层覆盖并具有0.4μm的直径的相变材料图案的相变电阻器显示更均一的设置阻抗。

尽管参照优选实施例描述本发明，应理解本发明不局限于其中的细节。在前面的描述中已经提出了多种置换和修改，本领域的技术人员可以想到其他的。因此，所有的置换和修改均包含在所附权利要求限定的本发明的范围内。

图 1A

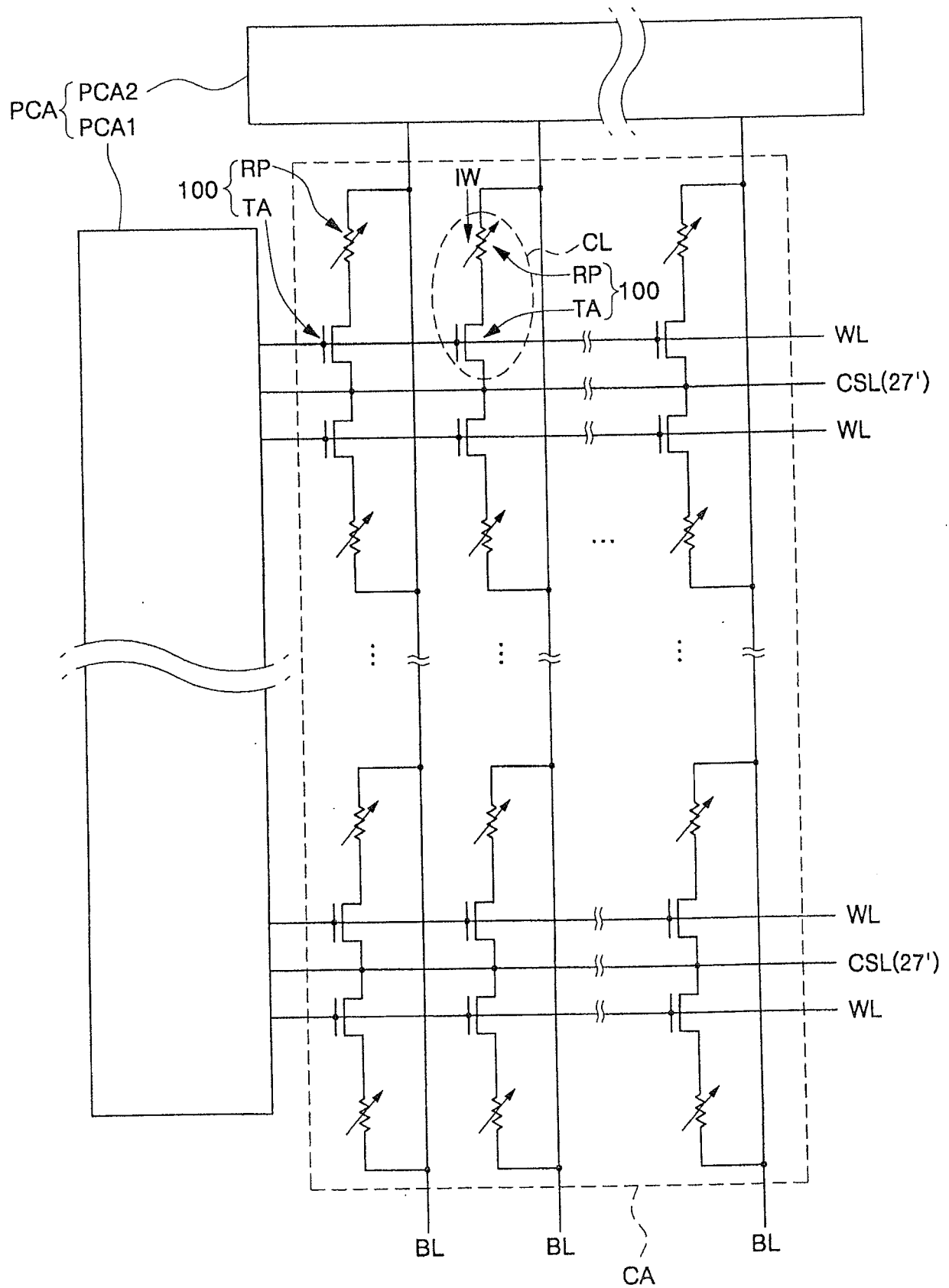


图1B

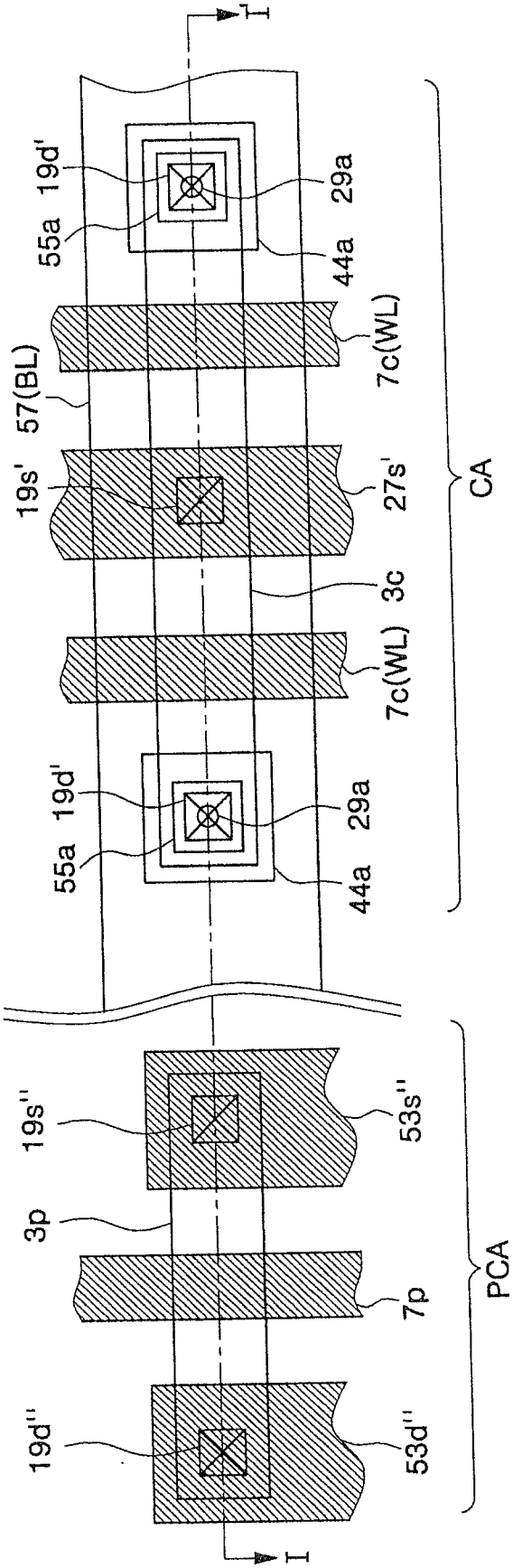


图2

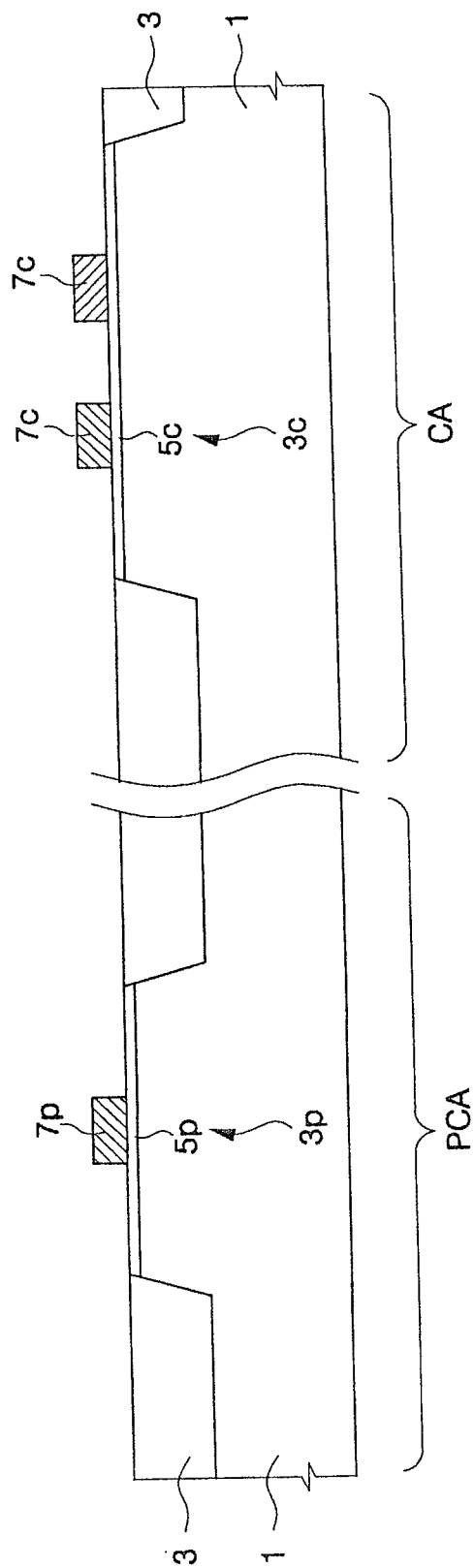


图4

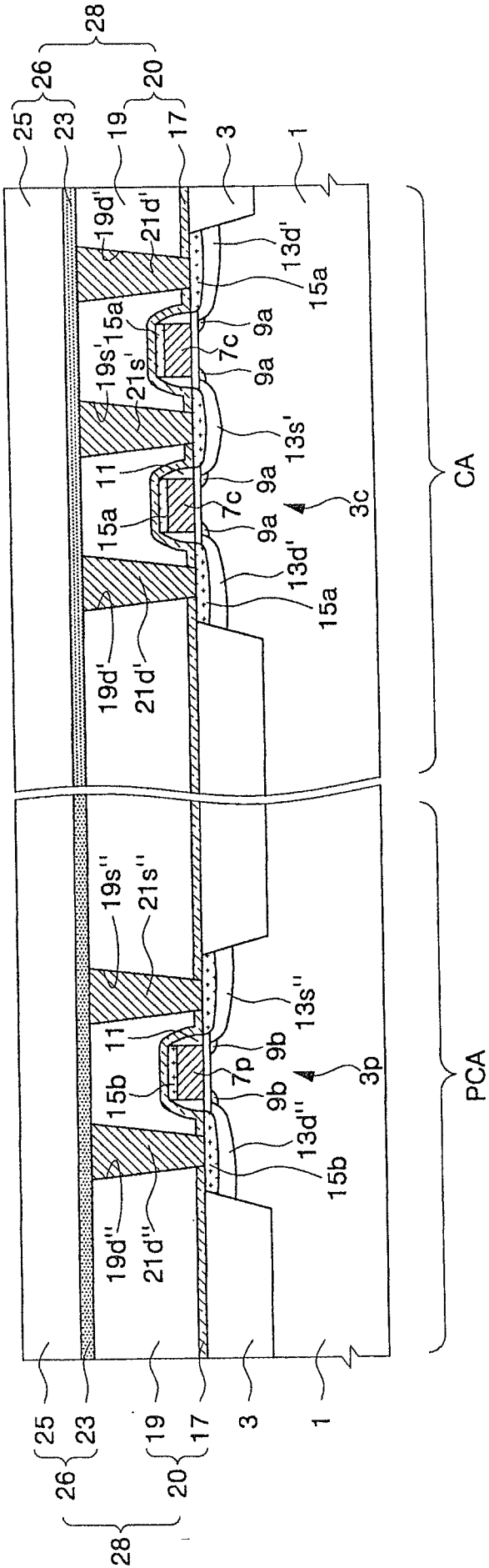


图5

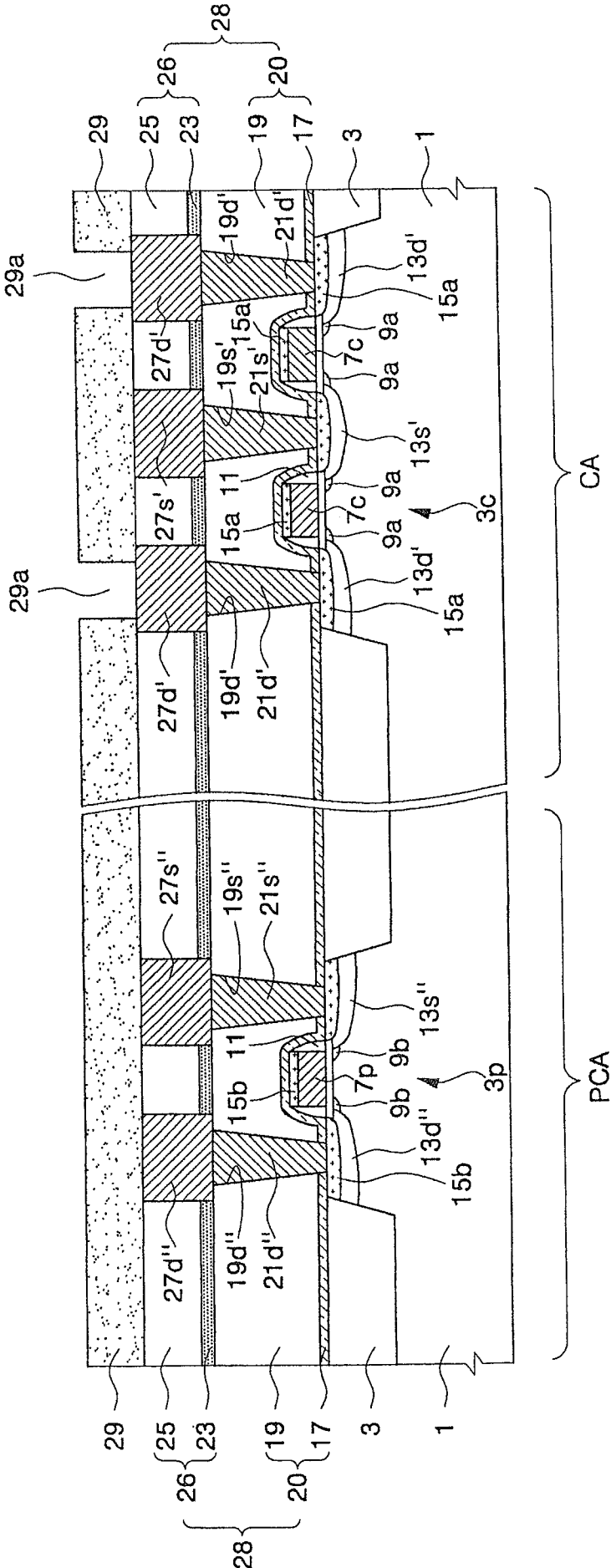


图6

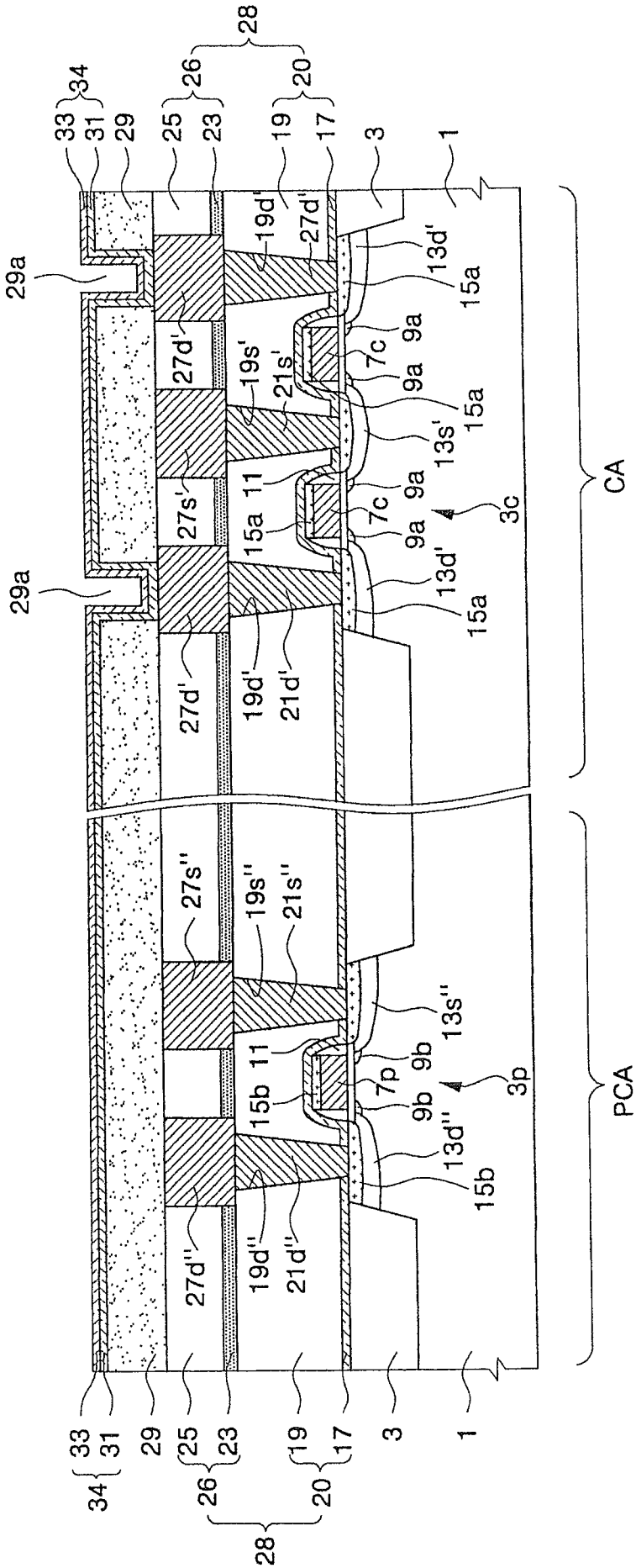
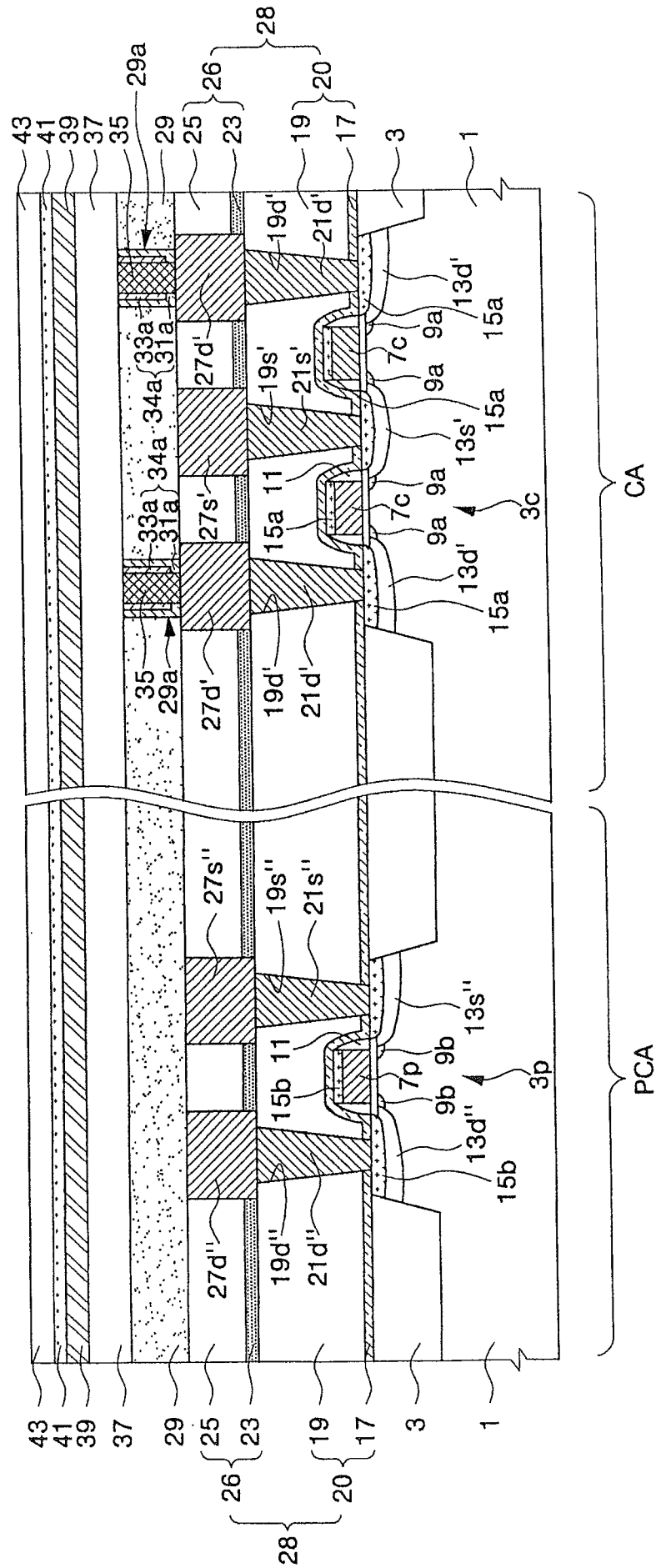


图7



8
R11

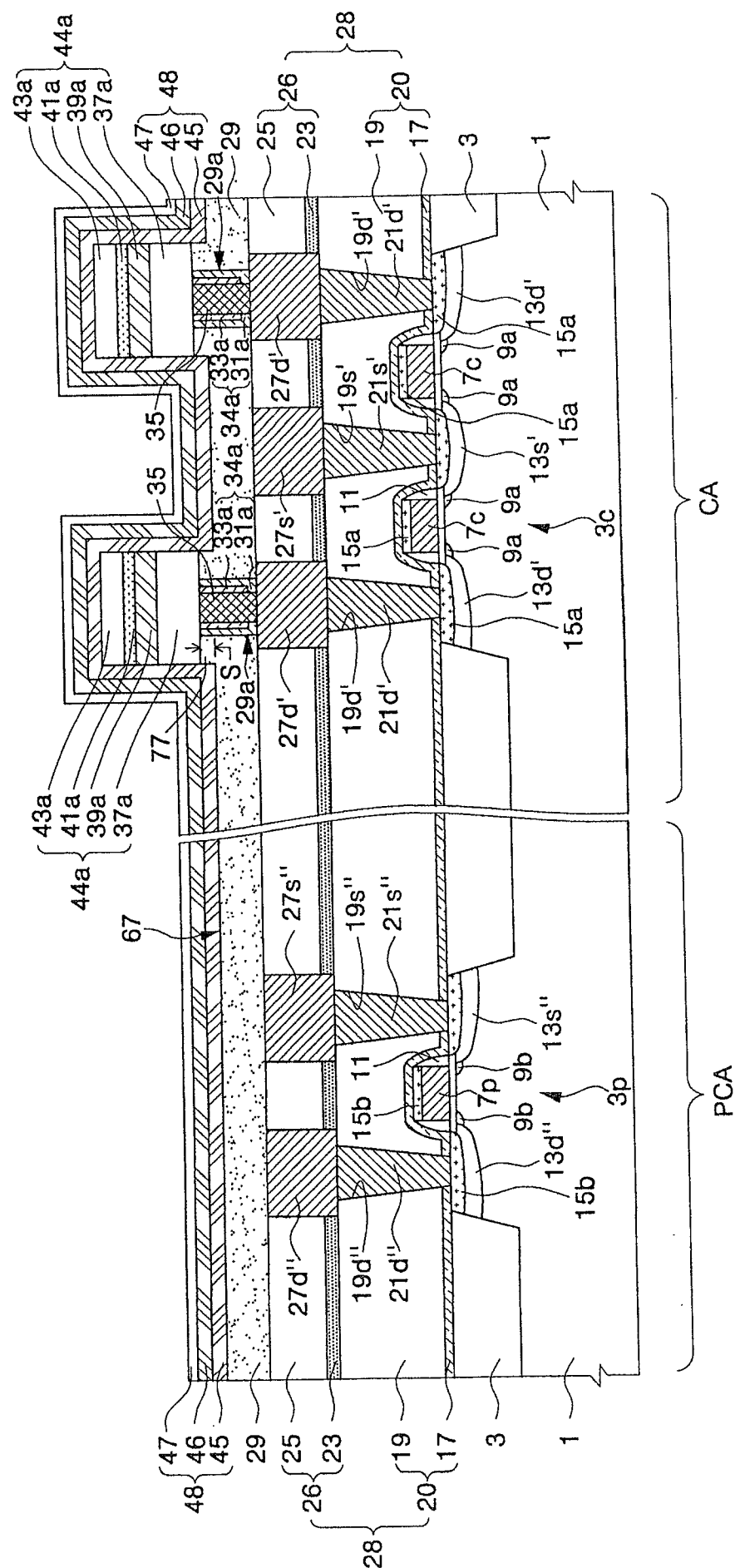


图9

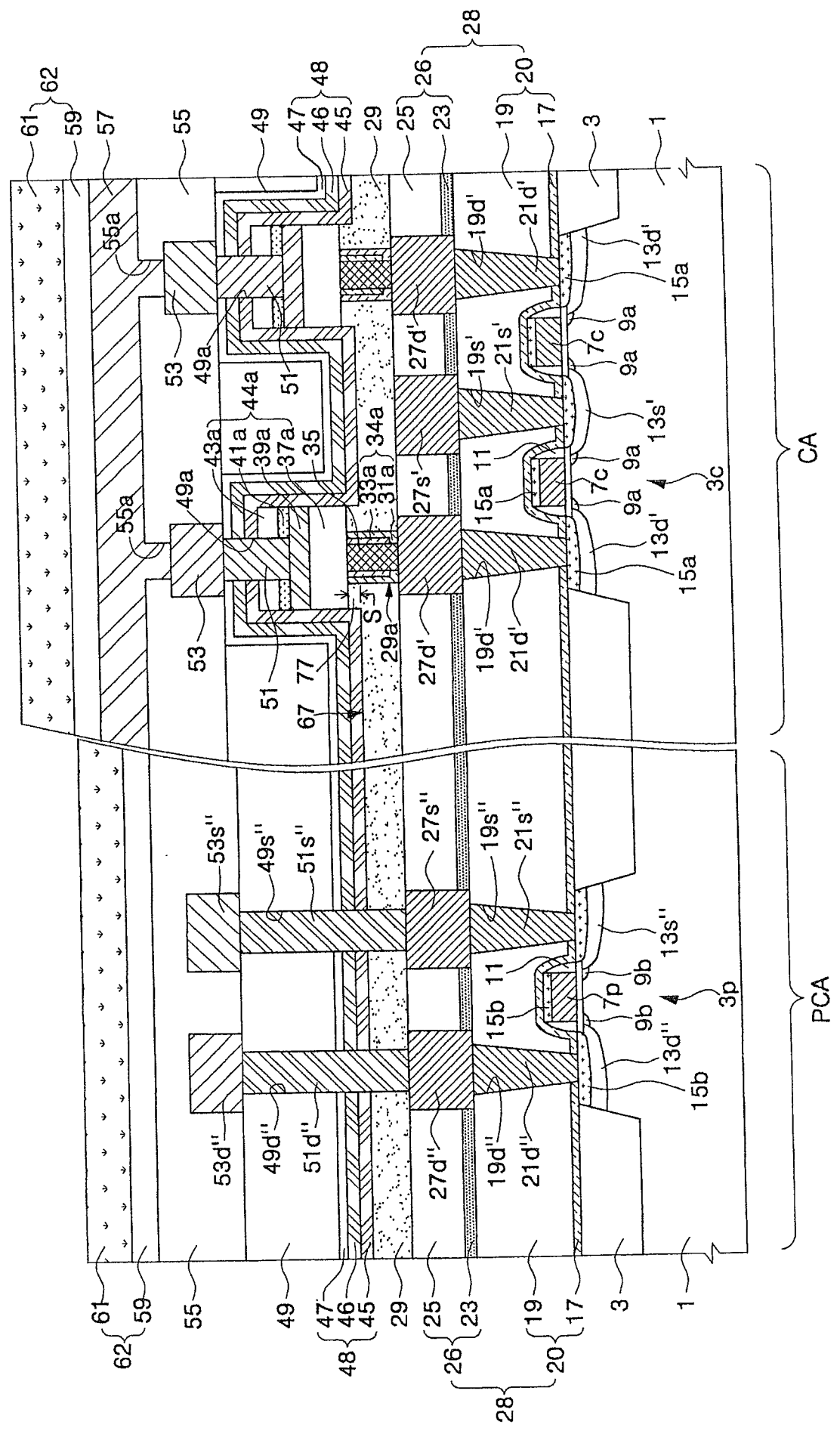


图10

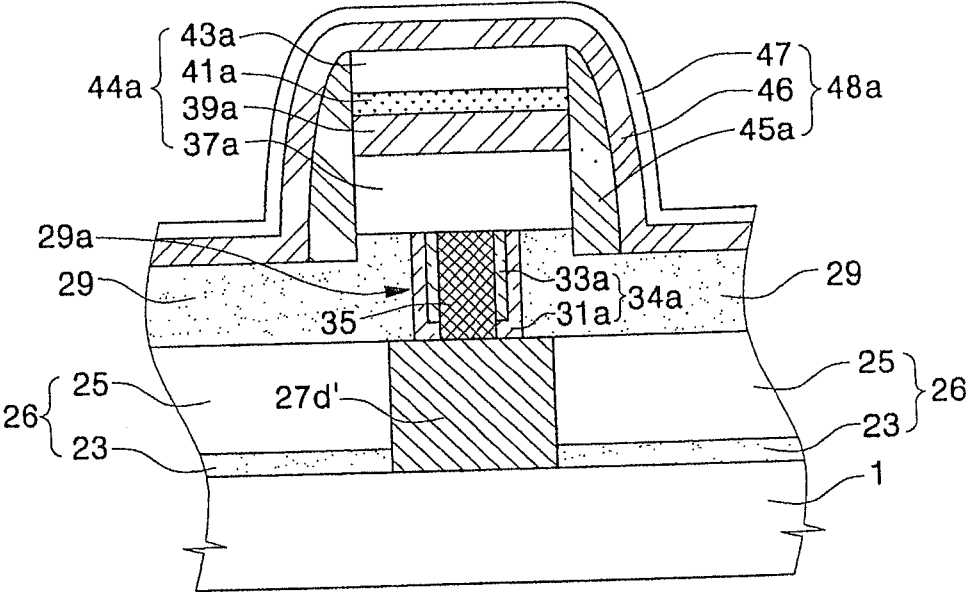


图11

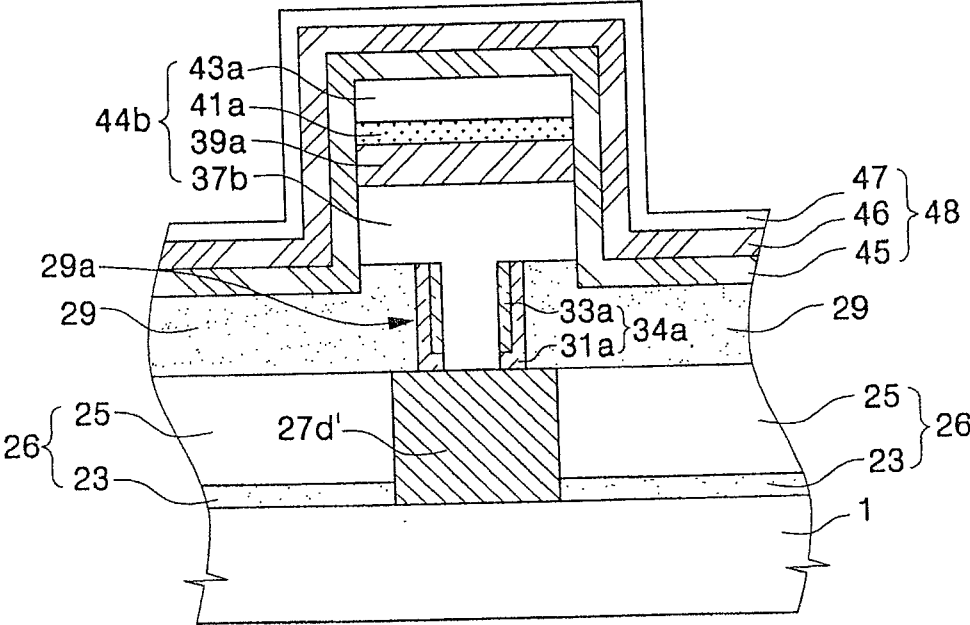


图12

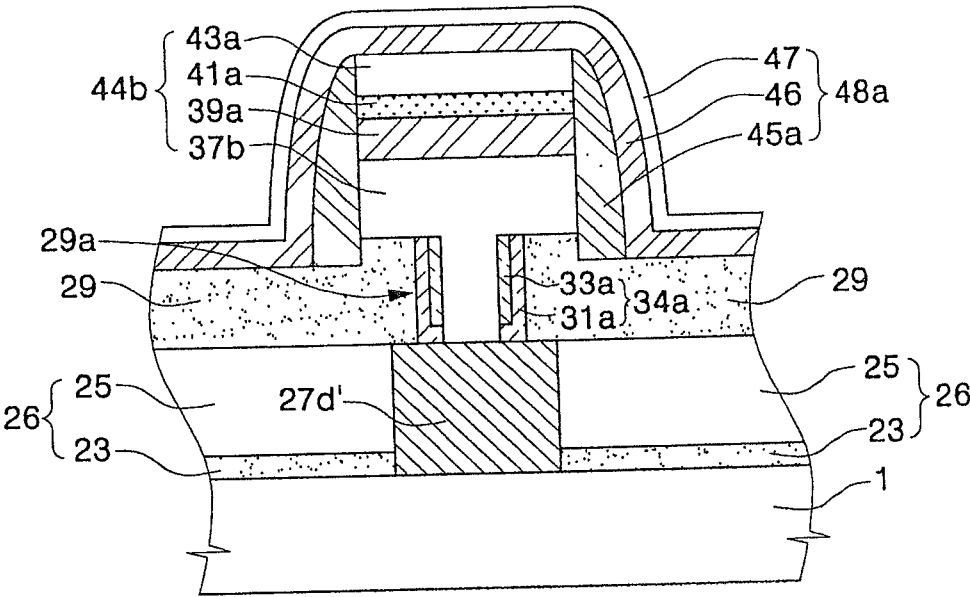


图13

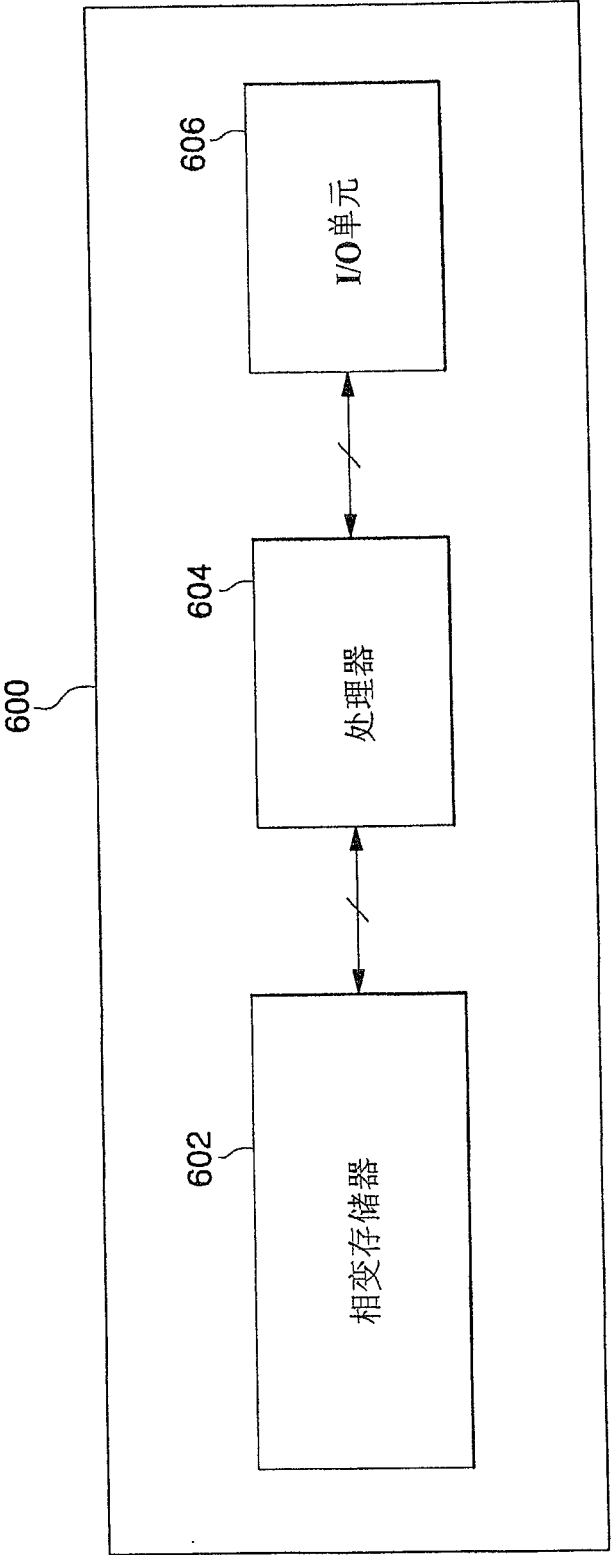


图14

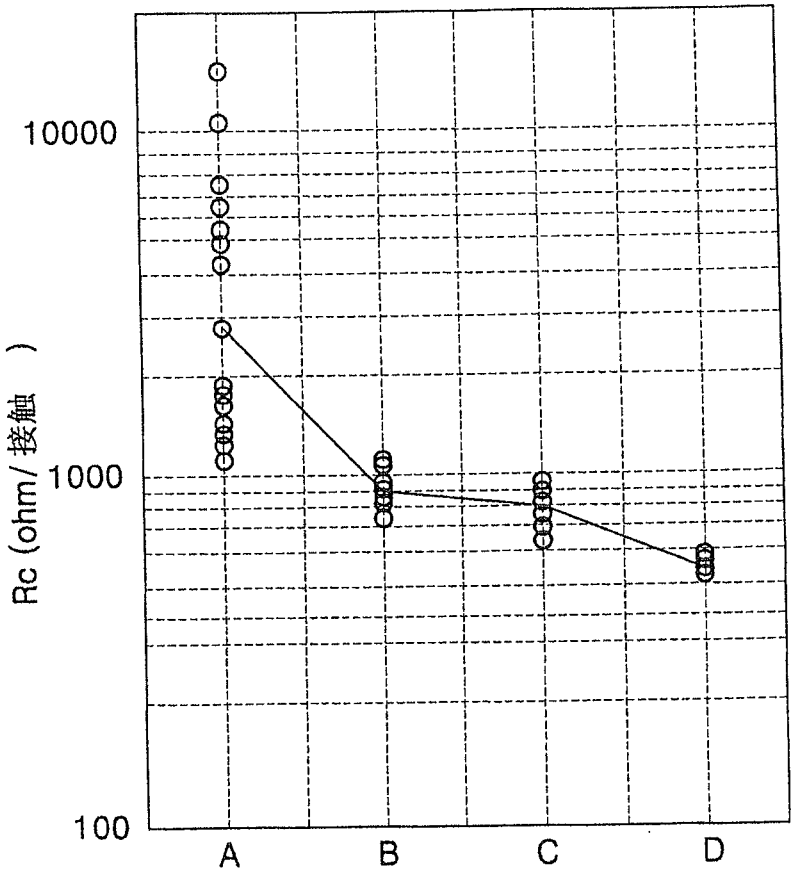


图15

现有技术

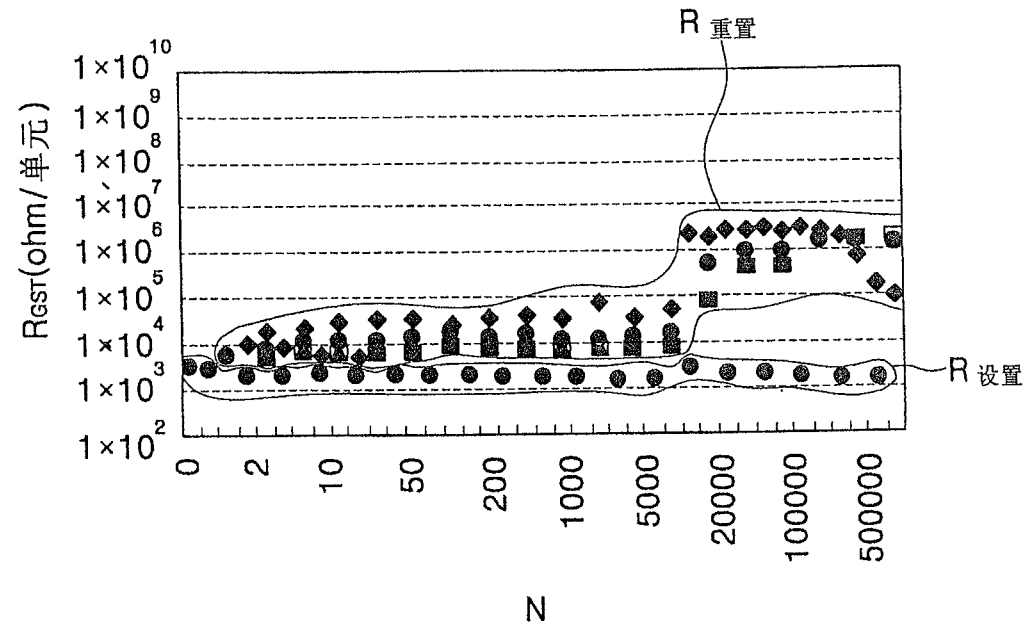


图16

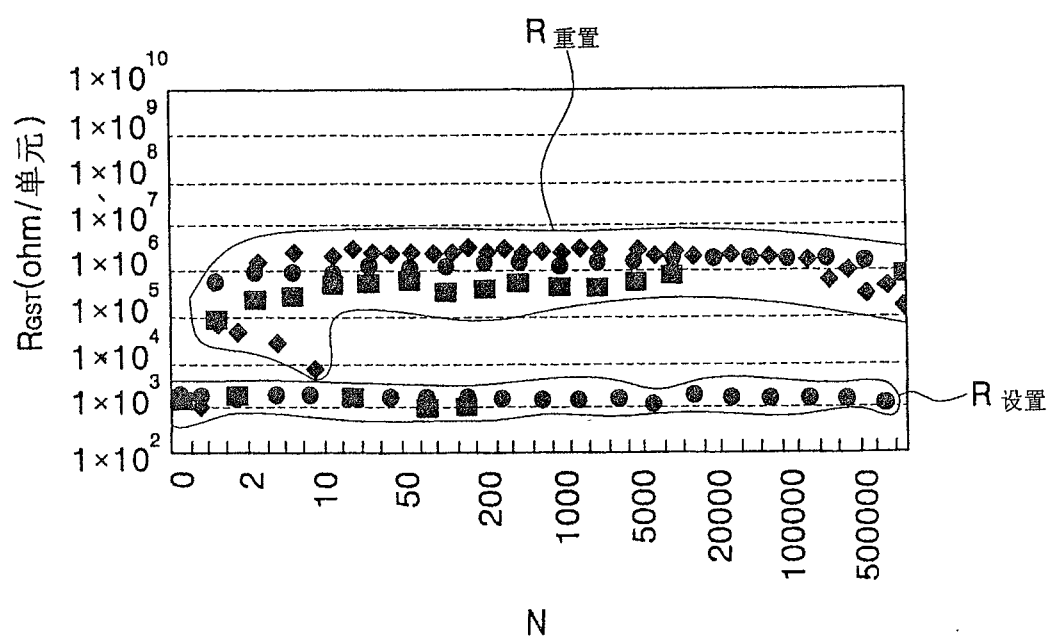


图17

