

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-248846
(P2012-248846A)

(43) 公開日 平成24年12月13日 (2012. 12. 13)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 G 2/06 (2006.01)	H O 1 G 1/035 C	5 E 0 0 1
H O 1 G 4/12 (2006.01)	H O 1 G 4/12 3 4 9	5 E 0 8 2
H O 1 G 4/30 (2006.01)	H O 1 G 4/30 3 0 1 C	
H O 1 G 4/232 (2006.01)	H O 1 G 4/30 3 0 1 E	
	H O 1 G 4/12 3 5 2	
審査請求 未請求 請求項の数 7 O L (全 9 頁)		

(21) 出願番号 特願2012-119346 (P2012-119346)	(71) 出願人 594023722
(22) 出願日 平成24年5月25日 (2012. 5. 25)	サムソン エレクトロメカニックス カ
(31) 優先権主張番号 10-2011-0050103	ンパニーリミテッド.
(32) 優先日 平成23年5月26日 (2011. 5. 26)	大韓民国、キョンギード、スウォン、ヨン
(33) 優先権主張国 韓国 (KR)	トニング、マエタン3ードン 3 1 4
	(74) 代理人 100088605
	弁理士 加藤 公延
	(74) 代理人 100130384
	弁理士 大島 孝文
	(72) 発明者 アン・ヨン・ギユ
	大韓民国、4 4 8 - 9 8 1 キョンギード
	、ヨンインーシ、スジグ、ソンボクード
	ン、エルジー・ビレッジ・2チャ・アパー
	トメント 2 0 2 - 4 0 3
	最終頁に続く

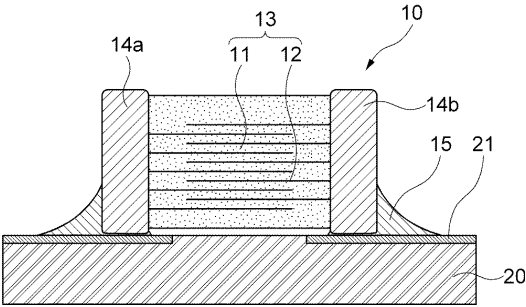
(54) 【発明の名称】 積層セラミックコンデンサの回路基板の実装構造

(57) 【要約】

【課題】 本発明は、積層セラミックコンデンサの回路基板の実装構造に関する

【解決手段】 本発明の積層セラミックコンデンサの回路基板の実装構造は、内部電極が形成された誘電体層が積層され、前記内部電極に並列接続される外部電極端子が両端部に形成された積層セラミックコンデンサの回路基板の実装構造において、前記積層セラミックコンデンサの内部電極と回路基板が水平状態になるように配置されて前記外部電極端子と回路基板のランドが導電材により接合され、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は1. 4未満で構成されることにより、振動騒音を著しく減少させることができる作用効果が発揮されることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

内部電極が形成された誘電体層が積層され、前記内部電極に並列接続される外部電極端子が両端部に形成された積層セラミックコンデンサの回路基板の実装構造において、

前記積層セラミックコンデンサの内部電極と回路基板が水平状態になるように配置されて前記外部電極端子と回路基板のランドが導電材により接合され、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は 1.4 未満で構成される積層セラミックコンデンサの回路基板の実装構造

(ここで、前記外部電極端子の面積 A_{MLCC} は、積層セラミックコンデンサの両端部に形成された外部電極端子の長さ L_{MLCC} と幅 W_{MLCC} と定義してその長さ L_{MLCC} と幅 W_{MLCC} を乗じた値により算出される面積で定義されており、前記導電材の接合面積 A_{SOLDER} は、積層セラミックコンデンサの外部電極端子と接合される導電材の長さ L_{SOLDER} と幅 W_{SOLDER} と定義してその長さ L_{SOLDER} と幅 W_{SOLDER} を乗じた値により算出される面積で定義される)。

【請求項 2】

前記積層セラミックコンデンサは、水平方向に実装されるようにテーピングを施したものであって、幅 W と厚さ T が同一あるいは類似したものである請求項 1 に記載の積層セラミックコンデンサの回路基板の実装構造。

【請求項 3】

前記積層セラミックコンデンサの誘電体層の層数が 200 層以上である請求項 1 又は 2 に記載の積層セラミックコンデンサの回路基板の実装構造。

【請求項 4】

前記積層セラミックコンデンサの誘電体層の誘電体の厚さが $3\mu m$ 以下である請求項 1 又は 2 に記載の積層セラミックコンデンサの回路基板の実装構造。

【請求項 5】

前記積層セラミックコンデンサの誘電体層は、層数が 200 層以上であり誘電体の厚さは $3\mu m$ 以下である請求項 1 又は 2 に記載の積層セラミックコンデンサの回路基板の実装構造。

【請求項 6】

前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は 0.6 以上～1.4 以下で構成される請求項 1 に記載の積層セラミックコンデンサの回路基板の実装構造。

【請求項 7】

前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は 0.6 以上～1.1 以下で構成される請求項 1 に記載の積層セラミックコンデンサの回路基板の実装構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックコンデンサの回路基板の実装構造及びその実装方法に関し、より詳細には、回路基板の表面に積層セラミックコンデンサが実装されたランドが形成され、ランドと積層セラミックコンデンサの外部電極端子が導電材により接続されるが、導電材の接合面積の割合が積層セラミックコンデンサの外部電極端子の面積に比べ 1.4 未満で構成されるようにすることで、積層セラミックコンデンサの振動騒音を著しく減少させることができる積層セラミックコンデンサの回路基板の実装構造に関する。

【背景技術】

【0002】

一般的に、積層セラミックコンデンサ (Multi-Layered Ceramic Capacitor; MLCC) は、モバイル機器、ノートパソコン、コンピュータ、個人用の携帯情報端末 (PDA) などの多くの電子製品のプリント基板に取り付けられ、

電気を充電または放電させる重要な機能を行うチップ型コンデンサであって、その使用用途及び容量によって様々なサイズ及び積層形態を有している。

【0003】

また、積層セラミックコンデンサは、複数の誘電体層の間に異なる極性の内部電極が交互に積層された構造を有する。

【0004】

このような積層セラミックコンデンサは、小型化が可能でありながら高容量が保持され、実装が容易であるという長所を有するため、様々な電子装置の部品として広く使用されている。

【0005】

積層セラミックコンデンサの積層体を形成するセラミックス材料としては、比較的高い誘電率を有するチタン酸バリウムなどの強誘電体材料が一般的に用いられているが、このような強誘電体材料は、圧電性及び電歪性を有しているため、このような強誘電体材料に電場が加えられる場合、応力及び機械的変形が振動として表れ、積層セラミックコンデンサの端子電極から基板側にこのような振動が伝達される。

【0006】

即ち、積層セラミックコンデンサに交流電圧が加えられた場合、積層セラミックコンデンサの素子本体に、X、Y、Zの各方向に沿って応力（ F_x 、 F_t 、 F_z ）が発生し、それに伴って振動が発生する。この振動が端子電極から基板に伝達され、この基板全体が音響放射面となり、雑音になる振動音を発生させる。

【0007】

このような振動音は、ほとんどが可聴周波数（20～20000Hz）の振動音に該当するものであり、このような振動音は人に不愉快な音域の場合もあるため、これに対する解決策が必要となった。

【0008】

最近、前記のような振動音による問題点を解決するために、積層セラミックコンデンサの外部端子の弾力的な変形により振動を防止する技術、圧電及び電歪により発生する振動の伝搬を抑制して雑音の発生を低減させる別途の部品を取り入れる技術、基板の振動を抑制するために実装された積層セラミックコンデンサの周りに基板ホールを形成する技術などの多様な技術が開示されたが、別途の工程が必要であり、複雑な工程に比べて十分な振動防止の効果が得られていない。

【0009】

一方、積層セラミックコンデンサには、幅と厚さが実質的に同様な積層セラミックコンデンサがあり、幅と厚さが実質的に同様な積層セラミックコンデンサの場合、プリント基板に積層セラミックコンデンサを実装する際に、前記積層セラミックコンデンサの外側から積層セラミックコンデンサの内部導体の方向性を認識することができないため、プリント基板に前記積層セラミックコンデンサが内部導体の方向性とは関係なく実装される。

【0010】

プリント基板に実装される前記積層セラミックコンデンサの内部導体の方向により、積層セラミックコンデンサの特性に差が生じ、特に、積層セラミックコンデンサの圧電性による振動騒音の特性において大きな差を見せる。

【0011】

特に、最近の実験結果によると、前記積層セラミックコンデンサの実装方向と、積層セラミックコンデンサの外部電極端子とランドとを連結する導電材の量とが相互相関関係を有することにより、前記振動騒音の特性に大きな影響を与えることが明らかになった。

【0012】

特に、前記積層セラミックコンデンサの内部電極面がプリント基板面と水平状態になるように実装し、前記積層セラミックコンデンサの外部電極端子とランドを連結する導電材と外部電極端子の接合面積の割合により積層セラミックコンデンサの振動騒音を著しく減少させることができるため、これを具現するための実装構造と実装方法が必要である。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0013】

【特許文献1】韓国公開特許第10-2000-0047547号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

従って、本発明は、従来の積層セラミックコンデンサの実装構造及びその実装方法において提起されている全ての短所と問題点を解決するために導き出されたものであって、圧電現象に伴う振動により発生される騒音を積層セラミックコンデンサの外部電極端子に接合される導電材の接合面積の割合により減少させることができるようにした積層セラミックコンデンサの回路基板の実装構造が提供されることを発明の目的とする。

10

【課題を解決するための手段】

【0015】

本発明の前記目的は、内部電極が形成された誘電体層が積層され、前記内部電極に並列接続される外部電極端子が両端部に形成された積層セラミックコンデンサの回路基板の実装構造において、前記積層セラミックコンデンサの内部電極と回路基板が水平状態になるように配置されて前記外部電極端子と回路基板のランドが導電材により接合され、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は1.4未満で構成される積層セラミックコンデンサの回路基板の実装構造が提供されることにより達成されることことができる。

20

【0016】

この際、前記外部電極端子の面積 A_{MLCC} は、積層セラミックコンデンサの両端部に形成された外部電極端子の長さ L_{MLCC} と幅 W_{MLCC} とをそれぞれ L_{MLCC} 、 W_{MLCC} と定義してその長さ L_{MLCC} と幅 W_{MLCC} を乗じた値により算出される面積で定義されており、前記導電材の接合面積 A_{SOLDER} は、積層セラミックコンデンサの外部電極端子と接合される導電材の長さ L_{SOLDER} と幅 W_{SOLDER} とをそれぞれ L_{SOLDER} 、 W_{SOLDER} と定義してその長さ L_{SOLDER} と幅 W_{SOLDER} を乗じた値により算出される面積で定義されることことができる。

【0017】

また、積層セラミックコンデンサの回路基板の実装構造において、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は0.6以上～1.4以下で構成されることが好ましい。

30

【0018】

また、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は0.6以上～1.1以下で構成されることがさらに好ましい。

【0019】

ここで、前記積層セラミックコンデンサは、リール（Reel）のような包装体により包装される際に、積層セラミックコンデンサの内部電極が回路基板に水平方向に実装されることができるよう一方向に整列するテーピング（taping）を施したものであって、幅 W と厚さ T が同一あるいは類似したものであることことができる。ここで、積層セラミックコンデンサの幅 W と厚さ T が同一であるということは物理的な意味ではなく、社会通念上の意味であり、類似したということは $0.75 \leq T/W \leq 1.25$ の範囲内であるという意味である。即ち、両端部に外部電極端子が形成された直方体状からなることことができる。

40

【0020】

一方、積層セラミックコンデンサの内部電極間の誘電体層数が多かったりその誘電体に印加される電場が大きいほど、積層セラミックコンデンサの圧電性による応力及び機械的変形が大きくなり、特に、誘電体層数が200層以上または誘電体の厚さが $3\mu m$ 以下で振動騒音が顕著に発生する。

【0021】

従って、ここで前記積層セラミックコンデンサの誘電体層の層数は200層以上である

50

ことができ、誘電体層の誘電体の厚さは $3\mu\text{m}$ 以下であることができる。また、ここで前記積層セラミックコンデンサの誘電体層は、層数が200層以上であるとともに誘電体の厚さは $3\mu\text{m}$ 以下である。

【発明の効果】

【0022】

以上で説明したとおり、本発明の積層セラミックコンデンサの回路基板の実装構造は、積層セラミックコンデンサを回路基板に導電材を用いて接合固定する際に積層セラミックコンデンサの外部電極端子と回路基板のランドパターンを接合する導電材の接合面積を調節することにより積層セラミックコンデンサから生じる振動が基板に伝達されることを抑制することで騒音発生が顕著に低減される効果がある。

10

【図面の簡単な説明】

【0023】

【図1】本発明の構造により積層セラミックコンデンサが回路基板に実装された形態を示す断面図である。

【図2】本発明の構造により積層セラミックコンデンサが回路基板に実装された状態を示す平面図である。

【図3】(a)は幅と厚さが同一あるいは類似した積層セラミックコンデンサを示す斜視図であり、(b)は幅が厚さより大きい積層セラミックコンデンサを示した斜視図である。

【発明を実施するための形態】

20

【0024】

本発明による積層セラミックコンデンサの回路基板の実装構造の前記目的に対する技術的構成をはじめ作用効果に関する事項は、本発明の好ましい実施形態が図示された図面を参照した以下の詳細な説明により理解されるであろう。

【0025】

本発明を詳細な説明に先立ち、本明細書及び請求範囲に用いられた用語や単語は通常のかつ辞書的な意味に解釈されてはならず、発明者が自らの発明を最善の方法で説明するために用語の概念を適切に定義することができるという原則にしたがって本発明の技術的思想にかなう意味と概念に解釈されなければならない。

【0026】

30

従って、本明細書に記載された実施例の構成は本発明のもっとも好ましい一実施例に過ぎず、本発明の技術的思想の全てを代弁しているわけではないため、本出願時点においてこれらを代替することができる多様な均等物と変形例があり得ることを理解しなければならない。

【0027】

図1は、本発明により積層セラミックコンデンサが回路基板に実装された形態を示す断面図であり、図2は、本発明により積層セラミックコンデンサが回路基板に実装された状態を示す平面図である。

【0028】

40

図示されたように、本発明の積層セラミックコンデンサの回路基板の実装構造は、内部電極12が形成された誘電体層11が積層されており、前記内部電極12に並列接続する外部電極端子14a、14bが両端部に形成された積層セラミックコンデンサの回路基板への実装構造と方法であって、前記回路基板20の表面に前記積層セラミックコンデンサ10が実装されるランド21を形成し、前記積層セラミックコンデンサ10の内部電極12と前記回路基板20が水平状態になるように配置して前記外部電極端子14a、14bとランドを導電接続し、前記外部電極端子14a、14bの面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は1.4未満で構成されることができる。

【0029】

ここで、前記外部電極端子14a、14bの面積 A_{MLCC} は、積層セラミックコンデンサの両端部に形成された外部電極端子14a、14bの長さ L_{MLCC} と幅 W_{MLCC} をそれぞれ

50

、 W_{MLCC} と定義してその長さと幅を乗じた値により算出される面積で定義されており、前記導電材15の接合面積 A_{SOLDER} は、積層セラミックコンデンサの外部電極端子と接合される導電材15の長さと幅をそれぞれ L_{SOLDER} 、 W_{SOLDER} と定義してその長さと幅を乗じた値により算出される面積で定義されることができる。

【0030】

図1に図示されたように、積層セラミックコンデンサ10は、誘電体層11と内部電極12を交互に積層してなる小体13と、小体13の両端部において内部電極を交互に並列接続している一対の外部電極端子14a、14bと、で構成されることができる。

【0031】

前記誘電体層11は、チタン酸バリウムなどを主成分とする強誘電体材料で形成されており、チタン酸バリウムの他に全ての強誘電体材料を含む。

10

【0032】

前記内部電極12は、金属ペーストを焼結させた金属薄膜からなり、金属ペーストとしては、例えばNi、Pd、Ag-Pd、Cuのような金属材料を主成分とするものが使用されている。

【0033】

前記外部電極端子14a、14bもCu、Niなどのような金属材料により形成されており、表面にははんだの湿潤性を良好にするためにはんだメッキが施されている。

【0034】

前記回路基板20の表面には、積層セラミックコンデンサを実装するためのランド21が形成されており、ここで前記ランド21は、回路基板20の内部のソルダレジストが露出されており、露出されたソルダレジストの上面に導電材15がコーティングされて積層セラミックコンデンサ10を接合してランド21上に実装するための部分である。ここで回路基板20には、多層回路基板、単層両面プリント基板などが使用されることができ、特に回路基板20を限定するものではない。

20

【0035】

また、前記積層セラミックコンデンサ10は、図3(a)に図示されたように幅Wと厚さTが同一あるいはほぼ類似した形状、または図3(b)に図示されたように幅が厚さより大きい形状、に製造されることができる。後者の場合、意図しなくても幅に比べて厚さが小さいため肉眼で区別して水平実装が可能であるが、前者の場合、幅と厚さのサイズだけでは肉眼で区別することが難しいため、水平実装と垂直実装が不規則に行われる。そのため、特に、前記積層セラミックコンデンサがリールのような包装体により包装される場合、積層セラミックコンデンサの内部電極が回路基板に水平方向に実装されることができるよう一方向に整列するテーピング(taping)を施し、幅Wと厚さTが同一あるいは類似した積層セラミックコンデンサの場合、水平実装する際の振動による騒音低減の効果をさらに高めることができる。ここで前記積層セラミックコンデンサの幅、厚さが同一あるいは類似したということは、 $0.75 \leq T/W \leq 1.25$ の範囲内であり得るということを意味する。

30

【0036】

前記導電材15は、積層セラミックコンデンサ10と回路基板20を固定させるための接合手段であるとともに、積層セラミックコンデンサ10と回路基板20との間の振動媒体としての機能を持つが、導電材15の接合面積が小さいほど振動媒体としての機能が低下するため、基板への振動伝達が低下され得る。

40

【0037】

特に積層セラミックコンデンサを水平実装する場合は、積層セラミックコンデンサ10の圧電性により端部が振動する際、導電材15の接合面積の減少に伴って導電材15による上面振動の伝達が急速に低下する。したがって、水平方向に実装する場合には、導電材15の接合面積の減少に伴う振動騒音の減少幅が非常に大きくなる。

【0038】

その反面、垂直方向に実装する場合には、前記の効果が発生しないため導電材15の接

50

合面積の割合に応じた振動騒音の減少幅が大きくない。

【0039】

従って、積層セラミックコンデンサによる騒音を低減するためには、積層セラミックコンデンサ10は、内部電極12を基準に回路基板20と水平状態になるように実装し、外部電極端子14a、14bの面積に対する導電材15の接合面積の割合を小さくし振動伝達を減少させることが好ましい。

【0040】

図3の積層セラミックコンデンサの幅Wと長さLに応じた積層セラミックコンデンサの大きさには、0603 ($L \times W = 0.6 \text{ mm} \times 0.3 \text{ mm}$)、1005、1608、2012、3216、3225などがあり、3216以上のサイズが大きい積層セラミックコンデンサの場合、積層セラミックコンデンサの外部電極端子の面積に比べて導電材の接合面積が狭くても両部材を接合するための導電材の絶対的な量が多いため、振動騒音の減少効果を大きくするためには、導電材の接合面積の割合を外部電極端子の面積に比べて1.4未満に保持することが好ましい。

【0041】

一方、積層セラミックコンデンサの回路基板20を実装する際の振動騒音は、業界では通常30dB未満に制限されており、最近、電子製品の薄型化と小型化の傾向に応じて25dBまでを振動騒音の許容値として規制している。

【0042】

これに対して、以下の表1のように、積層セラミックコンデンサの回路基板の実装構造において、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は、好ましくは、0.6以上～1.4以下で構成される場合振動騒音が30dB未満に維持されることができ、さらに好ましくは、前記外部電極端子の面積 A_{MLCC} に対する前記導電材の接合面積 A_{SOLDER} の割合は0.6以上～1.1以下で構成される場合25dB以下となり、積層セラミックコンデンサの振動騒音を管理することができる。

【0043】

【表1】

導電材の接合面積の割合	水平実装MLCCの振動音 (dB)
0.72	18.2
0.95	19.8
1.00	21.1
1.11	21.5
1.18	25.9
1.31	27.6
1.32	28.3
1.41	29.4
1.53	33.2
1.64	33.8
1.73	34.4
1.90	34.9
1.96	35.6
2.15	36.1
2.27	36.3
2.57	36.2

【0044】

この際、前記のように、積層セラミックコンデンサとランドを接合する導電材の接合面積を縮小するほど振動騒音が減少することが分かるが、外部電極端子14a、14bの面積に対する導電材15の接合面積の割合が0.6未満で形成される場合には、積層セラミックコンデンサの外部電極と回路基板のランドとの間の接合力が顕著に減少されるため、接合信頼性が低下され得る。

【0045】

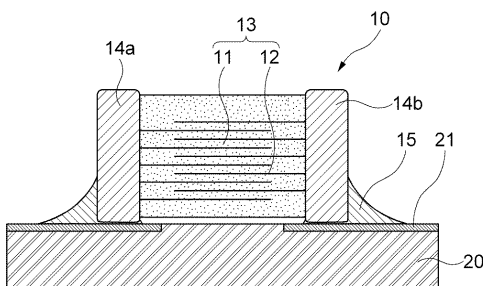
前記導電材15は、回路基板20と積層セラミックコンデンサとの間の電気的な接続のために電気が導通される材料であって、特に限定されないが、はんだ(solder)を使用することが一般的である。

【0046】

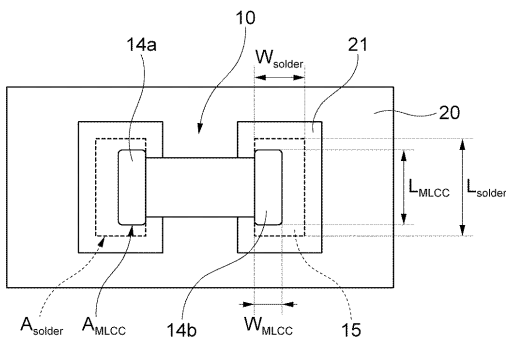
以上、本発明の好ましい実施例を参照して説明したが、該当技術分野において通常の知識を有する者であれば、添付の特許請求範囲に記載された本発明の思想及び領域を外れない範囲内で多様な修正及び変形が可能であることを理解するであろう。

10

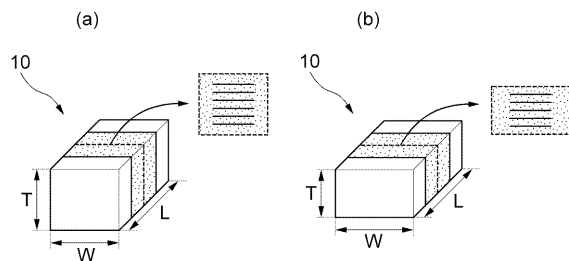
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 イ・ビョン・ファ
大韓民国、４６３－９０６ キョンギード、ソンナムーシ、ブンダシーグ、イメードン、イメチョン・ハンシン・アパートメント ２０２－９０４

(72)発明者 パク・ミン・チョル
大韓民国、４２３－８１４ キョンギード、クァンミョンーシ、クァンミョン・６ードン、３７４－６３

(72)発明者 パク・サン・ス
大韓民国、４４３－７３３ キョンギード、スウォンーシ、ヨントシーグ、ヨントン・２ードン、シンナムシル・ギュクドン・アパートメント ６１３－１７０２

(72)発明者 パク・ドン・ソク
大韓民国、１３６－８３３ ソウル、ソンプクーグ、チャンウィ・１ードン、２０９－２６

Fターム(参考) 5E001 AB03 AC01 AC10 AD00 AE02 AE03 AF06 AH01 AH07 AJ01
AJ02 AJ03
5E082 AA01 AB03 BC40 CC03 CC13 EE04 EE26 EE35 FF05 FG04
FG26 FG46 GG10 GG11 GG28 GG30 JJ03 PP09