

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/762

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96101498.9

[45]授权公告日 2000 年 1 月 26 日

[11]授权公告号 CN 1048821C

[22]申请日 1996.2.24 [24]颁证日 1999.12.17

[21]申请号 96101498.9

[30]优先权

[32]1995.2.24 [33]KR [31]3727/1995

[73]专利权人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 朴相勋

[56]参考文献

US5,256,591 1993.10.26 H01L21/76

审查员 沈 丽

[74]专利代理机构 柳沈知识产权律师事务所

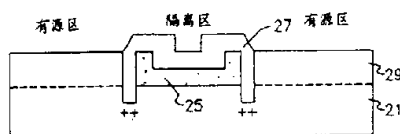
代理人 黄 敏

权利要求书 2 页 说明书 5 页 附图页数 5 页

[54]发明名称 形成半导体器件隔离的方法

[57]摘要

本发明提供一种不用 LOCOS 工艺形成场氧化层的方法。据此,本发明特别 有效地增加有源区,改善半导体器件的集成度和防止鸟嘴发生。而且由于本发 明场氧化层的宽度与绝缘层侧壁上的垫的宽度相同,从而使场氧化层的面积可 以减至最小。



ISSN 1008-4274

权利要求书

1. 一种形成半导体器件隔离的方法,包括以下步骤:
形成第一绝缘层,暴露出衬底的场区;
在所说衬底和所说第一绝缘层的侧壁上形成过渡金属垫;
其特征在于,还包括以下步骤:
在整个生成结构上形成第二绝缘层;
热处理所说衬底,将所说过渡金属垫离子扩散进所说衬底中;
抛光所说第二绝缘层直到露出所说过渡金属垫为止,保留下来的一部分金属垫不除去;
除去所说过渡金属垫和过渡金属垫下面的离子扩散过的衬底,在所说衬底中形成一槽;
在整个生成结构上形成第三绝缘层,填充所说槽;
在所说第三绝缘层和所说场区上形成光刻胶图形;
用所说光刻胶图形作腐蚀阻挡层,腐蚀所说第三绝缘层;
除去所说光刻胶图形和所说第一绝缘层,露出所说衬底的一部分;和在所说衬底暴露部分上形成外延层用作有源区。
2. 根据权利要求 1 的方法,其特征在于,在所说衬底中形成槽的步骤还包括给所说槽注入沟道阻塞离子的步骤。
3. 根据权利要求 1 的方法,其特征在于,所说第一绝缘层是由基底氧化层和氮化物层形成的。
4. 根据权利要求 1 的方法,其特征在于,所说衬底为硅衬底。
5. 根据权利要求 4 的方法,其特征在于,从所说过渡金属垫扩散进所说衬底的所说离子在所说硅衬底上形成了硅化物层。
6. 根据权利要求 1 的方法,其特征在于,所说第二绝缘层是氮化物层。
7. 根据权利要求 1 的方法,其特征在于,所说第三绝缘层是正硅酸乙脂层。
8. 根据权利要求 1 的方法,其特征在于,所说过渡金属是 W、Ti、Ta、Mo 或 Nb 之一。
9. 一种形成半导体器件隔离的方法,包括以下步骤:
形成第一绝缘层,露出衬底的一部分;

- 在所说衬底和所说第一绝缘层的侧壁上形成过渡金属垫；
其特征在於,还包括以下步骤：
在整个生成结构上形成第二绝缘层；
热处理所说衬底,将所说过渡金属垫离子扩散进所说衬底中；
抛光所说第二绝缘层,露出所说过渡金属垫,保留下来的该金属垫的一部分不除去；
除去所说过渡金属垫和过渡金属垫下的离子扩散过的衬底,在所说衬底中形成槽；
在整个生成结构上形成第三绝缘层,填充所说槽；
抛光该多层叠层直到所说第一绝缘层和第二绝缘层的整个上表面全部露出为止,再施行平面化工艺；
除去保留下来而未被除去的所说第二绝缘层和第一绝缘层,露出所说衬底的一部分,这样暴露所说衬底；以及
在所说暴露的衬底上形成外延层用作有源层。
10. 根据权利要求 9 的方法,其特征在於,在所说衬底上形成槽的步骤还包括向所说槽注入沟道阻塞离子的步骤。
11. 根据权利要求 9 的方法,其特征在於,所说第一绝缘层是由基底氧化层和氮化物层组成。
12. 根据权利要求 9 的方法,其特征在於,所说衬底是硅衬底。
13. 根据权利要求 12 的方法,其特征在於,从所说过渡金属垫扩散到所说衬底的所说离子在所说硅衬底上形成了硅化物层。
14. 根据权利要求 9 的方法,其特征在於,所说第二绝缘层是氮化物层。
15. 根据权利要求 9 的方法,其特征在於,所说第三绝缘层是正硅酸乙脂层。
16. 根据权利要求 9 的方法,其特征在於,所说过渡金属是 W、Ti、Ta、Mo 或 Nb 之一。

形成半导体器件隔离的方法

本发明涉及一种形成半导体器件隔离的方法，尤其涉及通过减小鸟嘴来增加较大规模集成电路的有源区的方法。

通常采用LOCOS(硅局部氧化)法来形成集成电路的场氧化层，然而，LOCOS工艺增加了鸟嘴的尺寸，造成了半导体器件有源区的减小。

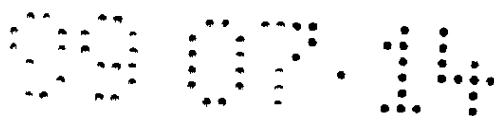
下面参照图1对常规的场氧化层形成方法进行详细地描述。

首先，图1表示的是能够较多减小鸟嘴的PBL工艺(多晶硅阻挡LOCOS)。

如图1所示，基底氧化层12在硅衬底11上形成，多晶硅层13、氮化物层14和光刻胶层(未示出)依次在基底氧化层12上形成。由预先确定的光刻掩膜确定了场区后，蚀刻氮化物层14和多晶硅层13的部分，使之露出硅衬底区的一部分，用热氧化工艺在露出的硅衬底上形成场氧化层15。

然而，在对露出的硅衬底11施行热氧化工艺形成场氧化层时，不管多晶硅层13的消耗量如何，都要沿多晶硅层13和硅衬底11的界面形成鸟嘴。由于鸟嘴尺寸的增加导致了半导体器件有源区的减小，要高度集成器件是很困难的。

美国专利5,256,591描述了一种采用槽来形成半导体器件的隔离区的方法，能够避免在槽形成时产生晶体缺陷和微填充效应(micro loading effect)。但是，该专利并未解决上述LOCOS法中存在的问题。



本发明的一个目的是提供一种由增加半导体器件的有源区来形成较大规模集成电路的隔离方法。

本发明的一个方面是，提供一种隔离半导体器件的方法，该方法包括以下步骤：形成第一绝缘层，暴露衬底的场区；在所说衬底和所说第一绝缘层的侧壁上形成过渡金属垫；在整个生成结构上形成第二绝缘层；热处理所说衬底，将所说过渡金属垫的离子扩散进所说衬底；抛光所说第二绝缘层直至露出过渡金属垫，保留其一部分不被除去；除去所说过渡金属垫和所说过渡金属垫下面的离子扩散衬底，在所说衬底上形成一槽；在整个生成结构上形成第三绝缘层，填充所说槽；在所说第三绝缘层和所说场区上形成光刻胶图形；用所说光刻胶图形作蚀刻阻挡物蚀刻所说第三绝缘层；除去所说光刻胶图形和所说第一绝缘层，露出所说衬底的一部分；在所说露出的衬底上形成外延层，用作有源区。

本发明的另一方面是，提供一种隔离半导体器件的方法，该方法包括以下步骤：形成露出衬底的一部分的第一绝缘层；在所说衬底和所说第一绝缘层的侧壁上形成过渡金属垫；在整个生成结构上形成第二绝缘层；热处理所说衬底，将所说过渡金属垫的离子扩散进所说衬底；抛光所说第二绝缘层，以便露出所说过渡金属垫，保留其上的一部分不被除去；通过除去所说过渡金属垫和其下的经离子扩散过的衬底，在所说衬底上形成一槽；在整个生成结构上形成第三绝缘层，填充所说槽；抛光该多层叠层直至第一绝缘层和第二绝缘层的整个上表面全部露出为止，再施行平面化工艺；通过除去所说第二绝缘层和留下而未被除去的所说第一绝缘层，露出部分衬底，这样所说衬底就被暴露出来；在所说露出的衬底上形成外延层，

用作有源区。

由参照附图对实施例所作的下列描述可以清楚地看出本发明的其它目的和方面，其中：

图1是采用PBL工艺所形成的常规场氧化层的横截面图；

图2A至2F是根据本发明的实施例的场氧化层的横截面图；和

图3A至3F是根据本发明的另一实施例的场氧化层的横截面图。

下文将参照图2A至2F描述本发明的一个实施例。

如图2A所示，在硅衬底21上依次淀积基底氧化层22和氧化物层23，它们的厚度分别为100 - 200Å，和1000 - 1300Å。使用具有场图形的掩膜选择性蚀刻氧化物层23和基底氧化层22，露出硅衬底的一部分。在整个生成结构上淀积一厚度大约为1000Å的过渡金属24，如W、Ti、Ta，Mo和Nb。

如图2B所示，采用各向同性腐蚀工艺腐蚀过渡金属24，在氧化物23的侧壁上和基底氧化层22上形成过渡金属垫24'，并在整个生成结构上淀积厚度约为1000~1500Å的氮化物层。在900~1000°C下对晶片热处理，使过渡金属24的离子扩散进硅衬底21，然后在硅衬底21里形成硅化物层26。

如图2C所示，用化学和机械抛光的手段除去晶片上层结构，直至露出过渡金属垫24'为止。用HNO₃与HF的混合溶液除去过渡金属垫24'和硅化物层26之后，施行沟道阻塞离子注入工艺以增加隔离效果。例如，以10~50 keV的能量和 $1 \times 10^{12} \sim 1 \times 10^{18}$ 原子/cm²的注入剂量将BF₃离子注入暴露的衬底。根据本发明的特征，也可以省去沟道阻塞离子注入工艺。

如图2D所示，在整个生成结构上淀积厚度大约1000~2000Å的

正硅酸乙脂 (TEOS) 层27, 及在TEOS层27上形成光刻胶图形28。使用与用来选择性蚀刻如图2A所示的氮化物层23和基底氧化层22的光刻掩膜相反的光刻掩膜来形成光刻胶图形28。也就是说, 如果形成如图2A所示的场区所用的光刻胶层是正的, 那么图2D中的光刻胶图形就是负的, 图2A和2D可以用相同的光刻膜掩膜。

接下来, 如图2E所示, 由光刻胶层28作蚀刻阻挡层湿法腐蚀TEOS层27。

最后, 如图2F所示, 用磷酸除去基底氧化层22上的氮化物层23, 利用各向同性腐蚀工艺除去基底氧化层22, 便露出了硅衬底21的有源区。在暴露的硅衬底21上形成外延层29, 用氮化物层25和TEOS层27作场氧化层, 用外延层29作有源区。

下面参照附图3A至3F描述本发明的另一个实施例。

首先按照与图2A至2C所示的相同的方法形成图3A至3C所示的结构, 因此, 这里不再详细描述, 在图2A至2C和3A至3C中相同的附图标记代表相同的部件。

然而, 值得注意的是, 在图3A中, 所有由选择性腐蚀氮化物层而露出的硅衬底21的全部表面和基底氧化层22都不构成场氧化区。即, 用除去过渡金属垫24'和硅化物层26而形成的一些槽39有助于构成场氧化层, 在图3F中将详细描述场氧化层。

如图3D所示, 在如图3C所示的为增强隔离效果对硅衬底21进行离子注入后, 在整个生成结构上淀积TEOS层37, 填充这些槽39。

接下来, 如图3E所示, 采用化学和机械抛光的方法, 除去生成结构的上层部分, 抛光至露出氮化物层35为止。此时, 除出氮化物层35的垂直部分, 将氧化物23的一部分的氮化物层33保留在基底氧

化层22上，对晶片施行平面化工艺。

最后，如图3F所示，用磷酸除去基底氧化物层22上的氮化物层33，再用各向同性腐蚀工艺除去基底氧化层22，这样就露出了硅衬底21的有源区。由此，在硅衬底21的露出部分上形成的外延层39作有源区。而且，因为外延层39是在由该TEOS层37分成的两部分之间的硅衬底21的部位上形成，所以，图3F所示的有源区的面积比图2F中所示的要宽阔。

由上面的描述可清楚地看出，本发明能极有效地增加有源区，并改善半导体器件的集成度和防止鸟嘴发生。而且，在本发明的另一个实施例中，由于场氧化层的宽度与过渡金属垫的宽度相同，所以场氧化层的面积可以减到最小。

尽管为了说明本发明，而公开了一些优选实施例，但是，本领域的技术人员将会发现，可对本发明进行各种改型增加及替换。但这些均不脱离本发明权利要求书中所要求保护的本发明的范围和精神。

说明书附图

图 1

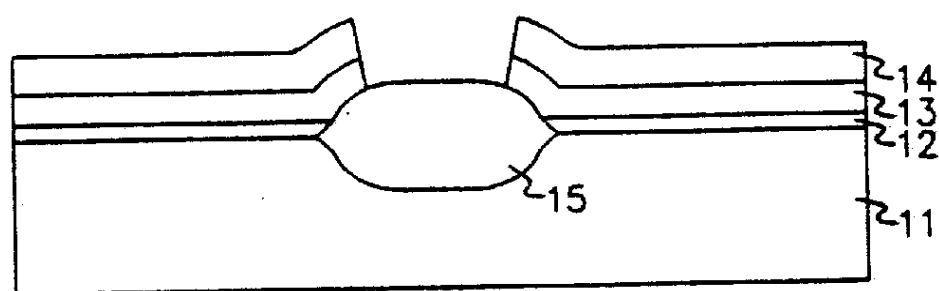


图 2 A

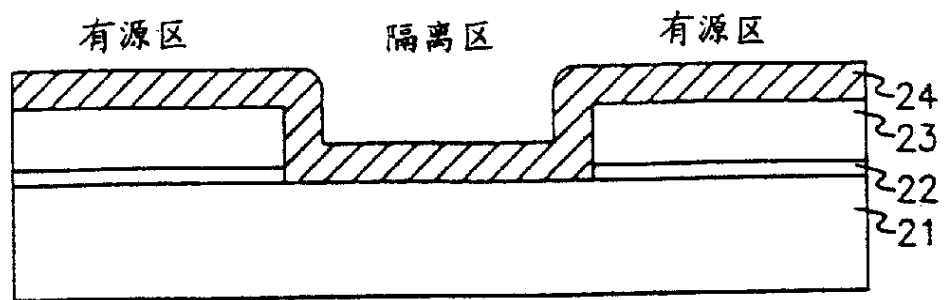


图 2 B

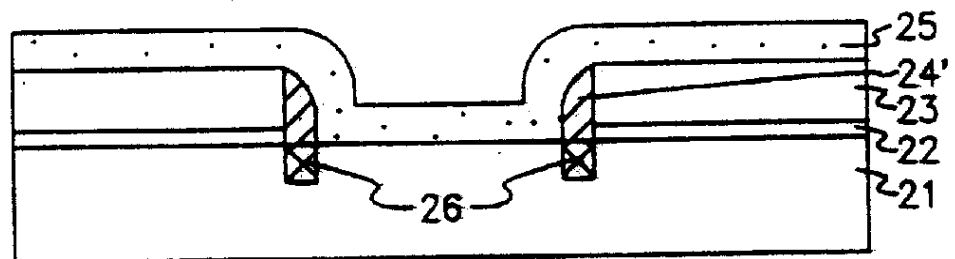


图 2 C

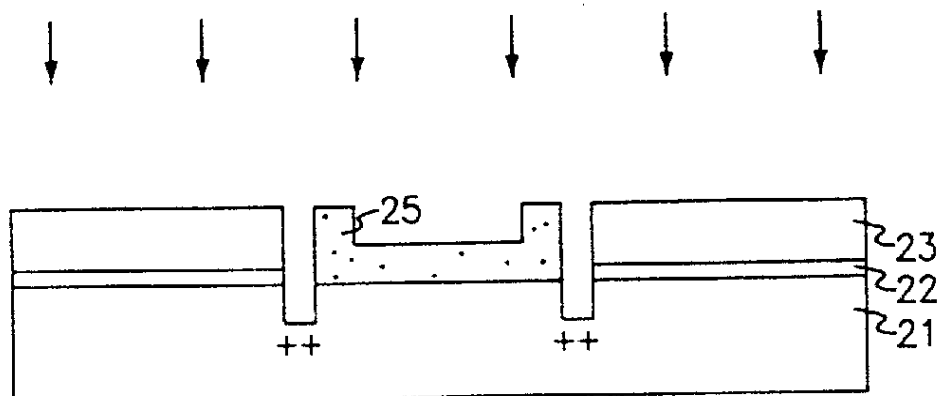


图 2 D

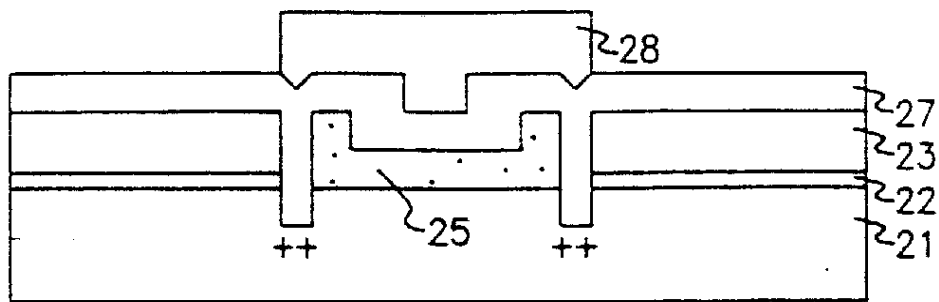


图 2 E

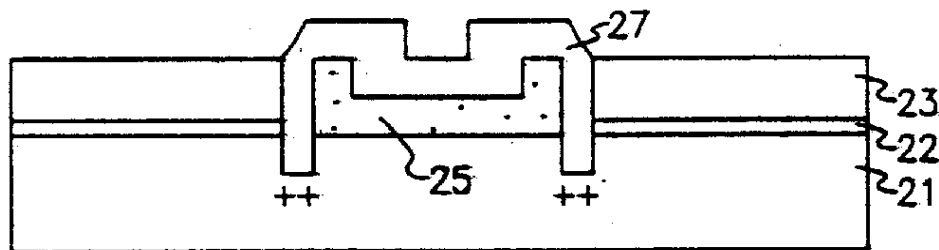


图 2 F

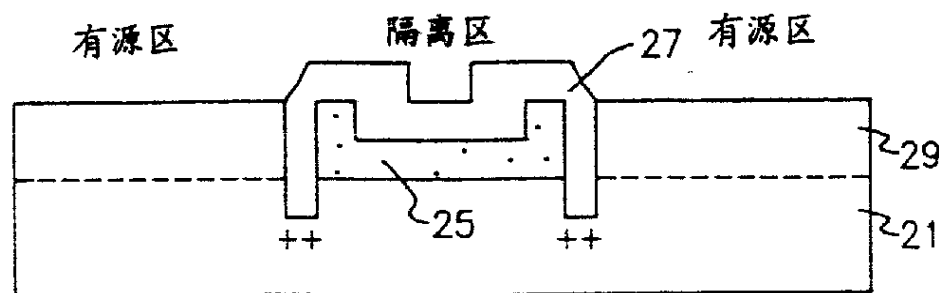


图 3 A

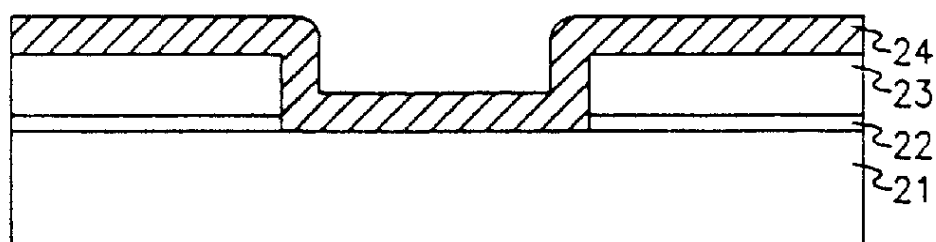


图 3 B

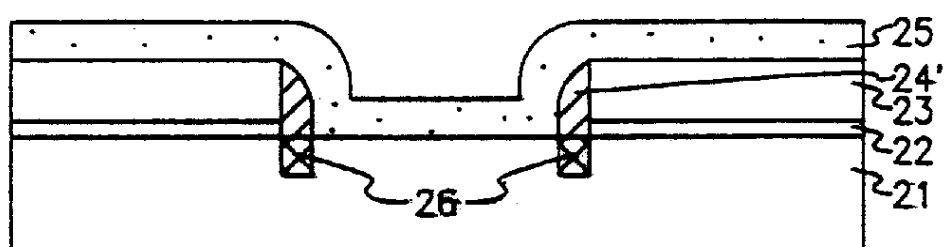


图 3 C

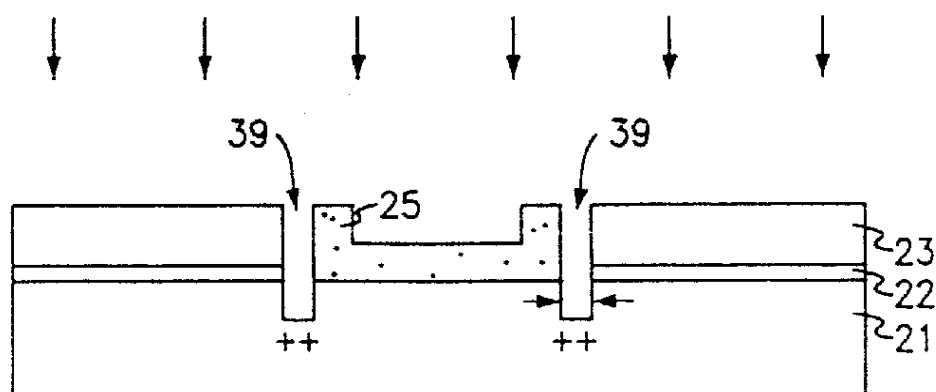


图 3 D

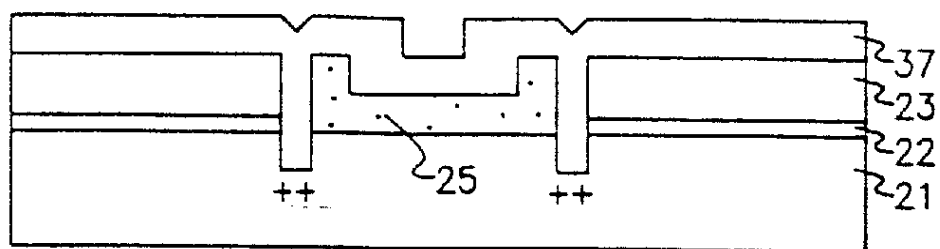


图 3 E

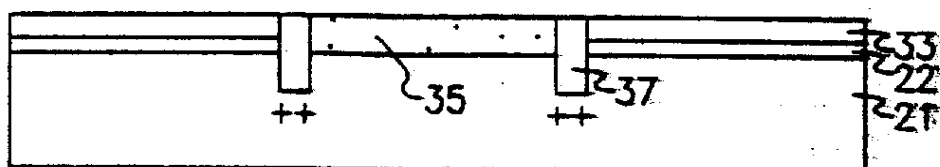


图 3 F

