

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)



(10) 国際公開番号

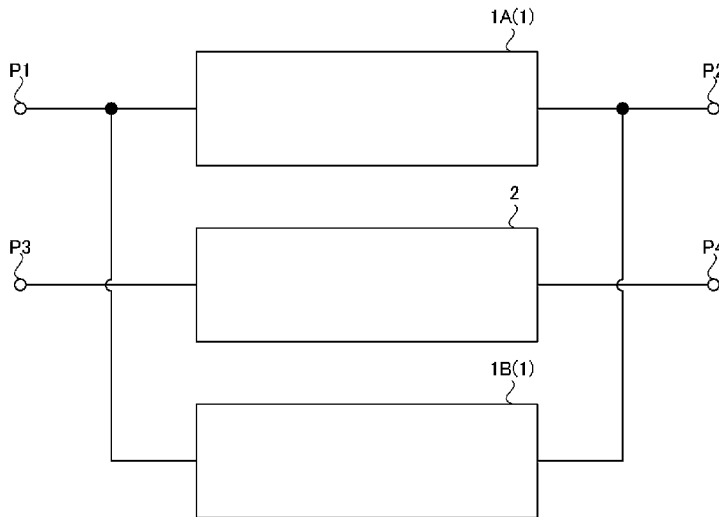
WO 2024/257500 A1

- (51) 国際特許分類:
H01P 5/18 (2006.01) *H01Q 3/40* (2006.01)
H01P 5/16 (2006.01) *H01Q 21/06* (2006.01)
- (21) 国際出願番号: PCT/JP2024/016624
- (22) 国際出願日: 2024年4月30日(30.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-095946 2023年6月12日(12.06.2023) JP
- (71) 出願人: 住友電気工業株式会社
(SUMITOMO ELECTRIC INDUSTRIES, LTD.)
[JP/JP]; 〒5410041 大阪府大阪市中央区北浜
四丁目5番33号 Osaka (JP).
- (72) 発明者: 中村美琴 (NAKAMURA Mikoto);
〒5410041 大阪府大阪市中央区北浜四丁目5番
33号住友電気工業株式会社内 Osaka (JP).
- (74) 代理人: 弁理士法人ワンディー・IPパートナ
ーズ (ONEDEE IP PARTNERS); 〒5320003 大
阪府大阪市淀川区宮原五丁目1番28号新
大阪八千代ビル別館 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: COUPLER, BUTLER MATRIX CIRCUIT, TRANSMISSION CIRCUIT, AND TRANSMISSION DEVICE

(54) 発明の名称: カプラ、バトラーマトリクス回路、送信回路および送信装置

101



(57) Abstract: This coupler is a coupling line-type coupler having a multilayer configuration in which a plurality of conductor layers are stacked, the coupler comprising first lines and a second line that are formed in the conductor layers different from one another, the first lines being formed in the plurality of conductor layers having interposed therebetween the conductor layer in which the second line is formed, and the first lines and the second line at least partially overlapping one another in the stacking direction of the conductor layers.

[続葉有]

WO 2024/257500 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: カプラは、複数の導電体層が積層された多層構成を有する結合線路型のカプラであって、互いに異なる前記導電体層に形成された第1線路および第2線路を備え、前記第1線路は、前記第2線路が形成された前記導電体層を間に挟む複数の前記導電体層に形成され、前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっている。

明 細 書

発明の名称：

カプラ、バトラーマトリクス回路、送信回路および送信装置

技術分野

[0001] 本開示は、カプラ、バトラーマトリクス回路、送信回路および送信装置に関する。

この出願は、2023年6月12日に出願された日本出願特願2023-95946号を基礎とする優先権を主張し、その開示のすべてをここに取り込む。

背景技術

[0002] 特許文献1（国際公開第2008/018565号）には、以下のような高周波部品が開示されている。すなわち、高周波部品は、高周波増幅器と、前記高周波増幅器から出力された高周波電力を受ける出力整合回路とを有する高周波回路を、複数の誘電体層を積層してなる多層基板に構成した高周波部品であって、前記出力整合回路は、前記高周波増幅器側から出力端子側に前記高周波電力を伝播させる第一の伝送線路を有し、前記第一の伝送線路の少なくとも一部は、複数の誘電体層にわたって形成された複数の導電体パターンを積層方向に直列に接続することにより形成されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2008/018565号

発明の概要

[0004] 本開示のカプラは、複数の導電体層が積層された多層構成を有する結合線路型のカプラであって、互いに異なる前記導電体層に形成された第1線路および第2線路を備え、前記第1線路は、前記第2線路が形成された前記導電体層を間に挟む複数の前記導電体層に形成され、前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっている

。

図面の簡単な説明

[0005] [図1]図 1 は、本開示の実施の形態に係るカプラの等価回路図である。

[図2]図 2 は、本開示の実施の形態に係るカプラの構成を概略的に示す図である。

[図3]図 3 は、本開示の実施の形態に係るカプラの構成を概略的に示す図である。

[図4]図 4 は、本開示の実施の形態に係るカプラの構成を概略的に示す図である。

[図5]図 5 は、本開示の実施の形態に係るカプラの通過特性のシミュレーション結果を示す図である。

[図6]図 6 は、本開示の実施の形態に係るカプラの通過特性のシミュレーション結果を示す図である。

[図7]図 7 は、本開示の実施の形態に係るカプラの通過特性のシミュレーション結果を示す図である。

[図8]図 8 は、本開示の実施の形態に係るカプラの位相特性のシミュレーション結果を示す図である。

[図9]図 9 は、本開示の実施の形態の変形例 1 に係るカプラの等価回路図である。

[図10]図 10 は、本開示の実施の形態の変形例 1 に係るカプラの構成を概略的に示す図である。

[図11]図 11 は、本開示の実施の形態の変形例 1 に係るカプラの構成を概略的に示す図である。

[図12]図 12 は、本開示の実施の形態の変形例 1 に係るカプラの構成を概略的に示す図である。

[図13]図 13 は、本開示の実施の形態の変形例に係るカプラの位相特性のシミュレーション結果を示す図である。

[図14]図 14 は、本開示の実施の形態の変形例に係るカプラの振幅特性のシ

ミュレーション結果を示す図である。

[図15]図15は、本開示の実施の形態の変形例2に係るカプラの等価回路図である。

[図16]図16は、本開示の実施の形態の変形例2に係るカプラの構成を概略的に示す図である。

[図17]図17は、本開示の実施の形態の変形例2に係るカプラの構成を概略的に示す図である。

[図18]図18は、本開示の実施の形態の変形例2に係るカプラの構成を概略的に示す図である。

[図19]図19は、本開示の実施の形態の変形例3に係るカプラの等価回路図である。

[図20]図20は、本開示の実施の形態の変形例3に係るカプラの構成を概略的に示す図である。

[図21]図21は、本開示の実施の形態の変形例3に係るカプラの構成を概略的に示す図である。

[図22]図22は、本開示の実施の形態の変形例3に係るカプラの構成を概略的に示す図である。

[図23]図23は、本開示の実施の形態に係る送受信装置の構成を示す図である。

[図24]図24は、本開示の実施の形態に係る送受信装置により送信されるRF信号のビーム方向の一例を示す図である。

発明を実施するための形態

[0006] 従来、カプラ等の部品を小型化するための技術が開発されている。

[0007] [本開示が解決しようとする課題]

バトラーマトリクス回路およびドハティアンプ等の電子部品において、信号を等分配するカプラとして、ブランチライン型のハイブリッドカプラが用いられる場合が多い。しかしながら、ブランチライン型のハイブリッドカプラの場合、部品サイズが大きくなる。

[0008] 本開示は、上述の課題を解決するためになされたもので、その目的は、カプラを備える電子部品の小型化を実現することが可能なカプラ、バトラーマトリクス回路、送信回路および送信装置を提供することである。

[0009] [本開示の効果]

本開示によれば、カプラを備える電子部品の小型化を実現することができる。

[0010] [本開示の実施形態の説明]

最初に、本開示の実施形態の内容を列記して説明する。

[0011] (1) 本開示の実施の形態に係るカプラは、複数の導電体層が積層された多層構成を有する結合線路型のカプラであって、互いに異なる前記導電体層に形成された第1線路および第2線路を備え、前記第1線路は、前記第2線路が形成された前記導電体層を間に挟む複数の前記導電体層に形成され、前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっている。

[0012] このように、ブランチライン型のカプラよりも小型である結合線路型のカプラにおいて、第2線路が形成された導電体層を間に挟む複数の導電体層に第1線路が形成される構成により、第1線路と第2線路とを同じ導電体層内で近づけることが加工上困難な場合でも、多層構成を活用し、従来の結合線路型のカプラと比べて結合度を高めることができるので、結合度が高く、かつ小型のカプラを実現することができる。したがって、カプラを備える電子部品の小型化を実現することができる。

[0013] (2) 上記(1)において、前記第1線路は、第1端が前記カプラにおける入力ポートに接続され、かつ第2端が前記カプラにおける出力ポートに接続されてもよく、前記第2線路は、第1端が前記カプラにおける結合ポートに接続され、かつ第2端が前記カプラにおけるアイソレーションポートに接続されてもよい。

[0014] このような構成により、第2線路が入力ポートおよび出力ポートに接続され、かつ第1線路が結合ポートおよびアイソレーションポートに接続された

構成と比べて、振幅誤差を低減することができる。

[0015] (3) 上記(1)または(2)において、前記第1線路は、前記第2線路が形成された前記導電体層にさらに形成されてもよい。

[0016] このような構成により、カプラの結合度をより高めることができる。

[0017] (4) 本開示の実施の形態に係るバトラーマトリクス回路は、同一の基板上に形成され、かつ複数の導電体層が積層された多層構成を有する結合線路型のカプラを複数備え、前記カプラは、互いに異なる前記導電体層に形成された第1線路および第2線路を備え、前記第1線路は、前記第2線路が形成された前記導電体層を間に挟む複数の前記導電体層に亘って形成され、前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっており、前記カプラは、入力ポート、出力ポート、結合ポートおよびアイソレーションポートを含み、第1の前記カプラの前記結合ポートが第3の前記カプラの前記入力ポートに接続され、第2の前記カプラの前記結合ポートが前記第3のカプラの前記アイソレーションポートに接続され、前記第1のカプラの前記出力ポートが第4の前記カプラの前記入力ポートに接続され、前記第2のカプラの前記出力ポートが前記第4のカプラの前記アイソレーションポートに接続されている。

[0018] このように、第2線路が形成された導電体層を間に挟む複数の導電体層に第1線路が形成される結合線路型のカプラを複数備える構成により、結合度が高く、かつ小型のカプラを用いてバトラーマトリクス回路を構成することができるので、入力信号をより高精度に等分配することができる小型のバトラーマトリクス回路を実現することができる。したがって、カプラを備える電子部品の小型化を実現することができる。

[0019] (5) 上記(4)において、前記第1線路および前記第2線路は、前記導電体層の積層方向において交差してもよい。

[0020] このような構成により、カプラ間を接続するための配線パターンの引き回しが容易になるため、さらに小型化することができる。

[0021] (6) 本開示の実施の形態に係る送信回路は、20GHz以上の周波数帯

域の信号の送信に用いられる送信回路であって、上記（４）または（５）のバトラーマトリクス回路と、前記基板に搭載された複数のアンプとを備え、前記複数のアンプは、前記第３のカプラの前記結合ポートから出力される信号を増幅する第１アンプと、前記第３のカプラの前記出力ポートから出力される信号を増幅する第２アンプと、前記第４のカプラの前記結合ポートから出力される信号を増幅する第３アンプと、前記第４のカプラの前記出力ポートから出力される信号を増幅する第４アンプとを含む。

[0022] このような構成により、高周波信号をより高い精度で等分配し、増幅して送信することができる。

[0023] （７）本開示の実施の形態に係る送信回路は、ビームフォーミングに用いられる送信装置であって、上記（６）の送信回路と、複数のアンテナとを備え、前記複数のアンテナは、前記第１アンプにより増幅された信号を送信する第１アンテナと、前記第２アンプにより増幅された信号を送信する第２アンテナと、前記第３アンプにより増幅された信号を送信する第３アンテナと、前記第４アンプにより増幅された信号を送信する第４アンテナとを含む。

[0024] このような構成により、高周波信号のビームフォーミングをより高い精度で行うことができる。

[0025] 以下、本開示の実施の形態について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。また、以下に記載する実施の形態の少なくとも一部を任意に組み合わせてもよい。

[0026] <カプラ>

図１は、本開示の実施の形態に係るカプラの等価回路図である。図１を参照して、カプラ１０１は、主線路１である主線路１Ａ、１Ｂと、副線路２と、入力ポートＰ１と、出力ポートＰ２と、結合ポートＰ３と、アイソレーションポートＰ４とを備える。入力ポートＰ１、出力ポートＰ２、結合ポートＰ３およびアイソレーションポートＰ４は、たとえば、端子であってもよいし、基板上のノードであってもよい。主線路１は、第１線路の一例である。副線路２は、第２線路の一例である。

- [0027] 主線路 1 A, 1 B は、第 1 端が入力ポート P 1 に接続され、かつ第 2 端が出力ポート P 2 に接続されている。副線路 2 は、第 1 端が結合ポート P 3 に接続され、かつ第 2 端がアイソレーションポート P 4 に接続されている。たとえば、主線路 1 は、カプラ 101 を備える電子部品における主信号の伝送線路と DC 的に接続される線路である。すなわち、当該電子部品において伝送される主信号が入力ポート P 1 経由でカプラ 101 へ入力される。
- [0028] カプラ 101 は、ハイブリッドカプラである。より詳細には、カプラ 101 は、外部から入力ポート P 1 経由で入力信号 S 1 を受けて、出力信号 S 2 a を出力ポート P 2 経由で出力するとともに、出力信号 S 2 b を結合ポート P 3 経由で出力する。このとき、出力信号 S 2 a の位相は、出力信号 S 2 b を基準として、 -90° となる。
- [0029] 図 2 から図 4 は、本開示の実施の形態に係るカプラの構成を概略的に示す図である。図 2 は、カプラ 101 の平面図である。図 3 は、図 2 における I-I 線矢視断面図である。図 4 は、カプラ 101 における層構成を示す平面図である。図 2 における実線は、主線路 1 A を示している。図 2 における破線は、副線路 2 を示している。
- [0030] 図 2 から図 4 を参照して、カプラ 101 は、複数の導電体層 L c が積層された多層構成を有する結合線路型の結合器である。より詳細には、カプラ 101 は、導電体層 L c である導電体層 L c 1, L c 2, L c 3, L c 4 と、誘電体層 L d 1, L d 2, L d 3 とを備える。
- [0031] 導電体層 L c 1, L c 2, L c 3, L c 4 は、誘電体層 L d 1, L d 2, L d 3 を介してこの順に積層される。より詳細には、導電体層 L c 4 は、誘電体層 L d 3 の 2 つの主表面のうちの第 1 の面に形成される。導電体層 L c 3 は、誘電体層 L d 3 の 2 つの主表面のうちの第 2 の面に形成される。導電体層 L c 2 は、導電体層 L c 3 の上に形成された誘電体層 L d 2 の 2 つの主表面のうちの、導電体層 L c 3 側の面とは反対側の面に形成される。導電体層 L c 1 は、導電体層 L c 2 の上に形成された誘電体層 L d 1 の 2 つの主表面のうちの、導電体層 L c 2 側の面とは反対側の面に形成される。

- [0032] たとえば、誘電体層 L_{d1} 、 L_{d2} の厚みは $100\mu m$ であり、誘電体層 L_{d3} の厚みは $200\mu m$ である。また、たとえば、誘電体層 L_{d1} 、 L_{d2} 、 L_{d3} の比誘電率は、 3.2 である。また、たとえば、誘電体層 L_{d1} 、 L_{d2} 、 L_{d3} の誘電正接は、 0.004 である。
- [0033] 導電体層 L_{c4} には、グランドパターン GND が形成されている。グランドパターン GND は、たとえば、誘電体層 L_{d3} の主表面にベタ形状に形成された、銅箔の薄い導電体である。なお、導電体層 L_{c4} において、グランドパターン GND が形成されていない領域にグランドパターン GND と同じ厚みの樹脂が設けられてもよいし、グランドパターン GND を覆うことによりカプラ 101 の第1主表面を保護する樹脂が設けられてもよい。
- [0034] 主線路1および副線路2は、互いに異なる導電体層 L_c に形成されている。より詳細には、副線路2は導電体層 L_{c2} に形成されている一方で、主線路1A、1Bは、導電体層 L_{c2} を間に挟む導電体層 L_{c1} 、 L_{c3} にそれぞれ形成されている。導電体層 L_{c2} において、副線路2が形成されていない領域には、誘電体の樹脂 R_{s2} が設けられている。樹脂 R_{s2} は、誘電体層 L_{d1} 、 L_{d2} を貼り合わせる接着剤として機能する。導電体層 L_{c3} において、主線路1Bが形成されていない領域には、誘電体の樹脂 R_{s3} が設けられている。樹脂 R_{s3} は、誘電体層 L_{d2} 、 L_{d3} を貼り合わせる接着剤として機能する。なお、導電体層 L_{c1} において、主線路1Aが形成されていない領域に主線路1Aと同じ厚みの樹脂が設けられてもよいし、主線路1Aを覆うことによりカプラ 101 の第2主表面を保護する樹脂が設けられてもよい。
- [0035] たとえば、主線路1および副線路2は、グランドパターン GND とともにマイクロストリップラインを構成する。主線路1の幅 $W1$ は、副線路2の幅 $W2$ よりも小さい。一例として、線路のインピーダンス調整のため、幅 $W1$ は $200\mu m$ であり、幅 $W2$ は $320\mu m$ である。たとえば、主線路1A、1Bからなる線路の特性インピーダンス、および副線路2の特性インピーダンスは、 50Ω である。

- [0036] 主線路 1 A は、直線状の結合部分 1 1 A と、結合部分 1 1 A の第 1 端から伸びる配線部分 1 2 A と、結合部分 1 1 A の第 2 端から伸びる配線部分 1 3 A とを含む。主線路 1 B は、直線状の結合部分 1 1 B と、結合部分 1 1 B の第 1 端から伸びる配線部分 1 2 B と、結合部分 1 1 B の第 2 端から伸びる配線部分 1 3 B とを含む。副線路 2 は、直線状の結合部分 2 1 と、結合部分 2 1 の第 1 端から伸びる配線部分 2 2 と、結合部分 2 1 の第 2 端から伸びる配線部分 2 3 とを含む。たとえば、結合部分 1 1 A, 1 1 B, 2 1 の長手方向は、互いに平行である。また、たとえば、結合部分 1 1 A, 1 1 B, 2 1 の長さ L_1 は、入力信号 S_1 の波長を λ とした場合、 $\lambda/4$ である。
- [0037] 主線路 1 A, 1 B は、ビア V_1 , V_2 を介して電氣的に接続されている。より詳細には、主線路 1 A, 1 B における配線部分 1 2 A, 1 2 B は、ビア V_1 を介して接続されている。また、主線路 1 A, 1 B における配線部分 1 3 A, 1 3 B は、ビア V_2 を介して接続されている。
- [0038] 主線路 1 および副線路 2 は、導電体層 L_c の積層方向において少なくとも一部が重なっている。より詳細には、主線路 1 A, 1 B における結合部分 1 1 A, 1 1 B は、平面視において結合部分 2 1 に重なっている。すなわち、導電体層 L_c の積層方向に対して垂直な面に結合部分 1 1 A, 1 1 B, 2 1 を投影した場合、投影された結合部分 1 1 A, 1 1 B は、投影された結合部分 2 1 に重なる。
- [0039] たとえば、主線路 1 および副線路 2 は、導電体層 L_c の積層方向において交差している。より詳細には、導電体層 L_c の積層方向において、主線路 1 の第 1 端および第 2 端を結ぶ仮想線と、副線路 2 の第 1 端および第 2 端を結ぶ仮想線とは、互いに交差している。すなわち、平面視において、主線路 1 の第 1 端および第 2 端を結ぶ仮想線と、副線路 2 の第 1 端および第 2 端を結ぶ仮想線とは、互いに交差している。また、導電体層 L_c の積層方向において、ビア V_1 , V_2 を結ぶ仮想線と、副線路 2 とは、互いに交差している。すなわち、平面視において、ビア V_1 , V_2 を結ぶ仮想線と、副線路 2 とは、互いに交差している。

- [0040] 図5から図7は、本開示の実施の形態に係るカプラの通過特性のシミュレーション結果を示す図である。図5から図7における実線は、カプラ101の通過特性を示している。図5から図7における破線は、比較例に係るカプラ101Xの通過特性を示している。カプラ101Xは、カプラ101と比べて、導電体層Lc3および誘電体層Ld3を備えず、かつ主線路1Aの幅が $320\mu\text{m}$ である。
- [0041] 図5は、カプラ101、101Xの入力ポートP1から出力ポートP2への通過特性を示している。図5において、横軸は入力信号S1の周波数[GHz]であり、縦軸は挿入損失[dB]である。挿入損失は、入力ポートP1経由で入力信号S1を受けた場合における、入力信号S1の電力に対する、出力ポートP2経由で出力される出力信号S2aの電力の比である。挿入損失は、 -3 dB に近い値であることが好ましい。
- [0042] 図5を参照して、 24 GHz から 32 GHz の周波数帯域において、カプラ101の挿入損失は、カプラ101Xの挿入損失と比べて、 -3 dB により近い値である。
- [0043] 図6は、カプラ101、101Xの入力ポートP1から結合ポートP3への通過特性を示している。図6において、横軸は入力信号S1の周波数[GHz]であり、縦軸は結合度[dB]である。結合度は、入力ポートP1経由で入力信号S1を受けた場合における、入力信号S1の電力に対する、結合ポートP3経由で出力される出力信号S2bの電力の比である。結合度は、 -3 dB に近い値であることが好ましい。
- [0044] 図6を参照して、 24 GHz から 32 GHz の周波数帯域において、カプラ101の結合度は、カプラ101Xの結合度と比べて、 -3 dB により近い値である。
- [0045] 図7は、カプラ101、101Xの入力ポートP1からアイソレーションポートP4への通過特性を示している。図7において、横軸は入力信号S1の周波数[GHz]であり、縦軸は分離係数[dB]である。分離係数は、入力ポートP1経由で入力信号S1を受けた場合における、入力信号S1の

電力に対する、アイソレーションポート P 4 経由で出力される出力信号の電力の比である。分離係数は、実用上は -10 dB 以下であることが好ましい。

[0046] 図 7 を参照して、 24 GHz から 32 GHz の周波数帯域において、カップラ 101 の分離係数は、 -15 dB 程度であり、実用的な値である。

[0047] 図 8 は、本開示の実施の形態に係るカップラの位相特性のシミュレーション結果を示す図である。図 8 における実線は、カップラ 101 の位相特性を示している。図 8 における破線は、比較例に係るカップラ 101 X の位相特性を示している。図 8 において、横軸は入力信号 S 1 の周波数 $[\text{GHz}]$ であり、縦軸は位相誤差 $[\text{degree}]$ である。位相誤差は、結合ポート P 3 経由で出力される出力信号 S 2 b に対する、出力ポート P 2 経由で出力される出力信号 S 2 a の位相差に 90° を加えた値である。位相誤差は、 0° であることが好ましい。

[0048] 図 8 を参照して、 24 GHz から 32 GHz の周波数帯域において、カップラ 101 の位相誤差の絶対値の最大値は、 3° 程度であり、カップラ 101 X の位相誤差の絶対値の最大値と同程度である。

[0049] (変形例 1)

図 9 は、本開示の実施の形態の変形例 1 に係るカップラの等価回路図である。図 9 を参照して、カップラ 102 は、カップラ 101 と比べて、主線路 1 の代わりに主線路 3 を備え、副線路 2 の代わりに副線路 4 である副線路 4 A、4 B を備える。主線路 3 は、第 2 線路の一例である。副線路 4 は、第 1 線路の一例である。

[0050] たとえば、主線路 3 は、第 1 端が入力ポート P 1 に接続され、かつ第 2 端が出力ポート P 2 に接続されている。また、たとえば、副線路 4 A、4 B は、第 1 端が結合ポート P 3 に接続され、かつ第 2 端がアイソレーションポート P 4 に接続されている。

[0051] 図 10 から図 12 は、本開示の実施の形態の変形例 1 に係るカップラの構成を概略的に示す図である。図 10 は、カップラ 102 の平面図である。図 11

は、図 10 における X1-X1 線矢視断面図である。図 12 は、カプラ 102 における層構成を示す平面図である。図 10 における実線は、副線路 4A を示している。図 10 における破線は、主線路 3 を示している。

[0052] 図 10 から図 12 を参照して、カプラ 102 は、カプラ 101 と比べて、導電体層 Lc の積層方向における主線路 1 の位置に副線路 4 が配置され、かつ導電体層 Lc の積層方向における副線路 2 の位置に主線路 3 が配置されている。より詳細には、主線路 3 は導電体層 Lc2 に形成されている一方で、副線路 4A, 4B は、導電体層 Lc2 を間に挟む導電体層 Lc1, Lc3 にそれぞれ形成されている。

[0053] たとえば、主線路 3 および副線路 4 は、マイクロストリップラインを構成する。副線路 4 の幅 W4 は、主線路 3 の幅 W3 よりも小さい。一例として、幅 W4 は $200\mu\text{m}$ であり、幅 W3 は $320\mu\text{m}$ である。たとえば、主線路 3 の特性インピーダンス、および副線路 4A, 4B からなる線路の特性インピーダンスは、 50Ω である。

[0054] 主線路 3 は、直線状の結合部分 31 と、結合部分 31 の第 1 端から伸びる配線部分 32 と、結合部分 31 の第 2 端から伸びる配線部分 33 とを含む。副線路 4A は、直線状の結合部分 41A と、結合部分 41A の第 1 端から伸びる配線部分 42A と、結合部分 41A の第 2 端から伸びる配線部分 43A とを含む。副線路 4B は、直線状の結合部分 41B と、結合部分 41B の第 1 端から伸びる配線部分 42B と、結合部分 41B の第 2 端から伸びる配線部分 43B とを含む。たとえば、結合部分 31, 41A, 41B の長さ L2 は、入力信号 S1 の波長を λ とした場合、 $\lambda/4$ である。

[0055] 副線路 4A, 4B は、ビア V3, V4 を介して電氣的に接続されている。より詳細には、副線路 4A, 4B における配線部分 42A, 42B は、ビア V3 を介して接続されている。また、副線路 4A, 4B における配線部分 43A, 43B は、ビア V4 を介して接続されている。

[0056] 主線路 3 および副線路 4 は、導電体層 Lc の積層方向において少なくとも一部が重なっている。より詳細には、副線路 4A, 4B における結合部分 4

1 A, 4 1 Bは、主線路3における結合部分3 1と平行であり、かつ平面視において結合部分3 1に重なっている。

[0057] たとえば、主線路3および副線路4は、導電体層L cの積層方向において交差している。より詳細には、導電体層L cの積層方向において、副線路4の第1端および第2端を結ぶ仮想線と、主線路3の第1端および第2端を結ぶ仮想線とは、互いに交差している。また、導電体層L cの積層方向において、ビアV 3, V 4を結ぶ仮想線と、主線路3とは、互いに交差している。

[0058] 図1 3は、本開示の実施の形態の変形例に係るカプラの位相特性のシミュレーション結果を示す図である。図1 3における実線は、カプラ1 0 1の位相特性を示している。図1 3における破線は、カプラ1 0 2の位相特性を示している。図1 3において、横軸は入力信号S 1の周波数[G H z]であり、縦軸は位相誤差[d e g r e e]である。

[0059] 図1 3を参照して、2 4 G H zから3 2 G H zの周波数帯域において、カプラ1 0 2の位相誤差の絶対値の最大値は、2°程度であり、カプラ1 0 1の位相誤差の絶対値の最大値よりも小さい。したがって、位相特性に関しては、カプラ1 0 1よりもカプラ1 0 2の方が優れている。

[0060] 図1 4は、本開示の実施の形態の変形例に係るカプラの振幅特性のシミュレーション結果を示す図である。図1 4における実線は、カプラ1 0 1の振幅特性を示している。図1 4における破線は、カプラ1 0 2の振幅特性を示している。図1 4において、横軸は入力信号S 1の周波数[G H z]であり、縦軸は振幅誤差[d B]である。振幅誤差は、結合度と挿入損失との差分の絶対値である。振幅誤差は、ゼロd Bであることが好ましい。

[0061] 図1 4を参照して、2 4 G H zから3 2 G H zの周波数帯域において、カプラ1 0 2の振幅誤差は、ビアV 3, V 4における副線路4の伝送ロス等の影響により、カプラ1 0 1の振幅誤差よりも大きい。特に、2 4 G H zにおけるカプラ1 0 1の振幅誤差は、2 4 G H zにおけるカプラ1 0 2の振幅誤差よりも大幅に小さい。したがって、振幅特性に関しては、カプラ1 0 2よりもカプラ1 0 1の方が優れている。

[0062] カプラ 101, 102 の位相特性の差は、カプラ 101, 102 の振幅特性の差よりも小さい。したがって、位相特性および振幅特性を総合的に考慮すると、カプラ 102 よりもカプラ 101 の方が優れている。

[0063] (変形例 2)

図 15 は、本開示の実施の形態の変形例 2 に係るカプラの等価回路図である。図 15 を参照して、カプラ 103 は、カプラ 101 と比べて、主線路 1 の代わりに主線路 5 である主線路 5A, 5B, 5C を備え、副線路 2 の代わりに副線路 6 を備える。主線路 5 は、第 1 線路の一例である。副線路 6 は、第 2 線路の一例である。

[0064] たとえば、主線路 5 は、第 1 端が入力ポート P1 に接続され、かつ第 2 端が出力ポート P2 に接続されている。また、たとえば、副線路 6 は、第 1 端が結合ポート P3 に接続され、かつ第 2 端がアイソレーションポート P4 に接続されている。

[0065] 図 16 から図 18 は、本開示の実施の形態の変形例 2 に係るカプラの構成を概略的に示す図である。図 16 は、カプラ 103 の平面図である。図 17 は、図 16 における X-V I I -X V I I 線矢視断面図である。図 18 は、カプラ 103 における層構成を示す平面図である。図 16 における実線は、主線路 5A を示している。図 16 における破線は、副線路 6 を示している。

[0066] 図 16 から図 18 を参照して、副線路 6 は導電体層 Lc2 に形成されている一方で、主線路 5A, 5C は、導電体層 Lc2 を間に挟む導電体層 Lc1, Lc3 にそれぞれ形成されている。また、主線路 5B は、導電体層 Lc2 に形成されている。導電体層 Lc2 において、副線路 6 および主線路 5B が形成されていない領域には、樹脂 Rs2 が設けられている。導電体層 Lc3 において、主線路 5C が形成されていない領域には、樹脂 Rs3 が設けられている。

[0067] たとえば、主線路 5 および副線路 6 は、マイクロストリップラインを構成する。主線路 5 の幅 W5 は、副線路 6 の幅 W6 よりも小さい。たとえば、主線路 5A, 5B, 5C からなる線路の特性インピーダンス、および副線路 6

の特性インピーダンスは、 50Ω である。

[0068] 主線路5Aは、直線状の結合部分51Aと、結合部分51Aの第1端から伸びる配線部分52Aと、結合部分51Aの第2端から伸びる配線部分53Aとを含む。主線路5Bは、直線状の結合部分51Bと、結合部分51Bの第1端から伸びる配線部分52Bと、結合部分51Bの第2端から伸びる配線部分53Bとを含む。主線路5Cは、直線状の結合部分51Cと、結合部分51Cの第1端から伸びる配線部分52Cと、結合部分51Cの第2端から伸びる配線部分53Cとを含む。たとえば、結合部分51A、51B、51Cの長さ L_3 は、入力信号S1の波長を λ とした場合、 $\lambda/4$ である。

[0069] 主線路5A、5B、5Cは、ビアV5、V6を介して電氣的に接続されている。より詳細には、主線路5A、5B、5Cにおける配線部分52A、52B、52Cは、ビアV5を介して接続されている。また、主線路5A、5B、5Cにおける配線部分53A、53B、53Cは、ビアV6を介して接続されている。

[0070] 主線路5および副線路6は、導電体層Lcの積層方向において少なくとも一部が重なっている。より詳細には、主線路5A、5Cにおける結合部分51A、51Cは、副線路6と平行であり、かつ平面視において副線路6に重なっている。また、主線路5Bにおける結合部分51Bは、副線路6と平行である。結合部分51Bと副線路6との間隔は、可能な限り小さいことが好ましい。

[0071] (変形例3)

図19は、本開示の実施の形態の変形例3に係るカプラの等価回路図である。図19を参照して、カプラ104は、カプラ101と比べて、副線路2の代わりに副線路8である副線路8A、8Bを備える。副線路8は、第2線路の一例である。

[0072] たとえば、副線路8A、8Bは、第1端が結合ポートP3に接続され、かつ第2端がアイソレーションポートP4に接続されている。

[0073] 図20から図22は、本開示の実施の形態の変形例3に係るカプラの構成

を概略的に示す図である。図20は、カプラ104の平面図である。図21は、図20におけるXXI-XXI線矢視断面図である。図22は、カプラ104における層構成を示す平面図である。図20における実線は、主線路1Aを示している。図20における破線は、副線路8Aを示している。

[0074] カプラ104は、カプラ101と比べて、導電体層Lcである導電体層Lc5、および誘電体層Ld4をさらに備える。

[0075] 導電体層Lc1, Lc2, Lc3, Lc5, Lc4は、誘電体層Ld1, Ld2, Ld3, Ld4を介してこの順に積層される。より詳細には、導電体層Lc4は、誘電体層Ld3の2つの主表面のうちの第1の面に形成される。導電体層Lc5は、誘電体層Ld3の2つの主表面のうちの第2の面に形成される。導電体層Lc3は、導電体層Lc5の上に形成された誘電体層Ld4の2つの主表面のうちの、導電体層Lc5側の面とは反対側の面に形成される。導電体層Lc2は、導電体層Lc3の上に形成された誘電体層Ld2の2つの主表面のうちの、導電体層Lc3側の面とは反対側の面に形成される。導電体層Lc1は、導電体層Lc2の上に形成された誘電体層Ld1の2つの主表面のうちの、導電体層Lc2側の面とは反対側の面に形成される。

[0076] たとえば、誘電体層Ld4は、厚みが100 μ mであり、比誘電率が3.2であり、かつ誘電正接が0.004である。

[0077] 主線路1および副線路8は、互いに異なる導電体層Lcに形成されている。より詳細には、副線路8A, 8Bは導電体層Lc2, Lc5にそれぞれ形成されている一方で、主線路1A, 1Bは、導電体層Lc1, Lc3にそれぞれ形成されている。導電体層Lc2において、副線路8Aが形成されていない領域には、樹脂Rs2が設けられている。導電体層Lc3において、主線路1Bが形成されていない領域には、樹脂Rs3が設けられている。樹脂Rs3は、誘電体層Ld2, Ld4を貼り合わせる接着剤として機能する。導電体層Lc5において、副線路8Bが形成されていない領域には、誘電体の樹脂Rs5が設けられている。樹脂Rs5は、誘電体層Ld4, Ld3を

貼り合わせる接着剤として機能する。

[0078] たとえば、主線路 1 および副線路 8 は、マイクロストリップラインを構成する。主線路 1 および副線路 8 の幅 W_8 は、たとえば $200\ \mu\text{m}$ である。たとえば、主線路 1 A, 1 B からなる線路の特性インピーダンス、および副線路 8 A, 8 B からなる線路の特性インピーダンスは、 $50\ \Omega$ である。

[0079] 副線路 8 A は、直線状の結合部分 8 1 A と、結合部分 8 1 A の第 1 端から伸びる配線部分 8 2 A と、結合部分 8 1 A の第 2 端から伸びる配線部分 8 3 A とを含む。副線路 8 B は、直線状の結合部分 8 1 B と、結合部分 8 1 B の第 1 端から伸びる配線部分 8 2 B と、結合部分 8 1 B の第 2 端から伸びる配線部分 8 3 B とを含む。たとえば、結合部分 1 1 A, 1 1 B, 8 1 A, 8 1 B の長さ L_4 は、入力信号 S_1 の波長を λ とした場合、 $\lambda/4$ である。

[0080] 副線路 8 A, 8 B は、ビア V_9 , V_{10} を介して電氣的に接続されている。より詳細には、副線路 8 A, 8 B における配線部分 8 2 A, 8 2 B は、ビア V_9 を介して接続されている。また、副線路 8 A, 8 B における配線部分 8 3 A, 8 3 B は、ビア V_{10} を介して接続されている。

[0081] 主線路 1 および副線路 8 は、導電体層 L_c の積層方向において少なくとも一部が重なっている。より詳細には、主線路 1 A, 1 B における結合部分 1 1 A, 1 1 B は、副線路 8 A, 8 B における結合部分 8 1 A, 8 1 B と平行であり、かつ平面視において結合部分 8 1 A, 8 1 B に重なっている。

[0082] たとえば、主線路 1 および副線路 8 は、導電体層 L_c の積層方向において交差している。より詳細には、導電体層 L_c の積層方向において、主線路 1 の第 1 端および第 2 端を結ぶ仮想線と、副線路 8 の第 1 端および第 2 端を結ぶ仮想線とは、互いに交差している。また、ビア V_1 , V_2 を結ぶ仮想線と、副線路 8 とは、互いに交差している。また、ビア V_9 , V_{10} を結ぶ仮想線と、主線路 1 とは、互いに交差している。

[0083] カプラ 104 は、主線路 1 が 2 つの導電体層 L_c に亘って形成され、副線路 8 が 2 つの導電体層 L_c に亘って形成される構成であるとしたが、これに限定するものではない。カプラ 104 は、主線路 1 が 3 つ以上の導電体層 L_c

cに亘って形成される構成であってもよいし、副線路8が3つ以上の導電体層Lcに亘って形成される構成であってもよい。具体的には、たとえば、カプラ104は、主線路1である主線路1Cをさらに備える。主線路1Cは、副線路8Bが形成される導電体層Lc5よりも下の導電体層Lcに形成される。また、たとえば、カプラ104は、副線路8である副線路8Cをさらに備える。副線路8Cは、主線路1Cが形成される導電体層Lcよりも下の導電体層Lcに形成される。

[0084] <送受信装置>

図23は、本開示の実施の形態に係る送受信装置の構成を示す図である。図23を参照して、送受信装置401は、信号入出力部111と、スイッチ121と、送受信回路301と、アンテナ221であるアンテナ221A、221B、221C、221Dとを備える。送受信装置401は、送信装置の一例である。アンテナ221A、221B、221C、221Dは、それぞれ、第1アンテナ、第2アンテナ、第3アンテナおよび第4アンテナの一例である。送受信装置401は、20GHz以上の周波数帯域のRF(Radio Frequency)信号のビームフォーミングに用いられる。

[0085] 送受信回路301は、バトラーマトリクス回路201と、双方向のアンプ211であるアンプ211A、211B、211C、211Dとを備える。送受信回路301は、送信回路の一例である。アンプ211A、211B、211C、211Dは、それぞれ、第1アンプ、第2アンプ、第3アンプおよび第4アンプの一例である。送受信回路301は、20GHz以上の周波数帯域のRF信号の送受信に用いられる。

[0086] 信号入出力部111、スイッチ121およびアンプ211は、基板251に搭載されている。バトラーマトリクス回路201は、基板251上にパターン形成されている。たとえば、アンテナ221は、基板251と一体化されている。アンテナ221は、基板251に接続されてもよいし、基板251上にパターン形成されてもよい。

[0087] アンテナ221の形状は、たとえば矩形状である。アンテナ221の長さ

は、送受信回路301により送受信されるRF信号の波長を λ_{rf} としたとき、 $(0.15 \times \lambda_{rf})$ 以上であり、かつ $(0.7 \times \lambda_{rf})$ 以下である。4つのアンテナ221は、アンテナ221が配置される平面上に1列に配置されてもよいし、当該平面上に2行2列に配置されてもよい。各アンテナ221の間隔は、 $(0.5 \times \lambda_{rf})$ 以上であり、かつ λ_{rf} 以下の等間隔である。

[0088] バトラーマトリクス回路201は、複数のカプラ101と、移相器151A、151Bとを備える。たとえば、バトラーマトリクス回路201は、カプラ101であるカプラ101A、101B、101C、101Dを備える。カプラ101A、101B、101C、101Dは、それぞれ、第1のカプラ、第2のカプラ、第3のカプラおよび第4のカプラの一例である。バトラーマトリクス回路201は、伝送線路で実現されるパッシブ回路であるため、アクティブ移相器と比べて低コストである。

[0089] カプラ101Aの入力ポートP1およびアイソレーションポートP4は、スイッチ121におけるノードNB1、NB2にそれぞれ接続されている。カプラ101Bの入力ポートP1およびアイソレーションポートP4は、スイッチ121におけるノードNB3、NB4にそれぞれ接続されている。以下、ノードNB1、NB2、NB3、NB4の各々をノードNBとも称する。

[0090] 信号入出力部111は、スイッチ121におけるノードNAに接続されている。スイッチ121は、単極4投スイッチである。スイッチ121は、図示しない制御部から制御信号を受けて、受けた制御信号に従って、ノードNAを4つのノードNBのうちのいずれか1つのノードNBに接続する。

[0091] カプラ101Aの結合ポートP3は、移相器151Aを介してカプラ101Cの入力ポートP1に接続されている。カプラ101Aの出力ポートP2は、カプラ101Dの入力ポートP1に接続されている。カプラ101Bの結合ポートP3は、カプラ101CのアイソレーションポートP4に接続されている。カプラ101Bの出力ポートP2は、移相器151Bを介してカ

プラ１０１ＤのアイソレーションポートＰ４に接続されている。移相器１５１Ａ、１５１Ｂは、入力信号を受けて、受けた入力信号に対する位相差が -45° である出力信号を出力する。

[0092] カプラ１０１Ｃの結合ポートＰ３および出力ポートＰ２は、アンプ２１１Ａ、２１１Ｂにそれぞれ接続されている。カプラ１０１Ｄの結合ポートＰ３および出力ポートＰ２は、アンプ２１１Ｃ、２１１Ｄにそれぞれ接続されている。

[0093] アンプ２１１Ａ、２１１Ｂ、２１１Ｃ、２１１Ｄは、アンテナ２２１Ａ、２２１Ｂ、２２１Ｃ、２２１Ｄにそれぞれ接続されている。たとえば、アンプ２１１は、ＧａＮ（窒化ガリウム）トランジスタを用いて構成されるＧａＮデバイスである。増幅器としてＧａＮデバイスを用いる構成により、より高い電力でＲＦ信号を送信することができる。

[0094] 一般的に、アクティブ移相器はＳｉトランジスタを用いて構成されるため、ＧａＮデバイスを用いたアンプ２１１と同一の半導体ＩＣおよび表面実装パッケージ内に集積することができず、コストが高くなるという課題が生じる。これに対して、送受信回路３０１は、アクティブ移相器の代わりにパッシブ回路であるバトラーマトリクス回路２０１を備える構成により、アクティブ移相器を備える構成と比べて低コストに、移相器と増幅器とを基板２５１上に集積することができる。

[0095] （ＲＦ信号の送信）

信号入出力部１１１は、図示しない信号処理部からアナログ信号を受けて、受けたアナログ信号に基づくＲＦ信号Ｓｄをスイッチ１２１経由でバトラーマトリクス回路２０１へ出力する。

[0096] バトラーマトリクス回路２０１は、スイッチ１２１経由で信号入出力部１１１からＲＦ信号Ｓｄを受けて、受けたＲＦ信号Ｓｄに基づくＲＦ信号ＳｏｕｔであるＲＦ信号Ｓｏｕｔ１、Ｓｏｕｔ２、Ｓｏｕｔ３、Ｓｏｕｔ４を、アンプ２１１Ａ、２１１Ｂ、２１１Ｃ、２１１Ｄへそれぞれ出力する。より詳細には、カプラ１０１Ｃは、ＲＦ信号Ｓｏｕｔ１を結合ポートＰ３経由で

アンプ211Aへ出力する。また、カプラ101Cは、RF信号Sout2を出力ポートP2経由でアンプ211Bへ出力する。また、カプラ101Dは、RF信号Sout3を結合ポートP3経由でアンプ211Cへ出力する。また、カプラ101Dは、RF信号Sout4を出力ポートP2経由でアンプ211Dへ出力する。

[0097] アンプ211Aは、カプラ101Cの結合ポートP3から出力される信号を増幅する。より詳細には、アンプ211Aは、カプラ101Cの結合ポートP3からRF信号Sout1を受けて、受けたRF信号Sout1を増幅してアンテナ221Aへ出力する。

[0098] アンプ211Bは、カプラ101Cの出力ポートP2から出力される信号を増幅する。より詳細には、アンプ211Bは、カプラ101Cの出力ポートP2からRF信号Sout2を受けて、受けたRF信号Sout2を増幅してアンテナ221Bへ出力する。

[0099] アンプ211Cは、カプラ101Dの結合ポートP3から出力される信号を増幅する。より詳細には、アンプ211Cは、カプラ101Dの結合ポートP3からRF信号Sout3を受けて、受けたRF信号Sout3を増幅してアンテナ221Cへ出力する。

[0100] アンプ211Dは、カプラ101Dの出力ポートP2から出力される信号を増幅する。より詳細には、アンプ211Dは、カプラ101Dの出力ポートP2からRF信号Sout4を受けて、受けたRF信号Sout4を増幅してアンテナ221Dへ出力する。

[0101] アンテナ221Aは、アンプ211Aにより増幅された信号を送信する。より詳細には、アンテナ221Aは、アンプ211Aから受けたRF信号Sout1を無線送信する。

[0102] アンテナ221Bは、アンプ211Bにより増幅された信号を送信する。より詳細には、アンテナ221Bは、アンプ211Bから受けたRF信号Sout2を無線送信する。

[0103] アンテナ221Cは、アンプ211Cにより増幅された信号を送信する。

より詳細には、アンテナ 221C は、アンプ 211C から受けた RF 信号 S_{out3} を無線送信する。

[0104] アンテナ 221D は、アンプ 211D により増幅された信号を送信する。
より詳細には、アンテナ 221D は、アンプ 211D から受けた RF 信号 S_{out4} を無線送信する。

[0105] 図 24 は、本開示の実施の形態に係る送受信装置により送信される RF 信号のビーム方向の一例を示す図である。図 24 は、スイッチ 121 においてノード NA に接続されるノード NB と、所定の位相に対する RF 信号 S_{out} の位相差 θ_1 と、RF 信号 S_{out} 間の位相差 θ_2 と、アンテナ 221 により送信される RF 信号 S_{out} のビーム方向との対応関係を示している。
ビーム方向は、所定の方向を基準とする RF 信号 S_{out} の送信方向である。

[0106] 図 24 を参照して、スイッチ 121 においてノード NA にノード NB1 が接続された場合、位相差 θ_1 が -45° の RF 信号 S_{out1} 、位相差 θ_1 が -90° の RF 信号 S_{out2} 、位相差 θ_1 が -135° の RF 信号 S_{out3} および位相差 θ_1 が -180° の RF 信号 S_{out4} がバトラーマトリクス回路 201 から各アンプ 211 へ出力される。この場合、位相差 θ_2 は -45° であり、アンテナ 221 により送信される RF 信号 S_{out} のビーム方向は、 15° である。

[0107] また、スイッチ 121 においてノード NA にノード NB2 が接続された場合、位相差 θ_1 が -135° の RF 信号 S_{out1} 、位相差 θ_1 が 0° の RF 信号 S_{out2} 、位相差 θ_1 が 135° の RF 信号 S_{out3} および位相差 θ_1 が -90° の RF 信号 S_{out4} がバトラーマトリクス回路 201 から各アンプ 211 へ出力される。この場合、位相差 θ_2 は $+135^\circ$ であり、アンテナ 221 により送信される RF 信号 S_{out} のビーム方向は、 -50° である。

[0108] また、スイッチ 121 においてノード NA にノード NB3 が接続された場合、位相差 θ_1 が -90° の RF 信号 S_{out1} 、位相差 θ_1 が 135° の

RF信号Sout2、位相差 θ_1 がゼロ°のRF信号Sout3および位相差 θ_1 が -135° のRF信号Sout4がバトラーマトリクス回路201から各アンプ211へ出力される。この場合、位相差 θ_2 は -135° であり、アンテナ221により送信されるRF信号Soutのビーム方向は、 50° である。

[0109] また、スイッチ121においてノードNAにノードNB4が接続された場合、位相差 θ_1 が -180° のRF信号Sout1、位相差 θ_1 が -135° のRF信号Sout2、位相差 θ_1 が -90° のRF信号Sout3および位相差 θ_1 が -45° のRF信号Sout4がバトラーマトリクス回路201から各アンプ211へ出力される。この場合、位相差 θ_2 は $+45^\circ$ であり、アンテナ221により送信されるRF信号Soutのビーム方向は、 -15° である。

[0110] (RF信号の受信)

アンテナ221は、RF信号Sinを受信し、受信したRF信号Sinを対応のアンプ211へ出力する。より詳細には、アンテナ221Aは、RF信号SinであるRF信号Sin1を受信してアンプ211Aへ出力する。また、アンテナ221Bは、RF信号SinであるRF信号Sin2を受信してアンプ211Bへ出力する。また、アンテナ221Cは、RF信号SinであるRF信号Sin3を受信してアンプ211Cへ出力する。また、アンテナ221Dは、RF信号SinであるRF信号Sin4を受信してアンプ211Dへ出力する。

[0111] アンプ211Aは、アンテナ221AからRF信号Sin1を受けて、受けたRF信号Sin1を増幅してカプラ101Cの結合ポートP3へ出力する。また、アンプ211Bは、アンテナ221BからRF信号Sin2を受けて、受けたRF信号Sin2を増幅してカプラ101Cの出力ポートP2へ出力する。また、アンプ211Cは、アンテナ221CからRF信号Sin3を受けて、受けたRF信号Sin3を増幅してカプラ101Dの結合ポートP3へ出力する。また、アンプ211Dは、アンテナ221DからRF

信号 S_{in4} を受けて、受けた RF 信号 S_{in4} を増幅してカプラ 101D の出力ポート P2 へ出力する。

[0112] バトラーマトリクス回路 201 は、各アンプ 211 から RF 信号 S_{in} を受けて、受けた RF 信号 S_{in} に基づく RF 信号 S_u をスイッチ 121 経由で信号入出力部 111 へ出力する。信号入出力部 111 は、バトラーマトリクス回路 201 から受けた RF 信号 S_u に基づくアナログ信号を、図示しない信号処理部へ出力する。

[0113] より詳細には、カプラ 101A は、スイッチ 121 におけるノード NB1 がノード NA に接続されている状態において、各アンテナ 221 において 15° のビーム方向から受信されて各アンプ 211 において増幅された RF 信号 S_{in} に基づく RF 信号 S_u を、入力ポート P1 およびスイッチ 121 経由で信号入出力部 111 へ出力する。

[0114] また、カプラ 101A は、スイッチ 121 におけるノード NB2 がノード NA に接続されている状態において、各アンテナ 221 において -50° のビーム方向から受信されて各アンプ 211 において増幅された RF 信号 S_{in} に基づく RF 信号 S_u を、アイソレーションポート P4 およびスイッチ 121 経由で信号入出力部 111 へ出力する。

[0115] また、カプラ 101B は、スイッチ 121 におけるノード NB3 がノード NA に接続されている状態において、各アンテナ 221 において 50° のビーム方向から受信されて各アンプ 211 において増幅された RF 信号 S_{in} に基づく RF 信号 S_u を、入力ポート P1 およびスイッチ 121 経由で信号入出力部 111 へ出力する。

[0116] また、カプラ 101B は、スイッチ 121 におけるノード NB4 がノード NA に接続されている状態において、各アンテナ 221 において -15° のビーム方向から受信されて各アンプ 211 において増幅された RF 信号 S_{in} に基づく RF 信号 S_u を、アイソレーションポート P4 およびスイッチ 121 経由で信号入出力部 111 へ出力する。

[0117] なお、本開示の実施の形態に係るカプラ 101 は、バトラーマトリクス回

路 201 以外の電子部品として、ドハティアンプに用いられてもよい。

[0118] また、本開示の実施の形態に係る送受信装置 401 では、送受信回路 301 は、双方向のアンプ 211 を備える構成であるとしたが、これに限定するものではない。送受信回路 301 は、送受信装置 401 が時分割複信 (Time Division Duplex) を行う場合、アンプ 211 の代わりに、時分割で動作する、送信用の片方向アンプおよび受信用の片方向アンプを備える構成であってもよい。

[0119] また、本開示の実施の形態に係る送受信装置 401 は、RF 信号の送受信を行う構成であるとしたが、これに限定するものではない。送受信装置 401 は、RF 信号の送信を行う一方で、RF 信号の受信を行わない構成であってもよい。この場合、送受信装置 401 は、信号入出力部 111 の代わりに、図示しない信号処理部からアナログ信号を受ける信号入力部を備える。また、送受信装置 401 は、RF 信号の受信を行う一方で、RF 信号の送信を行わない構成であってもよい。この場合、送受信装置 401 は、信号入出力部 111 の代わりに、図示しない信号処理部へアナログ信号を出力する信号出力部を備える。

[0120] また、本開示の実施の形態に係る送受信回路 301 は、RF 信号の送受信を行う構成であるとしたが、これに限定するものではない。送受信回路 301 は、RF 信号の送信を行う一方で、RF 信号の受信を行わない構成であってもよい。この場合、送受信回路 301 は、双方向のアンプ 211 の代わりに、RF 信号 Sout の増幅を行う片方向のアンプを備える。また、送受信回路 301 は、RF 信号の受信を行う一方で、RF 信号の送信を行わない構成であってもよい。この場合、送受信回路 301 は、双方向のアンプ 211 の代わりに、RF 信号 Sin の増幅を行う片方向のアンプを備える。

[0121] また、本開示の実施の形態に係る送受信回路 301 では、バトラーマトリクス回路 201 は、カプラ 101 を備える構成であるとしたが、これに限定するものではない。バトラーマトリクス回路 201 は、カプラ 101 の代わりに、カプラ 102 を備える構成であってもよいし、カプラ 103 を備える

構成であってもよいし、カプラ104を備える構成であってもよい。

[0122] 上記実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

[0123] 以上の説明は、以下に付記する特徴を含む。

[付記1]

20GHz以上の周波数帯域の信号の送信に用いられる送信回路であって、

同一の基板上に形成され、かつ複数の導電体層が積層された多層構成を有する結合線路型のカプラを複数備える、バトラーマトリクス回路と、

前記基板に搭載された複数のアンプとを備え、

前記カプラは、互いに異なる前記導電体層に形成された第1線路および第2線路を備え、前記第1線路は、前記第2線路が形成された前記導電体層の間に挟む複数の前記導電体層に亘って形成され、前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっており、

前記カプラは、入力ポート、出力ポート、結合ポートおよびアイソレーションポートを含み、

第1の前記カプラの前記結合ポートが第3の前記カプラの前記入力ポートに接続され、

第2の前記カプラの前記結合ポートが前記第3のカプラの前記アイソレーションポートに接続され、

前記第1のカプラの前記出力ポートが第4の前記カプラの前記入力ポートに接続され、

前記第2のカプラの前記出力ポートが前記第4のカプラの前記アイソレーションポートに接続され、

前記複数のアンプは、前記第3のカプラの前記結合ポートから出力される

信号を増幅する第1アンプと、前記第3のカプラの前記出力ポートから出力される信号を増幅する第2アンプと、前記第4のカプラの前記結合ポートから出力される信号を増幅する第3アンプと、前記第4のカプラの前記出力ポートから出力される信号を増幅する第4アンプとを含み、

前記複数のアンプは、GaNトランジスタを用いて構成される、送信回路。

符号の説明

- [0124] 1, 1A, 1B, 3, 5, 5A, 5B, 5C 主線路
2, 4, 4A, 4B, 6, 8, 8A, 8B 副線路
11A, 11B, 21, 31, 41A, 41B, 51A, 51B, 51C, 81A, 81B 結合部分
12A, 12B, 13A, 13B, 22, 23, 32, 33, 42A, 42B, 43A, 43B, 52A, 52B, 52C, 53A, 53B, 53C, 82A, 82B, 83A, 83B 配線部分
101, 101A, 101B, 101C, 101D, 102, 103, 104 カプラ
111 信号入出力部
121 スイッチ
151A, 151B 移相器
201 バトラーマトリクス回路
211, 211A, 211B, 211C, 211D アンプ
221, 221A, 221B, 221C, 221D アンテナ
251 基板
301 送受信回路
401 送受信装置
P1 入力ポート
P2 出力ポート
P3 結合ポート

P 4 アイソレーションポート

V 1, V 2, V 3, V 4, V 5, V 6, V 9, V 10 ビア

L c, L c 1, L c 2, L c 3, L c 4, L c 5 導電体層

L d 1, L d 2, L d 3, L d 4 誘電体層

R s 2, R s 3, R s 5 樹脂

GND グランドパターン

NA, NB, NB 1, NB 2, NB 3, NB 4 ノード

請求の範囲

- [請求項1] 複数の導電体層が積層された多層構成を有する結合線路型のカプラであって、
- 互いに異なる前記導電体層に形成された第1線路および第2線路を備え、
- 前記第1線路は、前記第2線路が形成された前記導電体層を間に挟む複数の前記導電体層に形成され、
- 前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっている、カプラ。
- [請求項2] 前記第1線路は、第1端が前記カプラにおける入力ポートに接続され、かつ第2端が前記カプラにおける出力ポートに接続され、
- 前記第2線路は、第1端が前記カプラにおける結合ポートに接続され、かつ第2端が前記カプラにおけるアイソレーションポートに接続されている、請求項1に記載のカプラ。
- [請求項3] 前記第1線路は、前記第2線路が形成された前記導電体層にさらに形成される、請求項1または請求項2に記載のカプラ。
- [請求項4] 同一の基板上に形成され、かつ複数の導電体層が積層された多層構成を有する結合線路型のカプラを複数備え、
- 前記カプラは、互いに異なる前記導電体層に形成された第1線路および第2線路を備え、前記第1線路は、前記第2線路が形成された前記導電体層を間に挟む複数の前記導電体層に亘って形成され、前記第1線路および前記第2線路は、前記導電体層の積層方向において少なくとも一部が重なっており、
- 前記カプラは、入力ポート、出力ポート、結合ポートおよびアイソレーションポートを含み、
- 第1の前記カプラの前記結合ポートが第3の前記カプラの前記入力ポートに接続され、
- 第2の前記カプラの前記結合ポートが前記第3のカプラの前記アイ

ソレーションポートに接続され、

前記第1のカプラの前記出力ポートが第4の前記カプラの前記入力ポートに接続され、

前記第2のカプラの前記出力ポートが前記第4のカプラの前記アイソレーションポートに接続されている、バトラーマトリクス回路。

[請求項5] 前記第1線路および前記第2線路は、前記導電体層の積層方向において交差している、請求項4に記載のバトラーマトリクス回路。

[請求項6] 20GHz以上の周波数帯域の信号の送信に用いられる送信回路であって、

請求項4または請求項5に記載のバトラーマトリクス回路と、

前記基板に搭載された複数のアンプとを備え、

前記複数のアンプは、前記第3のカプラの前記結合ポートから出力される信号を増幅する第1アンプと、前記第3のカプラの前記出力ポートから出力される信号を増幅する第2アンプと、前記第4のカプラの前記結合ポートから出力される信号を増幅する第3アンプと、前記第4のカプラの前記出力ポートから出力される信号を増幅する第4アンプとを含む、送信回路。

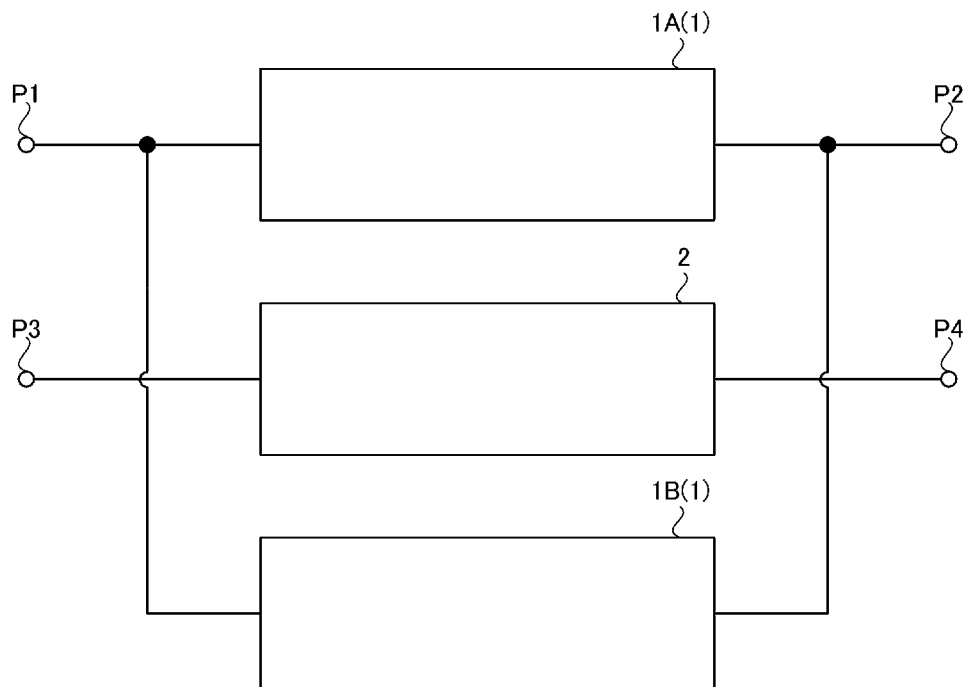
[請求項7] ビームフォーミングに用いられる送信装置であって、

請求項6に記載の送信回路と、

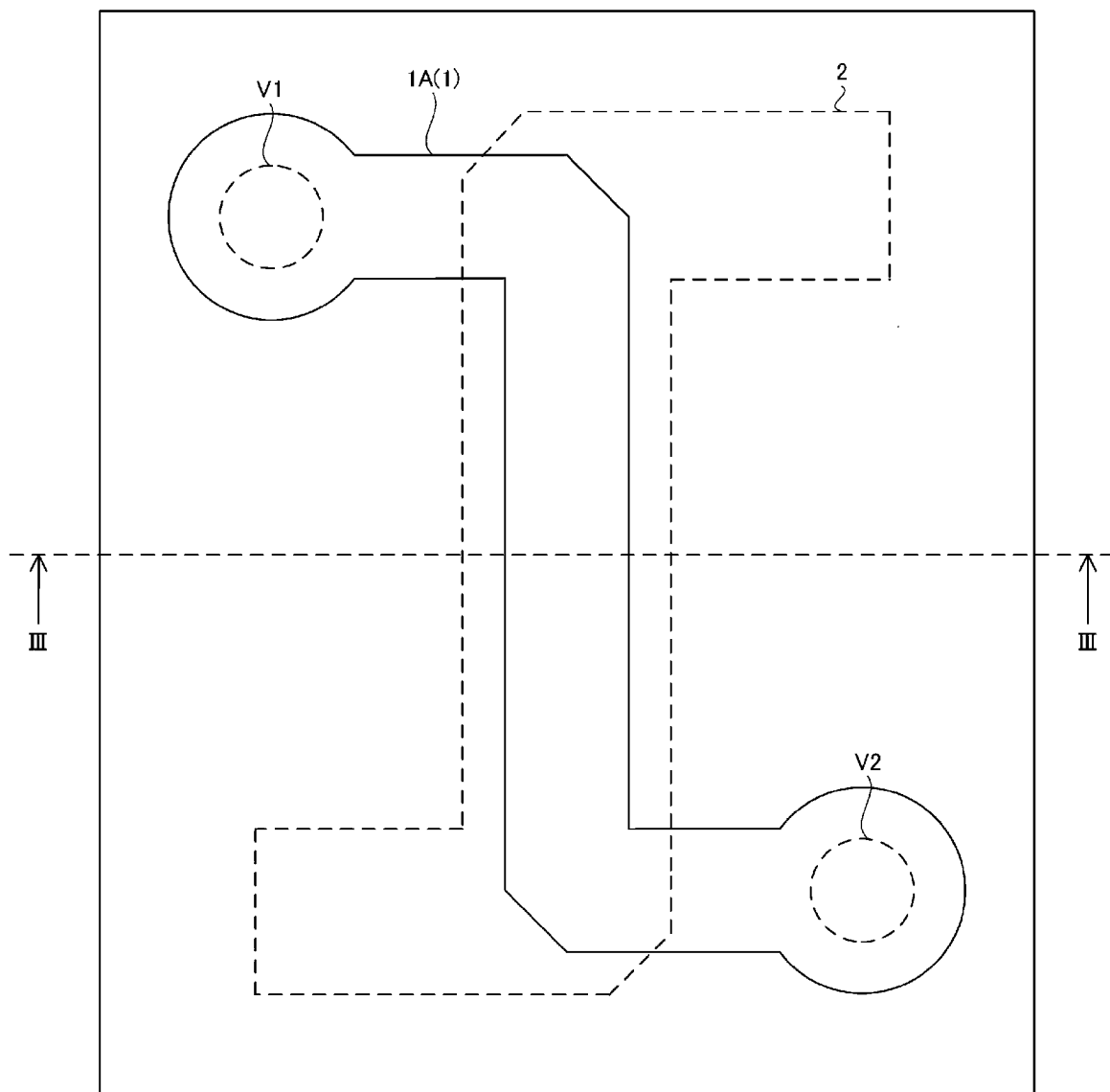
複数のアンテナとを備え、

前記複数のアンテナは、前記第1アンプにより増幅された信号を送信する第1アンテナと、前記第2アンプにより増幅された信号を送信する第2アンテナと、前記第3アンプにより増幅された信号を送信する第3アンテナと、前記第4アンプにより増幅された信号を送信する第4アンテナとを含む、送信装置。

[図1]

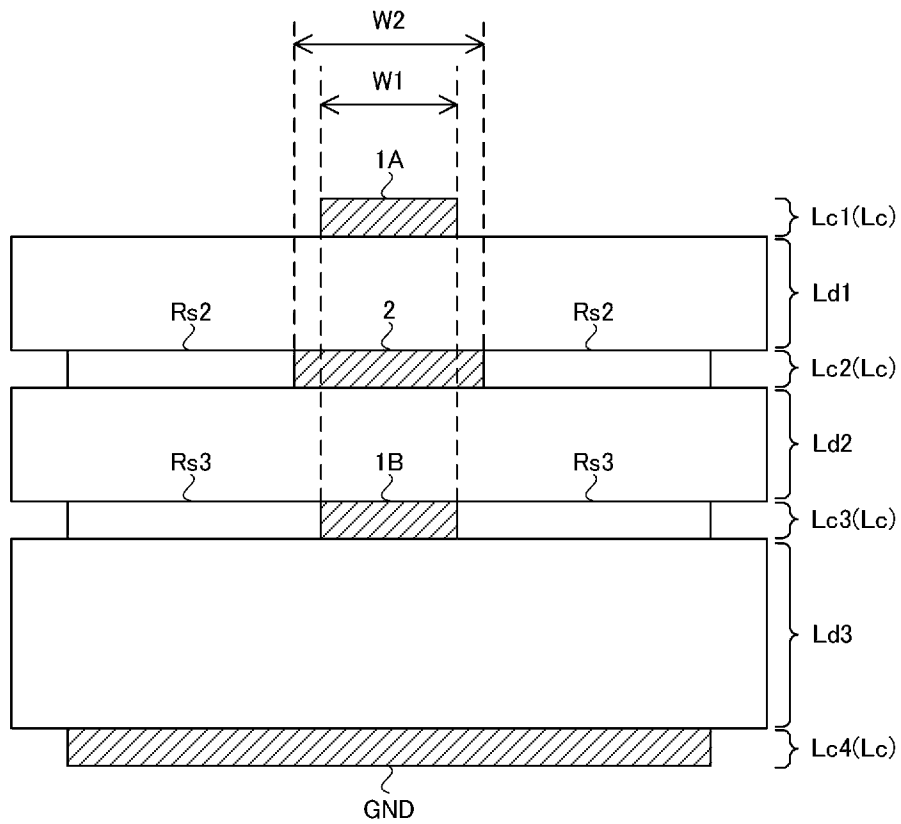
101

[図2]

101

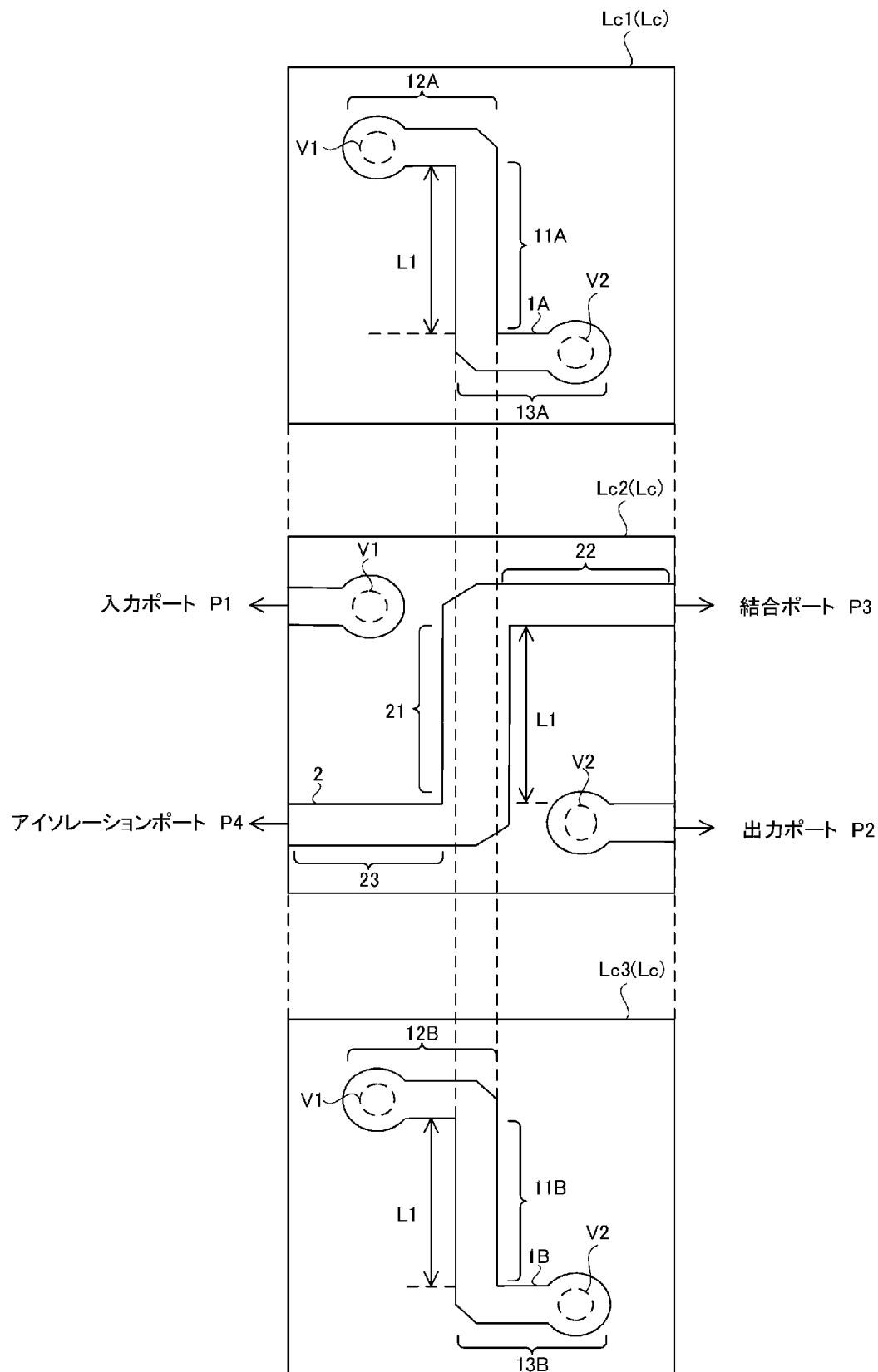
[図3]

101

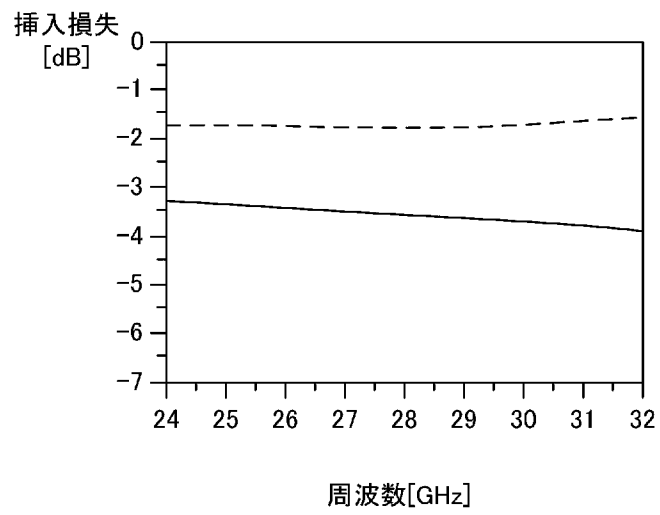


[図4]

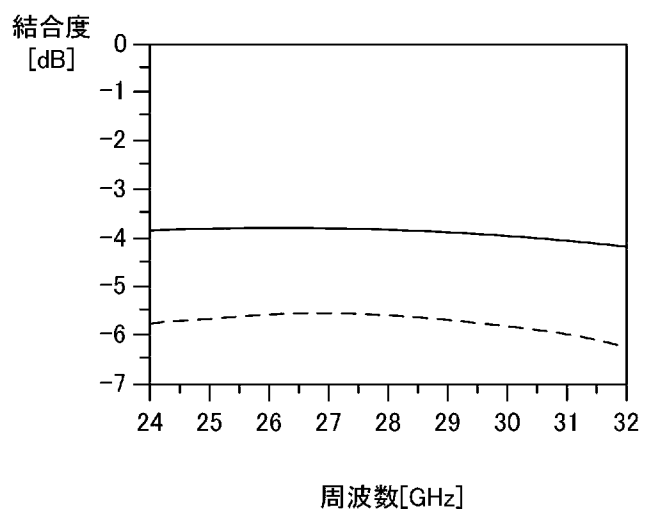
101



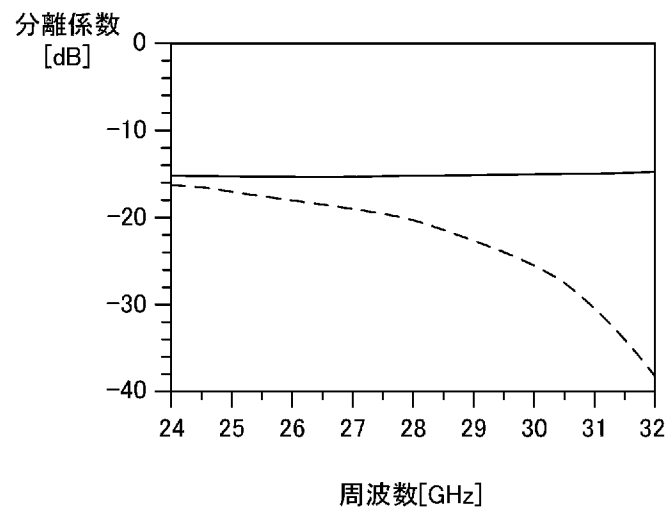
[図5]



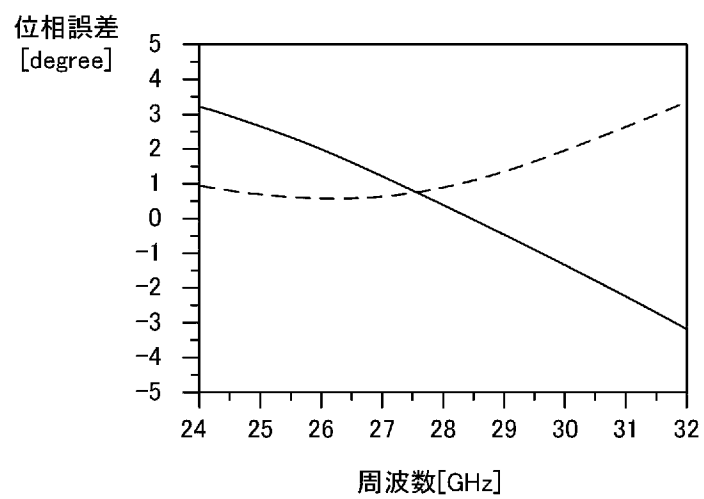
[図6]



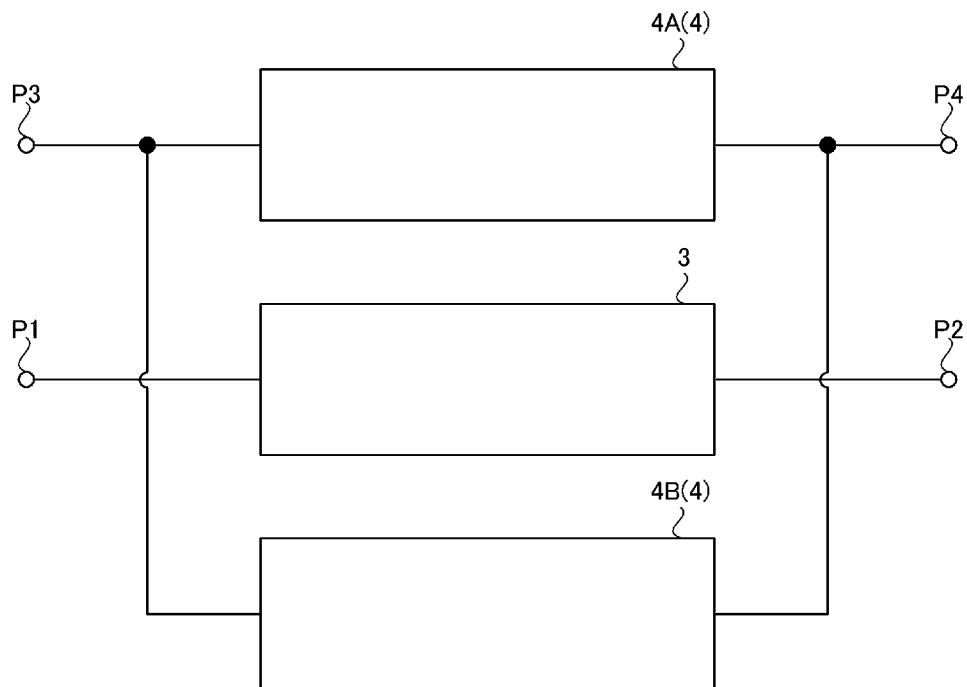
[図7]



[図8]

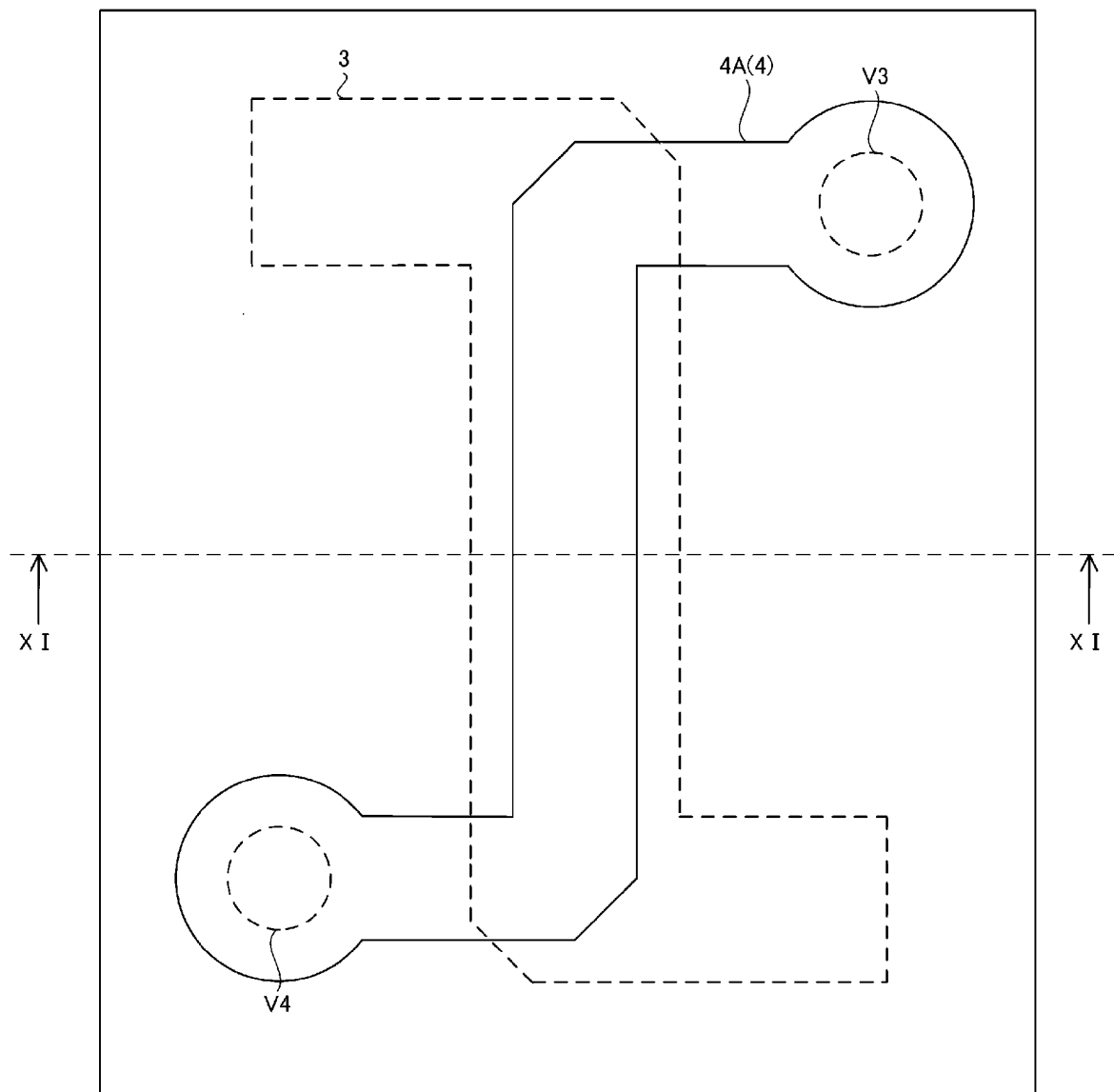


[図9]

102

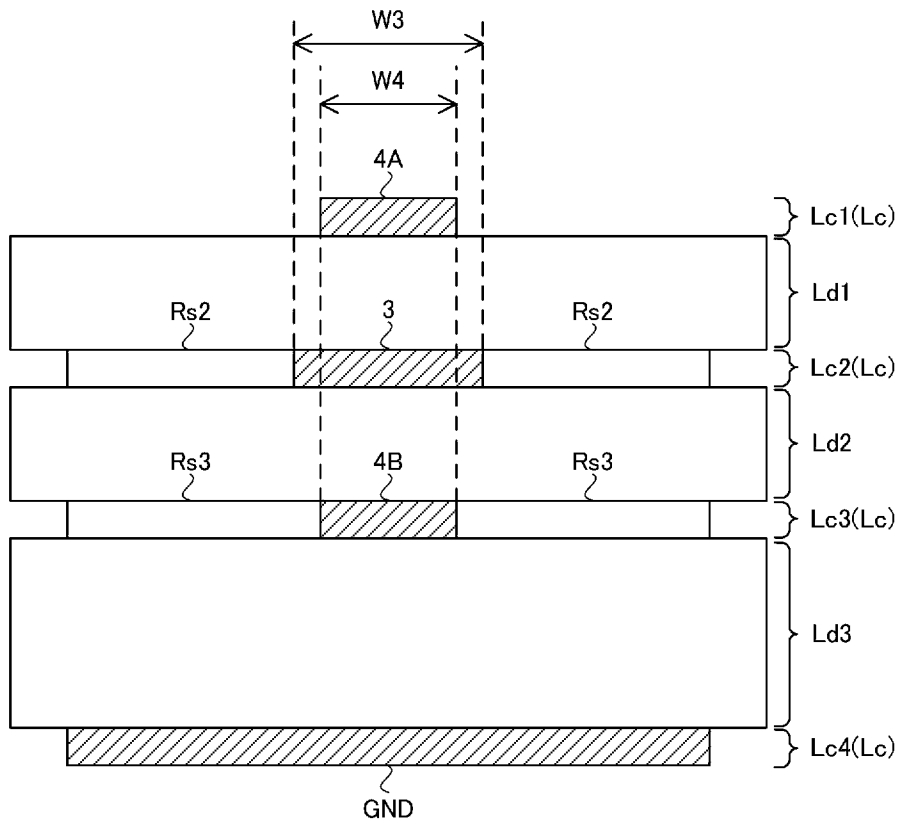
[図10]

102



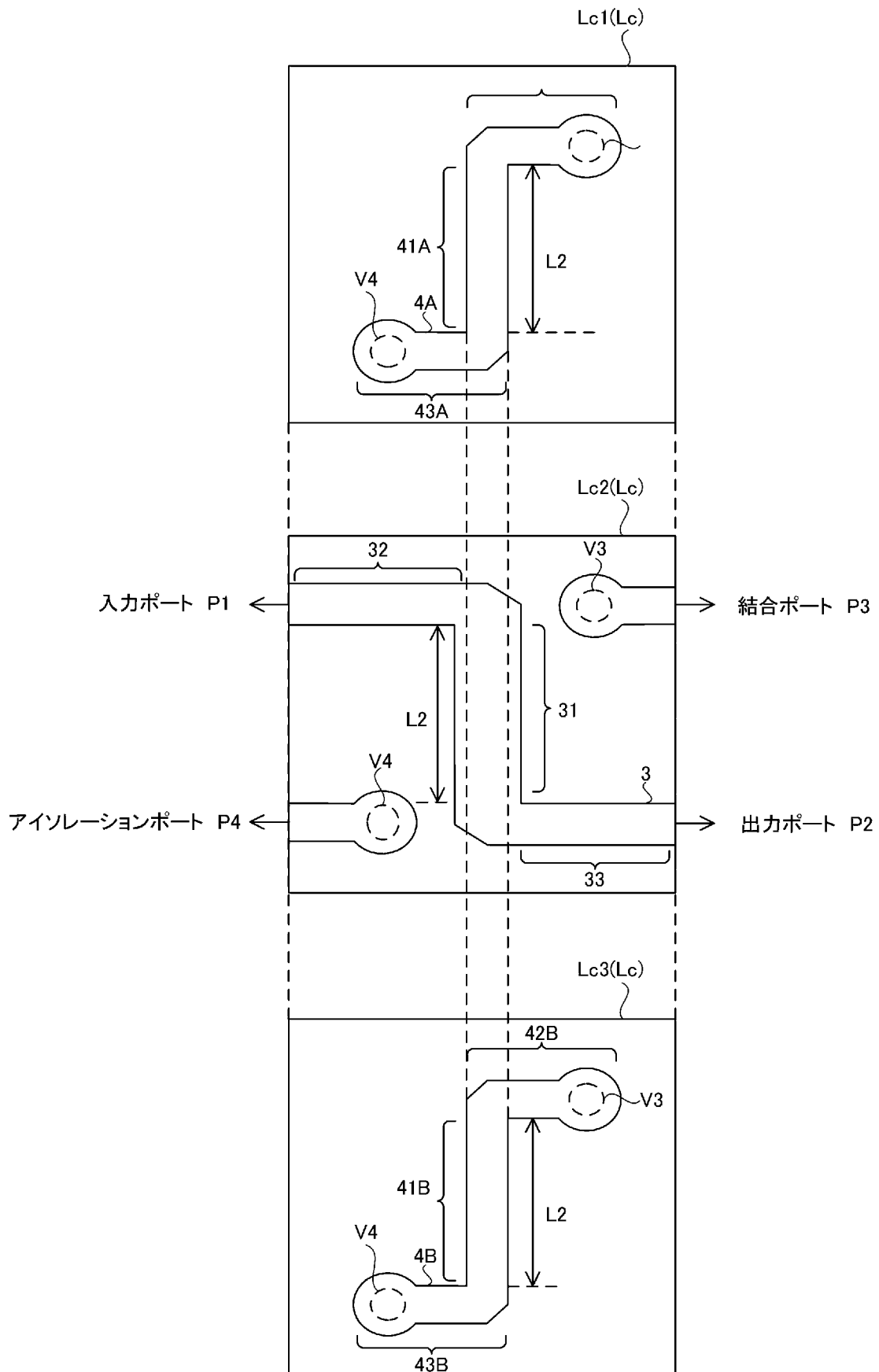
[図11]

102

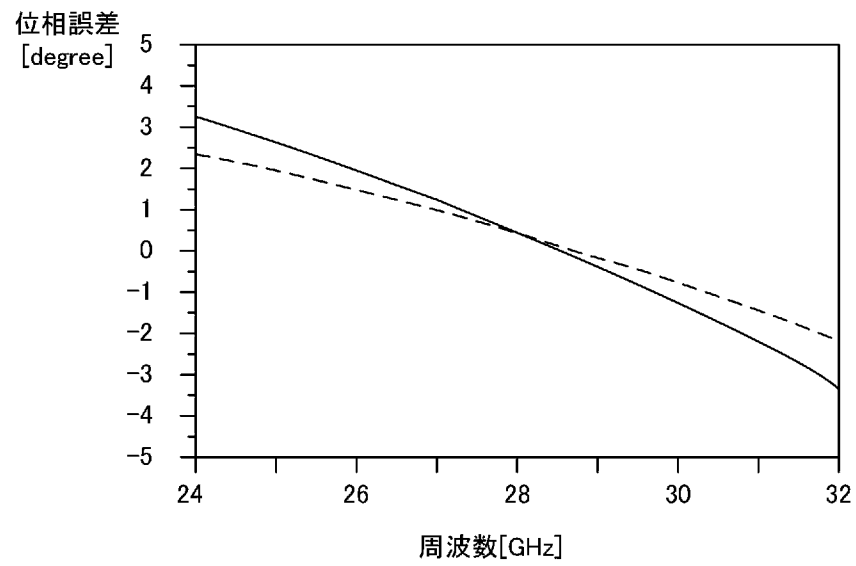


[図12]

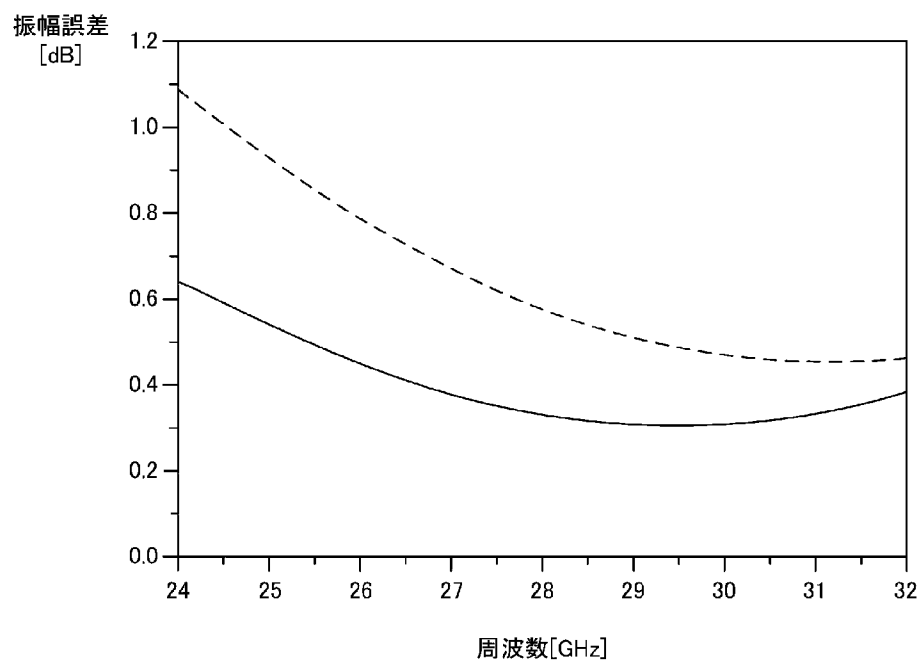
102



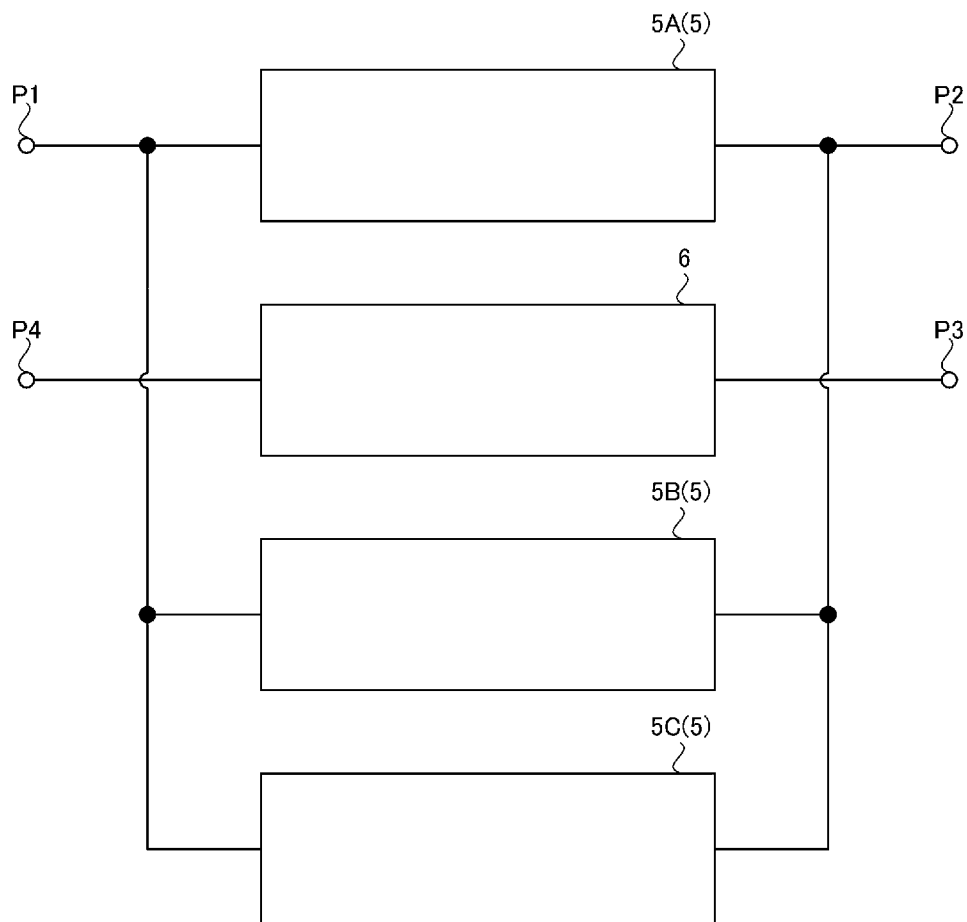
[図13]



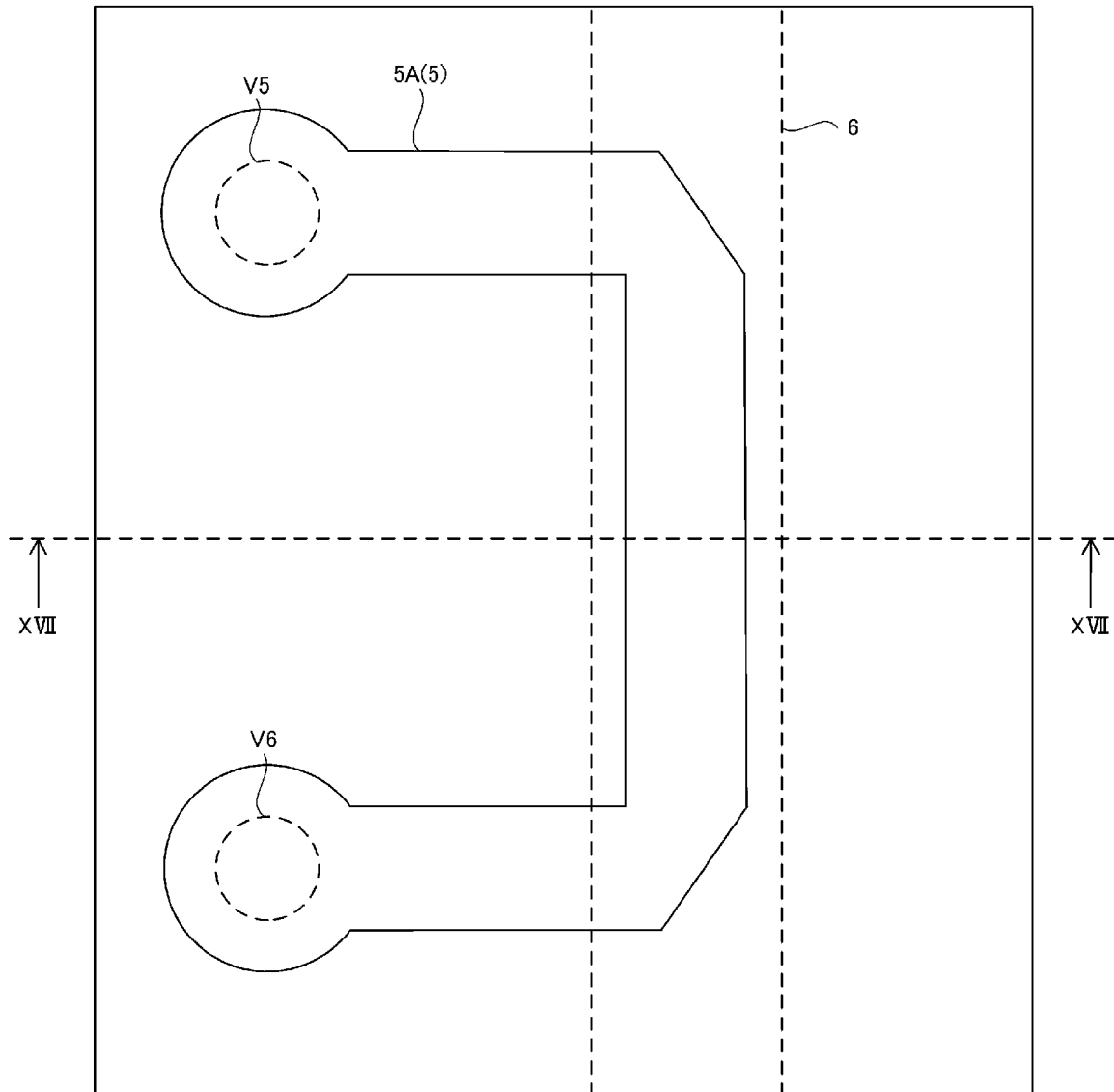
[図14]



[図15]

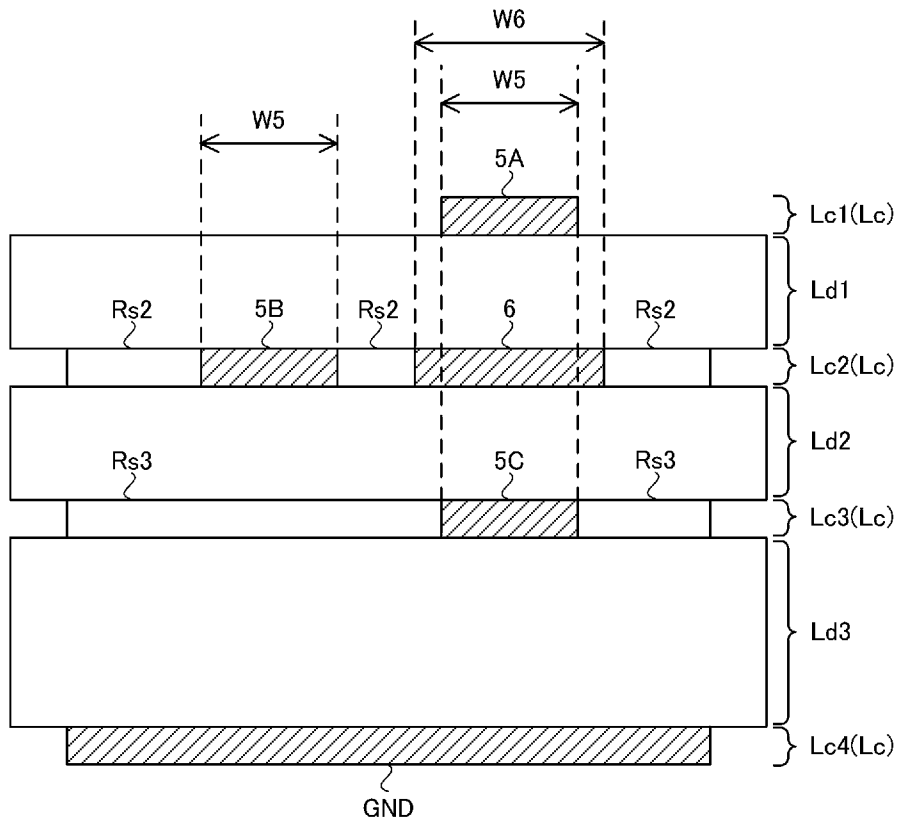
103

[図16]

103

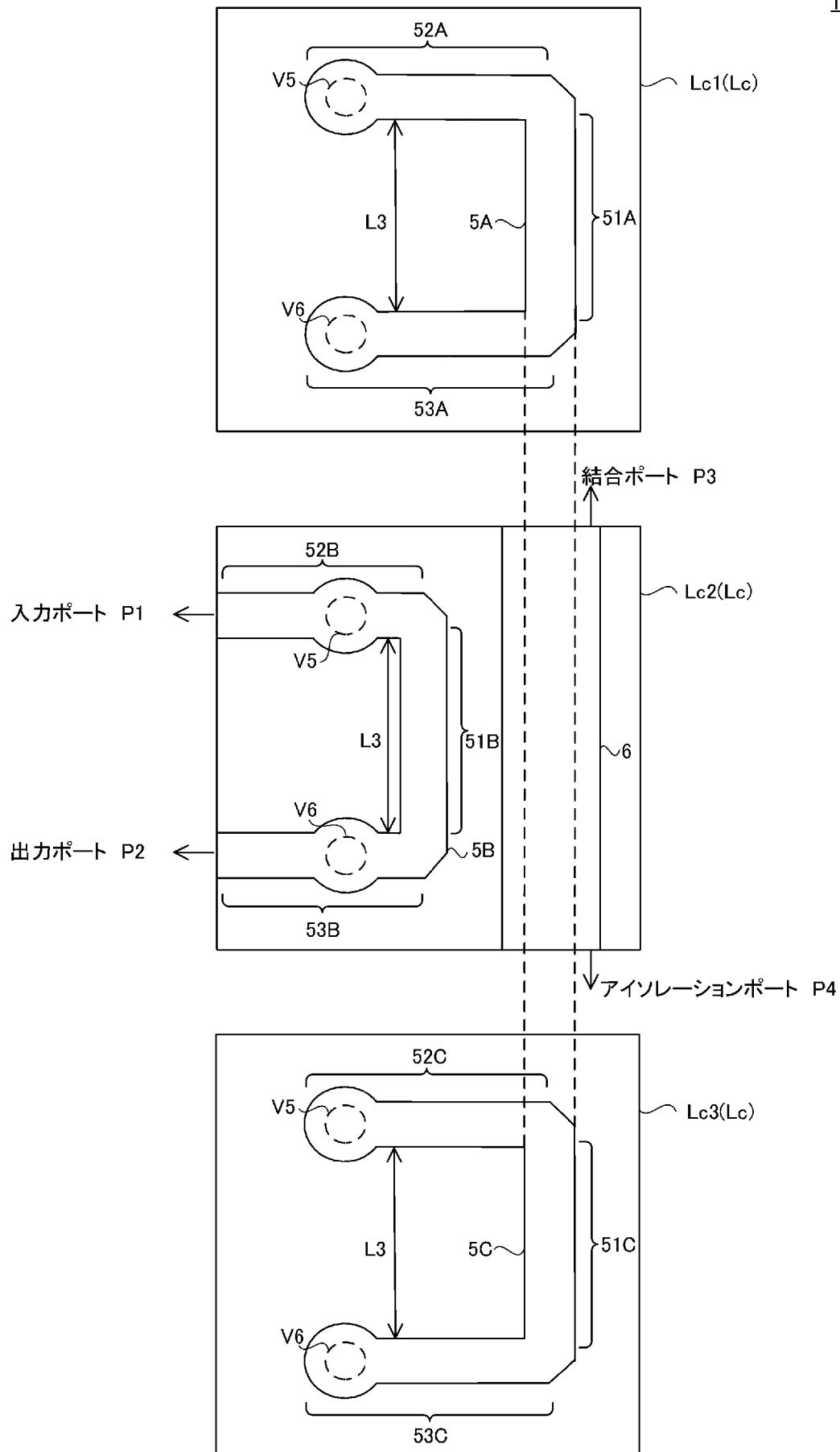
[図17]

103

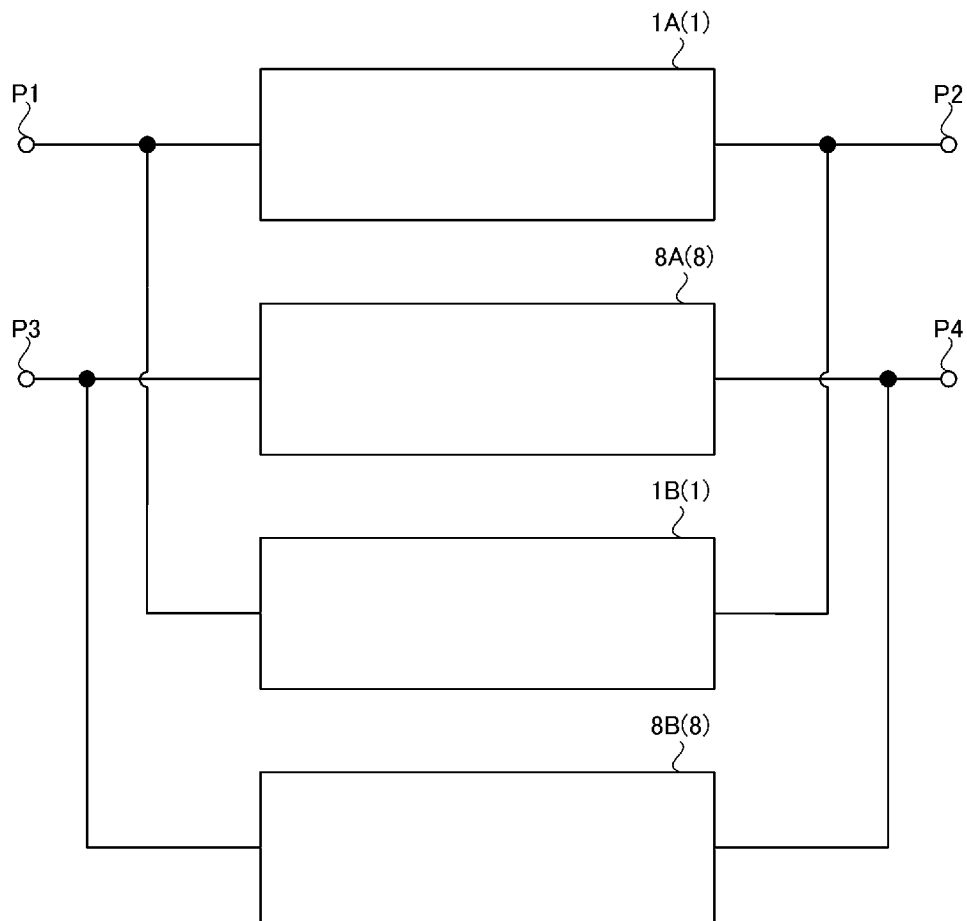


[図18]

103

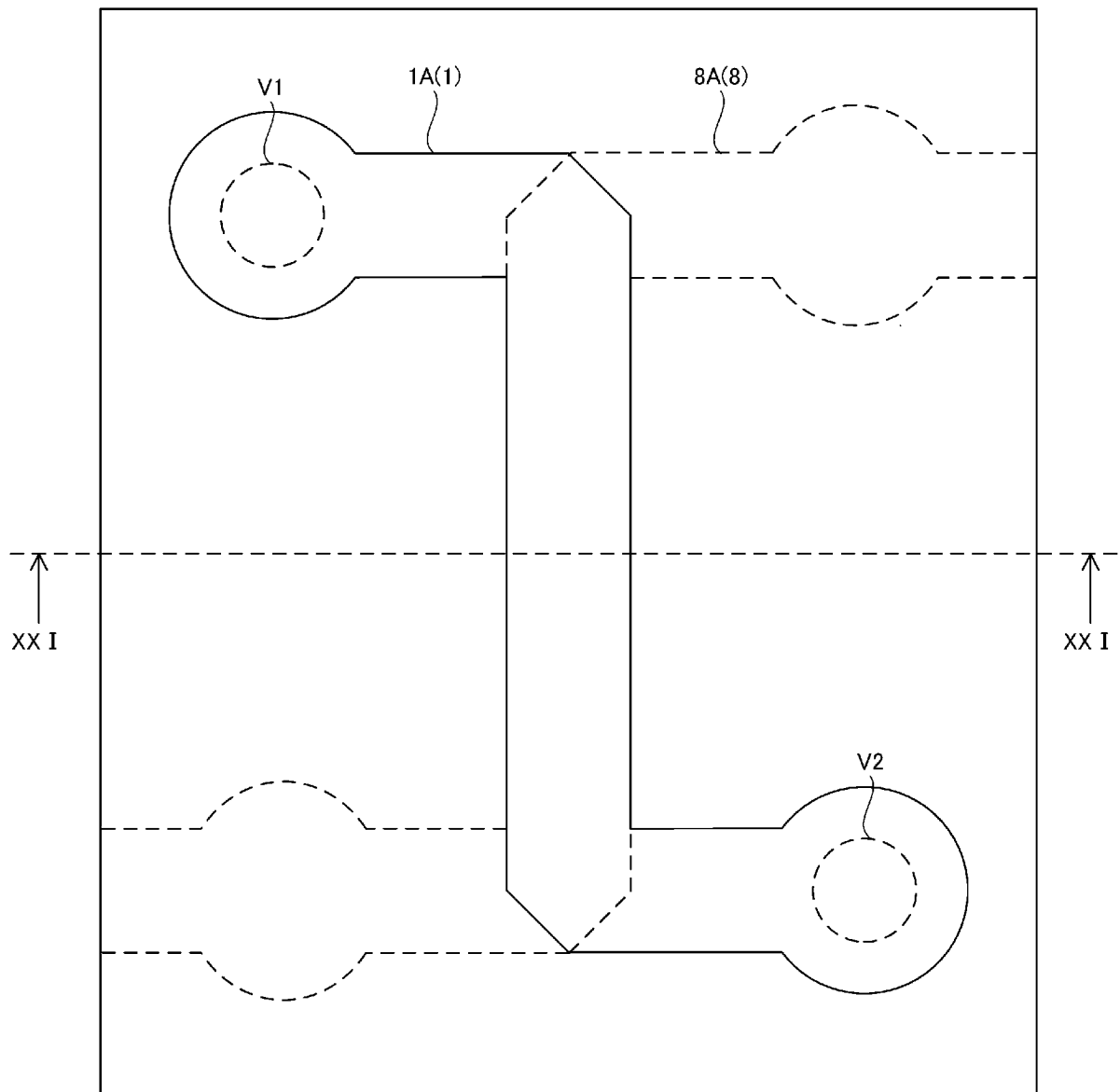


[図19]

104

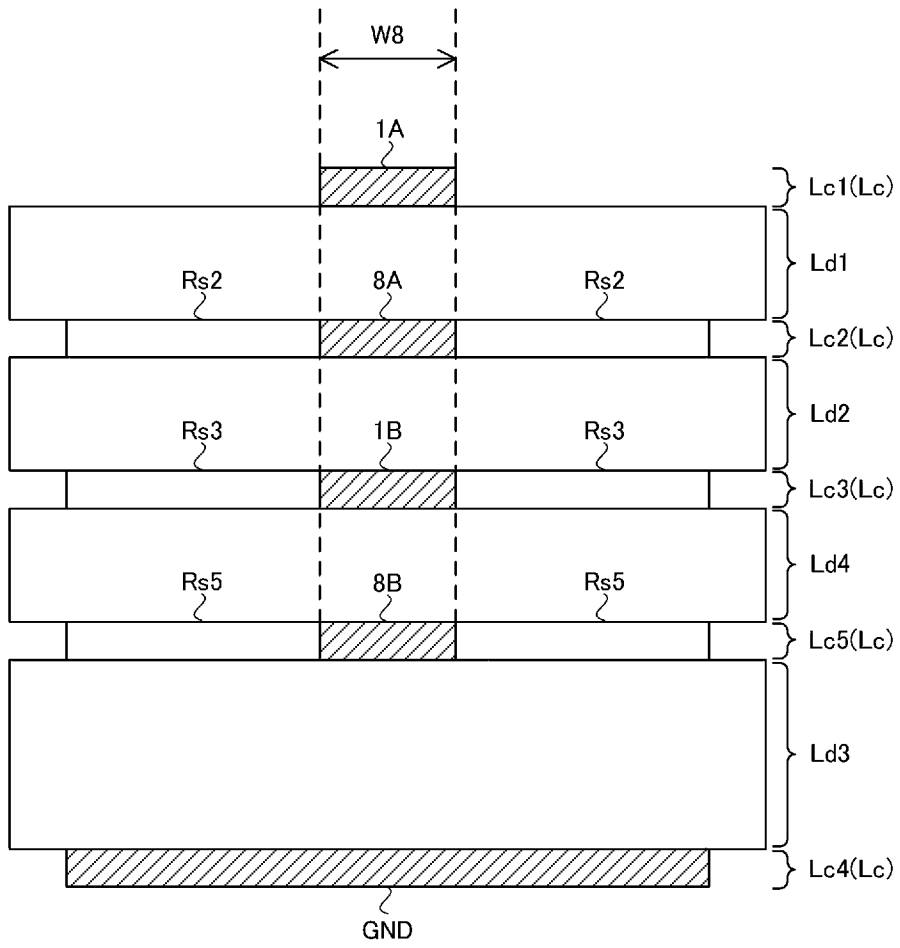
[図20]

104

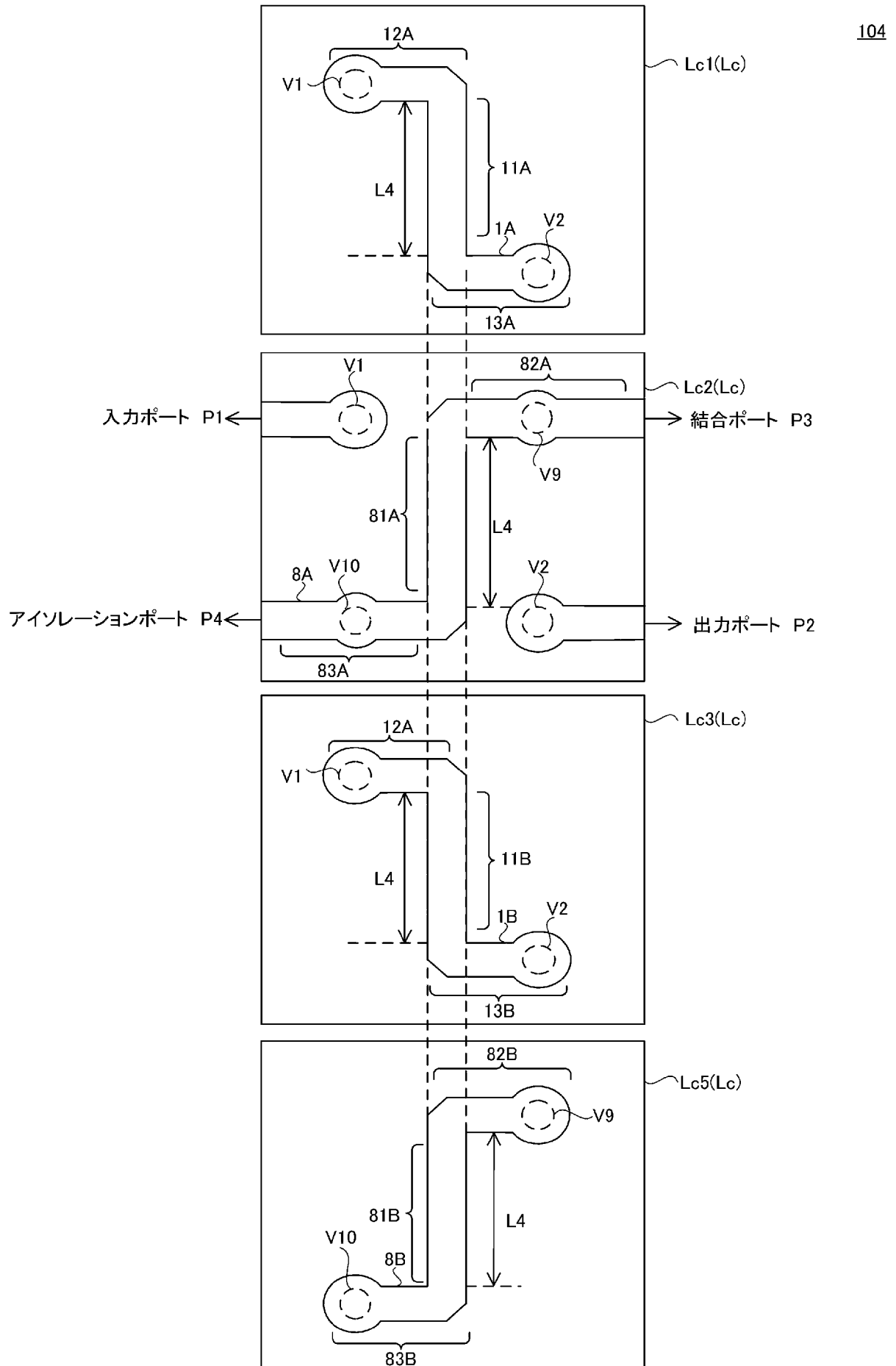


[図21]

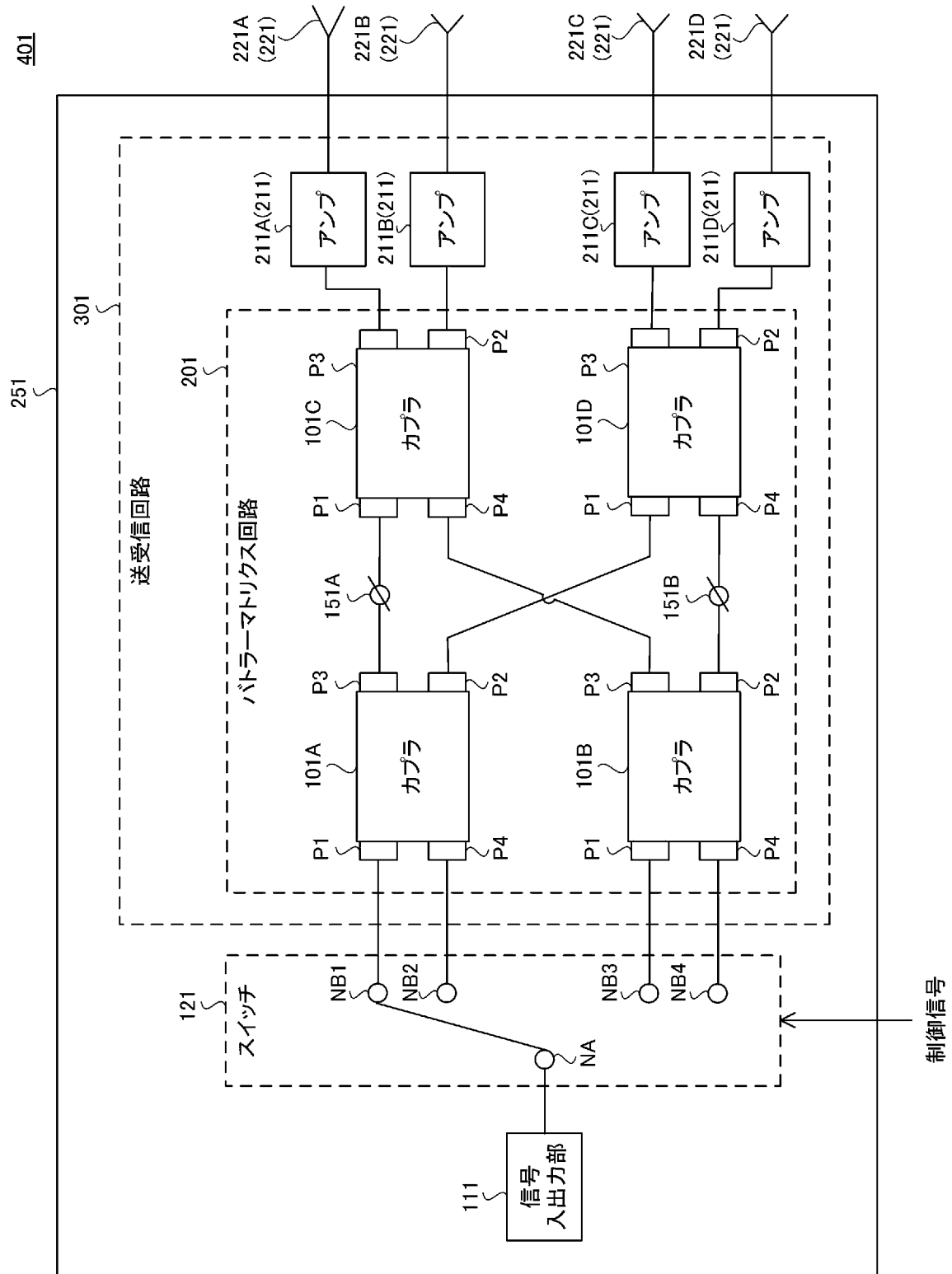
104



[図22]



[図23]



[図24]

ノードNB	位相差 $\theta 1$				位相差 $\theta 2$	ビーム方向
	Sout1	Sout2	Sout3	Sout4		
NB1	-45°	-90°	-135°	-180°	-45°	15°
NB2	-135°	0°	135°	-90°	$+135^{\circ}$	-50°
NB3	-90°	135°	0°	-135°	-135°	50°
NB4	-180°	-135°	-90°	-45°	$+45^{\circ}$	-15°

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/016624

A. CLASSIFICATION OF SUBJECT MATTER H01P 5/18 (2006.01)i; H01P 5/16 (2006.01)i; H01Q 3/40 (2006.01)i; H01Q 21/06 (2006.01)i FI: H01P5/18 J; H01P5/16 D; H01Q3/40; H01Q21/06 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01P5/18; H01P5/16; H01Q3/40; H01Q21/06 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE Xplore		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/080089 A1 (MURATA MANUFACTURING CO., LTD.) 21 April 2022 (2022-04-21) paragraphs [0032]-[0048], fig. 4-5	1
Y		4-7
A		2-3
Y	KUO, Chechung et al. A Fully SiP Integrated V-Band Butler Matrix End-Fire Beam-Switching Transmitter Using Flip-Chip Assembled CMOS Chips on LTCC [online]. IEEE Transactions on Microwave Theory and Techniques. May 2012, vol. 60, no. 5, pp. 1424-1436, [retrieved on 27 June 2024], Retrieved from the Internet: <URL: https://ieeexplore.ieee.org/abstract/document/6172540 >, DOI: 10.1109/TMTT.2012.2187795	4-7
A	sections I-II, fig. 1, 25-26	1-3
A	WO 2019/116648 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 20 June 2019 (2019-06-20) paragraphs [0035]-[0045], fig. 1-2	1-7
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 27 June 2024		Date of mailing of the international search report 09 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/016624

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/189228 A1 (MURATA MANUFACTURING CO., LTD.) 03 October 2019 (2019-10-03) paragraphs [0013]-[0026], fig. 1-2	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/016624

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2022/080089	A1	21 April 2022	US	2023/0238678	A1	
				paragraphs [0048]-[0064], fig. 4-5			
				CN	116235363	A	

WO	2019/116648	A1	20 June 2019	US	2020/0313294	A1	
				paragraphs [0084]-[0088], fig. 1-2			
				EP	3726644	A1	
				CN	111433972	A	
				KR	10-2020-0088355	A	

WO	2019/189228	A1	03 October 2019	US	2021/0013579	A1	
				paragraphs [0024]-[0037], fig. 1-2			
				CN	111902999	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01P 5/18(2006.01)i; H01P 5/16(2006.01)i; H01Q 3/40(2006.01)i; H01Q 21/06(2006.01)i
FI: H01P5/18 J; H01P5/16 D; H01Q3/40; H01Q21/06

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01P5/18; H01P5/16; H01Q3/40; H01Q21/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/080089 A1（株式会社村田製作所） 21.04.2022（2022-04-21） 段落[0032]-[0048], 図4-5	1
Y		4-7
A		2-3
Y	KUO, Che-Chung et al., A Fully SiP Integrated V-Band Butler Matrix End-Fire Beam-Switching Transmitter Using Flip-Chip Assembled CMOS Chips on LTCC [online], IEEE Transactions on Microwave Theory and Techniques, 2012.05, Vol.60, No.5, pp.1424-1436, [retrieved on 2024.06.27], Retrieved from the Internet: <URL: https://ieeexplore.ieee.org/abstract/document/6172540>, DOI: 10.1109/TMTT.2012.2187795 第I節-第II節, Fig.1, 25-26	4-7
A		1-3
A	WO 2019/116648 A1（ソニーセミコンダクタソリューションズ株式会社） 20.06.2019（2019-06-20） 段落[0035]-[0045], 図1-2	1-7

☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 27.06.2024

国際調査報告の発送日 09.07.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

齊藤 晶 5K 1789

電話番号 03-3581-1101 内線 3596

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2019/189228 A1 (株式会社村田製作所) 03.10.2019 (2019 - 10 - 03) 段落[0013]-[0026], 図1-2	1-7

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/016624

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/080089	A1	21.04.2022	US	2023/0238678	A1	
				段落[0048]-[0064], 図4-5			
				CN	116235363	A	

WO	2019/116648	A1	20.06.2019	US	2020/0313294	A1	
				段落[0084]-[0088], 図1-2			
				EP	3726644	A1	
				CN	111433972	A	
				KR	10-2020-0088355	A	

WO	2019/189228	A1	03.10.2019	US	2021/0013579	A1	
				段落[0024]-[0037], 図1-2			
				CN	111902999	A	
