



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0091418
(43) 공개일자 2013년08월19일

(51) 국제특허분류(Int. Cl.)

H03K 17/693 (2006.01)

(21) 출원번호 10-2012-0012675

(22) 출원일자 2012년02월08일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

리이페이

서울시 성북구 안암동5가 1-2 고려대학교 제2공학관 2층 218호

김석기

서울시 성북구 안암동5가 고려대학교 자연계캠퍼스 공학관722호

(74) 대리인

특허법인 이노

전체 청구항 수 : 총 16 항

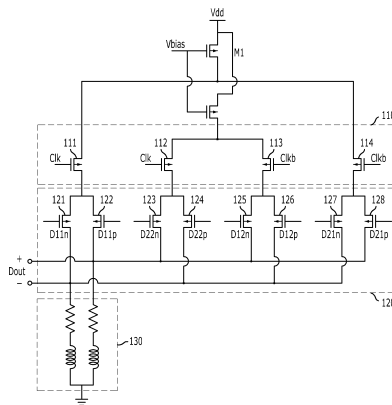
(54) 발명의 명칭 고속 통신용 멀티플렉서

(57) 요약

본 발명에 따르면, 입력되는 데이터 신호를 전위차가 다른 리얼 데이터 신호와 더미 데이터 신호로 변환하여 차 감함으로써 아이 오프닝이 우수한 고속 통신용 멀티플렉서를 제공할 수 있다.

본 발명의 고속 통신용 멀티플렉서는, 클럭 신호 또는 클럭 반전 신호를 이용하여 병렬적으로 입력되는 적어도 둘 이상의 데이터 신호를 각각 상이한 전압 레벨을 갖는 리얼 데이터 신호와 더미 데이터 신호로 변환하는 변환 수단; 및 리얼 데이터 신호와 더미 데이터 신호 간의 전위차를 출력하는 출력수단을 포함한다.

대표도 - 도1a



특허청구의 범위

청구항 1

클럭 신호 또는 클럭 반전 신호를 이용하여 병렬적으로 입력되는 적어도 둘 이상의 데이터 신호를 각각 상이한 전압 레벨을 갖는 리얼 데이터 신호와 더미 데이터 신호로 변환하는 변환수단; 및
상기 리얼 데이터 신호와 상기 더미 데이터 신호 간의 전위차를 출력하는 출력수단
을 포함하는 고속통신용 멀티플렉서.

청구항 2

제1항에 있어서,
상기 리얼 데이터 신호의 위상과 상기 더미 데이터 신호의 위상이 상이한 것을 특징으로 하는 고속통신용 멀티플렉서.

청구항 3

제2항에 있어서,
상기 적어도 둘 이상의 데이터 신호 중 제1 데이터 신호로부터 변환되는 리얼 데이터 신호와 상기 적어도 둘 이상의 데이터 신호 중 제2 데이터 신호로부터 변환되는 더미 데이터 신호는 동시적으로 그리고 동기적으로 변환되는 것을 특징으로 하는 고속통신용 멀티플렉서.

청구항 4

제1항에 있어서, 상기 변환수단은,
상기 클럭 신호 또는 상기 클럭 반전 신호에 제어되어 동작하는 클럭제어스위칭부; 및
상기 제1 또는 제2 데이터 신호에 제어되어 상기 클럭제어스위칭부로부터 출력되는 복수의 출력을 단속하는 데이터제어스위칭부
를 포함하는 고속통신용 멀티플렉서.

청구항 5

제4항에 있어서, 상기 클럭제어스위칭부는,
상기 클럭 신호에 제어되고, 상이한 동작 영역에서 턴온 동작하도록 병렬연결된 복수의 스위칭소자를 포함하는 고속통신용 멀티플렉서.

청구항 6

제4항에 있어서, 상기 데이터제어스위칭부는,
상기 제1 또는 제2 데이터 신호에 제어되고, 상기 클럭제어스위칭부 내 복수의 스위칭소자들과 접지 사이에 상호 독립적으로 연결되어 상기 복수의 스위칭소자들의 출력을 개별적으로 단속하는 복수의 스위칭소자그룹을 포함하는 고속통신용 멀티플렉서.

청구항 7

제1항에 있어서, 상기 출력수단은,
상기 적어도 둘 이상의 데이터 신호 중 제1 데이터 신호에 대응하는 리얼 데이터 신호와 상기 적어도 둘 이상의 데이터 신호 중 제2 데이터 신호에 대응하는 더미 데이터 신호 간의 전위차를 출력하는 것을 특징으로 하는 고속통신용 멀티플렉서.

청구항 8

제6항에 있어서,

상기 복수의 스위칭소자그룹 중 제1 스위칭소자그룹은 상기 제1 데이터 신호에 제어되고, 상기 제6 복수의 스위칭소자그룹 중 제2 스위칭소자그룹은 상기 제2 데이터 신호보다 소정 시간 앞선 제2 데이터 진상 신호에 제어되며, 상기 제1 데이터 신호의 위상과 상기 제2 데이터 진상 신호의 위상은 동일한 것을 특징으로 하는 고속통신용 멀티플렉서.

청구항 9

제1항에 있어서,

상기 리얼 데이터 신호의 스윙폭은 상기 더미 데이터 신호의 스윙폭에 비해 2 내지 5배 큰 것을 특징으로 하는 고속 통신용 멀티플렉서.

청구항 10

제8항에 있어서, 상기 제2 데이터 진상 신호보다 소정 시간 지연된 제2 데이터 지연 신호는 래치에 의해 생성되고,

상기 래치는,

상기 제2 데이터 신호를 센싱하는 센싱부;

상기 제2 데이터 신호의 전압 레벨을 변경하는 홀딩부를 포함하고,

상기 센싱부는, 상기 클럭신호의 제1 에지에 동기되어 상기 센싱부의 전류원과 상기 홀딩부의 전류원의 전류의 합으로 구동되는 경로를 형성하는 것을 특징으로 하는 고속 통신용 멀티플렉서.

청구항 11

서로 다른 위상을 가진 제1 및 제2 데이터 신호를 각각 90도 지연시켜 제1 및 제2 리얼 데이터 신호 및 제1 및 제2 더미 데이터 신호로 출력하는 지연부;

클럭 신호 또는 클럭 반전 신호에 제어되고, 상이한 동작 영역에서 동작하는 클럭제어스위칭부;

각각 상기 제1 리얼 데이터 신호 또는 상기 제2 더미 데이터 신호의 한쌍이거나, 상기 제2 리얼 데이터 신호 또는 상기 제1 더미 데이터 신호의 한쌍에 제어되어, 상이한 전압 레벨을 갖는 한쌍의 데이터 신호를 출력하는 데이터제어스위칭부; 및

상기 상이한 전압 레벨을 갖는 한쌍의 데이터 신호의 전위차를 출력하는 출력수단

을 포함하는 고속통신용 멀티플렉서.

청구항 12

제11항에 있어서,

상기 제1 리얼 데이터 신호와 상기 제2 더미 데이터 신호는 동시적으로 그리고 동기적으로 변환되는 것을 특징으로 하는 고속통신용 멀티플렉서.

청구항 13

제11항에 있어서, 상기 클럭제어스위칭부는,

상기 클럭 신호에 제어되고, 상이한 동작 영역에서 턴온 동작하도록 병렬연결된 복수의 스위칭소자를 포함하는 고속통신용 멀티플렉서.

청구항 14

제11항에 있어서, 상기 데이터제어스위칭부는,

상기 클럭제어스위칭부 내 복수의 스위칭소자들과 접지 사이에 상호 독립적으로 연결되어 상기 복수의 스위칭소자들의 출력을 개별적으로 단속하는 복수의 스위칭소자그룹을 포함하는 고속통신용 멀티플렉서.

청구항 15

제11항에 있어서, 상기 출력수단은,

상기 제1 리얼 데이터 신호와 상기 제2 더미 데이터 신호 간의 전위차를 출력하는 것을 특징으로 하는 고속통신용 멀티플렉서.

청구항 16

제11항에 있어서,

상기 제1 리얼 데이터 신호의 스윙폭은 상기 제2 더미 데이터 신호의 스윙폭에 비해 2 내지 5배 큰 것을 특징으로 하는 고속 통신용 멀티플렉서.

명세서

기술분야

[0001] 본 발명은 고속 통신용 멀티플렉서에 관한 것으로, 더욱 상세하게는 더미 데이터 신호를 이용하는 고속 통신용 멀티플렉서에 관한 것이다.

배경기술

[0002] 멀티플렉서는 병렬로 입력되는 데이터 신호를 순차적으로 직렬의 데이터 신호로 변환하여 출력하는 디바이스이다.

[0003] 그런데, 통신 속도가 점차 고속화됨에 따라, 멀티플렉서 또한, 출력 데이터 신호의 아이 오프닝(eye opening)이 우수한지의 여부가 관건이 되고 있다. 즉, 멀티플렉서의 처리속도가 수 내지 수십 G bps에 이르게 되면, 출력 데이터 신호의 아이 오프닝이 현저하게 악화되어 데이터 신호의 에러 발생으로 정상적인 데이터 신호를 획득하기가 어렵다.

[0004] 따라서, 근래에 고속 통신 시스템의 회로 설계자들은 아이 오프닝이 손상되지 않는 범위 내에서 데이터 신호를 전송할 수 있는 기법에 대한 연구를 활발히 진행하고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명에 따르면, 입력되는 데이터 신호를 전위차가 다른 리얼 데이터 신호와 더미 데이터 신호로 변환하여 차감함으로써 아이 오프닝이 우수한 고속 통신용 멀티플렉서를 제공할 수 있다.

과제의 해결 수단

[0006] 본원의 제1 발명에 따른 고속통신용 멀티플렉서는, 클럭 신호 또는 클럭 반전 신호를 이용하여 병렬적으로 입력되는 적어도 둘 이상의 데이터 신호를 각각 상이한 전압 레벨을 갖는 리얼 데이터 신호와 더미 데이터 신호로 변환하는 변환수단; 및 리얼 데이터 신호와 더미 데이터 신호 간의 전위차를 출력하는 출력수단을 포함한다.

[0007] 바람직하게는, 리얼 데이터 신호의 위상과 더미 데이터 신호의 위상이 상이하고, 적어도 둘 이상의 데이터 신호 중 제1 데이터 신호로부터 변환되는 리얼 데이터 신호와 적어도 둘 이상의 데이터 신호 중 제2 데이터 신호로부터 변환되는 더미 데이터 신호는 동시적으로 그리고 동기적으로 변환된다.

[0008] 바람직하게는, 출력수단은, 적어도 둘 이상의 데이터 신호 중 제1 데이터 신호에 대응하는 리얼 데이터 신호와 적어도 둘 이상의 데이터 신호 중 제2 데이터 신호에 대응하는 더미 데이터 신호 간의 전위차를 출력한다.

[0009] 본원의 제2 발명에 따른 고속 통신용 멀티플렉서는, 서로 다른 위상을 가진 제1 및 제2 데이터 신호를 각각 90도 지연시켜 제1 및 제2 리얼 데이터 신호 및 제1 및 제2 더미 데이터 신호로 출력하는 지연부; 클럭 신호 또는 클럭 반전 신호에 제어되고, 상이한 동작 영역에서 동작하는 클럭제어스위칭부; 각각 제1 리얼 데이터 신호 또는 상기 제2 더미 데이터 신호의 한쌍이거나, 제2 리얼 데이터 신호 또는 상기 제1 더미 데이터 신호의 한쌍에 제어되어, 상이한 전압 레벨을 갖는 한쌍의 데이터 신호를 출력하는 데이터제어스위칭부; 및 상이한 전압 레벨

을 갖는 한쌍의 데이터 신호의 전위차를 출력하는 출력수단을 포함한다.

- [0010] 바람직하게는, 제1 리얼 데이터 신호와 상기 제2 더미 데이터 신호는 동시에 그리고 동기적으로 변환된다.
- [0011] 바람직하게는, 클럭제어스위칭부는, 클럭 신호에 제어되고, 상이한 동작 영역에서 턴온 동작하도록 병렬연결된 복수의 스위칭소자를 포함한다.
- [0012] 바람직하게는, 데이터제어스위칭부는, 클럭제어스위칭부 내 복수의 스위칭소자들과 접지 사이에 상호 독립적으로 연결되어 복수의 스위칭소자들의 출력을 개별적으로 단속하는 복수의 스위칭소자그룹을 포함한다.
- [0013] 바람직하게는, 출력수단은, 제1 리얼 데이터 신호와 제2 더미 데이터 신호 간의 전위차를 출력한다.
- [0014] 바람직하게는, 제1 리얼 데이터 신호의 스윙폭은 상기 제2 더미 데이터 신호의 스윙폭에 비해 2 내지 5배 정도 크다.

발명의 효과

- [0015] 본 발명에 따르면, 멀티플렉서 내부에 위상 및 전압 레벨이 다른 더미 신호를 생성함으로써 고속 동작을 피할 수 있고, 아이 오프닝이 우수한 멀티플렉서를 구현할 수 있다.

도면의 간단한 설명

- [0016] 도 1a는 본 발명의 일실시예에 따른 멀티플렉서의 구체 회로도,
- 도 1b는 본 발명의 일실시예에 따른 데이터 신호 생성 회로도,
- 도 2는 본 발명의 일실시예에 따른 멀티플렉서의 데이터 타이밍도,
- 도 3a는 본 발명의 일실시예에 따른 래치 회로의 센싱 주기에서의 전류 경로,
- 도 3b는 본 발명의 일실시예에 따른 래치 회로의 홀딩 주기에서의 전류 경로, 및
- 도 4는 본 발명의 일실시예에 따른 래치 회로의 이상적인 타이밍 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명의 바람직한 실시예(들)에 대하여 첨부도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호로 표기되었음에 유의하여야 한다. 또한, 하기의 설명에서는 많은 특정사항들이 도시되어 있는데, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐 이러한 특정 사항들 없이도 본 발명이 실시될 수 있음은 이 기술분야에서 통상의 지식을 가진 자에게는 자명하다 할 것이다.
- [0018] 도 1a는 본 발명의 일실시예에 따른 멀티플렉서의 구체 회로도이다.
- [0019] 본 발명의 고속 통신용 멀티플렉서는, 클럭 신호 또는 클럭 반전 신호를 이용하여 병렬적으로 입력되는 적어도 둘 이상의 데이터 신호를 각각 상이한 전압 레벨을 갖는 리얼 데이터 신호와 더미 데이터 신호로 변환하는 변환수단(110, 120, 130); 및 리얼 데이터 신호와 더미 데이터 신호 간의 전위차를 출력하는 출력수단(Dout)을 포함한다. 여기서, 도면 부호 130은 리액터와 저항을 포함하는 감산부이다.
- [0020] 본 발명의 고속 통신용 멀티플렉서는, 입력되는 두개의 데이터 신호 중 제1 데이터 신호(D1)로부터 변환되는 리얼 데이터 신호(D11)와 적어도 둘 이상의 데이터 신호 중 제2 데이터 신호(D2)로부터 변환되는 더미 데이터 신호(D22)는 동시에 그리고 동기적으로 변환된다.
- [0021] 본 발명의 고속 통신용 멀티플렉서 내 변환수단은, 클럭 신호(CLK) 또는 클럭 반전 신호(CLKB)에 제어되어 동작하는 클럭제어스위칭부(110); 및 제1 또는 제2 데이터 신호에 제어되어 클럭제어스위칭부(110)로부터 출력되는 복수의 출력을 단속하는 데이터제어스위칭부(120)를 포함한다.
- [0022] 또한, 변환수단 내 클럭제어스위칭부(110)는, 클럭 신호(CLK)에 제어되고, 상이한 동작 영역에서 턴온 동작하도록 병렬연결된 복수의 스위칭소자(111, 112)와 클럭 반전 신호(CLKB)에 제어되고, 상이한 동작 영역에서 턴온

동작하도록 병렬연결된 복수의 스위칭소자(113, 114)를 포함한다.

[0023] 구체적으로, 제1 스위칭소자(111)는 클럭 신호(CLK)에 제어되어 포화영역에서 동작하며, 제2 스위칭소자(112)는 클럭 신호(CLK)에 제어되어 활성영역에서 동작한다. 그리고, 제3 스위칭소자(113)는 클럭 반전 신호(CLKB)에 제어되어 활성영역에서 동작하고, 제4 스위칭소자(114)는 클럭 반전 신호(CLKB)에 제어되어 포화영역에서 동작한다.

[0024] 또한, 데이터제어스위칭부(120)는, 제1 데이터 신호(D1)에 대응하는 제1 리얼 데이터 신호(D11) 및 제1 더미 데이터 신호(D12) 또는 제2 데이터 신호(D2)에 대응하는 제2 리얼 데이터 신호(D21) 및 제2 더미 데이터 신호(D22)에 제어되고, 클럭제어스위칭부(110) 내 복수의 스위칭소자(111, 112, 113, 및 114)들과 접지(GND) 사이에 상호 독립적으로 연결되어 복수의 스위칭소자(111, 112, 113, 및 114)들의 출력을 개별적으로 단속하는 복수의 스위칭소자그룹(121, 122, 123, 124, 125, 126, 127, 및 128)을 포함한다.

[0025] 구체적으로, 복수의 스위칭소자그룹은 제1 내지 제4 스위칭소자그룹(121, 122) (123, 124) (125, 126) (127, 128)을 포함한다. 제1 스위칭소자그룹(121, 122)은 제1 리얼 데이터 신호(D11)에 제어되고, 제2 스위칭소자그룹(123, 124)은 제2 더미 데이터 신호(D22)에 제어되며, 제3 스위칭소자그룹(125, 126)은 제1 더미 데이터 신호(D12)에 제어되고, 제4 스위칭소자그룹(127, 128)은 제2 리얼 데이터 신호(D21)에 제어된다.

[0026] 제1 스위칭소자그룹 내 복수의 스위칭소자(121, 122)는 인가되는 데이터 신호의 논리 레벨에 따라 둘 중 어느 하나가 교번적으로 턴온된다. 이는 제2 내지 제4 스위칭소자그룹에도 동일하게 적용된다.

[0027] 도 1b는 본 발명의 일실시예에 따른 리얼 및 더미 데이터 신호 생성 회로도로서, 제1 데이터 신호(D1)로부터 제1 리얼 및 더미 데이터 신호(D11, D12)가 생성되고, 제2 데이터 신호(D2)로부터 제2 리얼 및 더미 데이터 신호(D21, D22)가 생성됨을 알 수 있다.

[0028] 제1 리얼 데이터 신호(D11)는 입력되는 제1 데이터 신호(D1)보다 90도 지연된 신호이고, 제1 더미 데이터 신호(D12)는 제1 데이터 신호(D1)를 그대로 이용하는 신호이므로, 제1 리얼 데이터 신호(D11)의 위상은 제1 더미 데이터 신호(D12)의 위상보다 90도 뒤진다. 그리고, 제2 리얼 데이터 신호(D21)는 입력되는 제2 데이터 신호(D2)보다 180도 지연된 신호이고, 제2 더미 데이터 신호(D22)는 제2 데이터 신호(D2)보다 90도 지연된 신호이므로, 제2 리얼 데이터 신호(D21)의 위상은 제2 더미 데이터 신호(D22)의 위상보다 90도 뒤진다.

[0029] 본 발명의 다른 실시예에 따르면, 리얼 데이터 신호와 더미 데이터 신호의 위상을 역전시켜 사용할 수 있다. 즉, 리얼 데이터 신호의 위상이 더미 데이터 신호의 위상보다 앞설 수 있도록 설계하는 것은 당업자에게 자명하다.

[0030] 또한, 출력수단(Dout)은, 제1 리얼 데이터 신호(D11)와 제2 더미 데이터 신호(D22) 간의 전위차를 출력하거나, 제2 리얼 데이터 신호(D21)와 제1 더미 데이터 신호(D12) 간의 전위차를 출력한다.

[0031] 도 2는 본 발명의 일실시예에 따른 멀티플렉서의 데이터 타이밍도이다.

[0032] P1 구간 동안, 출력수단(Dout)으로부터 출력되는 값은 다음과 같다.

[0033] $Dout = \text{제1 리얼 데이터 신호}(D11) - \text{제2 더미 데이터 신호}(D22)$

[0034] P2 구간 동안, 출력수단(Dout)으로부터 출력되는 값은 다음과 같다.

[0035] $Dout = \text{제2 리얼 데이터 신호}(D21) - \text{제1 더미 데이터 신호}(D12)$

[0036] 이때에는 데이터 신호의 스윙 폭을 크게 하기 위하여 P1 구간 동안, $Dout = D11n - D22p$ 값을 출력시키거나, $Dout = D11p - D22n$ 값을 출력시킬 수 있다. 마찬가지로, P2 구간 동안, $Dout = D21n - D12p$ 값을

출력시키거나, $D_{out} = D_{21p} - D_{12n}$ 값을 출력시킬 수 있다.

[0037] 여기서, 리얼 데이터 신호의 스윙 폭은 대략 $0.4V(+0.2V \sim -0.2V)$ 이고, 더미 데이터 신호의 스윙 폭은 대략 $0.2V(+0.1V \sim -0.1V)$ 이다. 따라서, 출력수단(D_{out})으로부터 출력되는 데이터 신호의 스윙 폭은 대략 $0.3V(=0.2V - (-0.1V))$ 이므로 우수한 아이 오프닝 조건을 갖출 수 있다.

[0038] 또한, 본 발명의 일실시예에 따르면, 스위칭소자들의 크기를 줄임으로써 전력 소비를 줄일 수 있도록 다음과 같은 래치 회로를 사용할 수 있다.

[0039] 도 3a는 본 발명의 일실시예에 따른 래치 회로의 센싱 주기에서의 전류 경로이고, 도 3b는 본 발명의 일실시예에 따른 래치 회로의 홀딩 주기에서의 전류 경로이며, 도 4는 본 발명의 일실시예에 따른 래치 회로의 이상적인 타이밍 파형도이다.

[0040] 본 발명의 일실시예에 따른 래치 회로(300)는 외부로부터 인가되는 클럭신호(Clk)의 제1 에지에 동기되어 입력되는 데이터 신호(D_{inp} , D_{inn})를 센싱하는 센싱 유닛(310)과, 클럭신호(Clk)의 제2 에지에 동기되어 출력되는 데이터 신호의 전압 레벨을 변경하는 홀딩 유닛(320)을 포함한다.

[0041] 또한, 본 발명의 일실시예에 따른 래치 회로의 센싱 유닛(310)은, 클럭신호(CLK)의 제1 에지에 동기되어 복수의 전류원으로부터의 전류의 합으로 구동되는 경로를 형성할 수 있고(P1), 클럭신호(CLK)의 제2 에지에 동기되어 단일의 전류원으로부터의 전류로 구동되는 경로를 형성할 수 있다(P2).

[0042] 여기서, 제1 에지는 폴링 에지(falling edge)이고, 제2 에지는 라이징 에지(rising edge)이다.

[0043] 또한, 클럭 신호(CLK)의 제1 논리 레벨 동안, 센싱 유닛(310) 내 마주하는 복수의 스위칭소자 중 어느 하나는 클럭 신호(CLK)에 제어되어 활성영역에서 동작함으로써 제1 전류 경로를 형성하고, 홀딩 유닛(320) 내의 마주하는 복수의 스위칭소자 중 어느 하나는 기준전압 신호에 제어되어 활성영역에서 동작함으로써 상기 제2 전류 경로를 형성할 수 있다.

[0044] 예컨대, 본 발명의 일실시예에 따른 래치 회로의 스위칭소자들은 표1과 같이 동작할 수 있다.

표 1

[0045]

Sensing Unit	P1	P2	Holding Unit	P1	P2
M0	ON(sat.)	ON(sat.)	M11	ON(sat.)	ON(sat.)
M1	ON(act.)	OFF	M13	ON(act.)	OFF
M12	OFF	ON(act.)	M4	OFF	ON(act.)
M2	ON(sat.)	OFF	M5	OFF	ON(sat.)
M3	OFF	OFF	M6	OFF	OFF

[0046] 1) P1 구간

[0047] 클럭 신호(CLK)의 제1 논리 레벨 동안, 센싱 유닛(310) 내 마주하는 복수의 스위칭 소자 중 어느 하나가 클럭 신호(CLK)에 제어되어 활성영역에서 동작하는 동안, 다른 하나는 기준전압 신호에 제어되어 컷오프영역에서 동작할 수 있다.

[0048] 구체적으로, P1 구간 동안, 센싱 유닛(310)은 다음과 같은 복수의 전류 경로를 포함할 수 있다.

- [0049] 전원전압(Vdd) -> 스위칭소자(M0) -> 스위칭소자(M1) -> 스위칭소자(M2 또는 M3) -> 접지(GND)
- [0050] 전원전압(Vdd) -> 스위칭소자(M11) -> 스위칭소자(M13) -> 스위칭소자(M2 또는 M3) -> 접지(GND)
- [0051] 즉, 센싱 유닛(310)은 P1 구간 동안 복수의 전류원으로부터 전류를 받아들이므로 센싱 유닛(310) 내 스위칭소자들의 크기를 감소시키도록 설계할 수 있다.
- [0052] 센싱 유닛(310)은 스위칭소자(M0, M1, M2, M3, M12)를 포함한다.
- [0053] 바이어스전압(Vbiasp)을 게이트 단자의 제어신호로 인가받는 스위칭소자(M0) 및 스위칭소자(M11)는 항상 포화 영역에서 턴온 상태를 유지한다.
- [0054] 스위칭소자(M0)의 드레인 단자와 데이터 신호 수신용 스위칭소자(M2, M3) 사이에 연결되고, 활성화되는 클럭 신호(Clk)를 게이트 단자의 제어신호로 인가받는 스위칭소자(M1)는 활성영역에서 동작한다. 스위칭소자(M0)의 드레인 단자와 접지 사이에 연결되며, 기준전압(Vref)을 게이트 단자의 제어신호로 인가받는 스위칭소자(M12)는 턴오프 상태에 놓인다.
- [0055] 스위칭소자(M1)의 드레인 단자와 접지 사이에 연결되고, 입력되는 상보적 데이터 신호(Dinn, Dinp)를 게이트 단자의 제어신호로 사용하는 데이터 신호 수신용 스위칭소자(M2, M3)는 어느 하나가 포화 영역에서 턴온 상태이면, 다른 하나는 턴오프 상태에 놓인다.
- [0056] 홀딩 유닛(320)은 스위칭소자(M11, M13, M4, M5, M6)를 포함한다.
- [0057] 스위칭소자(M11)의 드레인 단자와 센싱 유닛(310) 사이에 연결되고, 기준전압(Vref)을 게이트 단자의 제어신호로 인가받는 스위칭소자(M13)는 활성영역에서 동작한다. 스위칭소자(M11)의 드레인 단자와 데이터 신호 유지용 스위칭소자(M5, M6) 사이에 연결되고, 비활성화되는 클럭 반전 신호(CLKB)를 게이트 단자의 제어신호로 인가받는 스위칭소자(M4)는 턴오프 상태에 놓인다.
- [0058] 스위칭소자(M4)의 드레인 단자와 접지 사이에 연결되고, 상대방의 드레인 단자 전압을 게이트 단자의 제어신호로 사용하는 병렬연결된 스위칭소자(M5, M6)는, 스위칭소자(M4)가 턴오프 상태에 놓인 P1 구간 동안 스위칭소자(M5, M6)는 모두 턴오프 상태에 놓인다.
- [0059] 여기서, 기준전압 신호의 레벨은 바이어스전압 신호의 레벨보다 낮고, 클럭 반전된 클럭 반전 신호에 제어되어 컷오프영역에서 동작할 수 있다.
- [0060] 예컨대, 바이어스전압(Vbiasp)의 레벨은 0.53볼트, 기준전압(Vref)의 레벨은 0.45볼트, 클럭신호(clk)의 제1 레벨은 0.25볼트, 제2 레벨은 0.65볼트 일 수 있다.
- [0061] 2) P2 구간
- [0062] 클럭 신호(CLK)의 제2 논리 레벨 동안, 센싱 유닛(310) 내 마주하는 복수의 스위칭 소자 중 어느 하나가 기준전압 신호에 제어되어 활성영역에서 동작하는 동안, 다른 하나는 클럭 신호(CLK)에 제어되어 컷오프영역에서 동작할 수 있다.
- [0063] 구체적으로, 비활성화되는 클럭 신호를 게이트 단자의 제어신호로 사용하는 스위칭소자(M1)가 턴오프 상태에 놓이면, 스위칭 소자(M1)의 드레인 단자와 접지 사이에 병렬연결되는 스위칭소자(M2, M3)는 턴오프 상태에 놓인다.
- [0064] 스위칭소자(M1)가 턴오프 상태이므로, 기준전압(Vref)을 게이트 단자의 제어전압으로 사용하는 스위칭 소자(M12)는 활성영역에서 턴온된다. 따라서, 센싱 유닛(310)은 '전원전압(Vdd) -> 스위칭소자(M0) -> 스위칭소자(M12) -> 접지(GND)'의 단일 경로를 형성할 수 있다.
- [0065] 한편, 활성화되는 클럭 반전 신호(CLkb)를 게이트 단자의 제어신호로 사용하는 스위칭소자(M4)가 활성영역에서 턴온되므로, 스위칭 소자(M4)의 드레인 단자와 접지 사이에 병렬연결되는 스위칭소자(M5, M6)는 상호 번갈아 턴

온된다. 따라서, 홀딩 유닛(120)은 '전원전압(Vdd) -> 스위칭소자(M11) -> 스위칭소자(M4) -> 스위칭소자(M5 또는 M6) -> 접지(GND)'의 단일 경로를 형성할 수 있다.

[0066] 결국, P1 구간에서는 복수의 전류원으로 인하여 출력 신호(Do_p, Do_n)의 전압레벨이 높은 반면, P2 구간에서는 단일의 전류원으로 인하여 출력 신호의 전압 레벨이 낮아진다.

[0067] 이와 같이, 본 발명의 상세한 설명에서는 구체적인 실시예(들)에 관해 설명하였으나, 본 발명의 범주에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예(들)에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위 뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0068] 110: 클럭제어스위칭부

120: 데이터제어스위칭부

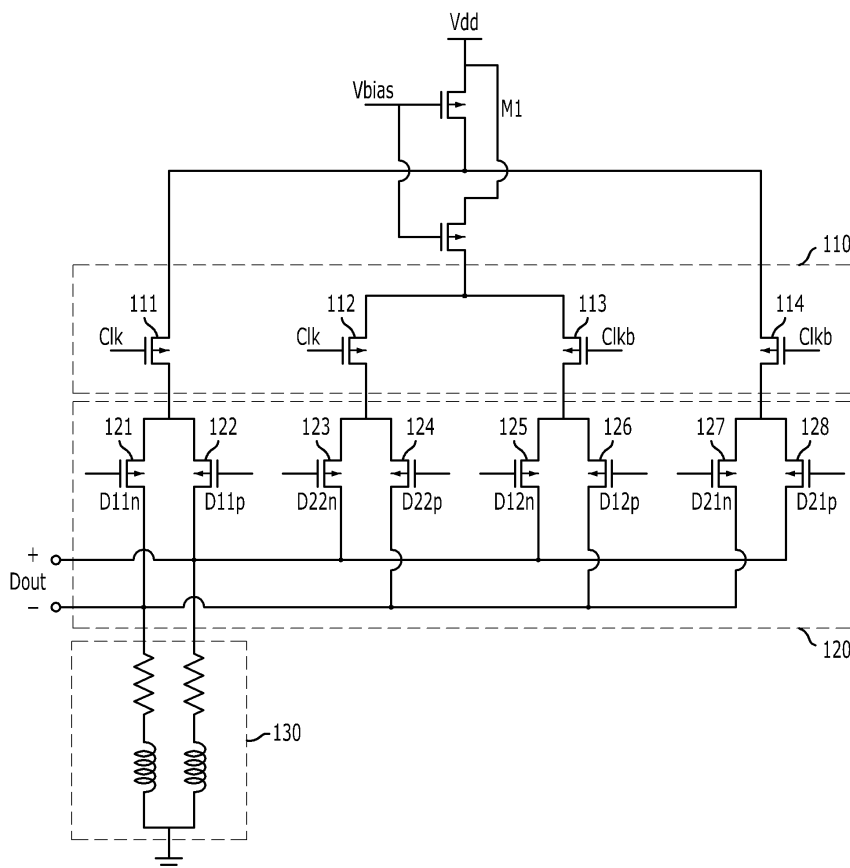
130: 감산부

310: 센싱 유닛

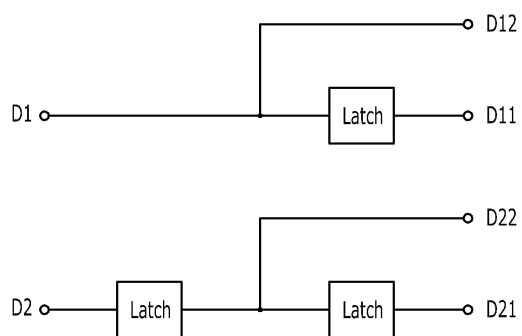
320: 홀딩 유닛

도면

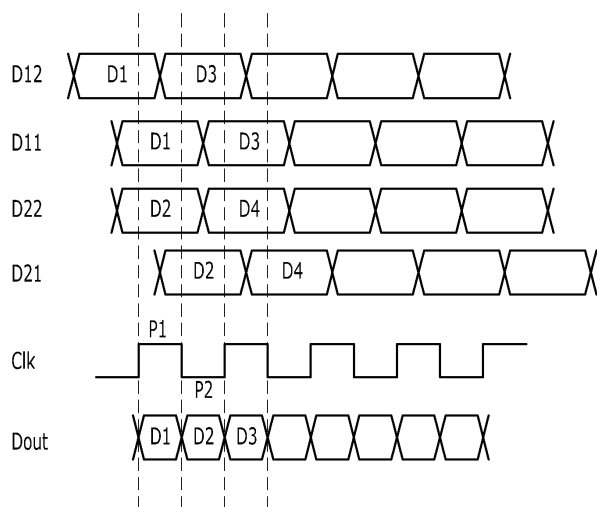
도면1a



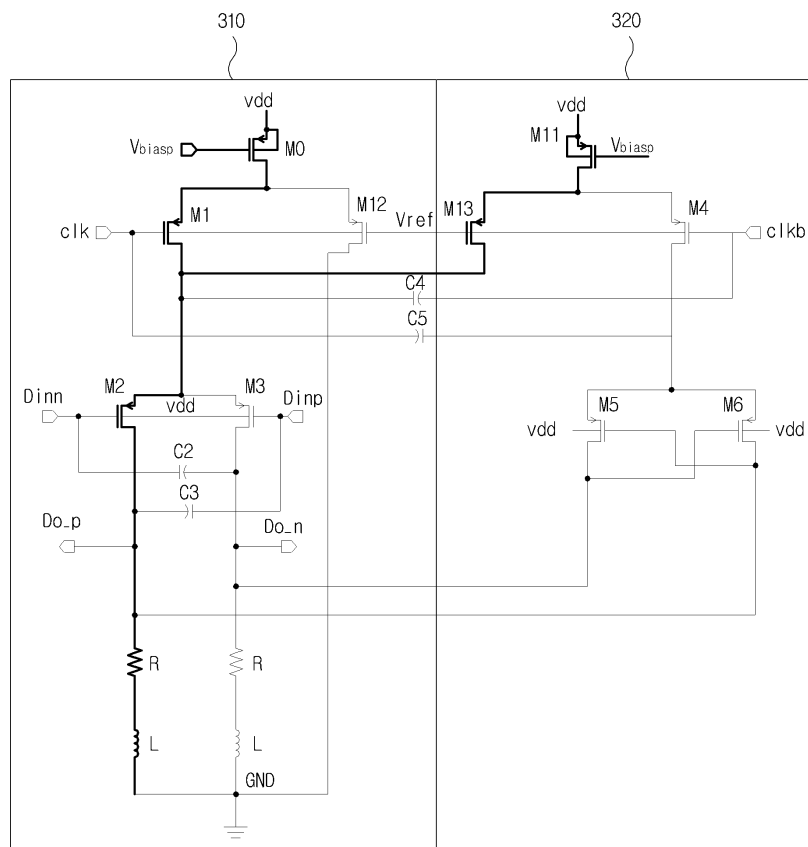
도면1b



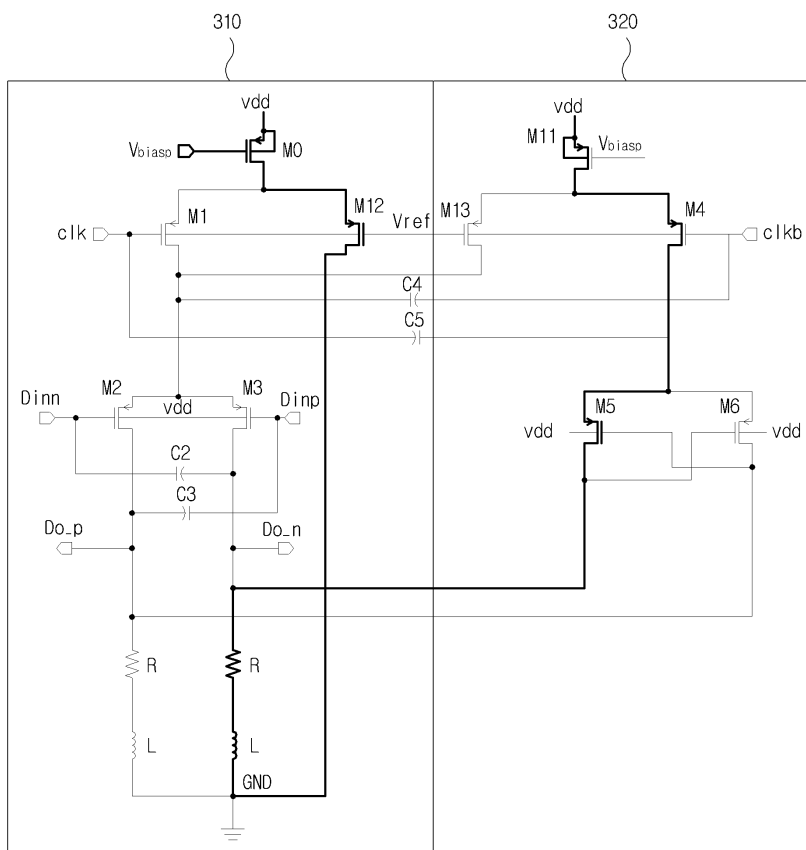
도면2



도면3a



도면3b



도면4

