(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 27/10 (2006.01)

(45) 공고일자 2006년06월21일
(11) 등록번호 10-0561984
(24) 등록일자 2006년03월10일

(21) 출원번호 10-1998-0053628
(22) 출원일자 1998년12월08일

(65) 공개번호 10-1999-0062885
(43) 공개일자 1999년07월26일

(30) 우선권주장 97-350537 1997년12월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 후쿠다 다쿠야
일본국 도쿄도 고다이라시 메구리타쵸 219-116

오지 유즈루
일본국 도쿄도 니시타마군 히노데마치 히라이 2196-327

고바야시 노부요시
일본국 사이타마켄 가와고에시 이세하라쵸 1-18-1

(74) 대리인 박충범
장수길
이중희
구영창

심사관 : 정병홍

(54) 반도체장치의 층간 접속 신뢰성을 향상시키기 위한 반도체 장치 및 그 제조방법

요약

반도체 집적회로장치 및 그 제조기술에 관한 것으로서,입체화된 캐패시터와 동일층에 형성된 두꺼운 절연막을 사이에 두고 배치되는 제1층 배선과 제2층 배선과의 접속신뢰성을 향상시키기 위해서, 반도체기판의 메모리셀 어레이영역에 형성된 메모리셀 선택용 MISFET, 메모리셀 어레이영역의 주변의 주변회로영역에 형성된 주변회로용 MISFET, 메모리셀 선택용 MISFET 및 주변회로용 MISFET를 덮는 제1층간절연막, 메모리셀 어레이영역의 제1층간절연막상에 형성된 비트선, 비트선상에 형성되고 메모리셀 선택용 MISFET의 한쪽의 소스, 드레인영역에 전기적으로 접속된 하부전극을 구비한 정보축적용 용량소자 및 정보축적용 용량소자와 동일층에 형성되고 정보축적용 용량소자의 높이에 기인하는 메모리셀 어레이영역과 주변회로영역과의 단차를 완화 또는 해소시키는 제1 부분 및 정보축적용 용량소자를 덮는 제2 부분을 갖는 제2 층간절연막을 포함하는 반도체 집적회로장치에 있어서, 제2 층간절연막의 표면을 평탄화시키고 제2 층간절연막의 표면근방에 배선홈을 형성하며 배선홈의 내부에는 표면과 동일면내에 그의 표면을 갖는 배선을 형성하였다.

이와 같이 하는 것에 의해서, 입체화된 캐패시터와 동일층에 형성된 두꺼운 절연막을 사이에 두고 배치되는 제1층 배선과 제2층 배선과의 접속신뢰성을 향상시킬 수 있다는 등의 효과를 얻을 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 실시예l의 DRAM을 형성한 반도체칩 전체의 1예를 도시한 평면도.

도 2는 실시예1의 DRAM의 등가회로도.

도 3은 실시예1의 DRAM의 주요부 단면도.

도 4는 실시예l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 5는 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 6은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 7은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 8은 실시예l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 9는 실시예l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 10은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 11은 실시예l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 12는 실시예l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 13은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 14는 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 15는 실시예l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 16은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 17은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 18은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 19는 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 20은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 2l은 실시예 l의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 22는 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 23은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 24는 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 25는 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 26은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 27은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 28은 실시예1의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 29는 실시예2의 DRAM의 주요부 단면도.

도 30은 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 31은 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 32는 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 33은 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 34는 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 35는 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 36은 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 37은 실시예2의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도.

도 38은 실시예3의 반도체 집적회로장치를 형성한 반도체칩 전체의 1예를 도시한 평면도.

도 39는 실시예3의 DRAM의 주요부 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로장치 및 그 제조기술에 관한 것으로서, 특히 DRAM (Dynamic Random Access Memory) 또는 그와 같은 DRAM과 논리제어회로 또는 논리연산회로 등의 논리회로가 1개의 반도체기판에 혼재된 반도체 집적회로장치에 적용하여 유효한 기술에 관한 것이다.

DRAM의 메모리셀은 일반적으로 반도체기판의 주면상에 매트릭스형상으로 배치된 여러개의 워드선과 여러개의 비트선의 교점에 배치되고, 1개의 메모리셀 선택용 MISFET(Metal Insulator Semiconductor Field Effect Transistor)와 이것에 직렬로 접속된 1개의 정보축적용 용량소자(캐패시터)로 구성되어 있다. 메모리셀 선택용 MISFET는 주위가 소자분리영역으로 둘러싸인 활성영역에 형성되고, 주로 게이트산화막, 워드선과 일체로 구성된 게이트전극 및 소스, 드레인을 구성하는 한쌍의 반도체영역으로 구성되어 있다. 비트선은 메모리셀 선택용 MISFET의 상부에 배치되고, 그의 연장방향에 인접하는 2개의 메모리셀 선택용 MISFET에 의해서 공유되는 소스와 드레인중의 한쪽과 전기적으로 접속되어 있다. 정보축적용 용량소자는 마찬가지로 메모리셀 선택용 MISFET의 상부에 배치되고, 상기 소스와 드레인중의 다른쪽과 전기적으로 접속되어 있다.

일본국 특허공개공보 평성7-7084호(대응 미국특허 USP5, 279, 983)에 기재된 DRAM에서는 캐패시터의 하부전극(축적전극)이 위쪽에 개구를 갖는 원통형상으로 가공되고, 이것에 의해서 그의 표면적을 증가시키는 연구가 이루어지고 있다. 그리고, 하부전극상에 용량절연막이 형성되고, 그의 상부에 상부전극(플레이트전극)이 형성되어 있다.

이와 같은 원통형상의 하부전극을 갖는 캐패시터는 메모리셀 어레이영역과 주변회로영역 등 그 이외의 영역 사이에 캐패시터의 높이에 상당하는 단차가 발생한다.

이와 같은 단차가 존재하면, 캐패시터가 형성된 후에 형성되는 배선층의 패터닝시에 노출초점맞춤이 곤란하게 되어 미세한 배선패턴를 얻을 수 없게 된다. 반도체 집적회로장치의 미세화의 진전에 따라서 단위면적당 확보할 필요가 있는 축적용량값이 커지고, 이 때문에 캐패시터 높이가 더욱 높아지고 또한 배선패턴의 미세화에 따라서 허용되는 노출초점의 맞춤여유값이 점점 엄격한 것으로 된다.

일본국 특허공개공보 평성4-10651호(대응 미국특허 USP5,218,219)에는 상술한 메모리셀 어레이영역과 주변회로영역과의 단차를 완화시키기 위해서 절연막에 홈을 형성하고, 그 홈의 내벽을 따라 캐패시터를 형성한 DRAM이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상술한 DRAM에서는 메모리셀 어레이영역 이외의 영역에 캐패시터높이와 동등한 막두께를 갖는 절연막이 남는다. 미세화된 DRAM에 있어서는 캐패시터높이를 높게 하여 축적용량을 확보할 필요가 있으므로, 그 절연막의 두께는 1㎛에까지 달하는 경우도 발생한다. 이 때문에, 캐패시터 형성공정전에 형성된 제1층 배선과 캐패시터 형성공정후에 형성된 제2층 배선을 접속하는 경우에는 캐패시터높이와 동등한 막두께의 두꺼운 절연막에 접속구멍을 개구할 필요가 있고, 그 접속구멍의 애스펙트비(접속구멍의 개구직경에 대한 접속구멍의 깊이)가 커져 버린다. 즉, 제1층 배선과 제2층 배선을 플러그(plug)를 사용하여 접속하는 경우에도 높은 애스펙트비의 플러그에 의해 접속하게 되고, 이와 같은 높은 애스펙트비의 플러그를 형성하기 때문에 제조효율의 저하를 초래할 우려가 존재한다.

또, 접속구멍 형성의 에칭공정에 의해 접속구멍이 기판에까지 도달해 버려 제2층 배선과 기판이 쇼트(단락)해 버린다.

또, DRAM과 논리제어회로 또는 논리연산회로 등의 논리회로가 1개의 반도체기판에 혼재된 반도체 집적회로장치에 있어서는 논리회로부가 DRAM의 주변회로와 마찬가지로 높은 애스펙트비의 플러그에 의해서 제1층 배선과 제2층 배선이 접속되게 된다. 이와 같은 높은 애스펙트비의 플러그에 의해 배선이 접속되면, 그의 저항에 의해서 논리회로의 고속응답성 등의 성능이 저해되게 된다.

또한, 일본국 특허공개공보 평성9-92794호에는 단차의 저감 및 축적전극의 가공공정의 간략화를 위해 절연막에 캐패시터형성용 오목부와 플러그형성용 홈을 동시에 형성하는 방법이 개시되어 있지만, 캐패시터를 형성한 후에 배선(제2층 배선)을 형성할 때에는 CMP법을 사용할 수 없다는 문제점이 있다. 또, 상기 공보에 기재된 기술에 의해서 캐패시터의 하부전극을 주변회로의 제2층 배선과 동시에 형성한 경우에는 그 제2층 배선의 형성공정후에 캐패시터의 용량절연막의 형성을 실행하게 된다. 캐패시터의 축적전하의 증대를 고려하여 산화탄탈 등의 산화물금속으로 용량절연막을 구성한 경우에는 필연적으로 높은 온도의 열처리공정을 실시할 필요가 있고, 제2층 배선에 저저항의 동 또는 알루미늄 등의 금속재료를 사용하는 것은 열적 확산성 및 연화(軟化)의 관점에서 채용할 수 없다.

본 발명의 목적은 용량소자를 포함하는 메모리셀을 갖는 반도체 집적회로장치에 있어서 캐패시터높이와 동등한 막두께가 두꺼운 절연막을 사이에 두고 배치되는 제1층 배선과 제2층 배선과의 접속신뢰성을 향상시키는 것이다.

또, 본 발명의 다른 목적은 상기 제1층 배선과 제2층 배선과의 접속구멍 부분의 저항을 저감시키는 것이다.

또, 본 발명의 다른 목적은 제2층 배선 이상의 배선의 배선저항을 저감시키는 것이다.

또한, 본 발명의 다른 목적은 제2층 배선의 형성공정을 높은 열처리공정이 필요한 캐패시터의 형성공정이후로 하여 열확산계수가 큰 재료이더라도 제2층배선으로 사용하는 것이 가능한 기술을 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 메모리셀을 갖는 DRAM과 동일한 기판에 형성되는 주변회로 또는 논리회로의 고속응답성능을 향상시키는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

[1] 본 발명의 반도체 집적회로장치는 반도체기판의 메모리셀 어레이영역에 형성된 메모리셀 선택용 MISFET, 메모리셀 어레이영역의 주변의 주변회로영역에 형성된 주변회로용 MISFET, 메모리셀 선택용 MISFET 및 주변회로용 MISFET을 덮는 제1층간절연막, 메모리셀 어레이영역의 제1 층간절연막상에 형성된 비트선, 비트선상에 형성되고 메모리셀 선택용 MISFET의 한쪽의 소스, 드레인영역에 전기적으로 접속된 하부전극을 구비한 정보축적용 용량소자, 정보축적용 용량소자와 동일층에 형성되고 정보축적용 용량소자의 높이에 기인하는 메모리셀 어레이영역과 주변회로영역과의 단차를 완화 또는 해소시키는 제1 부분 및 정보축적용 용량소자를 덮는 제2 부분을 포함하는 제2 층간절연막을 갖는 반도체 집적회로장치로서, 제2 층간절연막의 표면이 평탄화되고 또한 제2 층간절연막의 표면근방에 배선홈이 형성되어 있고, 배선홈의 내부에는 표면과 동일면내에 그의 표면을 갖는 배선이 형성되어 있는 것이다.

또, 본 발명의 반도체 집적회로장치는 상기한 반도체 집적회로장치의 메모리셀 어레이영역 및 주변회로영역 이외에 연산회로 및 그밖의 논리회로를 구성하는 논리회로용 MISFET가 형성된 논리회로영역을 갖고, 이 논리회로영역의 제2 층간절연막에 대해서도 그의 표면이 평탄화되고 또한 그의 표면근방에 배선홈이 형성되고, 배선홈의 내부에는 표면과 동일면내에 그의 표면을 갖는 배선이 형성되어 있는 것이다.

이와 같은 반도체 집적회로장치에 의하면, 제2 층간절연막의 표면이 평탄화되어 있으므로, 메모리셀 어레이영역과 그밖의 영역 사이에 정보축적용 용량소자에 기인하는 단차가 형성되지 않고, 이와 같은 단차가 존재한 경우에는 당연히 발생할 노출광의 초점어긋남이 발생하지 않는다. 이 때문에, 제2 층간절연막상에 형성되는 배선 등의 패터닝을 정밀하게 실행할 수가 있다. 이것에 의해, 미세한 배선 등을 형성하여 반도체 집적회로장치의 고집적화 및 고성능화에 대응하는 것이 가능하게 된다.

단, 이와 같이 제2 층간절연막의 표면을 평탄화하면, 주변회로영역 또는 논리회로영역에 대한 제2 층간절연막의 막두께가 상기 단차에 상당하는 치수만큼 두꺼워지고, 아무런 대책을 실시하지 않는 종래기술의 경우에는 제2 층간절연막상에 형성하는 배선과 그의 하부부재를 접속하는 접속구멍을 높은 애스펙트비로 가공할 필요가 있는 것은 상기한 바와 같다.

그러나, 본 발명에서는 제2 층간절연막의 표면을 평탄화함과 동시에 그의 표면근방에 배선홈을 형성하고 이 배선홈에 제2 층간절연막의 표면과 동일평면내에 그의 표면을 갖는 배선이 형성되기 때문에, 제2 층간절연막의 하부의 부재와 배선바닥부와의 거리가 단축되어 배선과 상기 부재를 접속하는 접속부의 길이를 단축할 수가 있다. 이것에 의해, 접속부를 형성하는 접속구멍의 길이를 짧게 하여 그 가공을 용이하게 하고, 가공불량의 발생을 억제하여 반도체 집적회로장치의 제조효율과 신뢰성을 향상시킬 수가 있다. 또한, 접속부의 길이가 단축되기 때문에, 그의 접속부의 저항이 낮아지고 배선과 상기 부재의 접속저항을 저감해서 반도체 집적회로장치의 고속응답성 등의 성능을 향상시킬 수가 있다.

또, 상기 배선은 메모리셀 어레이영역에는 형성되지 않고 주변회로영역에만또는 주변회로영역 및 논리회로영역에만 형성할 수가 있다. 이것에 의해, 주변회로영역 또는 논리회로영역에서의 배선 및 접속부의 저항값을 저감하여 주변회로 및 논리회로의 고속응답성능을 향상시킬 수 있다. 특히, 논리회로부분의 고속응답성능의 향상은 그대로 연산속도의 향상 등 반도체 집적회로장치의 성능향상에 직접 영향을 미치므로 중요하다.

또한, 배선의 바닥면은 정보축적용 용량소자의 상면보다 아래쪽에 위치하는 것으로 할 수 있다. 이와 같이, 배선 바닥면을 정보축적용 용량소자의 상면보다 아래쪽에 위치시키는 것에 의해서, 배선 바닥면에서 그의 하부에 위치하는 부재를 향해 접속하는 접속부의 길이를 더욱 짧게 할 수가 있다. 접속부의 길이의 단축은 상기한 바와 같이 반도체 집적회로장치의 제조효율 및 신뢰성의 향상과 성능의 향상에 기여하기 때문에, 그 길이를 더욱 짧게 할 수 있는 것은 상기 효과를 더욱 현저하게 발현시킬 수 있는 것을 의미한다.

또한, 주변회로영역 또는 주변회로영역 및 논리회로영역의 제1 층간절연막상에는 비트선과 동일재료로 이루어지는 제1층 배선이 형성되고, 배선은 제1층 배선의 상부에 형성된 제2층 배선으로 할 수 있다. 이와 같이, 제1층간절연막상에 비트선과 동일재료의 제1층 배선을 형성하는 것에 의해서, 제1층 배선의 형성공정을 비트선의 형성공정과 동일하게 하여 공정을 간략화하는 것이 가능하게 된다. 또, 상기 배선을 제2층 배선으로 하고 제2층 배선과 접속되는 하부부재를 제1층 배선으로

하는 것에 의해서, 제2층 배선과 제1층 배선 사이 즉 접속부의 길이를 짧게 할 수 있다. 이것에 의해, 접속구멍의 형성공정의 용이화에 의한 제조효율 및 신뢰성의 향상, 접속부 길이의 단축화에 의한 직렬저항의 저감, 그것에 기인하는 반도체 집적회로장치의 성능향상을 한층더 현저하게 도모할 수 있다.

또, 배선(또는 제2층 배선)과 접속부는 배선이 배선홈에 형성되고 접속부가 접속구멍에 각각 형성되며, 일체로 형성된 것으로 할 수가 있다. 즉, 배선홈의 하부에 접속구멍을 형성하고, 배선 또는 제2층 배선은 접속구멍의 내부에 배선 또는 제2층 배선과 일체로 형성된 접속부를 거쳐서 주변회로용 MISFET, 논리회로용 MISFET 또는 제1층 배선에 접속되어 있는 것으로 할 수가 있다. 이와 같은 배선 및 접속부는 나중에 설명하는 바와 같이 소위 상감법(damascene method)(특히 배선과 접속부를 일체로 형성하는 이중상감법)에 의해 형성하는 것이 가능하다.

또, 배선 및 그의 접속부 또는 제2층 배선 및 그의 접속부는 동을 주도전층으로 하는 금속도전체로 할 수 있고, 이 경우 동으로 이루어지는 주도전층과 배선홈 및 접속구멍의 계면에는 탄탈막, 니오브막, 질화탄탈말, 질화티탄막 또는 질화텅스텐막 중에서 선택된 어느 1개의 또는 여러개의 박막을 형성할 수가 있다. 또, 배선 또는 제2층 배선의 표면을 실리콘질화막으로 덮을 수 있다.

동을 주도전층으로 하는 것에 의해 배선 및 접속부의 저항값을 저감하여 반도체 집적회로장치의 성능을 향상시킬 수 있다. 특히, 논리회로부분에서의 성능향상은 그 요구가 강하게 기대되고 있어 기술적효과가 크다. 또, 탄탈막, 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막 중에서 선택된 어느 1개 또는 여러개의 박막은 동에 대한 블록킹(blocking)층으로서 기능하는 것이다. 이것에 의해, 동의 층간절연막 등으로의 확산을 방지하여 반도체 집적회로장치의 신뢰성을 향상시킬 수 있다. 특히, 탄탈막 및 니오브막은 탄탈 및 니오브와 동과의 화학결합이 안정하게 존재하고, 탄탈/동 계면(니오브/동 계면)에서의 동원자의 이동이 억제된다. 이 때문에, 동의 확산뿐만 아니라 전자이동에 대해서도 그의 억제효과가 크고, 그 결과 내(耐)전자이동성이 우수한 높은 신뢰성의 반도체 집적회로장치를 얻을 수 있다. 또, 배선 또는 제2층 배선의 표면을 실리콘질화막으로 덮는 것에 의해서 동의 위쪽으로의 확산을 억제할 수가 있다.

또, 배선 및 그의 접속부 또는 제2층 배선 및 그의 접속부는 알루미늄을 주도전층으로 하는 금속도전체로 할 수 있고, 이 경우 알루미늄으로 이루어지는 주도전층과 배선홈 및 접속구멍의 계면에는 질화티탄막을 형성할 수가 있다.

알루미늄을 주도전층으로 하는 것에 의해서 배선 및 접속부의 저항값을 저감하여 반도체 집적회로장치의 성능을 향상시킬 수가 있다. 특히, 논리회로부분에서의 성능향상은 그 요구가 강하게 기대되고 있어 기술적효과가 크다. 또, 질화티탄막은 나중에 설명하는 알루미늄을 고압력하에서 접속구멍에 매립할 때의 웨팅층(wetting layer)으로서 기능시킬 수 있다.

또한, 하부전극은 위쪽에 열린구멍(開孔)을 갖는 통형상의 것으로 할 수 있다. 이와 같은 위쪽에 열린구멍을 갖는 통형상의 하부전극은 큰 표면적을 얻을 수 있기 때문에, 금후의 DRAM의 고집적화에는 유리한 형상이지만 필연적으로 입체적인 형상으로 되고, 그 때문에 정보축적용 용량소자에 기인하는 단차도 높아진다. 따라서, 본 발명을 적용한 경우의 효과가 특히 현저하게 되는 하부전극의 형상이다.

또, 배선 또는 제2층 배선의 상층에는 또, 그의 표면근방에 배선홈을 갖는 상층 층간절연막 및 배선홈내에 형성되고 그의 표면과 상층 층간절연막의 표면이 거의 동일평면내에 있는 상층 배선이 형성되어도 좋다. 이와 같이, 제2층 배선이상의 제3 또는 제4 배선층도 상기한 제2층 배선(배선)과 마찬가지로 해서 그의 직렬저항을 저감하여 반도체 집적회로장치의 성능을 향상시킬 수가 있다.

[2] 본 발명의 반도체 집적회로장치의 제조방법은 반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET를, 반도체기판의 주변회로영역 또는 논리회로영역에 주변회로용 MISFET 또는 논리회로용 MISFET를 각각 형성하는 공정, 메모리셀 선택용 MISFET 및 주변회로용 MISFET 또는 논리회로용 MISFET를 덮는 제1 절연막을 형성하는 공정, 메모리셀 어레이영역의 제1 절연막상에 비트선을 형성하는 공정, 비트선을 덮는 제2 절연막을 형성하는 공정, 메모리셀 어레이영역의 제2절연막상에 정보축적용 용량소자의 하부전극, 하부전극을 덮는 용량절연막 및 상부전극을 형성하는 공정, 정보축적용 용량소자상에 제3 절연막을 형성하는 공정을 포함하는 반도체 집적회로장치의 제조방법으로서, 제3 절연막의 표면을 CMP법에 의해 평탄화한 후 주변회로영역 또는 논리회로영역의 평탄화된 제3 절연막 및 그의 하층절연막에 배선홈 및 접속구멍을 형성하고, 배선홈 및 접속구멍의 내부를 포함하는 제3 절연막상에 제1 도전층 및 제2 도전층을 순차 퇴적시키고, 제3 절연막의 표면상의 제1 및 제2 도전층을 CMP법에 의해 제거하고, 배선홈내에 제1 및 제2 도전층으로 이루어지는 배선을 형성하고 접속구멍내에는 제1 및 제2 도전층으로 이루어지는 접속부를 형성하는 공정을 포함하는 것이다.

이와 같은 반도체 집적회로장치의 제조방법에 의하면, 소위 이중상감법에 의해 배선을 형성하여 상기 [1]에 기재한 반도체 집적회로장치를 형성할 수가 있다.

또, 본 제조방법에 의하면 배선은 정보축적용 용량소자를 형성한 후에 형성되기 때문에, 정보축적용 용량소자의 형성시에 통상 실행되는 높은 온도의 열처리에 의해 배선이 영향을 받는 일은 없다. 반대로 말하면, 정보축적용 용량소자의 형성시에 배선은 아직 형성되어 있지 않기 때문에, 배선의 내열성을 고려하여 정보축적용 용량소자의 형성시의 열공정을 제한할 필요가 없다. 이것에 의해, 정보축적용 용량소자의 형성시에는 충분히 높은 온도의 열처리(예를들면 700℃정도)를 실시하여 축적용량이 큰 정보축적용 용량소자를 형성할 수 있고, 또한 배선에는 내열성은 뒤떨어지지만 높은 도전율을 가진 재료 예를들면 동,알루미늄 등을 사용하여 배선저항을 저감시켜 반도체 집적회로장치의 성능을 향상시킬 수가 있다. 이와 같은 제조방법에 의해 융점이 낮은 알루미늄 또는 확산속도가 빠른 동을 배선재료로 사용하는 것이 가능하게 된다.

또, 본 제조방법에서는 배선홈을 형성한 후에 접속구멍을 형성하기 때문에, 배선홈의 깊이에 상당하는 분만큼 접속구멍의 깊이가 완화된다. 이 때문에, 접속구멍의 가공공정을 용이하게 하여 가공불량에 의한 반도체 집적회로장치의 제조효율의 저하를 억제할 수가 있다. 또, 접속구멍에 형성되는 접속부의 길이가 단축되기 때문에, 배선과 그것이 접속부에 의해 접속되는 하부부재 사이의 직렬저항을 저감하여 반도체 집적회로장치의 성능을 향상시킬 수가 있다.

또한, 제3 절연막의 평탄화시에는 정보축적용 용량소자에 기인하는 단차가 해소되지만, 이와 같은 단차를 해소하기 위해서는 제3 절연막의 퇴적전에 그 단차에 상당하는 절연막을 미리 형성하는 방법이 있다. 즉, 제3 절연막의 퇴적 전에 주변회로영역 또는 논리회로영역에 정보축적용 용량소자와 동일층에 형성되는 제4 절연막을 형성하고, 메모리셀 어레이영역과 주변회로영역 또는 논리회로영역 사이의 정보축적용 용량소자의 높이에 기인하는 단차를 완화 또는 해소시킬 수가 있다.

이 단차의 해소방법 즉 제4 절연막의 형성방법으로서는 제4 절연막을 정보축적용 용량소자의 하부전극의 형성시에 원통형상의 홈이 형성되는 절연막으로 하는 방법으로 할 수가 있다. 이 방법에 의하면, 정보축적용 용량소자의 하부전극을 위쪽에 개구를 갖는 통형상으로 하는 경우에는 제4 절연막을 별도로 형성할 필요가 없고, 하부전극을 형성할 때 필요한 제4 절연막을 단차의 완화에도 사용하는 것이므로 공정을 간략화할 수가 있다. 특히, 제3 절연막의 퇴적 및 CMP법에 의한 연마시에는 미리 제4 절연막에 의해 단차의 완화가 실행되고 있기 때문에, CMP공정에 의한 제3 절연막의 연마량이 많아지지 않아 CMP공정의 공정부하를 저감할 수가 있다.

또, 제3 절연막은 정보축적용 용량소자를 덮고 정보축적용 용량소자의 높이에 상당하는 치수이상의 막두께로 퇴적되는 것으로 해서 단차를 해소할 수도 있다. 이 경우, 단차의 해소는 제3 절연막의 퇴적 및 제3 절연막의 CMP법에 의한 연마만으로 실행한다. 이 경우의 CMP법에 의한 연마는 메모리셀 어레이영역상의 제3 절연막의 막두께가 상당히 두껍기 때문에, CMP법에 의해 평탄성을 확보하는 것이 곤란하게 되는 경우도 발생한다. 이와 같은 경우에는 주변회로영역 또는 논리회로영역에만 CMP법에 의한 연마의 연마속도 조정층(예를들면 제3 절연막의 대표적인 재료인 실리콘산화막보다 연마속도가 느린 실리콘질화막)을 퇴적시킬 수가 있다.

또, 상기 반도체 집적회로장치의 제조방법에 있어서, 비트선의 형성과 동시에 주변회로영역 또는 논리회로영역의 제1 절연막상에 비트선과 동일재료로 이루어지는 제l층 배선을 형성하고, 접속부는 제1층 배선에 접속되는 것으로 할 수 있다. 이와 같은 반도체 집적회로장치의 제조방법에 의하면 접속부의 길이를 단축화할 수 있다. 즉, 접속부가 형성되는 접속구멍의 깊이를 저감하여 접속구멍의 형성공정을 용이하게 하고, 가공불량의 발생을 억제하여 반도체 집적회로장치의 제조효율을 향상시킬 수 있다.

또, 제1 도전층을 질화티탄막으로 하고,제2 도전층을 알루미늄막으로 할 수가 있다. 이 경우, 알루미늄막의 퇴적후에 반도체기판을 고압력하에 유지하고 알루미늄막을 접속구멍내에 매립할 수 있다.

또는, 제l 도전층을 탄탈막, 니오브막, 질화탄탈막, 질화티탄막 또는 질화 텅스텐막 중에서 선택된 어느 1개의 또는 여러개의 박막으로 하고, 제2 도전층을 동막으로 할 수가 있다. 이 경우, 동막은 도금법에 의해 퇴적시킬 수 있다. 도금법에는 전해도금법 또는 무전해 도금법을 예시할 수 있다. 또,제3 절연막 및 배선상에 실리콘질화막을 퇴적시킬 수 있다.

[실시예]

이하, 본 발명의 실시예를 도면에 따라서 상세하게 설명한다. 또한, 실시예를 설명하기 위한 모든 도면에 있어서 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고 그 반복적인 설명은 생략한다.

<실시예1>

도 1은 본 발명의 실시예1인 DRAM을 형성한 반도체칩 전체의 1예를 도시한 평면도이다. 본 실시예의 DRAM은 256M비트의 기억용량을 갖고, 그의 외형사이즈(크기)는 예를들면 12×5㎟이고 메모리 점유율은 58%이다. 도시한 바와 같이, 단결정실리콘으로 이루어지는 반도체칩(1A)의 주면에는 X방향(반도체칩(lA)의 긴변방향) 및 Y방향(반도체칩(lA)의 짧은변방향)을 따라 다수의 메모리어레이MARY가 매트릭스형상으로 배치되어 있다. X방향을 따라서 서로 인접하는 메모리어레이MARY 사이에는 센스앰프SA가 배치되고, 센스앰프SA에 접속되는 비트선BL에는 512개의 메모리셀이 연결되어 있다. 워드선에 계층워드구조가 채용되고 있는 경우, Y방향을 따라 서로 인접하는 메모리어레이MARY 사이에는 서브워드디코더SWD가 배치되어 있다. 또한, 반도체칩(lA)의 주면의 중앙부에는 워드드라이버WD, 데이타선 선택회로 등의 제어회로나 입출력회로,본딩패드 등이 배치되어 있다.

도 2는 본 실시예1의 DRAM의 등가회로도이다. 도시한 바와 같이, 이 DRAM의 메모리어레이(MARY)는 매트릭스형상으로 배치된 여러개의 워드선WL(WLn-1, WLn, WLn+ 1…)과 여러개의 비트선BL 및 그들의 교점에 배치된 여러개의 메모리셀(MC)에 의해 구성되어 있다. 1비트의 정보를 기억하는 1개의 메모리셀은 1개의 캐패시터C와 이것에 직렬로 접속된 1개의 메모리셀 선택용 MISFET Qs로 구성되어 있다. 메모리셀 선택용 MISFET Qs의 소스와 드레인 중의 한쪽은 캐패시터C와 전기적으로 접속되고, 다른쪽은 비트선BL과 전기적으로 접속되어 있다. 워드선WL의 한쪽끝은 워드드라이버WD에 접속되고, 비트선BL의 한쪽끝은 센스앰프SA에 접속되어 있다.

도 3은 본 실시예1의 DRAM의 주요부 단면도이다. 도 3에 있어서 A영역은 메모리어레이MARY의 일부를 나타내고, B영역은 주변회로의 일부를 나타낸다.

p형 단결정실리콘으로 이루어지는 반도체기판(1)의 주면에는 A영역의 p형 웰(2), B영역의 p형 웰(3) 및 n형 웰(4)가 형성되어 있다. 또, p형 웰(2)를 둘러싸도록 n형의 디프웰(deep well)(6)이 형성되어 있다. 또, 각 웰에는 임계값전압 조정층이 형성되어 있어도 좋다.

각 웰의 주면에는 분리영역(7)이 형성되어 있다. 분리영역(7)은 실리콘산화막으로 이루어지고, 반도체기판(1)의 주면에 형성된 얕은 홈(8)에 열산화된 실리콘산화막(9)를 거쳐서 형성되어 있다.

p형 웰(2)의 주면에는 DRAM의 메모리셀 선택용 MISFET Qs가 형성되어 있다. 또, p형 웰(3) 및 n형 웰(4)의 주면에는 각각 n채널 MISFET Qn 및 p채널 MISFET Qp가 형성되어 있다.

메모리셀 선택용 MISFET Qs는 p형 웰(2)의 주면상에 게이트절연막(10)을 거쳐서 형성된 게이트전극(11)과 게이트전극(l1)의 양측의 p형 웰(2)의 주면에 형성된 불순물반도체영역(l2)로 이루어진다. 게이트절연막(10)은 예를들면 7～8㎚의 막두께를 갖는 열산화에 의해 형성된 실리콘산화막으로 이루어진다. 게이트전극(11)은 예를들면 막두께70㎚의 다결정실리콘막(1la), 막두께50㎚의 질화티탄막 (llb) 및 막두께100㎚의 텅스텐막(11c)의 적층막으로 할 수 있다. 또, 불순물반도체영역(12)에는 n형 불순물 예를들면 비소(As) 또는 인(P)이 도입되어 있다.

메모리셀 선택용 MISFET Qs의 게이트전극(1l)의 상층에는 실리콘질화막으로 이루어지는 캡(cap)절연막(l3)이 형성되고, 또 그의 상층은 실리콘질화막(14)로 피복된다. 실리콘질화막(14)는 게이트전극(1l)의 측벽에도 형성되고, 나중에 설명하는 접속구멍을 형성할 때의 자기정합가공에 이용된다. 또, 메모리셀 선택용 MISFET Qs의 게이트전극(11)은 DRAM의 워드선으로서 기능하는 것이고, 분리영역(7)의 상면에는 워드선WL이 형성되어 있다.

한편, n채널 MISFET Qn 및 p 채널 MISFET Qp는 각각 p형 웰(3) 및 n형 웰(4)의 주면상에 형성되고, 게이트절연막(10)을 거쳐서 형성된 게이트전극(1l)과 게이트전극(11)의 양측의 각 웰의 주면에 형성된 불순물반도체영역(l5)로 구성된다. 게이트절연막(10) 및 게이트전극(11)은 상기와 마찬가지이다. 불순물반도체영역(l5)는 저농도 불순물영역(l5a)와 고농도 불순물영역(15b)로 이루어지고, 소위 LDD(Lightly Doped Drain)구조를 형성하고 있다. 불순물반도체영역(15)에 도입되는 불순물은 MISFET의 도전형에 따라서 n형 또는 p형의 불순물이 도입된다.

n채널 MISFET Qn 및 p채널 MISFET Qp의 게이트전극(l1)의 상층에는 실리콘질화막으로 이루어지는 캡절연막(l3)이 형성되고, 측면에는 예를들면 실리콘질화막으로 이루어지는 사이드월스페이서(side wall spacer)(16)이 형성되어 있다.

메모리셀 선택용 MISFET Qs, n채널 MISFET Qn 및 p채널 MISFET Qp는 층간절연막(17)에 의해 덮여 있다. 층간절연막(17)은 예를들면 SOG(Spin 0n Glass)막, TEOS(테트라에톡시실란)을 원료가스로 하여 플라즈마CVD법에 의해 형성된 실리콘산화막(이하, TEOS산화막이라고 한다)이 CMP(Chemical Mechanical Polishing)법에 의해 평탄화된 TEOS산화막 및 TEOS산화막의 적층막으로 할 수 있다.

층간절연막(17)상에는 또 TEOS산화막(17d)가 형성되고, 그의 상면에 비트선BL 및 제l층 배선(18)이 형성되어 있다. 비트선BL 및 제1층 배선(18)은 예를들면 질화티탄막과 텅스텐막의 적층막으로 할 수 있다. 이것에 의해, 비트선BL 및 제1층 배선(18)을 저저항화하여 DRAM의 성능을 향상시킬 수 있다. 또한, 비트선BL과 제1층 배선(18)은 나중에 설명하는 바와 같이 동시에 형성된다. 이것에 의해, 공정을 간략화할 수가 있다.

비트선BL은 플러그(19) 및 플러그(19b)를 거쳐서 한쌍의 메모리셀 선택용 MISFET Qs에 공유되는 불순물반도체영역(12)에 접속된다. 플러그(19)는 예를들면 n형의 불순물이 도입된 다결정실리콘막으로 할 수 있다. 플러그(19b)는 예를들면 질화티탄막과 텅스텐막의 적층막으로 할 수 있다. 또, 플러그(19)와 플러그(19b)의 접속부에는 코발트실리사이드막(20)이 형성되어 있다. 이것에 의해, 플러그(19)와 플러그(19b) 사이 즉 비트선BL과 플러그(l9) 사이의 접속저항을 저감하여 접속신뢰성을 향상시킬 수가 있다.

제l층 배선(18)은 접속구멍(21)내에 형성된 플러그(22)를 거쳐서 n채널 MISFET Qn 및 p채널 MISFET Qp의 불순물반도체영역(15) 또는 게이트전극(11)에 접속된다. 플러그(22)는 플러그(19b)와 마찬가지로 예를들면 질화티탄막과 텅스텐막의 적층막으로 할 수 있다. 또, 플러그(22)와 불순물반도체영역(l5)의 접속부에는 코발트실리사이드막(20)이 형성되어 있다. 이것에 의해, 플러그(22)와 불순물반도체영역(15) 사이의 접속저항을 저감하여 접속신뢰성을 향상시킬 수가 있다.

비트선BL 및 제l층 배선(18)은 층간절연막(23)으로 덮여 있다. 층간절연막(23)은 예를들면 SOG막, CMP법에 의해 평탄화된 TEOS산화막 및 TEOS산화막의 적층막으로 할 수 있다. 또, 비트선BL 및 제1층 배선(18)은 실리콘질화막으로 이루어지는 캡절연막 및 사이드월스페이서로 덮여 있어도 좋다.

층간절연막(23)의 상층의 A영역에는 정보축적용의 캐패시터C가 형성되어 있다. 또, B영역의 층간절연막(23)의 상층에는 캐패시터C와 동일층에 절연막(24)가 형성되어 있다. 절연막(24)는 예를들면 실리콘산화막으로 할 수 있고, 캐패시터C와 동일층에 형성하는 것에 의해서 캐패시터C의 표고(標高)에 기인하는 A영역과 B영역 사이의 단차의 발생을 방지할 수가 있다. 이것에 의해, 포토리소그래피의 초점심도에 여유를 갖게 할 수 있고, 공정을 안정하게 하여 미세가공에 대응할 수가 있다. 또, 층간절연막(23)의 상면에는 실리콘질화막(23b)가 형성되어 있다. 실리콘질화막(23b)는 나중에 설명하는 바와 같이 캐패시터C의 하부전극(27)을 형성할 때의 에칭스토퍼로서 기능하는 박막이다.

캐패시터C는 메모리셀 선택용 MISFET Qs의 비트선BL에 접속되는 불순물반도체영역(12)와는 반대의 불순물반도체영역(12)에 접속되는 플러그(25)에 플러그(26)을 거쳐서 접속되는 하부전극(27), 예를들면 실리콘질화막과 산화탄탈로 이루어지는 용량절연막(28) 및 예를들면 질화티탄으로 이루어지는 플레이트전극(29)로 구성된다.

캐패시터C의 상층에는 예를들면 TEOS산화막으로 이루어지는 절연막(30)이 형성되어 있다. 절연막(30)과 절연막(24)는 캐패시터C를 덮고, 이것을 다른 부재와 절연시키는 층간절연막(제2 층간절연막)이다. 절연막(24)가 상기 정보축적용 용량소자(캐패시터C)의 높이에 기인하는 상기 메모리셀 어레이영역과 상기 주변회로영역과의 단차를 완화 또는 해소시키는 부분(제1 부분)에 상당하고, 절연막(30)이 정보축적용 용량소자를 덮는 부분(제2 부분)에 상당한다. 절연막(30)의 표면은 CMP법에 의해 평탄화되어 반도체기판(1)의 전면에 있어서 평탄성이 확보되어 있다.

절연막(30) 및 절연막(24)의 표면 근방에는 배선홈(31)이 형성되고, 그 배선홈(31)내에는 제2층 배선(32)가 형성되어 있다. 도 3에 도시한 바와 같이 제2층 배선(32)의 표면과 절연막(30)의 표면은 동일평면내에 있고,또 제2층 배선(32)의 바닥면은 캐패시터C의 표면(플레이트전극(29)의 표면)보다 하부에 위치하고 있다. 제2층 배선(32)는 나중에 설명하는 바와 같이 CMP법에 의해 형성된다.

또, 배선홈(3l)의 하부에는 접속구멍(33)이 형성되고, 접속구멍(33)내에는 접속부(34)가 형성되어 있다. 제2층 배선(32) 및 접속부(34)는 일체로 형성되어 있고, 제2층 배선(32)는 제1 도전층(32a) 및 제2 도전층(32b)로 구성되고, 접속부(34)는 제1 도전층(34a) 및 제2 도전층(34b)로 구성된다. 제1 도전층(32a), (34a)는 예를들면 탄탈막으로 이루어지고,제2 도전층(32b), (34b)는 예를들면 동으로 이루어진다.

제2 도전층(32b), (34b)는 제2층 배선(32) 및 접속부(34)의 주도전층으로서 기능하는 것이다. 이와 같이 동으로 이루어지는 주도전층을 갖고 있으므로, 제2층 배선(32) 및 접속부(34)의 저저항화를 도모할 수 있고, 반도체 집적회로장치 특히 주변회로의 응답성을 고속화하여 DRAM의 성능을 향상시킬 수가 있다.

제1 도전층(32a), (34a)는 동의 확산을 방지하는 배리어층으로서 기능하는 것이다. 특히, 본 실시예에서는 탄탈막을 사용하기 때문에, 제l 도전층(32a), (34a)와 제2 도전층(32b), (34b)의 계면에서 Ta-Cu의 결합을 형성하여 동의 확산 또는 전자이동에 의한 이동을 유효하게 방지할 수가 있다. 또, Ta-Cu의 결합을 형성하는 것에 의해서 동막의 접착성을 향상시킬 수가 있다. 이것에 의해, DRAM의 신뢰성을 향상시킬 수 있다.

또, 본 실시예에서는 배선홈(31)의 하부에 접속구멍(33)이 형성되기 때문에, 배선홈(31)의 깊이에 상당하는 분만큼 접속구멍(33)의 깊이를 얕게 할 수 있다. 여기서는 예를들면 배선홈(31)의 깊이 즉 제2층 배선(32)의 막두께를 0.7㎛로 하고, 접속구멍(33)의 깊이 즉 접속부(34)의 길이를 0.7㎛로 할 수 있다. 이것은 종래 기술과 같이 절연막(30)상에 제2층 배선을 형성하는 경우에 비해 접속구멍의 깊이를 1.4㎛에서 0.7㎛로 단축할 수 있는 것을 의미한다. 이와 같이, 접속구멍(33)의 깊이를 얕게 하는 것에 의해서, 접속구멍(33)의 가공공정을 용이하게 하여 가공불량의 발생을 억제하고 접속신뢰성을 향상시켜 DRAM의 제조효율을 향상시킬 수가 있다. 또한, 접속구멍(33)의 깊이를 얕게 할 수 있기 때문에 접속부(34)의 길이도 짧게 할 수 있고, 접속부(34)의 저항을 저감하여 제2층 배선(32)와 제1층 배선(l8) 사이의 저항을 저감할 수가 있다.

또한, 여기서는 제l 도전층(32a),(34a)로서 탄탈막을 예시하고 있지만, 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막이어도 좋고 이들의 적층막이어도 좋다.

절연막(30) 및 제2층 배선(32)의 상면에는 실리콘질화막(35)가 형성되어 있다. 이와 같은 실리콘질화막(35)에 의해 동의 위쪽으로의 확산을 방지할 수가 있다.

실리콘질화막(35)의 상층에는 층간절연막(36)이 형성되고, 층간절연막(36)의 표면 근방에는 배선홈(37)이 형성되어 있다. 배선홈(37)의 바닥부에는 제2층 배선(32) 또는 캐패시터C의 플레이트전극(29)에 접속되는 접속구멍(38)이 형성되어 있다. 배선홈(37)의 내부에는 제3층 배선(39)가 형성되고, 접속구멍(38)의 내부에는 접속부(40)이 형성되어 있다. 층간절연막(36) 및 제3층 배선(39)의 표면은 동일평면내에 존재하고, 나중에 설명하는 바와 같이 CMP법에 의해 형성된다.

제3층 배선(39)는 제2층 배선(32)와 마찬가지로 제1 도전층(39a) 및 제2 도전층(39b)로 이루어지고, 접속부(40)은 접속부(34)와 마찬가지로 제1 도전층(40a) 및 제2 도전층(40b)로 이루어진다. 제1 도전층(39a), (40a)는 제l 도전층(32a), (34a)와 마찬가지로 예를들면 탄탈막으로 할 수 있고, 또 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막 또는 이들의 적층막으로 해도 좋다. 제2 도전층(39b), (40b)는 제2 도전층(32b), (34b)와 마찬가지로 예를들면 동으로 이루어진다. 제3층 배선(39)는 메인워드선MWB 또는 워드선WL의 션트(shunt)배선으로서 사용할 수가 있다.

층간절연막(36) 및 제3층 배선(39)의 표면에는 실리콘질화막(41)이 형성되어 있고, 실리콘질화막에 의해 제3층 배선(39)로부터의 동의 확산을 방지한다.

실리콘질화막(41)의 상층에는 층간절연막(42)가 형성되고, 그 표면근방에는 제2층 배선(32),제3층 배선(39)와 마찬가지 구성의 제4층 배선(43)이 형성되어 있다. 제4층 배선(43)은 도시하지 않은 접속부를 거쳐서 제3층 배선(39)에 접속된다. 제4층 배선(43)은 Y선택선YS로서 사용할 수 있다.

층간절연막(42) 및 제4층 배선(43)상에는 실리콘질화막(44)가 형성되고, 또 절연막(45) 및 패시베이션막(비활성화막)(46)이 형성되어 있다. 실리콘질화막(44)는 제4층 배선(43)으로부터의 동의 확산을 방지한다.

다음에, 본 실시예의 DRAM의 제조방법을 도 4～도 28을 사용해서 공정순으로 설명한다. 도 4～도 28은 본 발명의 1실시예의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도이다.

우선, p형의 반도체기판(1)을 준비하고, 이 반도체기판(1)의 주면에 얕은홈(8)을 형성한다. 그 후, 반도체기판(1)에 열산화를 실시하여 실리콘산화막(9)를 형성한다. 또, 실리콘산화막을 퇴적키고, 이것을 CMP법에 의해 연마하여 얕은홈(8)내에만 실리콘산화막을 남기고 분리영역(7)을 형성한다.

다음에, 포토레지스트를 마스크로 하여 불순물을 이온주입하고, p형 웰(2),(3), n형 웰(4) 및 디프웰(6)을 형성한다(도 4).

다음에, p형 웰(2), (3), n형 웰(4)가 형성된 활성영역에 열산화법에 의해 게이트절연막(10)을 형성하고, 또 반도체기판(1)의 전면에 불순물이 도프된 다결정실리콘막, 질화티탄막, 텅스텐막 및 실리콘질화막을 순차 퇴적시킨다. 그 후, 실리콘질화막, 텅스텐막, 질화티탄막 및 다결정실리콘막을 포토리소그래피기술 및 에칭기술을 사용하여 패터닝하고, 게이트전극(11)(워드선WL) 및 캡절연막(13)을 형성한다. 또, 캡절연막(13)및 게이트전극(11)과 포토레지스트를 마스크로 해서 불순물을 이온주입하고, 불순물반도체영역(12)및 저농도 불순물영역(15a)를 형성한다(도 5).

다음에, 반도체기판(1)의 전면에 실리콘질화막(도시하지 않음)을 퇴적시키고, 메모리셀이 형성되는 영역(A영역)에만 포토레지스트막(47)을 형성한다. 그 후,그 포토레지스트막을 마스크로 하여 상기 실리콘질화막을 이방성에칭하고, A영역의 반도체기판(1)상에만 실리콘질화막(14)를 형성함과 동시에 B영역의 게이트전극(11)의 측벽에 사이드월스페이서(16)을 형성한다. 또, 사이드월스페이서(16)을 마스크로 해서 불순물을 자기정합적으로 이온주입하고 고농도 불순물영역(15b)를 형성한다(도 6).

다음에, 포토레지스트막(47)을 남긴 상태에서 반도체기판(1)의 전면에 코발트막(도시하지 않음)을 스퍼터법 등에 의해 퇴적시키고, 포토레지스트막(47)을 제거한 후 열처리를 실행하여 코발트막과 고농도 불순물영역(15b) 사이에서 선택적으로 실리사이드반응을 실행하고, 그 후 미반응의 코발트막을 선택적으로 에칭하여 제거하고, 코발트실리사이드막(20)을 고농도 불순물영역(15b)상에 형성한다.

다음에, 반도체기판(1)의 전면에 SOG막을 도포하고, 이것을 400℃정도의 온도에서 큐어링(curing)한 후 800℃정도의 열처리를 실시하여 안정화시킨다. 또 플라즈마CVD법에 의해 TEOS산화막을 퇴적시킨다. 이 경우의 TEOS산화막은 반도체기판(1)의 주면상에서 그의 표면이 1.3㎛의 높이로 되도록 퇴적시킬 수가 있다. 이 TEOS산화막을 CMP법을 사용해서 연마하고 그 표면을 평탄화시킨다. 이것에 의해, 게이트전극(11) 및 캡절연막(13)에 기인하는 단차가 해소된다. 그 결과, 이후의 포토리소그래피공정의 포커스마진(focus margin)을 향상시킬 수 있어 미세한 접속구멍의 개구 등이 가능하게 된다. 표면을 세정한 후 CMP법에 의해 생긴 TEOS산화막(17d)상의 긁힘(scratch)에 의한 손상을 보수하기 위해서, 또 TEOS산화막을 퇴적시킨다. 이와 같이 해서, SOG막, CMP법에 의해 평탄화된 TEOS산화막 및 TEOS산화막으로 이루어지는 층간절연막(17)을 형성한다.

다음에, 층간절연막(17)에 접속구멍을 개구하고, 플러그주입(plug inplantation)을 실시한 후에 불순물이 도프된 다결정실리콘막을 퇴적시키고, 이 다결정실리콘막을 CMP법에 의해 연마하여 플러그(19), (25)를 형성한다(도 7). 또한, 이 접속구멍은 2단계의 에칭에 의해 개구하여 반도체기판(1)의 과잉에칭을 방지할 수가 있다.

다음에, TEOS산화막(17d)를 형성한다. 이 TEOS산화막(17d)를 형성한 시점에서 반도체기판(1)의 주면으로부터의 표고는 약0.8㎛로 된다.

다음에, 비트선BL이 접속되는 플러그(19)가 노출되도록 TEOS산화막(17d)에 개구를 형성한다. 그 후, 반도체기판(1)의 전면에 코발트막(도시하지 않음)을 스퍼터법 등에 의해 퇴적시키고, 열처리를 실행하여 코발트막과 플러그(19) 사이에서 선택적으로 실리사이드반응을 실행하고, 그 후 미반응의 코발트막을 선택적으로 에칭하여 제거하고 코발트실리사이드막(20)을 플러그(19)상에 형성한다.

다음에, n채널 MISFET Qn 및 p채널 MISFET Qp의 불순물반도체영역(15) 및 게이트전극(11)이 노출되도록 층간절연막(17)에 접속구멍(21)을 형성한다(도 8). 또한, 이 단계에서 앞서 설명한 고농도불순물영역(15b)상의 코발트실리사이드막(20)을 형성할 수도 있다.

다음에, 반도체기판(1)의 전면 즉 접속구멍(21)의 내부를 포함하는 TEOS산화막(17d)상에 질화티탄막(22a) 및 텅스텐막(22b)를 예를들면 스퍼터법에 의해 퇴적시키고, TEOS산화막(17d) 표면의 질화티탄막(22a) 및 텅스텐막(22b)를 CMP법에 의해 연마하여 제거한다. 이와 같이 해서, 질화티탄막(22a) 및 텅스텐막(22b)로 이루어지는 플러그(22) 및 플러그(19b)를 형성한다(도 9). 또, 질화티탄막(22a)는 티탄막 및 질화티탄막의 적층막으로 할 수도 있다.

다음에, 질화티탄막(18a) 및 텅스텐막(18b)를 예를들면 스퍼터법에 의해 순차 퇴적시키고, 이것을 포토리소그래피와 드라이에칭기술을 사용해서 패터닝하고, 질화티탄막(18a) 및 텅스텐막(18b)로 이루어지는 비트선BL 및 제1층 배선(18)을 형성한다(도 10). 이와 같이, 본 실시예에서는 비트선BL과 제1층 배선(18)을 동시에 형성하기 때문에 공정을 간략화할 수가 있다. 또한, 플러그(22)를 형성한 후에 비트선BL 및 제1층 배선(18)을 형성하기 때문에, 비트선BL 및 제1층 배선(18)의 막두께를 얇게 할 수 있고, 그 결과 특히 비트선BL 사이의 선간용량을 저감하여 축적전하의 유무의 검출감도를 향상시킬 수 있다.

또한, 비트선BL 및 제l층 배선(l8)은 단층의 텅스텐막에 의해 형성할 수도 있다. 비트선BL 및 제1층 배선(18)을 텅스텐막만으로 형성하는 것에 의해서 질화티탄막과의 적층막의 경우에 비해 동일단면적 상태에서의 저항값을 저감할 수 있다. 이것은 질화티탄보다 텅스텐쪽이 저항율이 낮은 것에 기인한다. 또한, 비트선BL 및 제1층 배선(18)에는 예를들면 실리콘질화막으로 이루어지는 캡절연막 및 사이드월스페이서를 형성할 수 있다.

다음에, 반도체기판(1)의 전면에 SOG막을 도포하고, 이것을 400℃정도의 온도에서 큐어링한 후 플라즈마CVD법에 의해 TEOS산화막을 퇴적시킨다. 이 TEOS산화막의 퇴적은 그의 표면이 TEOS산화막(17d)에서 0.8㎛로 되도록 실행한다. 그 후, 이 TEOS산화막을 CMP법을 사용해서 연마하고, SOG막 및 표면이 평탄화된 층간절연막(23)을 형성한다. 평탄화된 층간절연막(23)의 표면은 TEOS산화막(l7d)에서 0.6㎛로 된다. 이것에 의해, 이후의 포토리소그래피공정의 포커스마진을 향상시킬 수 있어 미세한 접속구멍의 개구 등이 가능하게 된다. 또한, 표면을 세정한 후 또 TEOS산화막을 퇴적시키고 CMP법에 의해 형성된 긁힘을 덮어도 좋다.

다음에, 층간절연막(23)에 접속구멍을 개구하고, 불순물이 도프된 다결정실리콘막을 퇴적시키고, 이 다결정실리콘막을 CMP법에 의해 연마하여 플러그(26)을 형성한다(도 l1).

다음에, 반도체기판(1)의 전면에 200㎚ 막두께의 실리콘질화막(23b)를 형성하고 절연막(24)를 퇴적시킨다(도 l2). 절연막(24)의 퇴적은 플라즈마 CVD에 의해 실행할 수 있고, 그 막두께는 1.2㎛로 한다.

다음에, 캐패시터C의 형성공정을 설명한다. 필요한 축적용량은 약30pF 이다.

캐패시터C가 형성되는 영역에 0·75×0.25㎛의 치수로 홈(48)을 형성한다. 홈(48)의 형성에 의해서 플러그(26)을 노출시킨다(도 13). 홈(48)의 형성에는 포토리소그래피 및 드라이에칭기술을 사용할 수 있다.

다음에, 홈(48)을 덮는 다결정실리콘막(49)를 반도체기판(l)의 전면에 퇴적시키고, 또 반도체기판(1)의 전면에 실리콘산화막(50)을 퇴적시킨다(도 14). 다결정실리콘막(49)에는 인을 도프할 수 있고, 그 막두께는 0.03㎛로 할 수 있다. 다결정실리콘막(49)의 막두께가 홈(48)의 치수에 대해 충분히 얇기 때문에, 다결정실리콘막(49)는 홈(48)의 내부에도 스텝커버리지(step-coverage)좋게 퇴적된다. 실리콘산화막(50)은 홈(48)의 내부에 매립되도록 퇴적시킨다. 홈(48)의 내부로의 매립성을 고려하면, 실리콘산화막(50)은 SOG막 또는 TEOS를 사용한 CVD법에 의한 실리콘산화막으로 할 수 있다.

다음에,절연막(24)상의 실리콘산화막(50) 및 다결정실리콘막(49)를 제거해서 캐패시터C의 하부전극(27)을 형성한다(도 15). 실리콘산화막(50) 및 다결정실리콘막(49)의 제거는 에치백법 또는 CMP법에 의해 실행할 수 있다. 또한, 하부전극(27)의 내부에는 실리콘산화막(50)이 잔존하고 있다.

다음에, 포토레지스트막(51)을 마스크로 해서 웨트에칭(습식에칭)을 실시하고,메모리셀 어레이영역(A영역)의 절연막(24) 및 실리콘산화막(50)을 제거한다(도 16). 이것에 의해, 하부전극(27)이 노출된다.

또한, 실리콘질화막(23b)는 웨트에칭공정에서의 에칭스토퍼로서 기능한다. 또, 절연막(24)의 에지부분은 웨트에칭에 의해 에칭되기 때문에, 엄밀하게는 도시한 바와 같이 급준하지는 않지만 간단화를 위해 급준하게(직각으로) 도시하고 있다.

이와 같이, 주변회로영역(B영역)에 절연막(24)를 잔존시키고 있으므로, 캐패시터C가 형성된 후의 메모리셀 어레이영역(A영역)과 주변회로영역(B영역) 사이에 캐패시터C의 높이(하부전극(27)의 높이이기도 하다)에 기인한 단차가 크게 형성되지 않으므로,캐패시터C의 형성공정후의 공정의 포토리소그래피를 정밀하게 실행할 수 있어 DRAM의 고집적화에 대응하는 것이 용이하게 된다.

다음에, 하부전극(27)의 표면을 질화 또는 산질화 처리한 후, 산화탄탈막을 퇴적시킨다. 산화탄탈막의 퇴적은 유기탄탈가스를 원료가스로 한 CVD법에 의해 형성할 수 있다. 이 단계에서의 산화탄탈막은 비정질(아몰퍼스)구조를 갖는 것이다. 여기서, 산화탄탈막에 열처리를 실시하여 결정화(다결정화)된 산화탄탈막(Ta_2O_5)으로 하고, 더욱 강고한 유전체로서 용량절연막(28)을 형성한다. 이 열처리는 700℃ 이상의 온도에서 실행할 필요가 있다. 따라서, 본 열처리공정전에 형성된 부재의 내열성이 문제로 되지만, 본 실시예에서는 아직 내열성에 문제가 있는 제2층 배선 등이 형성되고 있지 않다. 이 때문에, 열처리공정에 특별히 제한을 마련할 필요는 없다. 이 때문에, 유전율이 큰 다결정 산화탄탈막을 안정하게 형성할 수 있고, 캐패시터C의 형성면적을 증대시키는 일없이 캐패시터C의 축적용량을 증가시킬 수가 있다.

또, 질화티탄막을 예를들면 CVD법에 의해 퇴적시킨다. 그 후, 포토레지스트막(52)를 사용해서 질화티탄막 및 다결정 산화탄탈막을 패터닝하고, 용량절연막(28) 및 플레이트전극(29)를 형성한다(도 17). 이와 같이 해서, 하부전극(27),용량절연막(28) 및 플레이트전극(29)로 이루어지는 캐패시터C가 형성된다.

다음에, TEOS산화막(53)을 반도체기판(1)의 전면에 퇴적시킨다(도 18). TEOS산화막(53)은 플레이트전극(29)를 절연하기 위한 것으로서, 그의 막두께는 0.3㎛로 한다. 이 TEOS산화막(53)을 CMP법에 의해 연마하여 평탄화하고 절연막(30)을 형성한다(도 19). 이 단계에서 절연막(30)의 상면과 제1층 배선(18)의 거리는 1.4㎛이다. 이와 같이, 절연막(24)에 의해 메모리셀 어레이영역(A영역)과 주변회로영역(B영역)의 단차를 미리 완화시키고 있으므로, TEOS산화막(53)을 평탄화하여 절연막(30)을 형성하는 CMP공정의 공정부하를 저감할 수가 있다. 또, 절연막(30)의 표면이 평탄화되어 있기 때문에, 그 후의 포토리소그래피공정을 정밀하게 실행하는 수 있어 미세한 가공이 가능해 지고, 또 나중에 설명하는 바와 같이 소위 상감법을 사용해서 배선을 형성해도 절연막(30)의 표면에 잔류금속이 생기지 않는다.

다음에, 포토레지스트막(54)를 사용해서 절연막(30)및 절연막(24)를 드라이에칭(건식에칭)에 의해 에칭하고 배선홈(31)을 형성한다(도 20). 또, 포토레지스트막(54)를 제거한 후 포토레지스트막(55)를 형성하고, 이것을 사용해서 절연막(24), 실리콘질화막(23b) 및 층간절연막(23)을 드라이에칭에 의해 에칭하여 접속구멍(33)을 형성한다(도 21). 이와 같이, 배선홈(31)의 바닥면 아래에 접속구멍(33)을 형성하므로, 접속구멍(33)을 가공하는 드라이에칭에서의 에칭깊이가 얕아진다. 이 때문에, 접속구멍(33)의 드라이에칭공정의 에칭애스펙트비를 작게 할 수 있고 에칭가공을 용이하게 할 수 있다. 그 결과, 접속구멍(33)의 드라이에칭공정에서의 가공불량을 저감하여 DRAM의 제조효율 향상 및 신뢰성의 향상을 도모할 수 있다.

다음에, 배선홈(31) 및 접속구멍(33)의 내부를 포함하는 반도체기판(1)의 전면에 탄탈막(56)을 스퍼터법 또는 CVD법을 사용해서 퇴적시킨다. 또, 동막(57)을 탄탈막(56)상에 퇴적시킨다(도 22). 동막(57)의 퇴적은 전해도금법 또는 무전해 도금법 등의 도금법에 의해 실행할 수 있다. 도금법을 사용하기 때문에, 접속구멍(33)과 같은 미세한 공간내에도 동막(57)을 양호하게 매립할 수가 있다.

다음에, 배선홈(31) 이외의 영역의 절연막(30)상의 동막(57) 및 탄탈막(56)을 CMP법을 사용해서 연마하여 제거한다. 이와 같이 해서, 배선홈(31)내에 제2층 배선(32)를 형성하고 접속구멍(33)내에 접속부(34)를 형성한다(도 23). 탄탈막(56)은 제2층 배선(32)의 제1 도전층(32a)로 되고, 접속부(34)의 제1 도전층(34a)로 된다. 또한, 동막(57)은 제2층 배선(32)의 제2 도전층(32b)로 되고, 접속부(34)의 제2 도전층(34b)로 된다. 상기한 바와 같이, 제2층 배선(32)와 접속부(34)는 일체로 형성된다. 제1 도전층(32a),(34a)가 동의 배리어막으로서 기능하고, 제2 도전층(32b), (34b)가 제2층 배선(32) 및 접속부(34)의 주도전층으로 되는 것은 상기한 바와 같다.

또한, 본 실시예에서는 제2층 배선(32)의 두께(배선홈(31)의 깊이)를 0.7㎛로 하고 접속부(34)의 길이(접속구멍(33)의 깊이)를 0.7㎛로 할 수 있다. 또, 탄탈막(56) 이외에 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막이어도 좋고 이들의 적층막이어도 좋다. 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막도 스퍼터법 또는 CVD법을 사용해서 퇴적시킬 수 있다.

다음에, 절연막(30) 및 제2층 배선(32)상에 실리콘질화막(35)를 퇴적시킨다(도 24). 실리콘질화막(35)의 퇴적은 플라즈마 CVD법 또는 스퍼터법에 의해 실행할 수 있다. 이 실리콘질화막(35)에 의해 제2층 배선(32)의 동의 확산을 억제할 수 있다.

다음에, 실리콘질화막(35)상에 층간절연막(36)을 퇴적시킨다. 층간절연막(36)으로서 TEOS산화막을 퇴적시킬 수 있다. 또, 상기한 배선홈(31) 및 접속구멍(33)의 경우와 마찬가지로 포토레지스트막을 마스크로 한 드라이에칭에 의해 층간절연막(36), 실리콘질화막(35) 또는 절연막(30)을 에칭하고, 배선홈(37) 및 접속구멍(38)을 형성한다(도 25).

다음에, 상기한 탄탈막(56) 및 동막(57)과 마찬가지로 배선홈(37) 및 접속구멍(38)의 내부를 포함하는 반도체기판(1)의 전면에 탄탈막(58) 및 동막(59)를 퇴적시킨다(도 26). 또,층간절연막(36)상의 탄탈막(58) 및 동막(59)를 CMP법에 의해 연마하여 제거하고, 배선홈(37)에 제3층 배선(39)를 형성하고 접속구멍(38)에 접속부(40)을 형성한다(도 27). 탄탈막(58)은 제3층 배선(39)의 제1 도전층(39a)로 되고, 접속부(40)의 제1 도전층(40a)로 된다. 또한, 동막(59)는 제3층 배선(39)의 제2 도전층(39b)로 되고, 접속부(40)의 제2 도전층(40b)로 된다. 제3층 배선(39)와 접속부(40)이 일체로 형성되는 것은 제2층 배선(32)의 경우와 마찬가지이다. 제1 도전층(39a), (40a)가 동의 배리어막으로서 기능하고, 제2 도전층(39b), (40b)가 제3층 배선(39) 및 접속부(40)의 주도전층으로 되는 것은 상기한 바와 같다.

또한, 탄탈막(58) 이외에 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막이어도 좋고 이들의 적층막이어도 좋다. 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막도 스퍼터법 또는 CVD법을 사용해서 퇴적시킬 수 있다.

다음에, 층간절연막(36) 및 제3층 배선(39)상에 실리콘질화막(41)을 퇴적시키고, 제3층 배선(39)의 경우와 마찬가지로 층간절연막(42), 제4층 배선(43) 및 도시하지 않은 접속부를 형성한 후 실리콘질화막(44)를 퇴적시킨다(도 28). 이들에 대해서는 제3층 배선(39)의 경우와 마찬가지이므로, 그의 상세한 설명을 생략한다.

마지막으로, 절연막(45)를 반도체기판(1)의 전면에 퇴적시킨 후 MISFET의 손상(damage)회복을 도모하기 위해서 400℃에서의 수소어닐처리를 실시하고, 또 반도체기판(1)의 전면에 패시베이션막(46)을 퇴적시켜 도 3에 도시한 DRAM이 거의 완성된다.

상기한 DRAM 및 그의 제조방법에 의하면, 절연막(30)이 평탄화되고 메모리셀 어레이영역(A영역)과 주변회로영역(B영역) 사이의 단차가 해소되어 있으므로, 제2층 배선(32)이후의 공정을 정밀하게 실행하여 가공정밀도를 향상시킬 수 있음과 동시에, 배선홈(31)의 바닥면 아래에 접속구멍(33)을 형성하기 때문에 상기 단차해소에 기인하는 절연막(30) 및 절연막(24)의 두께에 의한 접속구멍의 애스펙스비를 작게 할 수가 있다. 이것에 의해, 접속구멍(33)을 확실하게 개구하여 DRAM의 제조효율 및 신뢰성을 향상시킬 수 있다. 또한, 이 때문에 제2층 배선(32)의 바닥면은 캐패시터C의 상면보다 낮게 위치하게 된다.

또, 접속구멍(33)의 깊이가 얕아지므로, 접속부(34)의 길이가 단축되어 접속부(34)의 저항을 저감할 수가 있다. 이것에 의해, 제1층 배선(18)과 제2층 배선(32) 사이의 저항을 저감하여 DRAM의 주변회로의 고속응답성능 등의 성능향상을 도모할 수 있다.

또, 제2층 배선(32) 및 접속부(34)의 주도전층(제2 도전층(32b),(34b))에 동재료를 채용하여 제2층 배선(32) 및 접속부(34)의 저항을 더욱더 저감하고, DRAM의 성능을 더욱 향상시킬 수 있다.

또한, 본 실시예에서는 캐패시터C의 형성후에 제2층 배선(32) 및 접속부(34)를 형성하기 때문에, 캐패시터C의 용량절연막(28)의 형성공정에 있어서의 열처리에 제한을 마련할 필요는 없고, 안정하게 높은 유전율의 용량절연막(28)을 형성하고 캐패시터C의 축적용량값을 크게 할 수 있다. 반대로, 제2층 배선(32) 및 접속부(34)의 재료로서 내열성이 높은 다결정실리콘막이나 텅스텐막을 채용할 필요는 없고, 열확산하기 쉬운 동을 사용하는 것이 가능해진다. 이것에 의해, 도전율이 높은 동을 사용해서 제2층 배선(32) 및 접속부(34)의 저항을 저감하여 DRAM의 성능을 향상시킬 수 있다.

또, 본 실시예의 효과를 설명하기 위해서 이하에서는 일본국 특허공개공보 평성9-92794호에 기재된 기술 등(종래 기술)과 비교하여 설명한다.

일본국 특허공개공보 평성9-92794호에 기재된 기술에서는 제1층 배선과 제2층 배선을 접속하는 플러그를 캐패시터형성공정전에 형성하고 있기 때문에 플러그형성공정이 증가한다는 결점이 있고, 또 제2층 배선의 형성후에 캐패시터가 형성되기 때문에 동과 같은 확산계수가 높은 재료를 제2층 배선에 사용할 수가 없다. 가령 동을 제2층 배선에 사용한 경우, 캐패시터형성공정에 700℃라는 높은 온도의 열처리공정을 채용할 수는 없다. 그러나, 본 실시예에서는 이러한 문제점이 없다.

또, 본 실시예의 구조를 채용하지 않는 DRAM에서는 캐패시터C의 형성공정후에 제2층 배선이 메모리셀 어레이상에도 형성되지만, 플레이트전극과의 절연성을 확보할 필요가 있는 것 등에 의해서 또 실리콘산화막을 0.3㎛정도의 막두께로 퇴적시키고 있다. 이 때문에, 제2층 배선과 제1층 배선의 간격은 1.7㎛로 된다. 또, 제2층 배선은 메모리셀 어레이영역과 주변회로영역의 단차를 해소하는 절연막상에 형성되기 때문에, 제2층 배선과 제1층 배선을 접속하는 접속구멍의 깊이는 1. 7㎛로 된다. 가령 0. 3㎛두께의 실리콘산화막을 형성하지 않는 경우라도 접속구멍의 깊이는 1.4㎛로 된다. 따라서, 제2층 배선과 제1층 배선을 접속하는 플러그의 길이는 1.4㎛이상으로 된다. 이와 같은 애스펙트비가 높은 플러그를 형성하기 위해서는 깊은 접속구멍에도 매립가능한 질화티탄막 또는 브래킷(bracket)CVD법 등에 의한 텅스텐막의 채용이 필요하게 된다. 따라서, 이와 같은 기술에 의해 형성된 플러그의 저항은 약5Ω정도로 되고 또한 접속구멍이 깊기 때문에 제조효율은 70% 정도에 머무른다. 또, 이와 같이 높은 저항값의 플러그에 의해 주변회로의 배선을 구성하기 때문에, 주변회로의 동작주파수는 플러그의 저항에 의해 제어되고 최대 약125kHz로 된다.

이것에 대해서, 본 실시예에서는 상기 플러그에 상당하는 접속부(34)의 주도전층의 저항율이 낮은 동을 사용하고 또 그 길이가 0.7㎛로 짧기 때문에, 접속부(34)의 저항값은 1Ω이하로 된다. 또한, 제조효율의 경우는 접속구멍(33)의 깊이가 얕기 때문에 99%이상을 확보할 수가 있다. 따라서, 주변회로의 동작주파수는 접속부(34)가 동을 주도전층으로 하는 것에 부가해서 제2층 배선(32)도 주도전층을 동으로 하고 있으므로, 최대 700kHz 이상으로 할 수 있다.

또한, 본 실시예에서는 접속부(34)가 제1층 배선(18)에 접속되는 예를 설명하였지만, 주변회로영역(B영역)에 제1층 배선(18) 및 플러그(22)를 형성하지 않고 접속부(34)를 n채널 MISFET Qn 및 p채널 MLSFET Qp의 불순물반도체영역(15) 또는 게이트전극(11)에 직접 접속시킬 수도 있다. 이 경우, 제2층 배선(32)는 제1층 배선으로서 기능한다.

또, 본 실시예에서는 절연막(24)에 의해 캐패시터C에 기인하는 단차를 완화시키는 예를 설명했지만, 절연막(24)를 형성하지 않고 캐패시터C의 표고 이상의 막두께의 절연막(30)을 퇴적시키고 이 절연막(30)을 CMP법에 의해 연마하여 평탄화해도 좋다. 이 경우, 주변회로영역(B영역)의 CMP에 의한 디싱(dishing; 접시모양으로 침식되는 현상)을 방지하기 위해서, 주변회로영역(B영역)에 예를들면 실리콘질화막을 형성하는 것이 바람직하다.

또, 절연막(24)는 캐패시터C의 하부전극(27)을 형성하기 위한 홈(48)을 형성한 절연막(24)를 사용하는 것이 아니라, 캐패시터C의 형성후에 캐패시터C의 표고이상의 막두께의 절연막을 퇴적시키고 이 절연막을 주변회로영역(B영역)을 덮는 포토레지스트막을 마스크로 해서 에칭하고 주변회로영역에만 남기도록 해서 형성된 것이어도 좋다.

또한, 본 실시예에서는 제3층 배선(39),제4층 배선(43)에도 동을 주도전층으로 하는 배선을 적용한 예를 설명했지만, 하층 배선과 접속되는 플러그를 형성한 후에 예를들면 티탄막, 알루미늄막, 질화티탄막의 적층막을 패터닝하고 제3층 배선, 제4층 배선으로 해도 좋다.

<실시예2>

도 29는 본 발명의 다른 실시예인 DRAM의 주요부단면도이다. 본 실시예의 DRAM은 실시예1의 DRAM과 그 평면배치 및 회로구성(도 1 및 도 2)에 있어서 마찬가지이다. 따라서, 그 부분의 설명은 생략한다. 또, 본 실시예의 DRAM은 실시예1의 DRAM과 제2층 배선이상의 구성 및 제조방법에 대해서만 상이하고, 그 밖의 구성 및 절연막(30)으로의 배선홈(31) 및 접속구멍(33)의 형성공정(도 21)까지 마찬가지이다. 따라서, 그 부분의 설명에 관해서도 생략한다.

본 실시예의 DRAM의 제2층 배선(60)은 절연막(30) 및 절연막(24)의 표면근방에 형성된 배선홈(31)내에 형성되어 있다. 도 29에 도시한 바와 같이 제2층 배선(60)의 표면과 절연막(30)의 표면은 동일평면내에 있고, 또 제2층 배선(60)의 바닥면은 캐패시터C의 표면(플레이트전극(29)의 표면)보다 하부에 위치하고 있다. 이 점은 실시예1과 마찬가지이다.

또, 배선홈(31)의 하부에는 접속구멍(33)이 형성되고, 접속구멍(33)내에는 접속부(61)이 형성되어 있다. 제2층 배선(60) 및 접속부(61)은 실시예1과 마찬가지로 일체로 형성되어 있고, 제2층 배선(60)은 질화티탄막으로 이루어지는 제1 도전층(60a) 및 알루미늄막으로 이루어지는 제2 도전층(60b)로 구성된다. 접속부(61)은 질화티탄막으로 이루어지는 제1 도전층(61a) 및 알루미늄막으로 이루어지는 제2 도전층(61b)로 구성된다.

제2 도전층(60b), (61b)는 제2층 배선(60) 및 접속부(61)의 주도전층으로서 기능하는 것이다. 이와 같이 알루미늄으로 이루어지는 주도전층을 갖기 때문에, 제2층 배선(60) 및 접속부(61)의 저저항화를 도모할 수 있고,반도체 집적회로장치 특히 주변회로의 응답성을 고속화하여 DRAM의 성능을 향상시킬 수 있다. 제1 도전층(60a), (61a)는 알루미늄막을 형성할 때의 웨팅층으로서 기능하는 것이다.

또, 실시예1과 마찬가지로 배선홈(31)의 하부에 접속구멍(33)이 형성되기 때문에, 배선홈(31)의 깊이에 상당하는 분만큼 접속구멍(33)의 깊이를 얕게 할 수 있다. 따라서, 실시예1과 마찬가지로 제2층 배선(60)의 막두께를 0.7㎛로 하고, 접속부(61)의 길이를 0.7㎛로 할 수가 있다. 이 결과, 실시예1에서 설명한 가공불량 발생의 억제에 의한 접속신뢰성의 향상, DRAM의 제조효율 향상의 효과, 접속부(61)의 길이의 단축화에 의한 DRAM의 성능향상의 효과도 마찬가지로 얻을 수 있다.

절연막(30)및 제2층 배선(60)의 상면에는 층간절연막(62)가 형성되고, 층간절연막(62)에는 접속구멍(63)이 형성되어 있다. 접속구멍(63)에는 질화티탄막(64a) 및 텅스텐막(64b)로 이루어지는 플러그(64)가 형성되고, 제2층 배선(60) 또는 플레이트전극(29)에 접속되어 있다. 층간절연막(62)는 예를들면 TEOS산화막으로 할 수 있다.

층간절연막(62) 및 플러그(64)상에는 질화티탄막(65a), 알루미늄막(65b) 및 질화티탄막(65c)로 이루어지는 제3층 배선(65)가 형성되고, 제3층 배선(65)는 층간절연막(66)으로 덮여 있다. 또, 층간절연막(66)상에는 질화티탄막(67a), 알루미늄막(67b) 및 질화티탄막(67c)로 이루어지는 제4층 배선(67)이 형성되고, 제4층 배선(67)은 절연막(68)로 덮여 있다.

층간절연막(66) 및 절연막(68)은 예를들면 바이어스스퍼터를 병용한 CVD법에 의해 형성된 실리콘산화막으로 할 수 있다. 제3층 배선(65)는 메인워드선MWB 또는 워드선WL의 션트배선으로서 사용할 수 있다. 제4층 배선(67)은 도시하지 않은 접속부를 거쳐서 제3층 배선(65)에 접속된다. 제4층 배선(67)은 Y선택선YS로서 사용할 수 있다. 절연막(68)상에는 패시베이션막(46)이 형성되어 있다.

다음에, 본 실시예의 DRAM의 제조방법을 도 30~도 37을 사용해서 공정순으로 설명한다. 도 30~도 37은 본 발명의 다른 실시예의 DRAM의 제조방법의 1예를 공정순으로 도시한 단면도이다.

본 실시예의 DRAM의 제조방법은 상기한 바와 같이 실시예1의 도 21의 공정까지는 동일하다.

배선홈(31) 및 접속구멍(33)의 내부를 포함하는 반도체기판(1)의 전면에 질화티탄막(69)를 예를들면 CVD법을 사용해서 퇴적시킨다. 또, 알루미늄막(70)을 예를들면 스퍼터법을 사용해서 퇴적시킨다(도 30). 알루미늄막(70)은 스퍼터법에 의해 퇴적되므로, 도시한 바와 같이 스텝커버리지가 나쁘고 보이드(void) 등을 갖는 상태로 된다.

그래서, 반도체기판(1)을 3000기압 정도의 고압력하에 유지한다. 이와 같은 고압력하에서는 온도가 상승하여 알루미늄막(70)이 유동성을 갖는 상태로 되고, 배선홈(31) 및 접속구멍(33)의 내부에 완전히 매립된다(도 31). 이 때, 질화티탄막(69)가 알루미늄막(70)의 웨팅층으로서 기능하고 알루미늄의 유동성을 양호하게 하여 매립성을 향상시킬 수 있다.

다음에, 배선홈(31) 이외의 영역의 절연막(30)상의 알루미늄막(70) 및 질화티탄막(69)를 CMP법을 사용해서 연마하고 제거한다. 이와 같이 해서, 배선홈(31)내에 질화티탄막으로 이루어지는 제1 도전층(60a) 및 알루미늄막으로 이루어지는 제2 도전층(60b)로 구성되는 제2층 배선(60)을 형성하고, 접속구멍(33)내에 질화티탄막으로 이루어지는 제1 도전층(61a) 및 알루미늄막으로 이루어지는 제2 도전층(61b)로 구성되는 접속부(61)을 형성한다(도 32). 이와 같이, 제2층 배선(60)과 접속부(61)은 일체로 형성된다.

다음에, 절연막(30) 및 제2층 배선(60)상에 TEOS산화막을 퇴적시키고 층간절연막(62)를 형성한다. 또, 포토레지스트막을 마스크로 한 드라이에칭에 의해 층간절연막(62) 및 절연막(30)을 에칭하고 접속구멍(63)을 형성한다(도 33).

다음에, 접속구멍(63)의 내부를 포함하는 층간절연막(62)상에 질화티탄막(71) 및 텅스텐(72)를 순차 퇴적시키고(도 34), 접속구멍(63) 이외의 층간절연막(62)상의 질화티탄막(71) 및 텅스텐(72)를 CMP법에 의해 연마하여 제거하고, 질화티탄막(64a) 및 텅스텐막(64b)로 이루어지는 플러그(64)를 형성한다(도 35). 질화티탄막(64a) 및 텅스텐막(64b)는 CVD법 또는 스퍼터법에 의해 퇴적시킬 수 있다.

다음에, 질화티탄막을 CVD법에 의해 퇴적시키고 알루미늄막을 스퍼터법에 의해 퇴적시키며, 질화티탄막, 알루미늄막 및 질화티탄막으로 이루어지는 적층막을 퇴적시킨다. 그 후, 포토리소그래피와 드라이에칭기술을 사용해서 적층막을 패터닝하고, 질화티탄막(65a), 알루미늄막(65b) 및 질화티탄막(65c)로 이루어지는 제3층 배선(65)를 형성한다(도 36).

다음에, 스퍼터를 중첩시킨 CVD법에 의해 실리콘산화막을 퇴적시키고, 이것에 의해 실리콘산화막을 제3층 배선(65)에 매립한다. 그 후, 이 실리콘산화막을 CMP법을 사용해서 평탄화하여 층간절연막(66)을 형성한다. 또, 제3층 배선(65)와 마찬가지로 도시하지 않은 플러그 및 제4층 배선(67)을 형성한다(도 37).

마지막으로,절연막(68)을 반도체기판(1)의 전면에 퇴적시킨 후, MISFET의 손상회복을 도모하기 위해서 400℃에서의 수소어닐처리를 실시하고, 또 반도체기판(1)의 전면에 패시베이션막(46)을 퇴적시켜 도 29에 도시한 DRAM이 거의 완성된다.

본 실시예의 DRAM 및 그 제조방법에 의하면, 실시예1에서 설명한 효과와 마찬가지 효과를 얻을 수 있다. 또한, 본 실시예에서는 전기저항이 낮은 알루미늄을 사용하고 있기 때문에, 접속부(61)의 저항값은 1Ω이하이다. 또한, 제조효율은 접속구멍(33)이 짧기 때문에 99%이상이다. 또, 주변회로의 동작주파수는 제2층 배선(60) 및 접속부(61)이 알루미늄을 사용하고 있기 때문에, 최대 500kHz 이상이다.

<실시예3>

도 38은 본 발명의 또 다른 실시예인 반도체 집적회로장치를 형성한 반도체칩 전체의 1예를 도시한 평면도이다.

본 실시예의 반도체 집적회로장치는 DRAM과 논리회로를 단일칩내에 혼재시킨 것으로서, 논리부(201)과 메모리부(202)를 갖는다. 논리부(20l)에는 논리연산 등을 실행하는 CPU, 스택(stack) 등이 형성되고, 메모리부(202)에는 데이타의 기억소자가 형성되어 있다. 메모리부(202)의 주변에는 제1 입출력부(I/O부)(203), 제2 입출력부(204)가 배치되어 데이타의 입출력을 제어한다. 또한, 제1 입출력부(203) 및 제2 입출력부(204)를 거쳐서 입출력되는 데이타는 디코더부(206)을 거쳐서 버스(205)로 전송되고, 논리부(201)로 보내진다.

본 실시예의 반도체 집적회로장치의 칩사이즈는 15×8㎟이고, DRAM의 메모리용량은 256M비트이다.

도 39는 본 실시예의 DRAM의 주요부 단면도이다. 본 실시예의 DRAM의 메모리셀 어레이영역(A영역) 및 주변회로영역(B영역)은 실시예l과 그 구성 및 제조방법에 있어서 마찬가지이다. 따라서, 그 부분의 설명을 생략한다.

본 실시예의 반도체 집적회로장치는 메모리셀 어레이영역(A영역) 및 주변회로영역(B영역) 이외에 논리회로영역(D영역)을 갖는다. 논리회로영역은 메모리셀 어레이영역 및 주변회로영역 이외의 영역으로서, 예를들면 논리부(201),제l 입출력부(203), 제2 입출력부(204),버스(205) 등이 형성되어 있다.

논리회로영역(D영역)의 반도체기판(1)에는 주변회로영역과 마찬가지의 p형 웰(3),분리영역(7)이 형성되고, 그의 주면상에는 주변회로영역과 마찬가지의 n채널 MISFET Qn이 형성되어 있다. 여기서는 n채널 MISFET Qn2를 예시하고 있지만, p 채널 MISFET이어도 좋다. 또, CMISFET구조를 갖고 있어도 좋다.

n채널 MISFET Qn2의 게이트전극(ll), 캡절연막(13), 사이드월스페이서(16), 소스, 드레인영역을 구성하는 불순물반도체영역(l5)는 주변회로영역과 마찬가지이다. 또, 층간절연막(17), TEOS산화막(l7d) 및 그의 상층에 형성되는 제1층 배선(18), 플러그(22)도 주변회로영역과 마찬가지이다. 또,층간절연막(23), 실리콘질화막(23b), 절연막(24), 절연막(30), 제2층 배선(32),접속부(34), 실리콘질화막(35), (41), (44), 층간절연막(36), (42),제3층 배선(39), 접속구멍(38),제4층 배선(43),제4층 배선의 접속부(43b), 절연막(45), 패시베이션막(46)에 관해서도 주변회로영역과 마찬가지다. 따라서, 그 설명을 생략한다. 제4층 배선(43)은 메모리부(202)와 논리부(201)을 접속하는 버스(205)에 적용할 수가 있다.

본 실시예의 반도체 집적회로장치의 제조방법은 상기한 논리회로영역의 각각의 부재에 대응하는 주변회로영역의 각 부재의 제조방법과 마찬가지이고, 실시예1에서 설명한 바와 같다. 따라서, 상세한 설명을 생략한다.

본 실시예의 반도체 집적회로장치에 의하면, 상기한 실시예1의 효과에 부가해서 이하의 효과를 갖는다. 즉, 도 39에 도시한 바와 같이 DRAM의 영역(메모리셀 어레이영역(A영역) 및 주변회로영역(B영역))과 논리회로영역(D영역)이 동일한 제2층 배선(32),제3층 배선(39) 및 제4층 배선(43)에 의해 접속되게 되지만, 이들 배선은 동을 주도전층으로 하는 고속응답성능이 우수한 배선이다. 따라서, DRAM 부분과 논리회로 부분은 고속배선에 의해 접속되고, 반도체 집적회로장치의 동작주파수를 크게 하여 반도체 집적회로장치의 성능을 향상시킬 수 있다. 본 실시예의 경우, 동작주파수는 최대 700kHz 이상으로 할 수 있다. 이와 같은 고속응답성능은 DRAM과 논리회로를 별개로 독립시킨 반도체칩으로 구성한 경우에는 그들을 접속하는 배선을 길게 하지 않으면 안되어 높은 동작주파수가 얻어지지 않는다. 한편, 동일칩에 DRAM과 논리회로를 혼재시킨 경우라도 저항율이 높은 배선을 사용하는 경우나 저항값이 높은 접속부 또는 플러그에 의해 다른 층(異層)간의 배선접속을 실행하는 경우에도 이와 같은 높은 동작주파수는 얻기 힘들다. 즉, 본 실시예에서는 접속부(34)의 저항값을 저감하고, 제2층 배선(32), 제3층 배선(39) 및 제4층 배선(43)에 저항율이 낮은 동재료를 사용하고 또한 DRAM의 영역과 논리회로영역에서 동일한 배선을 사용하는 것에 의해, 상기한 난점(難点)을 해소하여 반도체 집적회로장치의 성능을 현저하게 향상시킨 것이다.

이상, 본 발명자에 의해서 이루어진 발명을 발명의 실시예에 따라서 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위내에서 여러가지로 변경가능한 것은 물론이다.

예를들면, 상기 실시예에서는 실리콘 MISFET를 예시해서 설명했지만, 다른 반도체재료를 사용한 MIS형 반도체장치에도 적용할 수 있다.

발명의 효과

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다.

[1] COB구조의 메모리셀을 갖는 반도체 집적회로장치에 있어서, 입체화된 캐패시터와 동일층에 형성된 두꺼운 절연막을 사이에 두고 배치되는 제1층 배선과 제2층 배선과의 접속신뢰성을 향상시킬 수 있다.

[2] 제1층 배선과 제2층 배선의 접속구멍부분의 저항을 저감시킬 수 있다.

[3] 제2층 배선 이상의 배선의 배선저항을 저감시킬 수 있다.

[4] 제2층 배선의 형성공정을 높은 열처리공정이 필요한 캐패시터의 형성공정 이후로 하여 열확산계수가 큰 재료 또는 열유동성이 있는 재료이더라도 제2층 배선으로서 사용할 수 있게 된다.

[5] COB구조의 메모리셀을 갖는 DRAM과 동일기판에 형성되는 주변회로 또는 논리회로의 고속응답성능을 향상시킬 수 있다.

또, 상기 효과는 특별히 공정수를 증가시키지 않고 달성할 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판의 메모리셀 어레이영역에 형성된 메모리셀 선택용 MISFET,

상기 메모리셀 어레이영역의 주변의 주변회로영역에 형성된 주변회로용 MISFET,

상기 메모리셀 선택용 MISFET 및 주변회로용 MISFET를 덮는 제1 층간절연막,

상기 메모리셀 어레이영역의 상기 제1 층간절연막상에 형성된 비트선,

상기 비트선상에 형성되고 상기 메모리셀 선택용 MISFET의 한쪽의 소스, 드레인영역에 전기적으로 접속된 하부전극을 구비한 정보축적용 용량소자 및

상기 정보축적용 용량소자와 동일층에 형성되고 상기 정보축적용 용량소자의 높이에 기인하는 상기 메모리셀 어레이영역과 상기 주변회로영역과의 단차를 완화 또는 해소시키는 제1 부분 및 상기 정보축적용 용량소자를 덮는 제2 부분을 갖는 제2 층간절연막을 포함하는 반도체 집적회로장치로서,

상기 제2 층간절연막은 그의 표면이 평탄화되고 또한 그의 표면근방에 배선홈이 형성되어 있고, 상기 배선홈의 내부에는 상기 표면과 동일면내에 그의 표면을 갖는 배선이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2.

반도체기판의 메모리셀 어레이영역에 형성된 메모리셀 선택용 MISFET,

상기 메모리셀 어레이영역의 주변의 주변회로영역에 형성된 주변회로용 MISFET,

상기 메모리셀 어레이영역 및 주변회로영역 이외의 논리회로영역에 형성된 연산회로와 그밖의 논리회로를 구성하는 논리회로용 MISFET,

상기 메모리셀 선택용 MISFET, 주변회로용 MISFET 및 논리회로용 MISFET를 덮는 제1 층간절연막,

상기 메모리셀 어레이영역의 상기 제1 층간절연막상에 형성된 비트선,

상기 비트선상에 형성되고 상기 메모리셀 선택용 MISFET의 한쪽의 소스, 드레인영역에 전기적으로 접속된 하부전극을 구비한 정보축적용 용량소자 및

상기 정보축적용 용량소자와 동일층에 형성되고 상기 정보축적용 용량소자의 높이에 기인하는 상기 메모리셀 어레이영역과 상기 주변회로영역 및 논리회로영역과의 단차를 완화 또는 해소시키는 제1 부분 및 상기 정보축적용 용량소자를 덮는 제2 부분을 갖는 제2 층간절연막을 포함하는 반도체 집적회로장치로서,

상기 제2 층간절연막은 그의 표면이 평탄화되고 또한 그의 표면근방에 배선홈이 형성되어 있고, 상기 배선홈의 내부에는 상기 표면과 동일면내에 그의 표면을 갖는 배선이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 3.

제2항에 있어서,

상기 배선은 상기 메모리셀 어레이영역에는 형성되지 않고 상기 주변회로영역에만 또는 상기 주변회로영역 및 논리회로영역에만 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4.

제1항에 있어서,

상기 배선의 바닥면은 상기 정보축적용 용량소자의 상면보다 아래쪽에 위치하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 5.

제2항에 있어서,

상기 주변회로영역 또는 주변회로영역 및 논리회로영역의 상기 제1 층간절연막상에는 상기 비트선과 동일재료로 이루어지는 제1층 배선이 형성되고,

상기 배선은 상기 제1층 배선의 상부에 형성된 제2층 배선인 것을 특징으로 하는 반도체 집적회로장치.

청구항 6.

제2항에 있어서,

상기 배선홈의 하부에는 접속구멍이 형성되고,

상기 배선 또는 제2층 배선은 상기 접속구멍의 내부에 상기 배선 또는 제2층 배선과 일체로 형성된 접속부를 거쳐서 상기 주변회로용 MISFET, 논리회로용 MISFET 또는 상기 제1층 배선에 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 7.

제1항에 있어서,

상기 배선 및 그의 접속부 또는 상기 제2층 배선 및 그의 접속부는 동을 주도전층으로 하는 금속도전체로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 8.

제7항에 있어서,

상기 동으로 이루어지는 주도전층과 상기 배선홈 및 접속구멍의 계면에는 탄탈막, 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막 중에서 선택된 어느 1개 또는 여러개의 박막이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 9.

제7항에 있어서,

상기 배선 또는 제2층 배선의 표면이 실리콘질화막으로 덮여 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 10.

제1항에 있어서,

상기 배선 및 그의 접속부 또는 상기 제2층 배선 및 그의 접속부는 알루미늄을 주도전층으로 하는 금속도전체로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 11.

제10항에 있어서,

상기 알루미늄으로 이루어지는 주도전층과 상기 배선홈 및 접속구멍의 계면에는 질화티탄막이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 12.

제1항에 있어서,

상기 하부전극은 위쪽에 열린구멍을 갖는 통형상인 것을 특징으로 하는 반도체 집적회로장치.

청구항 13.

제1항에 있어서,

상기 배선 또는 제2층 배선의 상층에는 또

그의 표면근방에 배선홈을 갖는 상층 층간절연막 및

상기 배선홈내에 형성되고 그의 표면과 상기 상층 층간절연막의 표면이 동일평면내에 있는 상층배선이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 14.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET를, 상기 반도체기판의 주변회로영역 또는 논리회로영역에 주변회로용 MISFET 또는 논리회로용 MISFET를 각각 형성하는 공정,

상기 메모리셀 선택용 MISFET 및 주변회로용 MISFET 또는 논리회로용 MISFET를 덮는 제1 절연막을 형성하는 공정,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선을 형성하는 공정,

상기 비트선을 덮는 제2 절연막을 형성하는 공정,

상기 메모리셀 어레이영역의 상기 제2 절연막상에 정보축적용 용량소자의 하부전극, 상기 하부전극을 덮는 용량절연막 및 상부전극을 형성하는 공정 및

상기 정보축적용 용량소자상에 제3 절연막을 형성하는 공정을 포함하는 반도체 집적회로장치의 제조방법으로서,

상기 제3 절연막의 표면을 CMP법에 의해 평탄화한 후 상기 주변회로영역 또는 논리회로영역의 상기 평탄화된 제3 절연막 및 그의 하층절연막에 배선홈 및 접속구멍을 형성하고, 상기 배선홈 및 접속구멍의 내부를 포함하는 상기 제3 절연막상에 제1 도전층 및 제2 도전층을 순차 퇴적시키고, 상기 제3 절연막의 표면상의 상기 제1 및 제2 도전층을 CMP법에 의해 제거하며, 상기 배선홈내에 상기 제1 및 제2 도전층으로 이루어지는 배선을 형성하고 상기 접속구멍내에 상기 제1 및 제2 도전층으로 이루어지는 접속부를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 15.

제14항에 있어서,

상기 제3 절연막의 퇴적전에 상기 주변회로영역 또는 논리회로영역에 상기 정보축적용 용량소자와 동일층에 형성되는 제4 절연막을 형성하고, 상기 메모리셀 어레이영역과 상기 주변회로영역 또는 논리회로영역 사이의 상기 정보축적용 용량소자의 높이에 기인하는 단차를 완화 또는 해소시키는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 16.

제15항에 있어서,

상기 제4 절연막은 상기 정보축적용 용량소자의 하부전극 형성시에 원통형상의 홈이 형성되는 절연막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 17.

제14항에 있어서,

상기 제3 절연막은 상기 정보축적용 용량소자를 덮고, 상기 정보축적용 용량소자의 높이에 상당하는 치수 이상의 막두께로 퇴적되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 18.

제14항에 있어서,

상기 비트선의 형성과 동시에 상기 주변회로영역 또는 논리회로영역의 상기 제1 절연막상에 상기 비트선과 동일재료로 이루어지는 제1층 배선을 형성하고,

상기 접속부는 상기 제1층 배선에 접속되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 19.

제14항에 있어서,

상기 제1 도전층은 질화티탄막이고,

상기 제2 도전층은 알루미늄막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 20.

제19항에 있어서,

상기 알루미늄막의 퇴적후에 상기 반도체기판을 고압력하에 유지하고, 상기 알루미늄막을 상기 접속구멍내에 매립하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 21.

제14항에 있어서,

상기 제1 도전층은 탄탈막, 니오브막, 질화탄탈막, 질화티탄막 또는 질화텅스텐막 중에서 선택된 어느 1개 또는 여러개의 박막이고,

상기 제2 도전층은 동막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 22.

제21항에 있어서,

상기 동막은 도금법에 의해 퇴적되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 23.

제21항에 있어서,

상기 제3 절연막 및 상기 배선상에 실리콘질화막을 퇴적시키는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 24.

반도체기판의 메모리셀 어레이영역에 형성된 메모리셀 선택용 MISFET,

상기 메모리셀 어레이영역의 주변의 주변회로영역에 형성된 주변회로용 MISFET,

상기 메모리셀 선택용 MISFET 및 주변회로용 MISFET를 덮는 제1 층간절연막,

상기 메모리셀 어레이영역의 상기 제1 층간절연막상에 형성되고 상기 메모리셀 선택용 MISFET의 한쪽의 소스, 드레인영역에 전기적으로 접속된 하부전극을 구비한 정보축적용 용량소자 및

상기 주변회로영역에 있어서 상기 제1 층간절연막상에 상기 정보축적용 용량소자의 높이와 동일한 막두께를 갖는 제2 층간절연막을 갖는 반도체 집적회로장치로서,

상기 주변회로영역에 있어서 상기 제2 층간절연막에는 그의 내부에 배선이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 25.

반도체기판의 메모리셀 어레이영역에 형성된 메모리셀 선택용 MISFET,

상기 메모리셀 어레이영역의 주변의 주변회로영역에 형성된 주변회로용 MISFET,

상기 메모리셀 선택용 MISFET 및 주변회로용 MISFET를 덮는 제1 층간절연막,

상기 메모리셀 어레이영역의 상기 제1 층간절연막상에 형성되고 상기 메모리셀 선택용 MISFET의 한쪽의 소스, 드레인영역에 전기적으로 접속된 하부전극을 구비한 정보축적용 용량소자 및

상기 주변회로영역의 상기 제1 층간절연막상에 상기 정보축적용 용량소자의 높이에 따라서 상기 메모리셀 어레이영역과 상기 주변회로영역 사이에 생기는 단차를 완화시키는 제2 층간절연막을 포함하는 반도체 집적회로장치로서,

상기 주변회로영역에 있어서 상기 제2 층간절연막에는 그의 내부에 배선이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 26.

제1 MISFET와 용량소자가 직렬 접속된 메모리셀이 행렬형상으로 배치된 메모리셀 어레이영역 및 여러개의 제2 MISFET로 이루어지는 주변회로영역을 갖는 반도체 집적회로장치의 제조방법으로서,

(a) 반도체기판 주면의 메모리셀 어레이영역에 상기 제1 MISFET를 형성하고 주변회로영역에 상기 제2 MISFET를 형성하는 공정,

(b) 상기 제1, 제2 MISFET상에 제1 절연막을 형성하는 공정,

(c) 상기 제1 절연막상에 제2 절연막을 형성하고 상기 메모리셀 어레이영역에 있어서 상기 제2 절연막에 열린구멍을 마련하는 공정,

(d) 상기 열린구멍내이고 또한 상기 열린구멍의 내벽을 따라서 제1 도체층을 형성하는 공정,

(e) 상기 제1 도체층상에 상기 용량소자의 유전체막을 형성하고 상기 유전체막상에 제2 도체층을 형성하는 공정,

(f) 상기 주변회로영역에 있어서 상기 제2 절연막에 제1 홈과 제2 홈을 형성하는 공정 및

(g) 상기 제1, 제2 홈내에 제3 도체층을 형성하는 공정으로 이루어지고,

상기 제1 홈은 상기 제2 홈보다 폭이 넓고,

상기 제2 홈은 상기 제1 홈의 내부에 위치하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 27.

제26항에 있어서,

상기 공정(f)에 있어서 상기 제2 홈을 여러개 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 28.

제1 MISFET와 용량소자가 직렬 접속된 메모리셀이 행렬형상으로 배치된 메모리셀 어레이영역 및 여러개의 제2 MISFET로 이루어지는 주변회로영역을 갖는 반도체 집적회로장치의 제조방법으로서,

(a) 반도체기판 주면의 메모리셀 어레이영역에 상기 제1 MISFET를 형성하고 주변회로영역에 상기 제2 MISFET를 형성하는 공정,

(b) 상기 제1, 제2 MISFET상에 제1 절연막을 형성하는 공정,

(c) 상기 주변회로영역에 있어서 상기 제1 절연막상에 제1 도체부재와 제2 도체부재를 형성하는 공정,

(d) 상기 제1, 제2 도체부재형상으로 제2 절연막과 제3 절연막을 형성하는 공정,

(e) 상기 메모리셀 어레이영역에 있어서 상기 제3 절연막에 열린구멍을 마련하는 공정,

(f) 상기 열린구멍내이고 또한 상기 열린구멍의 내벽을 따라서 제1 도체층을 형성하는 공정,

(g) 상기 제1 도체층상에 상기 용량소자의 유전체막을 형성하고 상기 유전체막상에 제2 도체층을 형성하는 공정,

(h) 상기 주변회로영역에 있어서 상기 제3 절연막에 제1 홈과 여러개의 제2홈을 형성하는 공정 및

(i) 상기 제1, 제2 홈내에 제3 도체층을 형성하는 공정으로 이루어지고,

상기 제1 홈은 상기 제2 홈보다 폭이 넓고,

상기 제2 홈은 상기 제1 홈의 내부에 위치하고 상기 제1, 제2 도체부재에까지 도달해 있는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 29.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET을, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET을 각각 형성하는 공정과,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하고, 또한 그 표면이 평탄화된 제1 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선을, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선을 형성하는 공정과,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막을 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제2 절연막의 상부에 스토퍼막을 형성하는 공정과,

상기 스토퍼막상에 제3 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제3 절연막 및 상기 스토퍼막을 에칭하여 홈을 형성하는 공정과,

상기 홈의 내벽 및 바닥부상에 정보축적용 용량소자의 하부전극을 형성하는 공정과,

상기 제3 절연막을 에칭하여 상기 하부전극을 노출시키는 공정과,

상기 하부전극을 피복하는 용량절연막 및 상부전극을 형성하는 공정과,

상기 제3 절연막상에, 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 평탄화된 제4 절연막을 형성하는 공정과,

상기 제4 절연막의 표면을 연마법으로 평탄화한 후, 상기 주변회로영역 또는 상기 로직회로영역의 상기 평탄화된 상기 제4 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 홈을 형성하고, 상기 홈의 내부를 포함하는 상기 제4 절연막상에 도전층을 퇴적하고, 상기 제4 절연막의 표면상의 상기 도전층을 제거하여, 상기 홈내에 상기 도전층으로 이루어지는 도전부를, 상기 제1층 배선에 접속하도록 형성하는 공정을 포함하고,

상기 제3 절연막을 에칭하여 하부전극을 노출시킬 때, 상기 스토퍼막은, 에칭스토퍼로서 기능하고, 상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하는 반도체 집적회로장치의 제조방법.

청구항 30.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET이, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET이 각각 형성되고,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막이 형성되고,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선이, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선이 형성되고,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막이 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성되고,

스토퍼막이 상기 메모리셀 어레이영역의 상기 제2 절연막의 상부에 형성되고,

상기 스토퍼막상에 절연막이 형성되고,

상기 절연막에 정보축적용 용량소자의 하부전극, 상기 하부전극을 피복하는 용량절연막 및 상부전극이 형성되고,

상기 절연막은, 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 평탄화되어 형성되고,

상기 주변회로영역 또는 상기 로직회로영역의 상기 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 홈이 형성되고,

상기 홈내에 도전층으로 이루어지는 도전부가, 상기 제1층 배선에 접속되도록 형성되고,

상기 스토퍼막은, 상기 하부전극을 형성할 때의 에칭스토퍼로서 기능하고, 상기 하부전극은 내면 및 외면을 갖는 측벽을 가지고, 상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고, 상기 하부전극의 측벽의 내면 및 외면상에 용량절연막, 상기 용량절연막상에 상기 상부전극이 형성되어 있는 반도체 집적회로장치.

청구항 31.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET을, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET을 각각 형성하는 공정과,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선을, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선을 형성하는 공정과,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막을 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제2 절연막의 상부에 스토퍼막을 형성하는 공정과,

상기 스토퍼막상에 제3 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제3 절연막 및 상기 스토퍼막을 에칭하여 홈을 형성하는 공정과,

상기 홈의 내벽 및 바닥부상에 정보축적용 용량소자의 하부전극을 형성하는 공정과,

상기 제3 절연막을 에칭하여 상기 하부전극을 노출시키는 공정과,

상기 하부전극을 피복하는 용량절연막 및 상부전극을 형성하는 공정과,

상기 제3 절연막상에, 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 평탄화된 제4 절연막을 형성하는 공정과,

상기 제4 절연막의 표면을 연마법으로 평탄화한 후, 상기 주변회로영역 또는 상기 로직회로영역의 상기 평탄화된 상기 제4 절연막 및 상기 제2 절연막에, 상기 제1층 배선을 노출시키도록 홈을 형성하고, 상기 홈의 내부를 포함하는 상기 제4 절연막상에 도전층을 퇴적하고, 상기 제4 절연막의 표면상의 상기 도전층을 제거하여, 상기 홈내에 상기 도전층으로 이루어지는 도전부를, 상기 제1층 배선에 접속하도록 형성하는 공정을 포함하고,

상기 제3 절연막을 에칭하여 하부전극을 노출시킬 때, 상기 스토퍼막은, 에칭스토퍼로서 기능하고,

상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고,

상기 제1 절연막에 상기 메모리셀 선택용 MISFET의 반도체영역에 접속되는 실리콘막으로 이루어지는 제1 플러그가 형성되고,

상기 제1 절연막에 상기 제1 플러그가 노출되는 개구가 형성되고, 상기 비트선은, 상기 개구를 통하여 상기 제1 플러그에 접속되고,

상기 제1 절연막에, 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET의 반도체영역을 노출시키는 제1 접속구멍이 형성되고,

상기 제1층 배선은 상기 제1 접속구멍 내에 형성된 금속막에 접속되는 반도체 집적회로장치의 제조방법.

청구항 32.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET이, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET이 각각 형성되고,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막이 형성되고,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선이, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선이 형성되고,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막이 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성되고,

스토퍼막이 상기 메모리셀 어레이영역의 상기 제2 절연막의 상부에 형성되고, 상기 스토퍼막상에 절연막이 형성되고,

상기 절연막에 정보축적용 용량소자의 하부전극, 상기 하부전극을 피복하는 용량절연막 및 상부전극이 형성되고,

상기 절연막은, 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 평탄화되어 형성되고,

상기 주변회로영역 또는 상기 로직회로영역의 상기 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 홈이 형성되고,

상기 홈내에 도전층으로 이루어지는 도전부가, 상기 제1층 배선에 접속하도록 형성되고,

상기 스토퍼막은 상기 하부전극을 형성할 때의 에칭스토퍼로서 기능하고, 상기 하부전극은 내면 및 외면을 갖는 측벽을 가지고,

상기 하부전극의 아래로는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고,

상기 하부전극의 측벽의 내면 및 외면상에 용량절연막, 상기 용량절연막상에 상기 상부전극이 형성되고,

상기 제1 절연막에 상기 메모리셀 선택용 MISFET의 반도체영역에 접속되는 실리콘막으로 이루어지는 제1 플러그가 형성되고,

상기 제1 절연막에 상기 제1 플러그가 노출되는 개구가 형성되고, 상기 비트선은, 상기 개구를 통하여 상기 제1 플러그에 접속되고,

상기 제1 절연막에, 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET의 반도체영역을 노출시키는 제1 접속구멍이 형성되고,

상기 제1층 배선은 상기 제1 접속구멍 내에 형성된 금속막에 접속되는 반도체 집적회로장치.

청구항 33.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET을, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET을 각각 형성하는 공정과,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선을, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선을 형성하는 공정과,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막을 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성하는 공정과,

스토퍼막을 상기 메모리셀 어레이영역의 상기 제2 절연막의 상부에 형성하는 공정과,

상기 스토퍼막상에 제3 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제3 절연막 및 상기 스토퍼막을 에칭하여 홈을 형성하는 공정과,

상기 홈의 내벽 및 바닥부 상에 정보축적용 용량소자의 하부전극을 형성하는 공정과,

상기 스토퍼막을 에칭스토퍼로 하여 상기 제3 절연막을 에칭하여 상기 하부전극을 노출시키는 공정과,

상기 하부전극을 피복하는 용량절연막 및 상부전극을 형성하는 공정과,

상기 정보축적용 용량소자 상 및 상기 주변회로영역 또는 상기 로직회로영역상에, 표면이 평탄화된 제4 절연막을 형성하는 공정과,

상기 주변회로영역 또는 상기 로직회로영역의 상기 평탄화된 상기 제4 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 다른 홈을 형성하고, 상기 다른 홈의 내부를 포함하는 상기 제4 절연막상에 도전층을 퇴적하고, 상기 제4 절연막의 표면상의 상기 도전층을 제거하여, 상기 다른 홈내에 상기 도전층으로 이루어지는 도전부를, 상기 제1층 배선에 접속하도록 형성하는 공정을 포함하며,

상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하는 반도체 집적회로장치의 제조방법.

청구항 34.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET이, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET이 각각 형성되고,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막이 형성되고,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선이, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선이 형성되고,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막이 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성되고,

스토퍼막이 상기 메모리셀 어레이영역의 상기 제2 절연막의 상부에 형성되고,

상기 스토퍼막상에 절연막이 형성되고,

상기 절연막에 정보축적용 용량소자의 하부전극, 상기 하부전극을 피복하는 용량절연막 및 상부전극이 형성되고,

상기 절연막은 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 평탄화되어 형성되고,

상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고, 상기 스토퍼막은, 상기 하부전극을 형성할 때의 에칭스토퍼로서 기능하는 반도체 집적회로장치.

청구항 35.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET을, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET을 각각 형성하는 공정과,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선을, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선을 형성하는 공정과,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막을 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성하는 공정과,

상기 제2 절연막에 접속구멍을 형성하고, 상기 접속구멍에 플러그를 형성하는 공정과,

스토퍼막을 상기 제2 절연막 및 상기 플러그 상을 포함하는 상기 메모리셀 어레이영역의 상부에 형성하는 공정과,

상기 스토퍼막상에 제3 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제3 절연막 및 상기 스토퍼막을 에칭하여 상기 플러그를 노출시키는 홈을 형성하는 공정과,

상기 홈의 내벽 및 바닥부상에 정보축적용 용량소자의 하부전극을 형성하는 공정과,

상기 스토퍼막을 에칭스토퍼로 하여 상기 제3 절연막을 에칭하여 상기 하부전극을 노출시키는 공정과,

상기 하부전극을 피복하는 용량절연막 및 상부전극을 형성하는 공정과,

상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 제4 절연막을 형성하는 공정과,

상기 제4 절연막의 표면을 연마법으로 평탄화한 후, 상기 주변회로영역 또는 상기 로직회로영역의 상기 평탄화된 상기 제4 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 다른 홈을 형성하고, 상기 다른 홈의 내부를 포함하는 상기 제4 절연막상에 도전층을 퇴적하고, 상기 제4 절연막의 표면상의 상기 도전층을 제거하여, 상기 다른 홈내에 상기 도전층으로 이루어지는 도전부를, 상기 제1층 배선에 접속하도록 형성하는 공정을 포함하며,

상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하는 반도체 집적회로장치의 제조방법.

청구항 36.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET이, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET이 각각 형성되고,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 평탄화된 제1 절연막이 형성되고,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선이, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선이 형성되고,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 평탄화된 제2 절연막이 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성되고,

상기 제2 절연막에 접속구멍이 형성되고, 상기 접속구멍에 플러그가 형성되고,

스토퍼막이 상기 제2 절연막 및 상기 플러그상을 포함하는 상기 메모리셀 어레이의 상부에 형성되고,

상기 스토퍼막상에 절연막이 형성되고,

상기 절연막에 정보축적용 용량소자의 하부전극, 상기 하부전극을 피복하는 용량절연막 및 상부전극이 형성되고,

상기 절연막은, 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 평탄화되어 형성되고,

상기 주변회로영역 또는 상기 로직회로영역의 상기 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 홈이 형성되고,

상기 홈내에 도전층으로 이루어지는 도전부가, 상기 제1층 배선에 접속하도록 형성되고,

상기 스토퍼막은 상기 하부전극을 형성할 때의 에칭스토퍼로서 기능하고,

상기 하부전극은 내면 및 외면을 갖는 측벽을 가지고,

상기 하부전극의 아래에는 상기 스토퍼막이 제거되어 상기 플러그에 접속하고, 또한 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고,

상기 하부전극의 측벽의 내면 및 외면상에 상기 용량절연막, 상기 용량절연막상에 상기 상부전극이 형성되어 있는 반도체 집적회로장치.

청구항 37.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET을, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET을 각각 형성하는 공정과,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 연마법에 의해 평탄화된 제1 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선을, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선을 형성하는 공정과,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 연마법에 의해 평탄화된 제2 절연막을 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성하는 공정과,

상기 제2 절연막에 제2 접속구멍을 형성하고, 상기 제2 접속구멍에 제2 플러그를 형성하는 공정과, 스토퍼막을 상기 제2 절연막 및 상기 제2 플러그상을 포함하는 상기 메모리셀 어레이영역의 상부에 형성하는 공정과,

상기 스토퍼막상에 제3 절연막을 형성하는 공정과,

상기 메모리셀 어레이영역의 상기 제3 절연막 및 상기 스토퍼막을 에칭하여 상기 제2 플러그를 노출시키는 홈을 형성하는 공정과,

상기 홈의 내벽 및 바닥부상에 정보축적용 용량소자의 하부전극을 형성하는 공정과,

상기 스토퍼막을 에칭스토퍼로 하여 상기 제3 절연막을 에칭하여 상기 하부전극을 노출시키는 공정과,

상기 하부전극을 피복하는 용량절연막 및 상부전극을 형성하는 공정과,

상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 제4 절연막을 형성하는 공정과,

상기 제4 절연막의 표면을 연마법으로 평탄화한 후, 상기 주변회로영역 또는 상기 로직회로영역의 상기 평탄화된 상기 제4 절연막 및 상기 제2 절연막에 다른 홈을 상기 제1층 배선을 노출시키도록 형성하고, 상기 다른 홈의 내부를 포함하는 상기 제4 절연막상에 도전층을 퇴적하고, 상기 제4 절연막의 표면상의 상기 도전층을 제거하여, 상기 다른 홈내에 상기 도전층으로 이루어지는 도전부를, 상기 제1층 배선에 접속하도록 형성하는 공정을 포함하고,

상기 하부전극의 아래에는 상기 스토퍼막이 존재하지 않고, 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고,

상기 제1 절연막에 상기 메모리셀 선택용 MISFET의 한쪽의 반도체영역에 접속되는 실리콘막으로 이루어지는 제1 플러그가 형성되고,

상기 제1 절연막에 상기 제1 플러그가 노출되는 개구가 형성되고, 상기 비트선은, 상기 개구를 통하여 상기 제1 플러그에 접속되고,

상기 제1 절연막에 상기 메모리셀 선택용 MISFET의 다른쪽의 반도체영역에 접속되는 실리콘막으로 이루어지는 제3 플러그가 형성되고,

상기 제3 플러그는 상기 제2 플러그에 접속되고,

상기 제1 절연막에, 상기 주변회로용 MISFET 또는 로직회로용 MISFET의 반도체영역을 노출시키는 제1 접속구멍이 형성되고,

상기 제1층 배선은 상기 제1 접속구멍내에 형성된 금속막에 접속되는 반도체 집적회로장치의 제조방법.

청구항 38.

제37항에 있어서,

상기 스토퍼막은 질화실리콘막인 반도체 집적회로장치의 제조방법.

청구항 39.

반도체기판의 주면의 메모리셀 어레이영역에 메모리셀 선택용 MISFET이, 상기 반도체기판의 주변회로영역 또는 로직회로영역에 주변회로용 MISFET 또는 로직회로용 MISFET이 각각 형성되고,

상기 메모리셀 선택용 MISFET 및 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET을 피복하며, 또한 그 표면이 연마법에 의해 평탄화된 제1 절연막이 형성되고,

상기 메모리셀 어레이영역의 상기 제1 절연막상에 비트선이, 상기 주변회로영역 또는 상기 로직회로영역의 상기 제1 절연막상에 상기 비트선과 동일한 재료로 이루어지는 제1층 배선이 형성되고,

상기 비트선 및 상기 제1층 배선을 피복하며, 또한 그 표면이 연마법에 의해 평탄화된 제2 절연막이 상기 메모리셀 어레이영역 및 상기 주변회로영역 또는 상기 로직회로영역상에 형성되고,

상기 제2 절연막에 제2 접속구멍이 형성되고,

상기 제2 접속구멍에 제2 플러그가 형성되고,

스토퍼막이 상기 제2 절연막 및 상기 제2 플러그상을 포함하는 상기 메모리셀 어레이의 상부에 형성되고,

상기 스토퍼막상에 절연막이 형성되고,

상기 절연막에 정보축적용 용량소자의 하부전극, 상기 하부전극을 피복하는 용량절연막 및 상부전극이 형성되고,

상기 절연막은, 상기 정보축적용 용량소자상 및 상기 주변회로영역 또는 상기 로직회로영역상에 표면이 연마법에 의해 평탄화되어 형성되고,

상기 주변회로영역 또는 상기 로직회로영역의 상기 절연막 및 상기 제2 절연막에 상기 제1층 배선을 노출시키도록 홈이 형성되고,

상기 홈내에 도전층으로 이루어지는 도전부가, 상기 제1층 배선에 접속하도록 형성되고,

상기 스토퍼막은 상기 하부전극을 형성할 때의 에칭스토퍼로서 기능하고,

상기 하부전극은 내면 및 외면을 갖는 측벽을 가지고,

상기 하부전극의 아래에는 상기 스토퍼막이 제거되어 상기 제2 플러그에 접속하며, 또한 상기 하부전극의 측벽에 접하는 영역에 상기 스토퍼막이 존재하고,

상기 하부전극의 측벽의 내면 및 외면상에 상기 용량절연막, 상기 용량절연막상에 상기 상부전극이 형성되고,

상기 제1 절연막에 상기 메모리셀 선택용 MISFET의 한쪽의 반도체영역에 접속되는 실리콘막으로 이루어지는 제1 플러그가 형성되고,

상기 제1 절연막에 상기 제1 플러그가 노출되는 개구가 형성되고, 상기 비트선은, 상기 개구를 통하여 상기 제1 플러그에 접속되고,

상기 제1 절연막에 상기 메모리셀 선택용 MISFET의 다른 쪽의 반도체영역에 접속되는 실리콘막으로 이루어지는 제3 플러그가 형성되고,

상기 제3 플러그는 상기 제2 플러그에 접속되고,

상기 제1 절연막에, 상기 주변회로용 MISFET 또는 상기 로직회로용 MISFET의 반도체영역을 노출시키는 제1 접속구멍이 형성되고,

상기 제1층 배선은 상기 제1 접속구멍내에 형성된 금속막에 접속되는 반도체 집적회로장치.

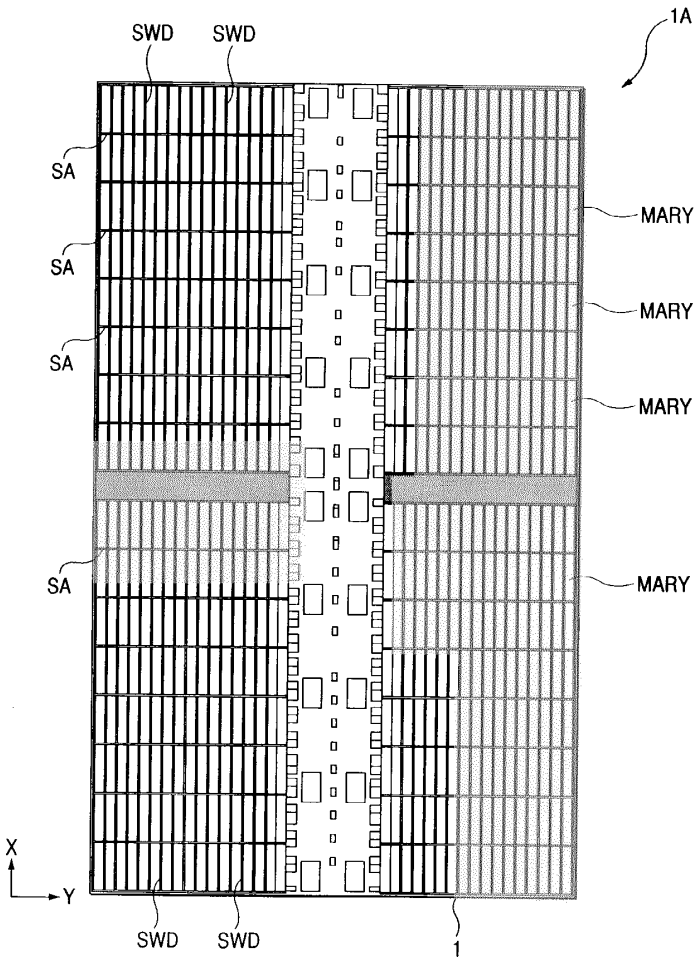
청구항 40.

제39항에 있어서,

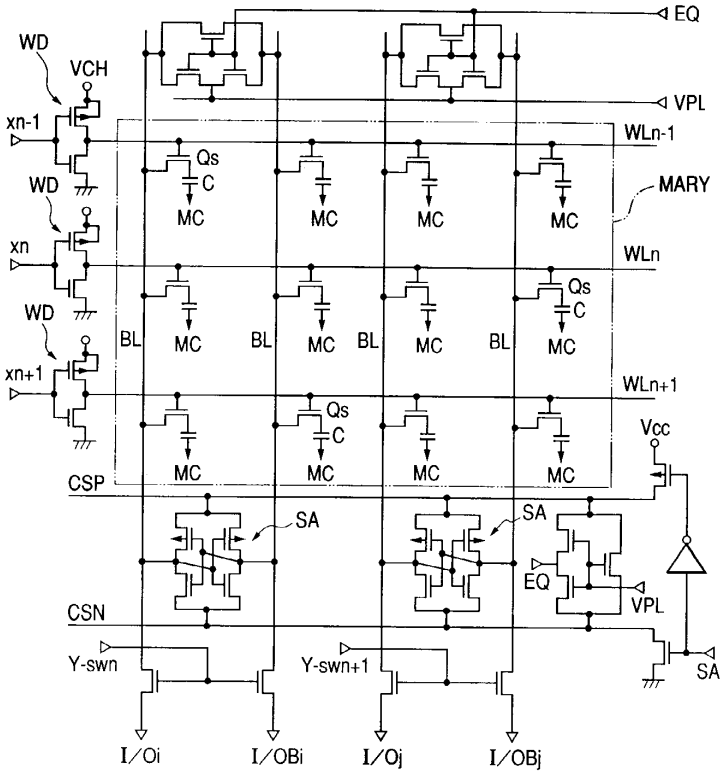
상기 스토퍼막은 질화실리콘막인 반도체 집적회로장치.

도면

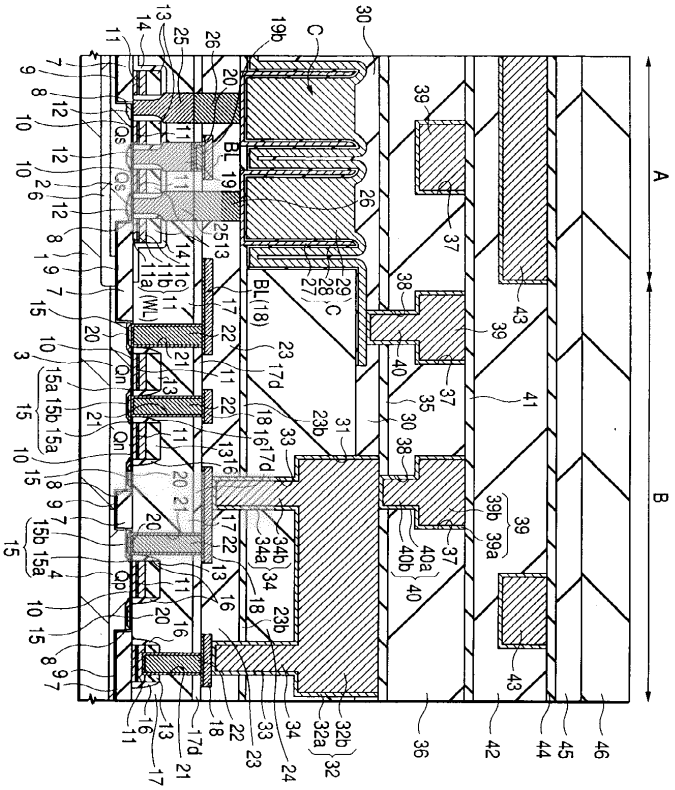
도면1



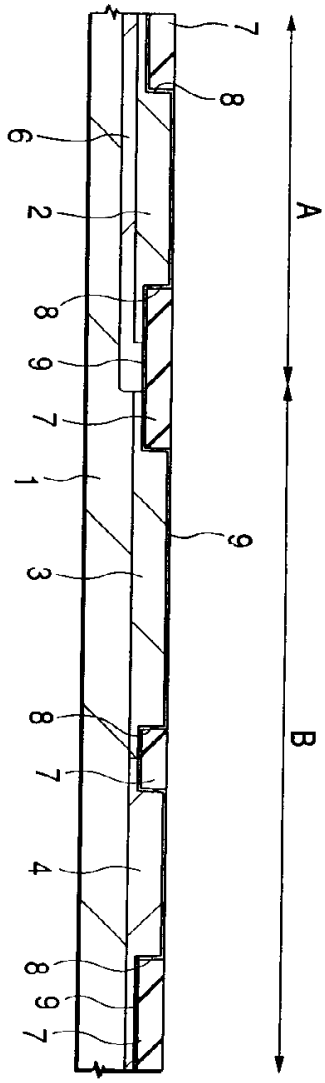
도면2


EQ
VPL
WD
VCH
xn-1
WLn-1
Qs
C
MC
MARY
WD
xn
WLn
WD
BL
xn+1
WLn+1
Vcc
CSP
SA
EQ
VPL
CSN
Y-swn
Y-swn+1
SA
I/Oi
I/OBi
I/Oj
I/OBj

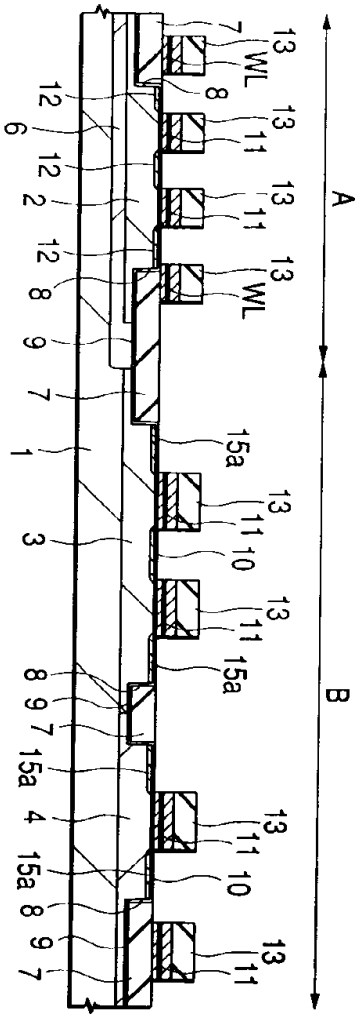
도면3



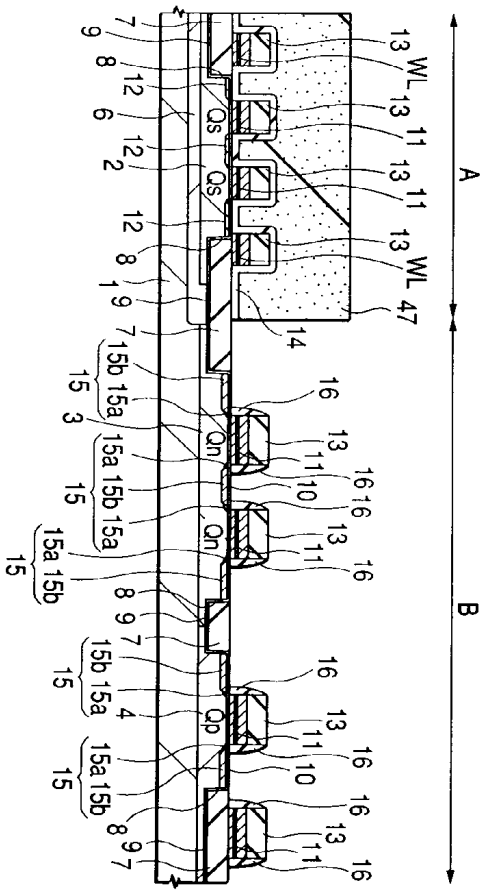
도면4



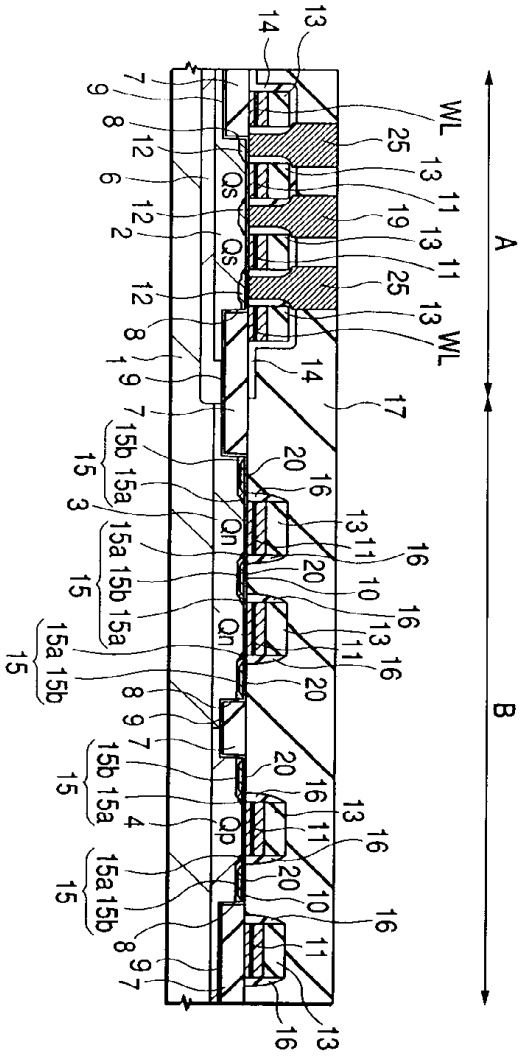
도면5



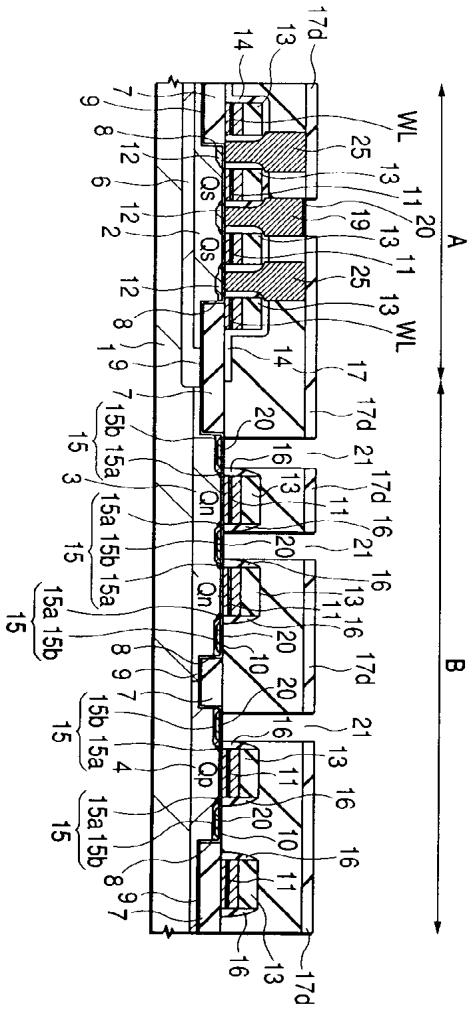
도면6



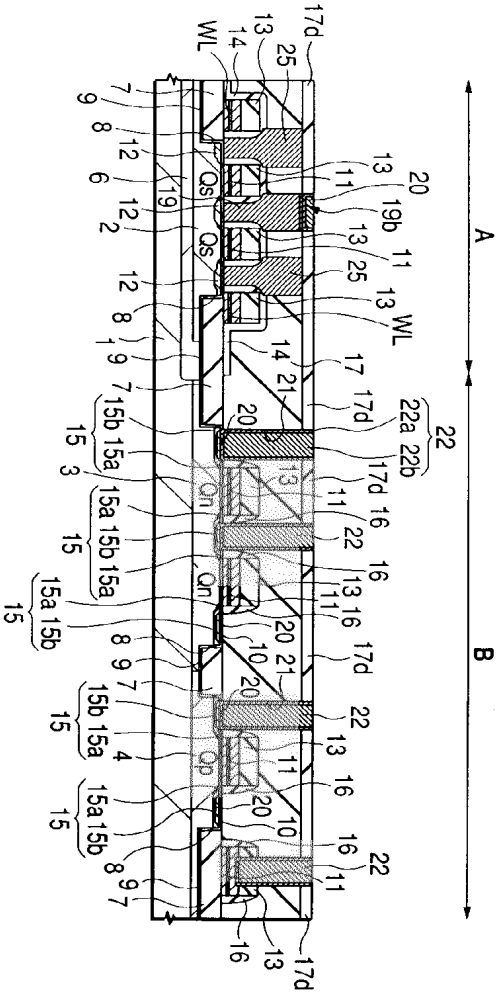
도면7



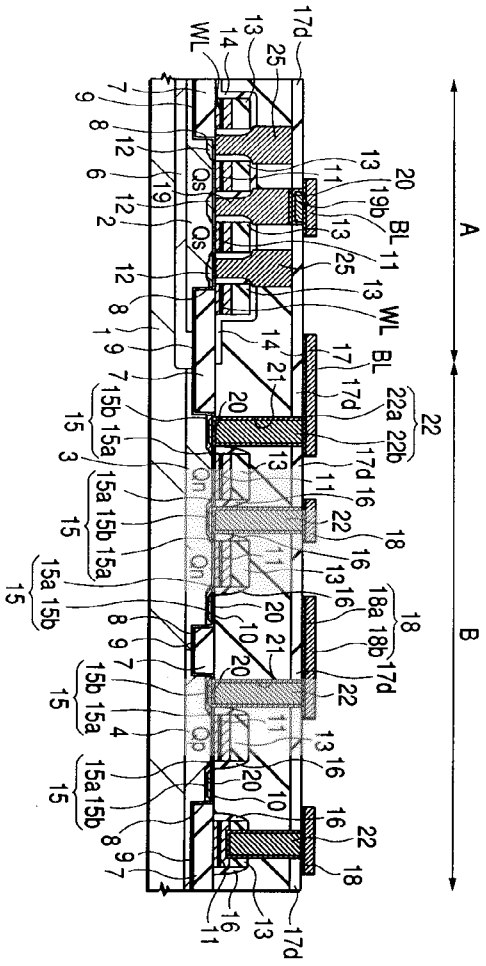
도면8


A
B
WL
Qs
Qn
Qp
17d
13
14
25
11
20
19
17
21
16
15
15a
15b
10
9
8
7
6
2
3
4
1
12

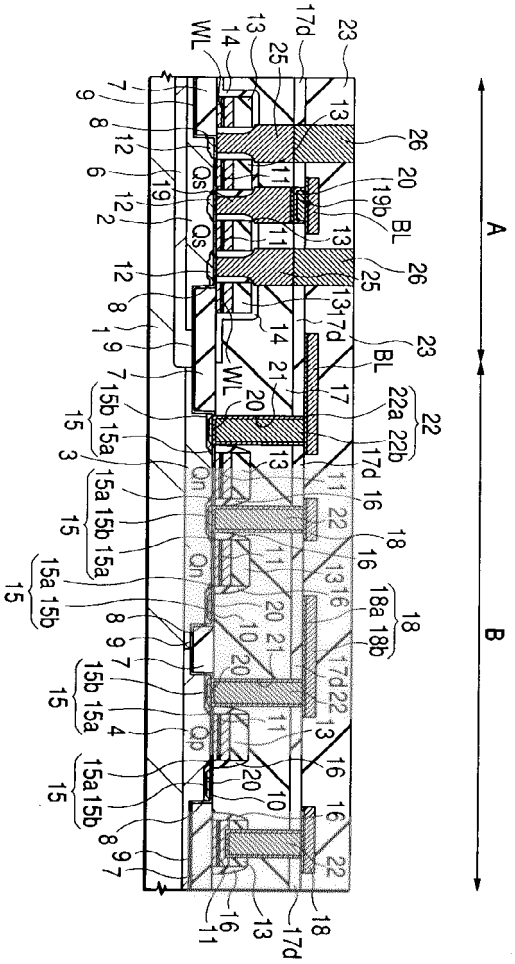
도면9



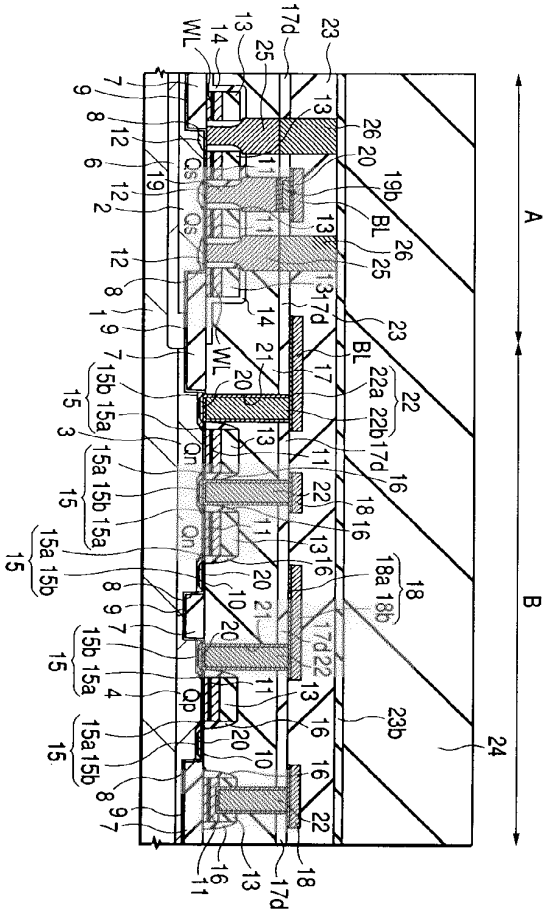
도면10



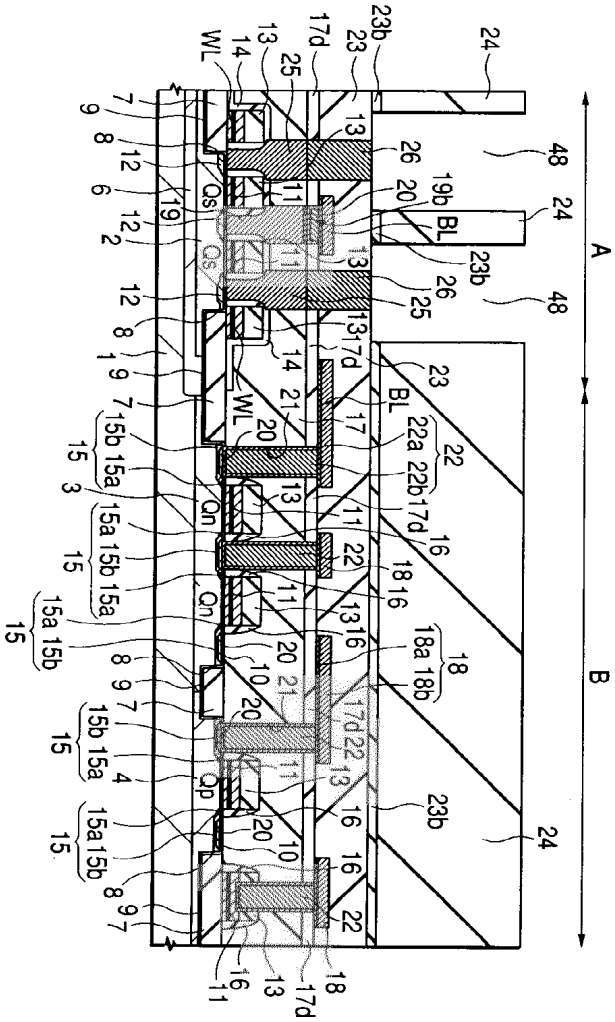
도면11



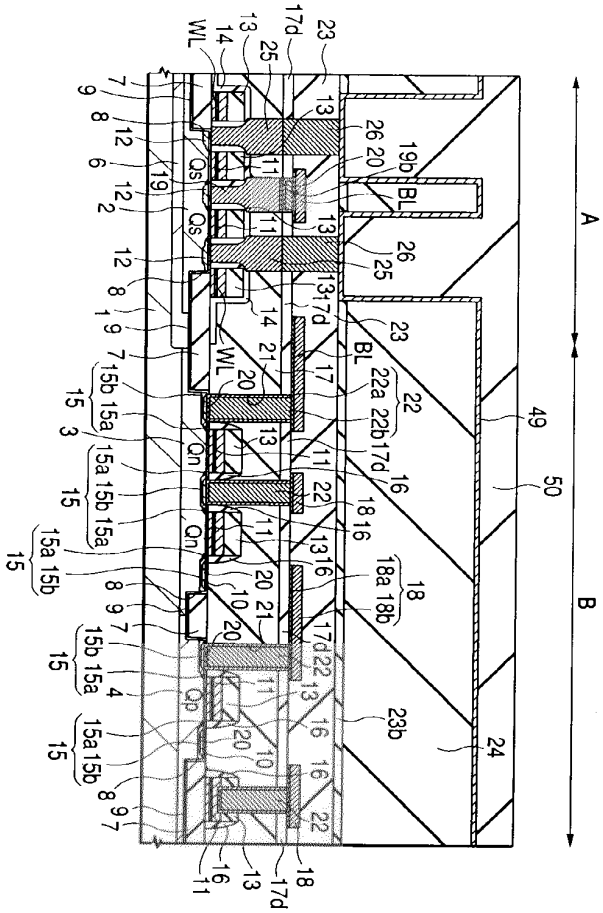
도면12



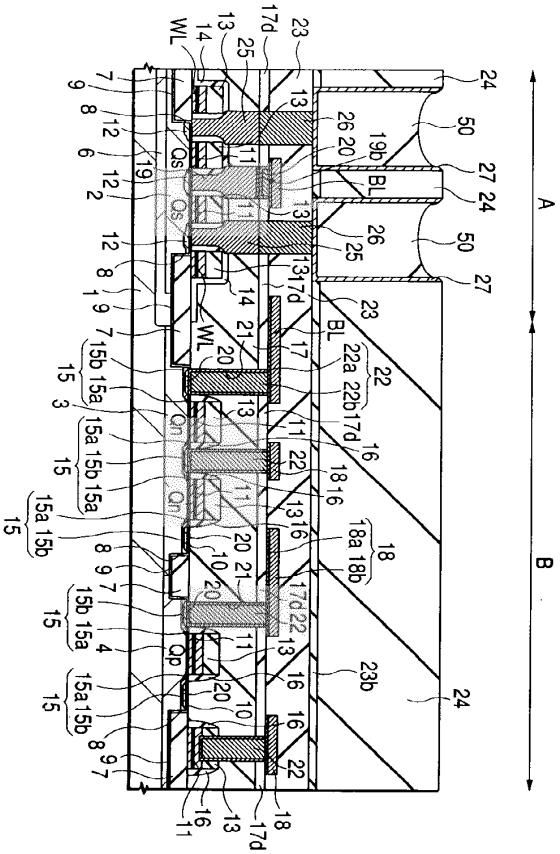
도면13



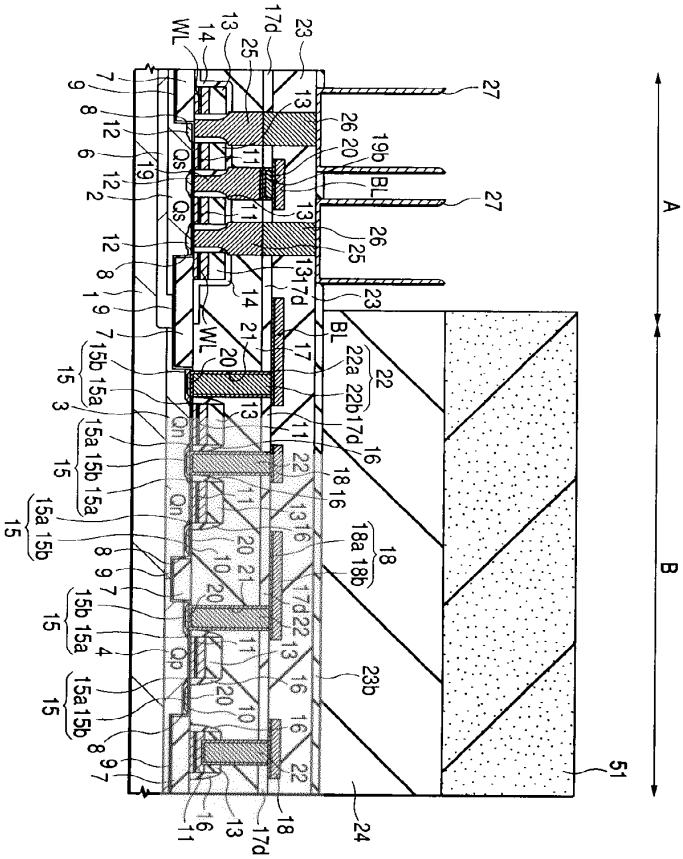
도면14



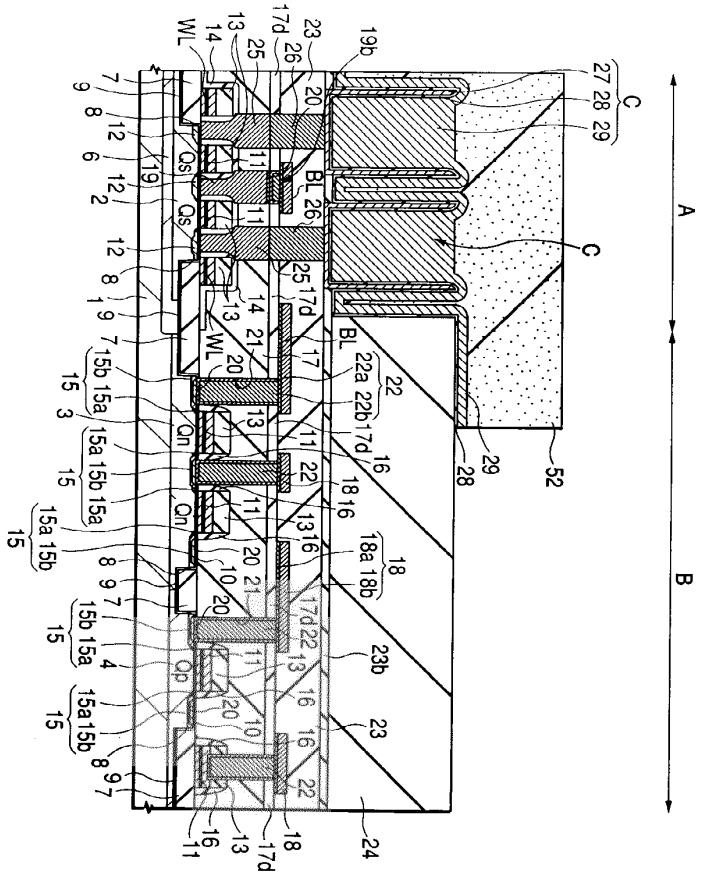
도면15



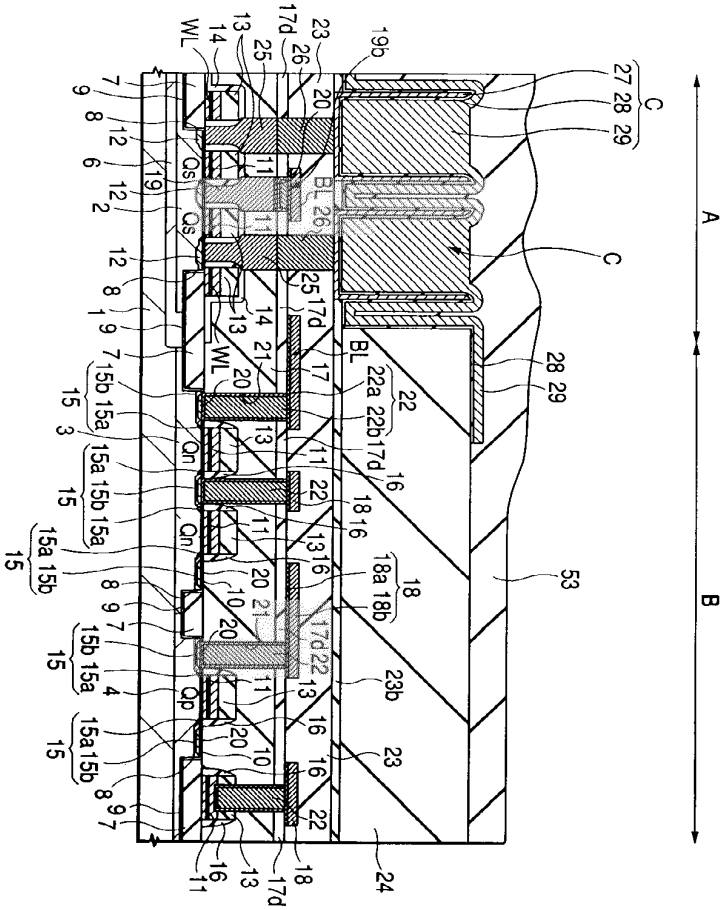
도면16



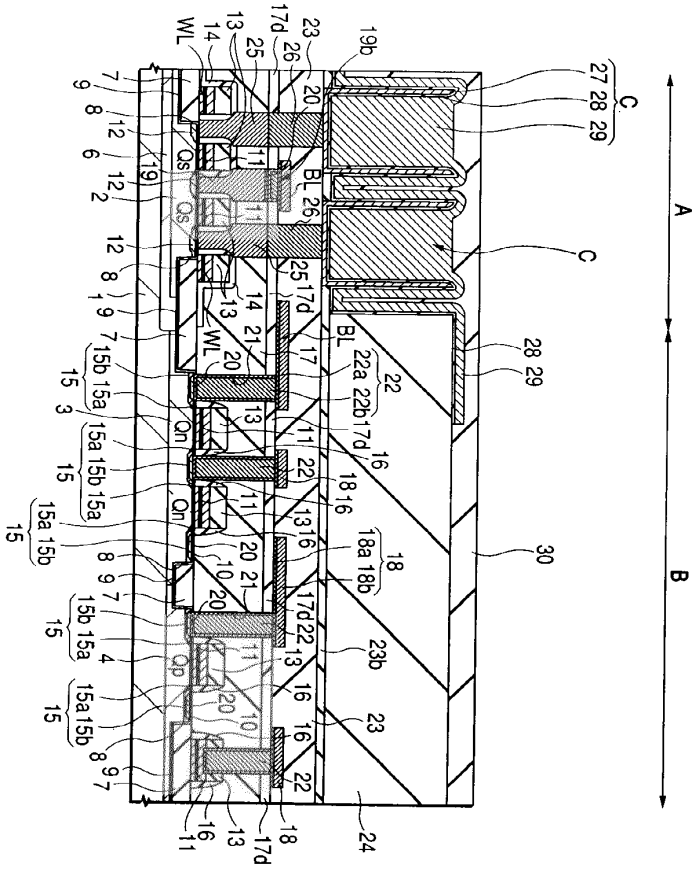
도면17



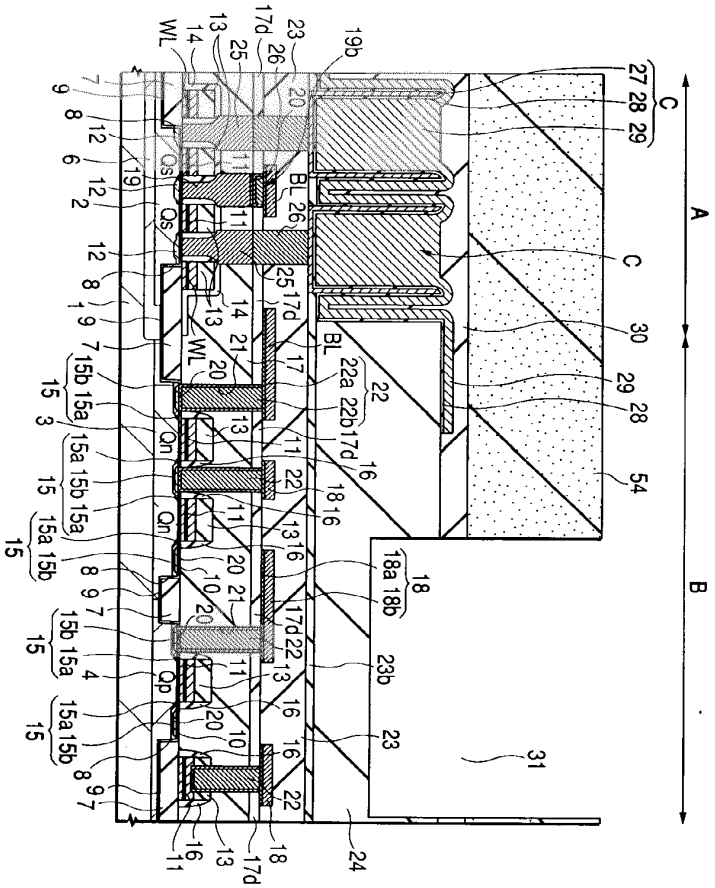
도면18



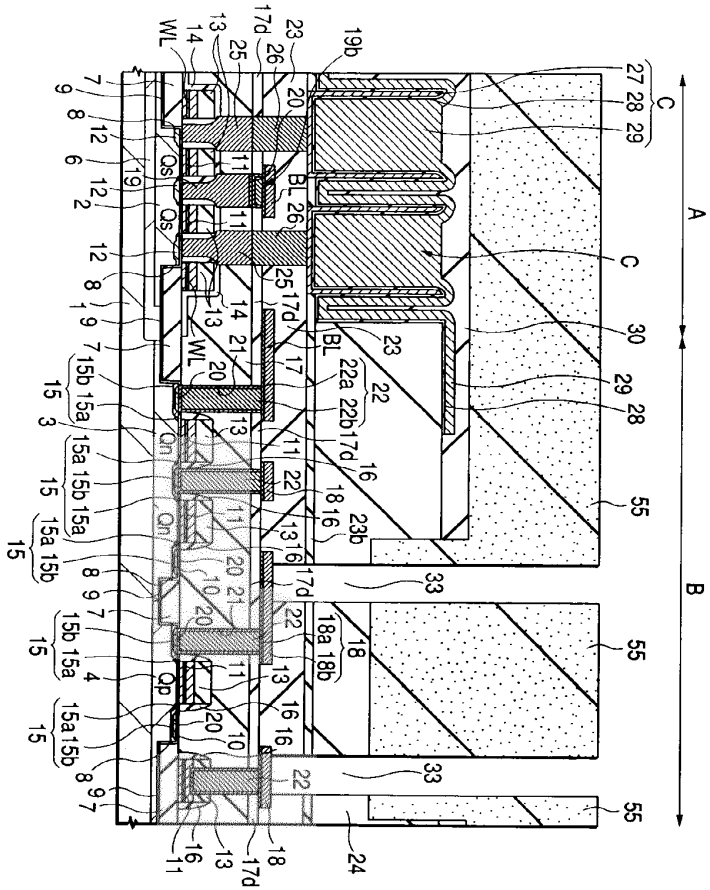
도면19



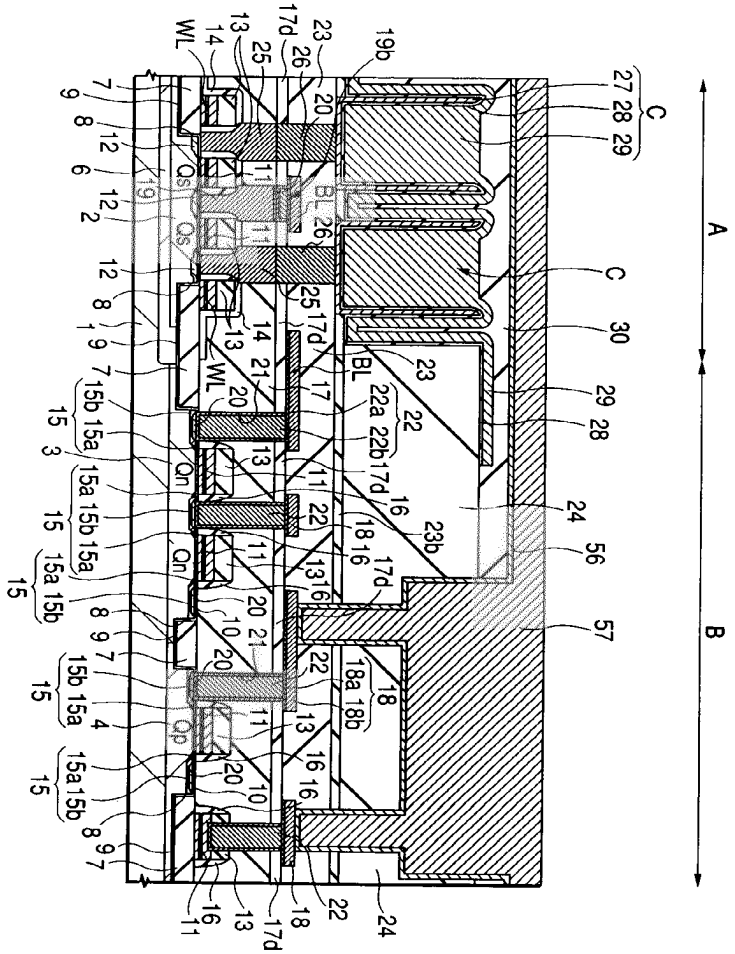
도면20



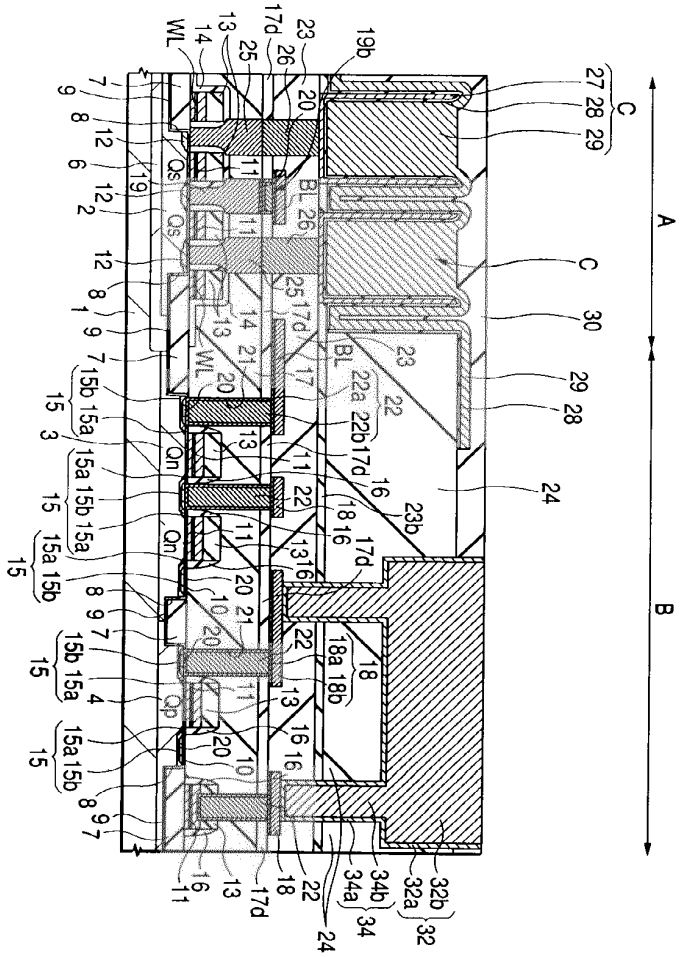
도면21



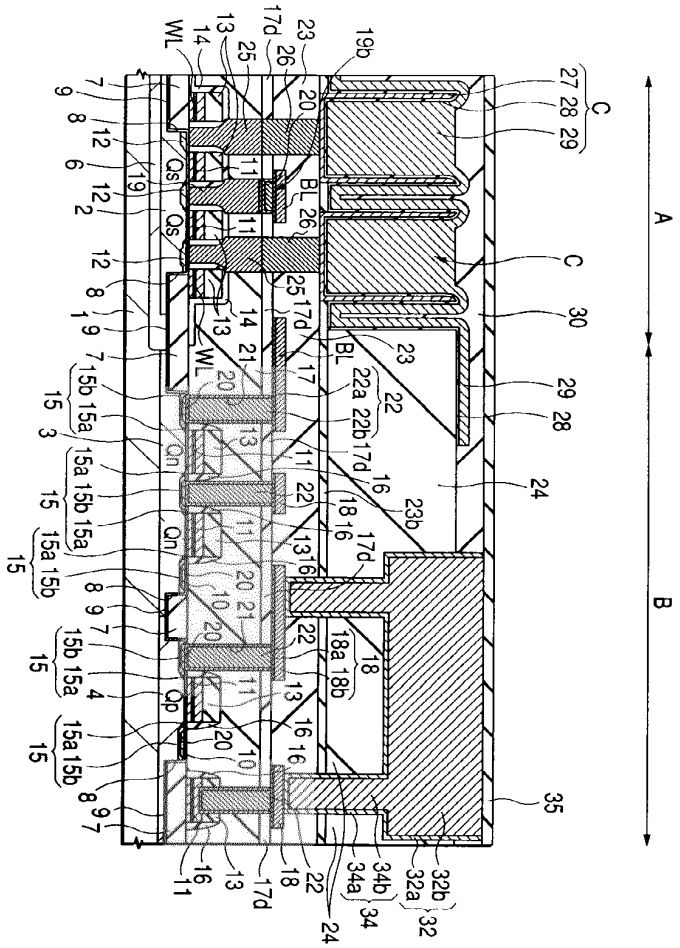
도면22



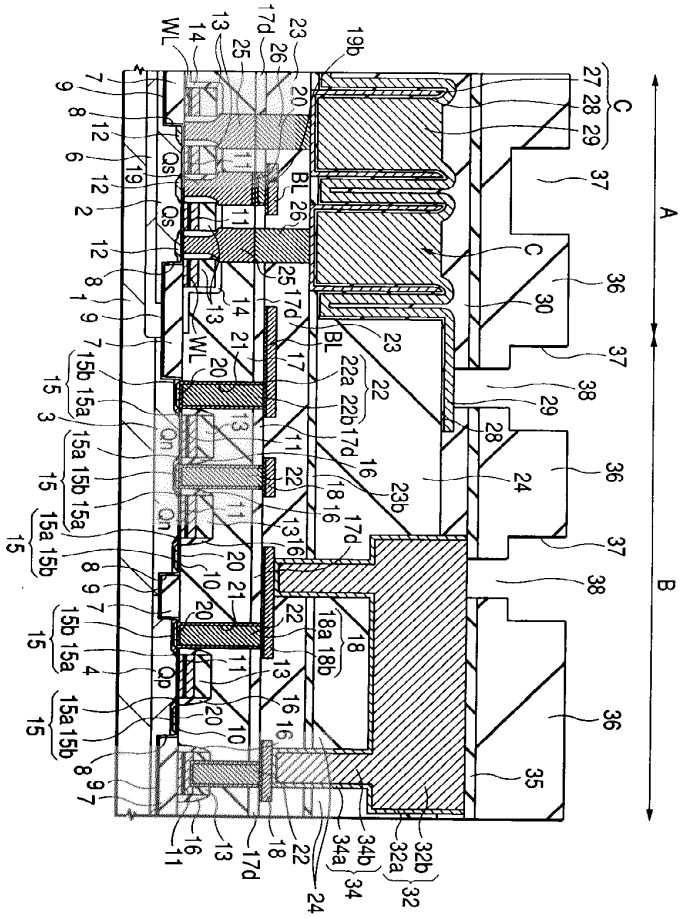
도면23



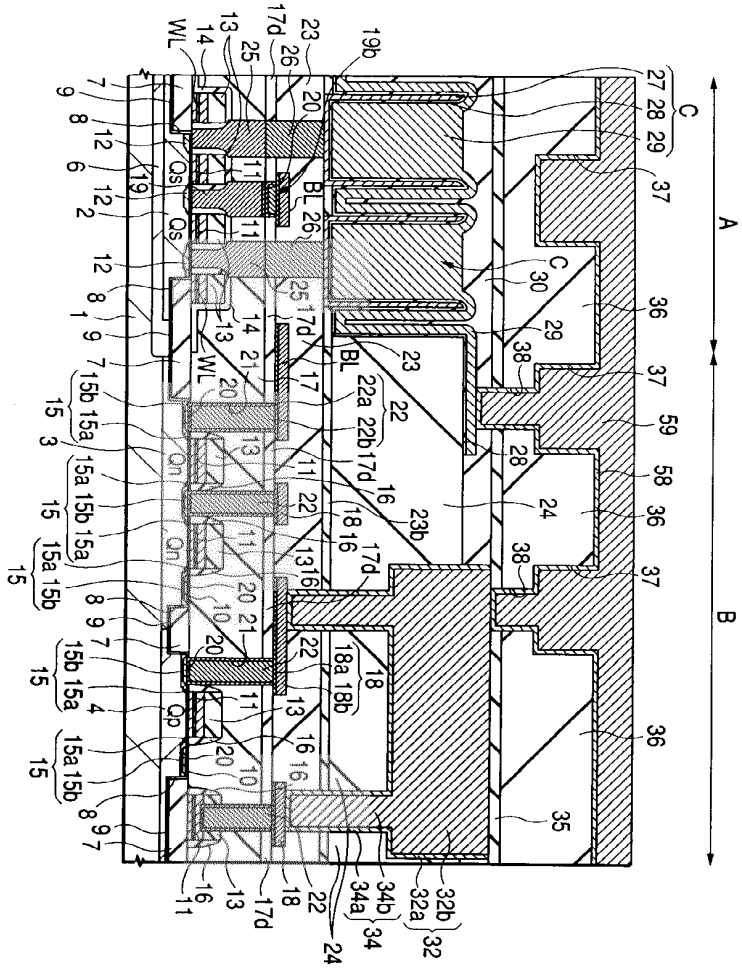
도면24



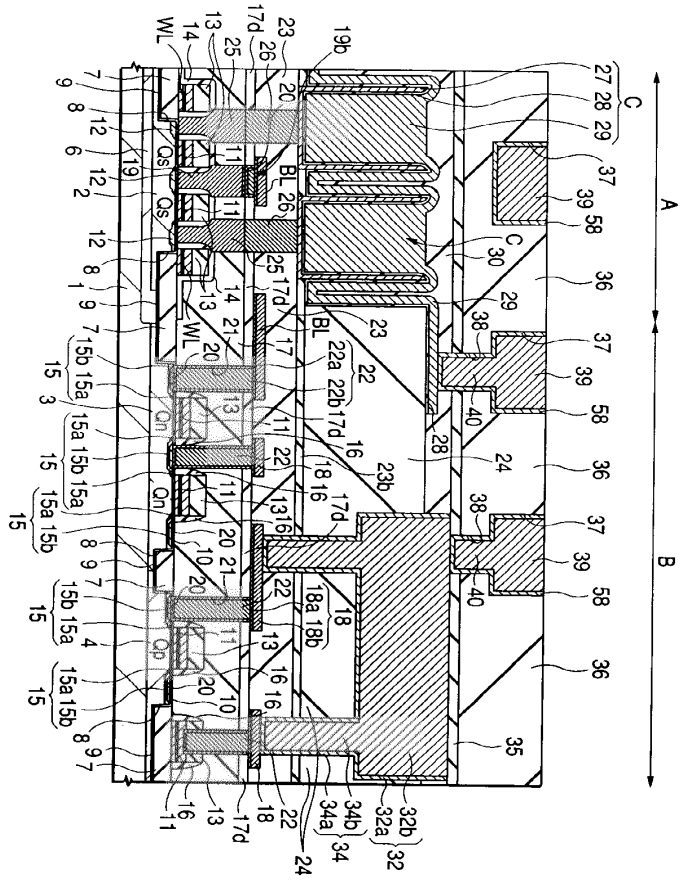
도면25



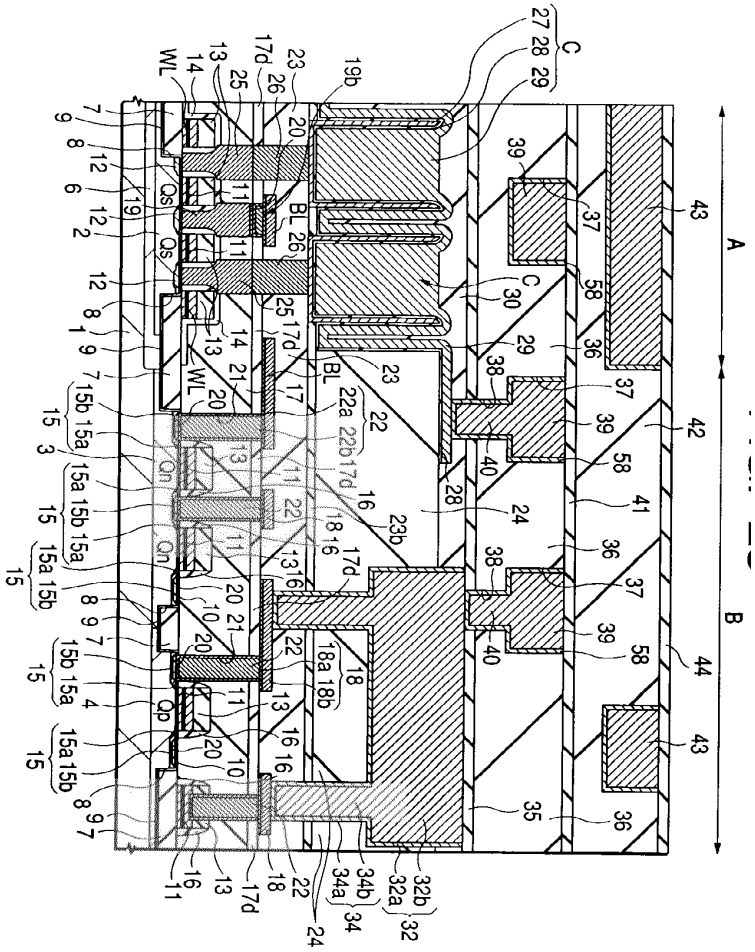
도면26



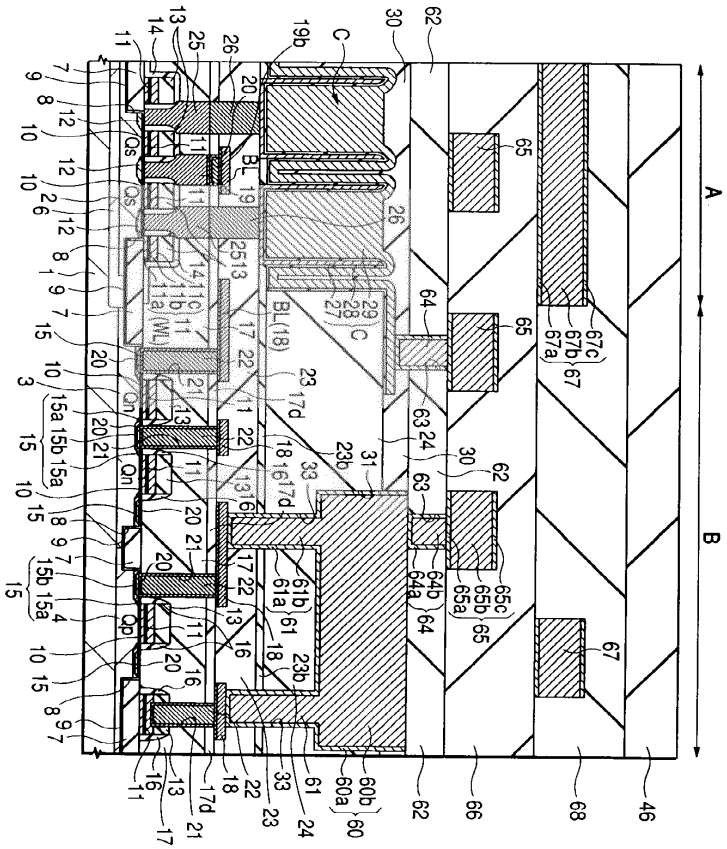
도면27



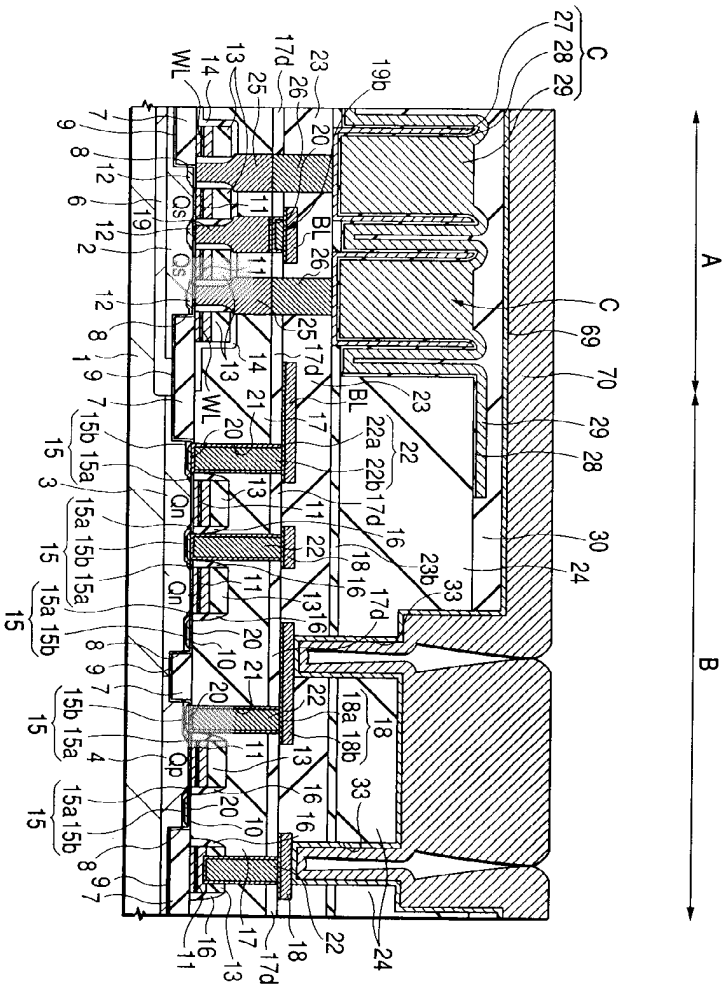
도면28



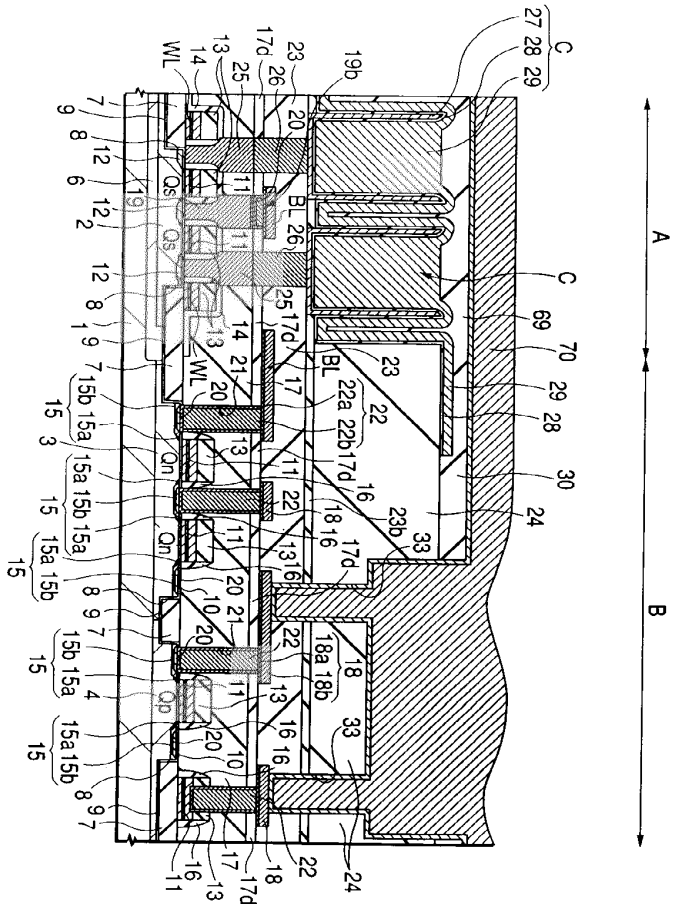
도면29



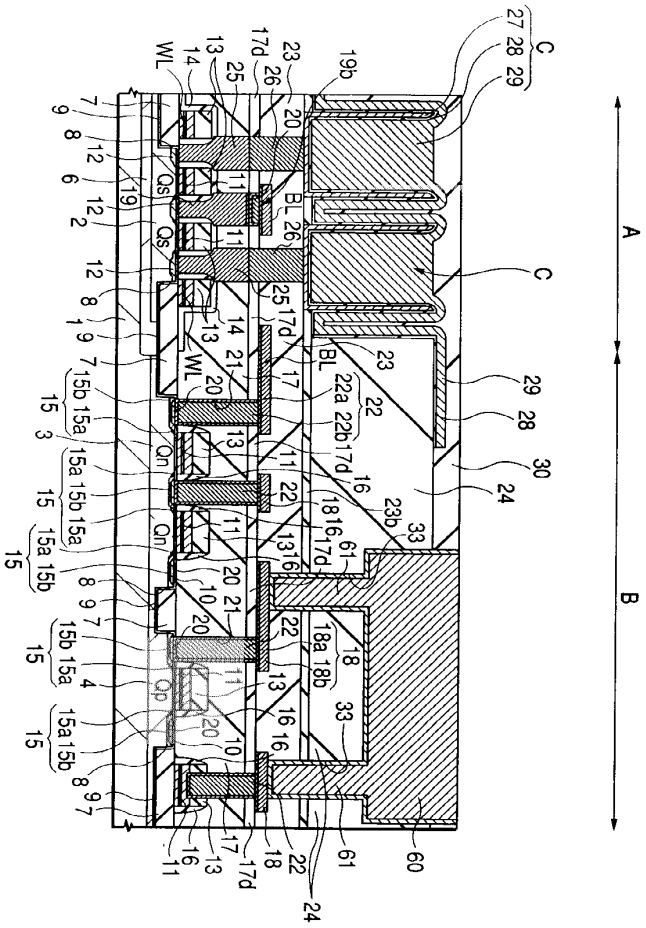
도면30



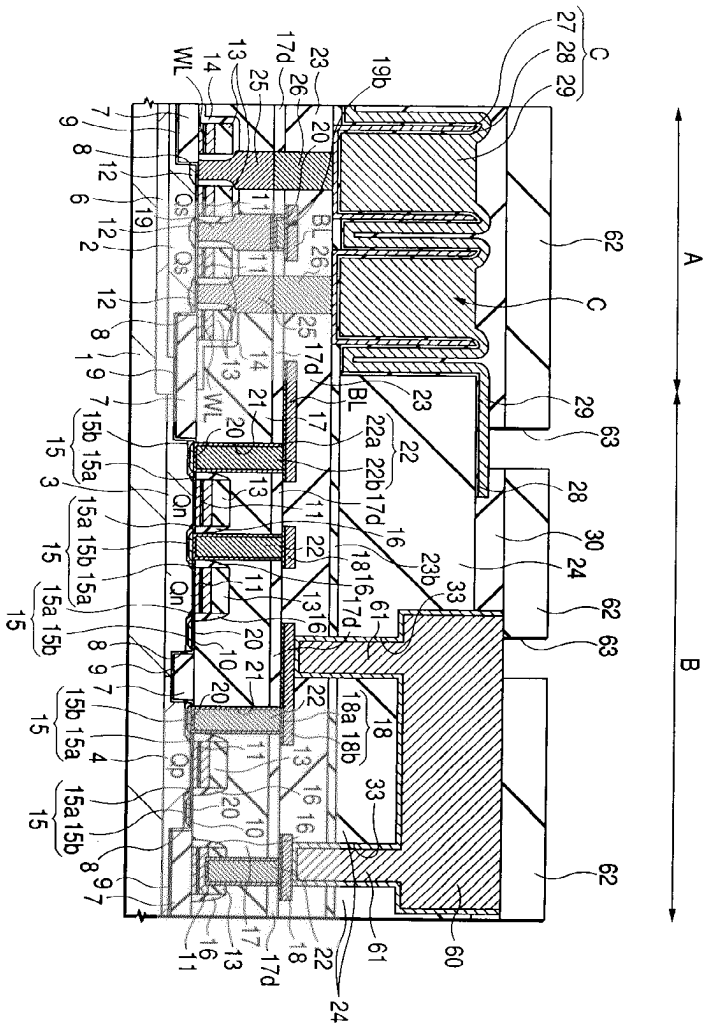
도면31



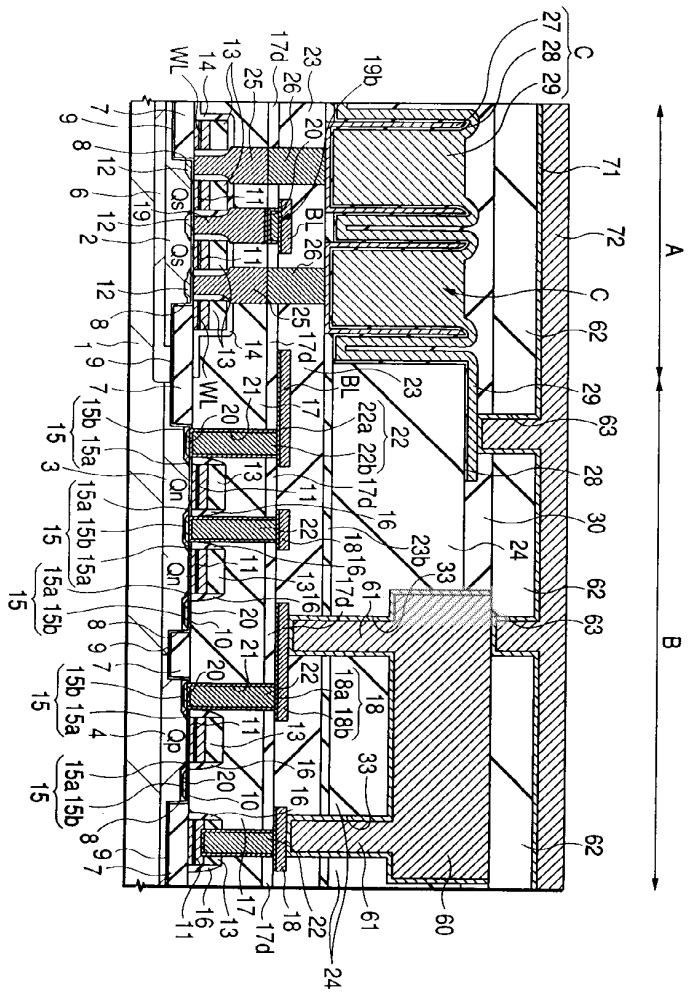
도면32



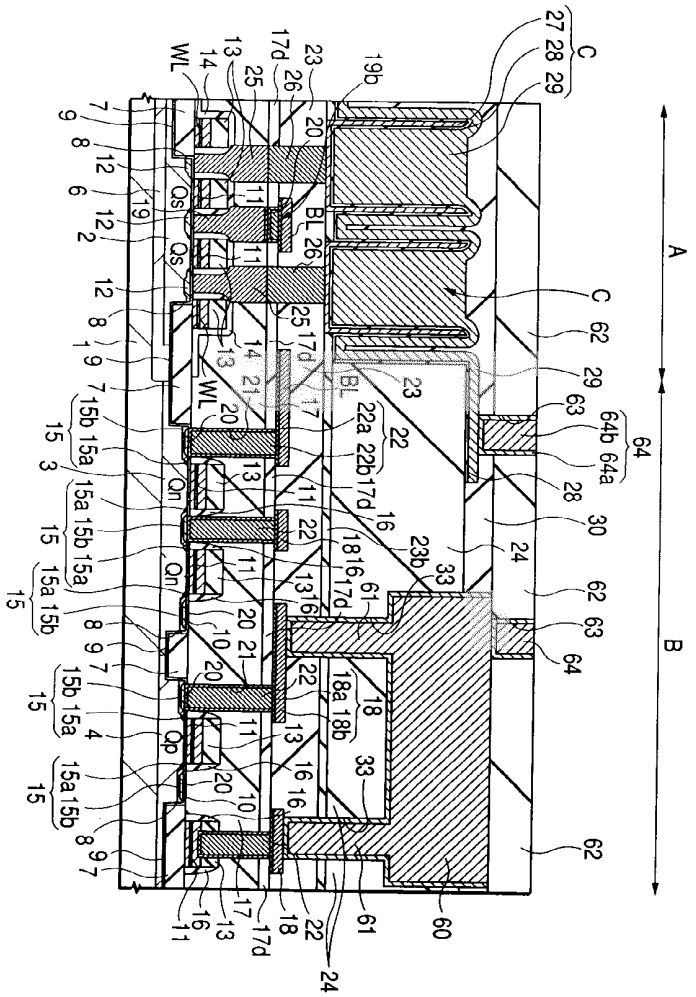
도면33



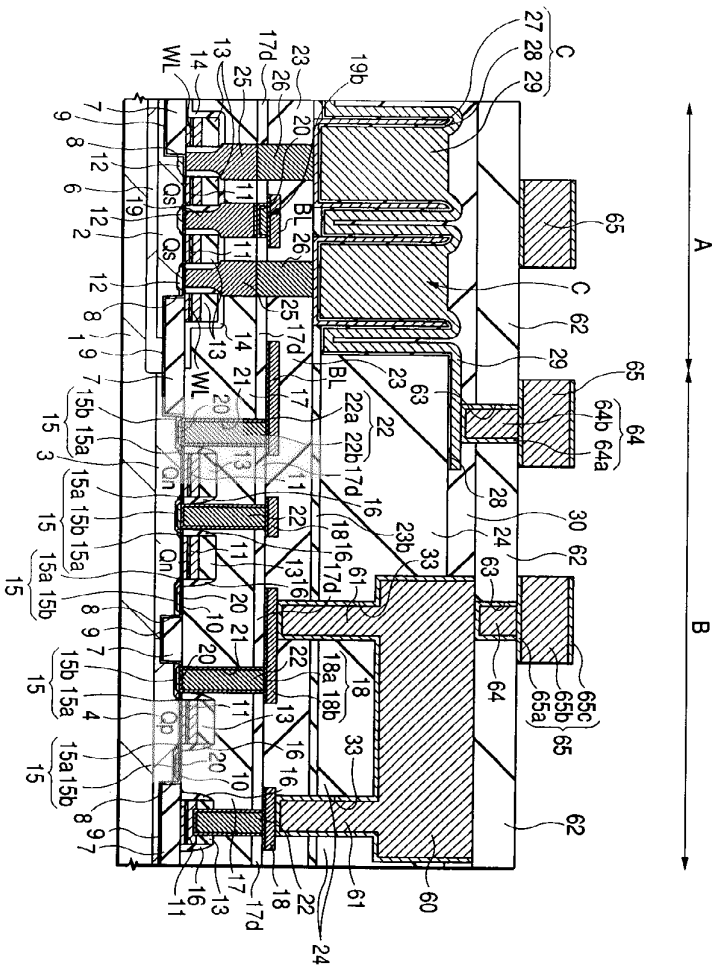
도면34



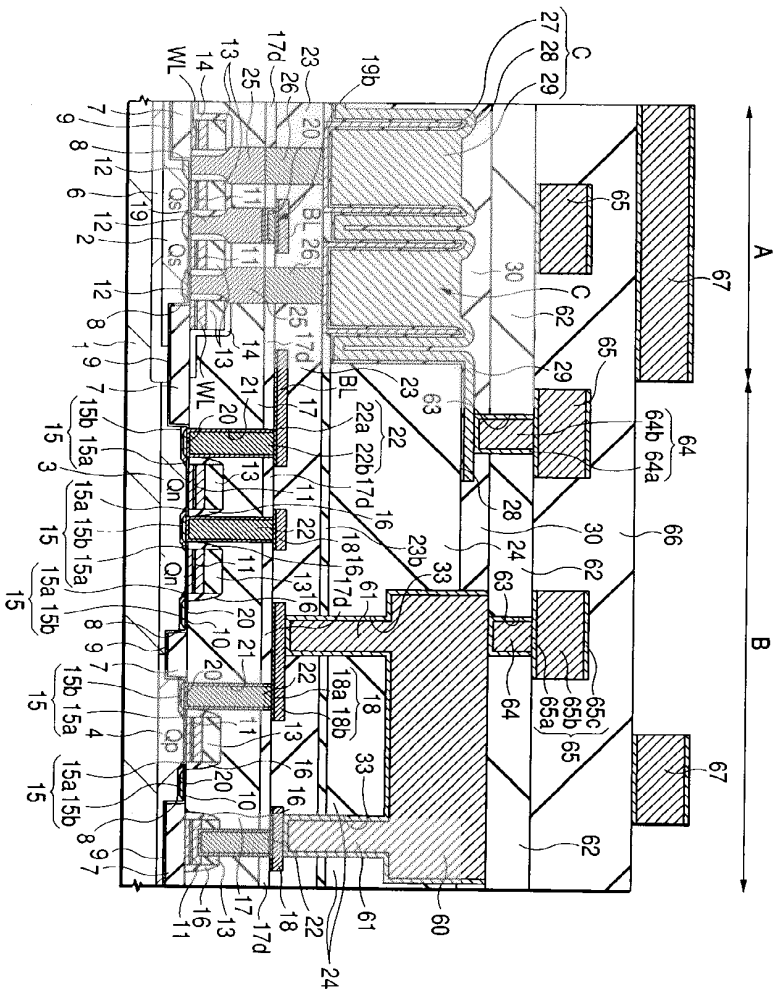
도면35



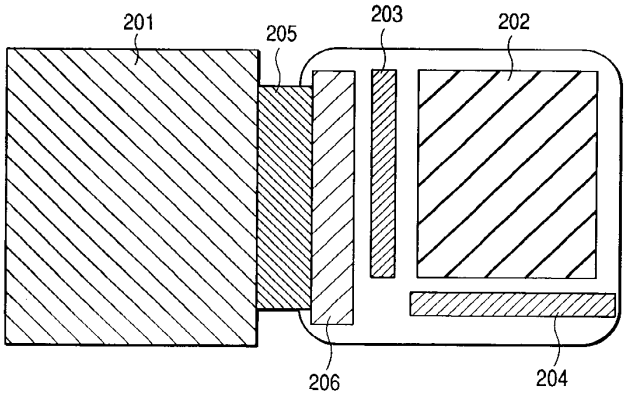
도면36



도면37


A
B
C
WL
BL
Qn
Qs
Qp
60
61
62
63
64
64a
64b
65
65a
65b
65c
66
67

도면38


201
202
203
204
205
206

도면39

