



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월02일
(11) 등록번호 10-1875677
(24) 등록일자 2018년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/10 (2006.01) H01L 21/8247 (2006.01)
H01L 27/115 (2017.01)
(21) 출원번호 10-2013-7004069
(22) 출원일자(국제) 2011년07월19일
심사청구일자 2016년07월19일
(85) 번역문제출일자 2013년02월19일
(65) 공개번호 10-2013-0094801
(43) 공개일자 2013년08월26일
(86) 국제출원번호 PCT/US2011/044546
(87) 국제공개번호 WO 2012/012435
국제공개일자 2012년01월26일
(30) 우선권주장
12/838,803 2010년07월19일 미국(US)
(56) 선행기술조사문헌
US20090219426 A1*
KR1020080066742 A*
US20070012945 A1
JP2007049113 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이
8000
(72) 발명자
매튜, 스라즈 제이.
미국 83716 아이다호주 보이세 이스트 레드 피르
코트 2832
모울리, 찬드라
미국 83712 아이다호주 보이세 에스. 그레나이트
727
(74) 대리인
양영준, 백만기

전체 청구항 수 : 총 15 항

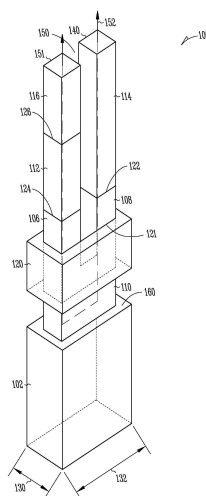
심사관 : 고연화

(54) 발명의 명칭 고밀도 사이리스트 RAM 소자 및 방법

(57) 요약

메모리 소자 및 메모리 소자 제조 방법이 도시된다. 도시되는 방법 및 구조는 메모리 밀도 증가를 위해 접힌 형태의 수직 메모리 소자를 제공한다. 제공되는 방법은 메모리 어레이 내의 트레이스 배선(trace wiring)이 메모리 소자의 표면 상에 또는 근처에 형성되게 한다.

대표도 - 도1



명세서

청구범위

청구항 1

절연체 영역에 의해 기판으로부터 절연된 제 1 타입 도핑된 반도체 베이스로서, 2개의 상향 지향 단부 및 그 사이에 접힌 전도 경로를 갖는, 상기 제 1 타입 도핑된 반도체 베이스와,

상기 제 1 타입 도핑된 반도체 베이스에 수직으로 연결되어 상기 전도 경로를 따라 제 1 및 제 2 p-n 정선을 형성하는 한 쌍의 제 2 타입 도핑된 반도체 구조물과,

상기 전도 경로를 따라 제 3 p-n 정선을 형성하기 위한 제 1 타입 도핑된 반도체 상부 구조물과,

상기 제 1 및 제 2 p-n 정선 사이에서 상기 제 1 타입 도핑된 반도체 베이스의 접힌 전도 경로의 적어도 일 외 측부에 인접하여 위치하는 게이트

를 포함하는 메모리 셀.

청구항 2

제 1 항에 있어서, 상기 제 1 타입 도핑된 반도체 베이스는 p-타입 도핑된 반도체이고, 제 2 타입 도핑된 반도체 구조물은 n-타입 도핑된 반도체인

메모리 셀.

청구항 3

제 1 항에 있어서, 상기 제 1 타입 도핑된 반도체 베이스는 절연체 영역 위에 위치하는

메모리 셀.

청구항 4

제 1 항에 있어서, 상기 제 1 타입 도핑된 반도체 베이스는 실리콘-온-인설레이터(SOI) 기판의 반도체 영역으로부터 형성되는

메모리 셀.

청구항 5

제 1 항에 있어서, 상기 메모리 셀이 $4F^2$ 의 기판 면적을 이용하는

메모리 셀.

청구항 6

절연체 영역에 의해 기판으로부터 절연된 제 1 타입 도핑된 반도체 베이스로서, 2개의 상향 지향 단부 및 그 사이에 접힌 전도 경로를 갖는, 상기 제 1 타입 도핑된 반도체 베이스와,

상기 제 1 타입 도핑된 반도체 베이스에 수직으로 연결되어 상기 전도 경로를 따라 제 1 및 제 2 p-n 정선을 형성하는 한 쌍의 제 2 타입 도핑된 반도체 구조물과,

상기 전도 경로를 따라 제 3 p-n 정선을 형성하기 위한 제 1 타입 도핑된 반도체 상부 구조물과,

상기 제 1 및 제 2 p-n 정선 사이에서 상기 제 1 타입 도핑된 반도체 베이스를 실질적으로 둘러싸는 게이트

를 포함하는 메모리 셀.

청구항 7

제 6 항에 있어서, 상기 게이트가 금속 게이트를 포함하는 메모리 셀.

청구항 8

제 6 항에 있어서, 상기 제 1 타입 도핑된 반도체 베이스는 p-타입 베이스를 포함하는 메모리 셀.

청구항 9

제 8 항에 있어서, 상기 p-타입 베이스는 부동체 p-타입 베이스를 포함하는 메모리 셀.

청구항 10

제 6 항에 있어서, 상기 메모리 셀이 실리콘-온-인설레이터(SOI) 웨이퍼 상에 형성되는 메모리 셀.

청구항 11

제 6 항에 있어서, 상기 제 1 타입 도핑된 반도체 베이스는 "U" 형상으로 형성되는 메모리 셀.

청구항 12

반도체 기판 상에 p-타입 베이스 구조물을 형성하는 단계로서, 상기 p-타입 베이스 구조물은 한 쌍의 상향 지향 단부 및 그 사이에 접힌 전도 경로를 갖는, 단계와,

상기 p-타입 베이스 구조물의 상향 지향 단부 상에 한 쌍의 n-타입 구조물을 형성하여 상기 전도 경로를 따라 제 1 및 제 2 p-n 정선을 형성하는 단계와,

상기 n-타입 구조물 중 하나 상에 p-타입 구조물을 형성하여 상기 전도 경로를 따라 제 3 p-n 정선을 형성하는 단계와,

상기 p-타입 베이스 구조물을 실질적으로 둘러싸는 게이트를 형성하는 단계와,

상기 p-타입 베이스 구조물을 상기 반도체 기판의 나머지로 부터 전기적으로 분리시키는 단계를 포함하는 방법.

청구항 13

제 12 항에 있어서, 반도체 기판 상에 p-타입 베이스 구조물을 형성하는 단계는, 실리콘-온-인설레이터 기판의 상부 실리콘 영역으로부터 상기 p-타입 베이스 구조물을 형성하는 단계를 포함하는 방법.

청구항 14

제 12 항에 있어서, 상기 p-타입 베이스 구조물을 상기 반도체 기판의 나머지로 부터 전기적으로 분리시키는 단계는, STI(Shallow Trench Isolation) 언더컷 프로세스를 이용하여 벌크 실리콘 기판으로부터 상기 p-타입 베이스 구조물을 분리시키는 단계를 포함하는 방법.

청구항 15

제 12 항에 있어서, 반도체 기판 상에 p-타입 베이스 구조물을 형성하는 단계는, p-타입 영역을 통해 트렌치 부분을 식각하여 한 쌍의 상향 지향 단부를 갖는 접힌 p-타입 베이스 구조물을 형성하는 단계를 포함하는

방법.

발명의 설명

기술 분야

[0001] 우선권 출원

[0002] 본 특허출원은 2010년 7월 19일자 미국특허출원 제12/838,803호로부터 우선권을 주장한다.

배경 기술

[0003] 사이리스터 램(TRAM)은 메모리 상태를 저장하기 위해, 선택 트랜지스터와는 구분된, 배타적 저장 커패시터를 필요로하지 않는 메모리 구조를 제공한다. 그러나, 오늘날까지 소자 구조는 상당한 양의 표면적을 이용한다. 메모리 밀도를 더욱 개선시키기 위해 소자 구조의 개선이 필요하다. 더욱이, 신뢰가능하고 효율적인 제조 방법을 이용하여 소자를 형성하는 것이 바람직하다.

발명의 내용

도면의 간단한 설명

[0004] 도 1은 발명의 일 실시예에 따른 예시적인 메모리 셀을 도시한다.

도 2는 발명의 일 실시예에 따른 다양한 게이트 전압에서 예시적인 메모리 셀의 트리거 전압을 도시한다.

도 3은 발명의 일 실시예에 따른 메모리 셀을 형성하는 예시적 방법을 도시한다.

도 4는 발명의 일 실시예에 따른 예시적인 메모리 셀을 포함하는 정보 취급 시스템을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0005] 다음의 발명의 상세한 설명에서, 발명이 실시될 수 있는 구체적 실시예들이 도해를 통해 도시되고 상세한 설명의 일부를 형성하는 첨부 도면을 참조한다. 이러한 실시예들은 당 업자로 하여금 본 발명을 실시할 수 있게 하도록 충분히 세부적으로 설명된다. 다른 실시예도 이용될 수 있고, 화학적, 구조적, 논리적, 전기적 변화, 등이 이루어질 수 있다.

[0006] 다음의 설명에서 사용되는 웨이퍼 및 기판이라는 용어는 소자 또는 집적 회로(IC)를 형성하기 위해 노출 표면을 갖는 임의의 구조를 포함한다. 기판이라는 용어는 반도체 웨이퍼를 포함하는 것으로 간주된다. 기판이라는 용어는 공정 중 반도체 구조를 일컫는 데 또한 사용되고, 그 위에 제조된 실리콘-온-인설레이터(SOI)와 같은 다른 층들을 포함할 수 있다. 웨이퍼 및 기판은 도핑된 반도체 및 도핑되지 않은 반도체와, 베이스 반도체 또는 절연체에 의해 지지되는 에피택셜 반도체층과, 당 분야에 잘 알려져 있는 다른 반도체 구조를 포함한다. 전도체라는 용어는 반도체를 포함하는 것으로 간주되고, 절연체 또는 유전체라는 용어는 전도체로 불리는 물질에 비해 전기 전도성이 적은 임의의 물질을 포함하는 것으로 규정된다.

[0007] 본 명세서에서 사용되는 "수평"이라는 용어는 웨이퍼 또는 기판의 배향에 관계없이, 웨이퍼 또는 기판의 종래의 평면 또는 표면에 평행한 평면으로 규정된다. "수직"이라는 용어는 상술한 바와 같은 수평 방향에 수직인 방향을 일컫는다. "위의", ("측벽"에서와 같은) "옆", "높은", "낮은", "위에", "아래에"와 같은 용어는 웨이퍼 또는 기판의 배향에 관계없이, 웨이퍼 또는 기판의 상측 표면 상에 위치한 종래의 평면 또는 표면에 대해 규정된다. 따라서, 다음의 상세한 설명은 제한적인 측면으로 간주되어서는 안되고, 본 발명의 범위는 청구범위의 동등물의 전체 범위와 함께 청구범위에 의해서만 규정된다.

[0008] 도 1은 발명의 일 실시예에 따른 메모리 셀(100)을 도시한다. 메모리 셀(100)은 제 1 타입 도핑된 반도체 베이스(110)를 포함한다. 제 1 타입 도핑된 반도체 베이스(110)는 2개의 상향 지향 단부(106, 108)와 함께 도시된다. 상술한 바와 같이, 본 명세서에서 "상향"이라는 용어는 제조 중 반도체 웨이퍼에 대해 규정된다. 제조되는 메모리 칩은 사용시 다수의 가능한 배향 중 임의의 배향을 가질 수 있다. 2개의 상향 지향 단부(106, 108) 사이에 공간이 포함된다. 일 실시예에서, 이 공간은 아래에서 상세하게 설명되는 전도 경로(140)의 일부분을 형성한다.

- [0009] 도 1은 제 1 상향 지향 단부(106)에 연결되는 제 2 타입 도핑된 반도체 구조(112)와, 제 2 상향 지향 단부(108)에 연결되는 다른 제 2 타입 도핑된 반도체 구조(114)를 또한 도시한다. 일 실시예에서, 제 1 타입 도핑된 반도체는 p-타입이고 제 2 타입 도핑된 반도체는 n-타입이지만, 발명은 이에 제한되지 않는다. 다른 실시예에서, 제 1 타입 도핑된 반도체는 n-타입이고 제 2 타입 도핑된 반도체는 p-타입이다.
- [0010] 제 2 타입 도핑된 반도체 구조(112) 위에 위치하는 제 1 타입 도핑된 반도체 상부 구조(116)가 또한 도시된다. 도 1에 도시되는 구조는 제 1 p-n 정션(122), 제 2 p-n 정션(124), 및 제 3 p-n 정션(126)을 형성한다. p-n 정션(122, 124, 126)은 전도 경로(140)를 따라 직렬로 연결되어 사이리스터 장치를 형성한다.
- [0011] 도시되는 구조에서, 제 1 타입 도핑된 반도체 베이스(110)는, 상향 지향 단부(106, 108)와 함께 접힌 구조(folded structure)를 형성한다. 접힌 구조는 수평 구조에 비해 면적 풋프린트(areal footprint)가 훨씬 컴팩트하다. 일 실시예에서, 면적 풋프린트는 약 4의 리소그래픽 특징부 제곱($4F^2$)인 길이(132) 및 폭(130)을 포함한다. 리소그래픽 특징부 제곱은 광학 리소그래피에 의해 제조될 때 기관 상의 주어진 영역 내로 많은 소자들 또는 소자들의 요소들이 어떻게 끼워맞춰질 수 있는 지를 규정한다. 실제 소자 치수는 리소그래피 및 식각 조건을 포함한, 여러 요인에 따라 좌우될 수 있다. 그러나, 성능지수 "F"는 파장에 독립적이고, 공간적 효율을 위해 소자 구조를 서로 비교하기 위해 반도체 산업에 종종 사용된다.
- [0012] 도 1에 도시되는 접힌 구조에 따라, 전기적 접촉점(151, 152)이 메모리 셀(100)의 상측 표면에 놓인다. 이는 메모리 어레이에 대한 후속 배선(wiring)이 메모리 셀 아래 대신에 메모리 셀 위에, 또는 그렇지 않을 경우, 메모리 셀의 상측 표면(150) 아래에, 형성되게 할 수 있다. 소자의 상측 표면(150) 아래에 형성되는 전도체 트레이스 또는 다른 배선 구조는 제조하기 더 어려울 수 있다. 예를 들어, 딥 이온 임플란트 과정 또는 식각 트렌치에서의 딥 증착이 매립 전도체 배선 구조를 형성하는 데 필요할 수 있다. 이에 반해, 상측 표면 상에 접촉점(151, 152)을 갖는 메모리 셀(100)은, 딥 트렌치 또는 이온 임플란트없이 전도체 배선을 위한 더욱 신뢰가능한 증착 과정을 가능하게 한다.
- [0013] 도 1은 제 1 타입 도핑된 반도체 베이스(110)가 절연체 영역(102) 상에 위치하는 실시예를 또한 도시한다. 일례에서, 절연체 영역(102)은 절연체 물질로 옥사이드를 포함한다. 절연체 영역(102)을 갖는 실시예에서, 메모리 소자(100)의 베이스에서 부동체 영역(floating body region)(160)이 생성된다. 부동체 영역(160)을 갖는 실시예는 절연체 영역없이, 반도체 물질 바로 위에 형성되는 실시예에 비해 전하 누설이 적다는 것을 보여줄 수 있다.
- [0014] 일례에서, 절연체 영역(102)은 실리콘-온-인설레이터(SOI) 웨이퍼 내의 절연체 영역이다. SOI 웨이퍼를 이용할 때, 제 1 타입 도핑된 반도체 베이스(110)가 웨이퍼 내 상측 반도체 영역으로부터 형성될 수 있다. 일례에서, 상측 반도체 영역은 웨이퍼 형태로 p-도핑 영역으로 제공된다. 일례에서, 상측 반도체 영역은 메모리 소자(100)의 제조 중 도핑된다.
- [0015] 다른 예에서, 절연체 영역(102)은 STI(shallow trench isolation) 언더컷 작동을 이용하여 개별 메모리 소자(100) 아래에 형성된다. STI 언더컷 작동의 일례에서, 트렌치는 메모리 소자(100)에 인접하여 식각되고, 실리콘 옥사이드와 같은 절연 물질로, 예를 들어, 증착에 의해, 후속하여 충전되는 언더컷 영역을 형성하는 데 이방성 에칭이 사용된다.
- [0016] 도 1은 제 1 타입 도핑된 반도체 베이스(110)의 적어도 일 측부에 인접하여 형성되는 게이트(120)를 더 도시한다. 도 1에 도시되는 예는 제 1 타입 도핑된 반도체 베이스(110)를 실질적으로 둘러싸도록 제 1 타입 도핑된 반도체 베이스(110)의 4개의 측부에 인접하여 형성되는 게이트(120)를 도시한다. 일 실시예에서, 게이트 절연체가 게이트(120)와 제 1 타입 도핑된 반도체 베이스(110) 사이의 계면(121)에 형성된다.
- [0017] 작동시, 게이트(120)에 게이트 전압을 임계값 이상으로 인가하면 제 1 타입 도핑된 반도체 베이스(110)가 역전되고 제 2 타입 도핑된 반도체 구조(114)는 제 1 타입 도핑된 반도체 베이스(110)의 장벽을 극복하여 제 2 타입 도핑된 반도체 구조(112)에 연결되게 된다. 게이트 역전 때문에, 애노드-캐소드 전압이 야발란체 발생을 일으킬 만큼 충분히 높을 필요가 없고, 따라서, 스냅 백 전압(snap back voltage)이 다이오드 턴-온(diode turn-on)을 낳는다. 일 실시예에서, 게이트 연결 베이스, 예를 들어, 게이트(120)가, 도시되는 바와 같이, 메모리 소자(100)의 "기록" 전압 조건을 변조하는 데 사용된다.
- [0018] 도 2는 제 2 타입 도핑된 반도체 구조(114)에서 게이트 전압(VGs)과, 인가 전압의 전류에 대한 영향의 분포를 도시한다. 도 2의 예에서 확인할 수 있는 바와 같이, 게이트 트리거의 도움없이 "기록" 작동을 수행하는 데 높

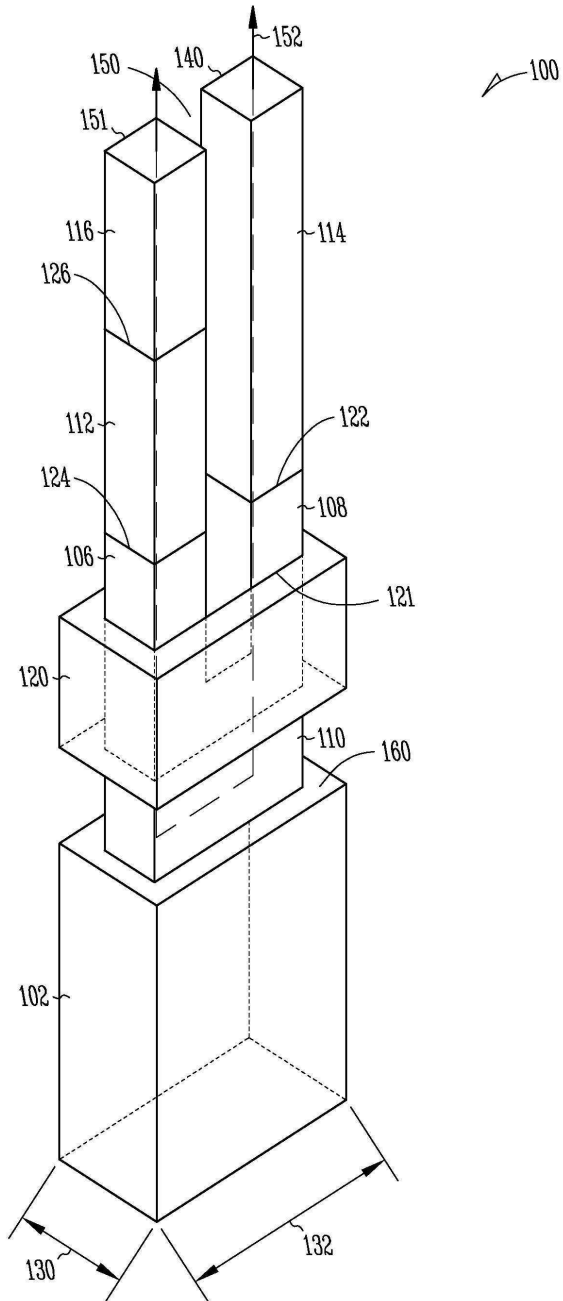
은 애노드-캐소드 전압이 필요하다.

- [0019] 도 3은 발명의 일 실시예에 따른 일레의 메모리 셀 제조 방법을 도시한다. 단계(310)에서, p-타입 베이스 영역이 반도체 기판 상에 형성된다. 단계(310)는 p-타입 베이스 영역에 한 쌍의 상향 지향 단부를 형성하는 단계를 더 설명하며, 한 쌍의 상향 지향 단부 사이에 접힌 전도 경로가 형성된다.
- [0020] 단계(320)는 p-타입 베이스 구조의 상향 지향 단부 위에 한 쌍의 n-타입 구조를 형성하여 전도 경로를 따라 제 1 및 제 2 p-n 정선을 형성하는 단계를 언급한다. 상술한 바와 같이, p-타입 베이스 구조 및 이러한 베이스 구조에 부착되는 n-타입 구조가 설명되지만, 대안의 도핑 배열도 가능하다.
- [0021] 단계(330)는 n-타입 구조 중 하나 상에 p-타입 구조를 형성하여 전도 경로를 따라 제 3 p-n 정선을 형성하는 단계를 언급하고, 단계(340)는 p-타입 베이스 구조를 실질적으로 둘러싸는 게이트를 형성하는 단계를 언급한다.
- [0022] 단계(350)는 반도체 기판의 나머지에서부터 p-타입 베이스 영역을 전기적으로 분리시키는 단계를 언급한다. 일레에서, 전기적 분리는 SOI 기판 상에 메모리 소자(100)를 형성함으로써 제공된다. 본 예에서, SOI 기판의 절연체 영역은 전기적 분리를 제공하고, 적어도 베이스 영역이 SOI 기판의 표면 반도체 영역으로부터 형성된다. 본 예는 절연체 영역이 웨이퍼의 일부분이고 제조 과정 중 생성될 필요가 없기 때문에 소수의 공정 단계를 이용할 수 있다. 그러나, SOI 웨이퍼는 실리콘 웨이퍼보다 더 비쌀 수 있다. 다른 예에서, 실리콘 웨이퍼가 사용되고 STI 언더컷 작동을 사용하여 반도체 기판으로부터 메모리 소자를 전기적으로 분리시킨다. 이 프로세스는 제작에 더 많은 단계를 이용할 수 있으나, 웨이퍼가 덜 비쌀 수 있다.
- [0023] 컴퓨터와 같은 정보 처리 시스템의 일 실시예가 도 4에 포함되어, 본 발명에 대한 하이-레벨 소자 애플리케이션의 일 실시예를 보여준다. 도 4는 상술한 바와 같이 발명의 실시예에 따른 메모리 셀을 포함하는 적어도 하나의 칩 또는 칩 조립체(404)를 포함하는 정보 처리 시스템(400)의 블록도다. 정보 처리 시스템(400)은 본 발명이 사용될 수 있는 전자 시스템의 일 실시예에 불과하다. 다른 예는, 넷북, 카메라, PDA, 셀룰러폰, MP3 플레이어, 항공기, 위성, 군용 차량, 등을 포함하지만, 이에 제한되지 않는다.
- [0024] 본 예에서, 정보 처리 시스템(400)은 시스템의 다양한 구성요소들을 연결하기 위해 시스템 버스(402)를 포함하는 데이터 처리 시스템을 포함한다. 시스템 버스(402)는 정보 처리 시스템(400)의 다양한 구성요소들 간에 통신 링크를 제공하고, 단일 버스로, 버스들의 조합으로, 또는 그외 다른 적절한 방식으로, 구현될 수 있다.
- [0025] 칩 조립체(404)가 시스템 버스(402)에 연결된다. 칩 조립체(404)는 임의의 회로, 또는, 작동적으로 양립가능한 회로들의 조합을 포함할 수 있다. 일 실시예에서, 칩 조립체(404)는 임의의 타입의 프로세서(406)를 포함한다. 여기서 사용되는 "프로세서"는 마이크로프로세서, 마이크로컨트롤러, 그래픽 프로세서, 디지털 신호 프로세서(DSP), 또는 그외 다른 타입의 프로세서 또는 처리 회로와 같은, 그러나 이에 제한되지 않는, 임의의 타입의 연산 회로를 의미한다.
- [0026] 일 실시예에서, 메모리 칩(407)이 칩 조립체(404) 내에 포함된다. 일 실시예에서, 메모리 칩(407)은 앞서 실시예에서 설명한 바와 같이 사이리스터 메모리 소자를 포함한다.
- [0027] 일 실시예에서, 프로세서 칩과는 다른 추가적인 로직 칩(408)이 칩 조립체(404)에 포함된다. 프로세서와는 다른 로직 칩(408)의 예는 아날로그-디지털 컨버터를 포함한다. 주문형 회로, ASIC, 등과 같은 로직 칩(408) 상의 다른 회로가 발명의 일 실시예 내에 또한 포함된다.
- [0028] 정보 처리 시스템(400)은 외부 메모리(411)를 또한 포함할 수 있고, 상기 외부 메모리(411)는, 플로피 디스크, 콤팩트 디스크(CD), 플래시 드라이브, 디지털 비디오 디스크(DVD), 등과 같은 탈착형 매체(413)를 취급하는 하나 이상의 드라이브 및/또는 하나 이상의 하드 드라이브(412)와 같이, 특정 애플리케이션에 적합한 하나 이상의 메모리 요소를 포함할 수 있다. 위 예에서 설명한 대로 구성되는 메모리가 정보 처리 시스템(400) 내에 포함된다.
- [0029] 정보 처리 시스템(400)은 모니터와 같은 디스플레이 장치(409), 스피커, 등, 키보드와 같은 주변 구성요소(410), 및/또는 마우스, 트랙볼, 게임 컨트롤러, 음성-인식 소자, 또는 (시스템 사용자로 하여금 정보 처리 시스템(400)에 정보를 입력할 수 있게 하고 정보 처리 시스템(400)으로부터 정보를 수신할 수 있게 하는) 그외 다른 소자를 포함할 수 있는 컨트롤러(414)를 또한 포함할 수 있다.
- [0030] 발명의 다수의 실시예들이 설명되지만, 위 리스트가 완전한 것으로 간주되어서는 안된다. 구체적 실시예들이 여기서 도시되고 설명되지만, 동일 용도를 달성하도록 연산되는 임의의 배열이, 도시되는 구체적 실시예를 대체할 수 있다. 이러한 응용에는 본 발명의 임의의 적응에 또는 변형예를 커버하는 것을 의도한다. 위 설명은 예시적

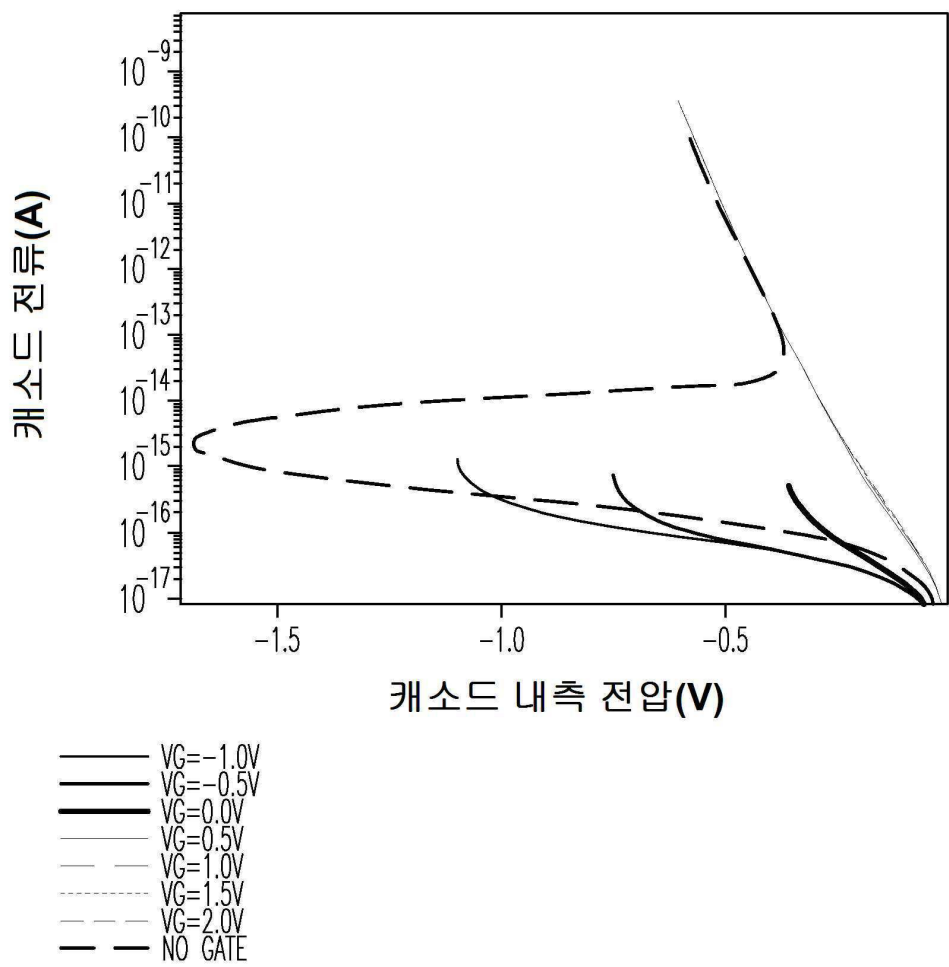
인 것이며 제한적인 것이 아니다. 위 실시예 및 다른 실시예들의 조합은 위 설명을 살펴본 후 당 업자에게 명백할 것이다.

도면

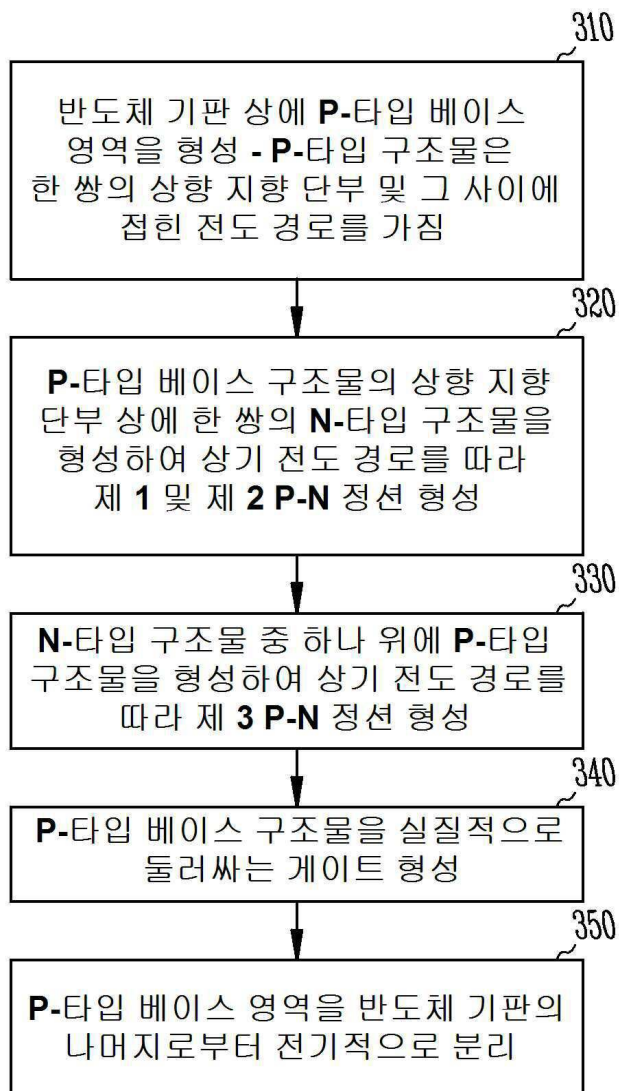
도면1



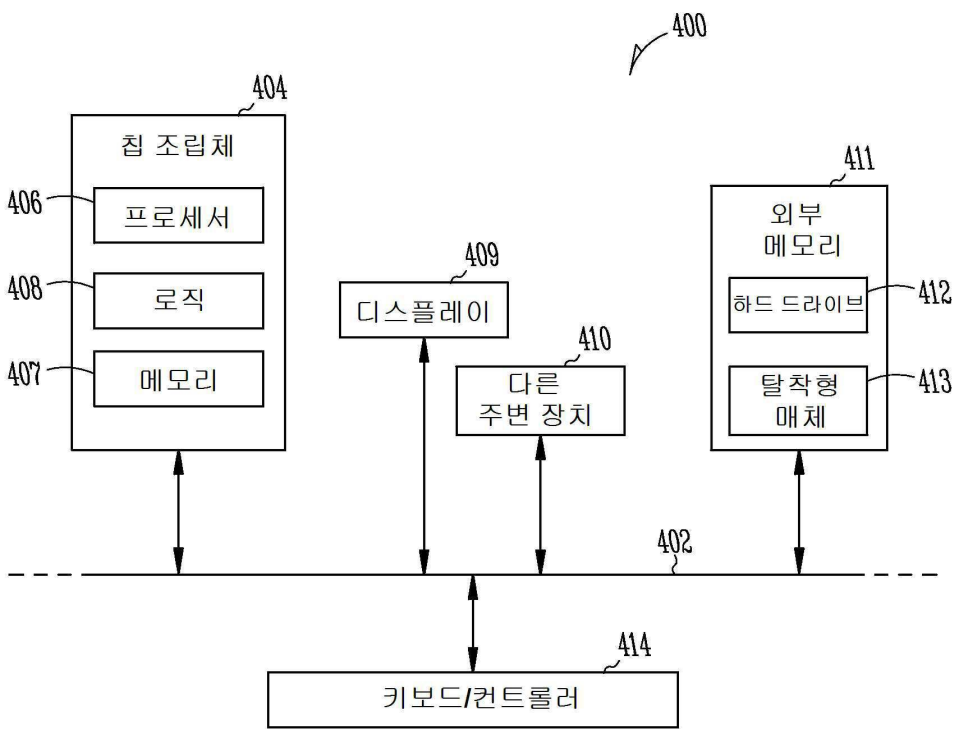
도면2



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제2항

【변경전】

제2 타입 도핑된 반도체

【변경후】

제2 타입 도핑된 반도체 구조물

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 제2항

【변경전】

상기 제1 타입 도핑된 반도체

【변경후】

상기 제1 타입 도핑된 반도체 베이스