

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4105387号  
(P4105387)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.

H04L 12/56 (2006.01)

F 1

H04L 12/56

F

請求項の数 17 (全 71 頁)

(21) 出願番号 特願2000-526098 (P2000-526098)  
 (86) (22) 出願日 平成10年12月15日 (1998.12.15)  
 (65) 公表番号 特表2001-527369 (P2001-527369A)  
 (43) 公表日 平成13年12月25日 (2001.12.25)  
 (86) 國際出願番号 PCT/SE1998/002325  
 (87) 國際公開番号 WO1999/033320  
 (87) 國際公開日 平成11年7月1日 (1999.7.1)  
 審査請求日 平成17年12月15日 (2005.12.15)  
 (31) 優先権主張番号 60/071,010  
 (32) 優先日 平成9年12月19日 (1997.12.19)  
 (33) 優先権主張国 米国(US)  
 (31) 優先権主張番号 60/086,619  
 (32) 優先日 平成10年5月22日 (1998.5.22)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 598036300  
 テレフォンアクチーボラゲット エル エ  
 ム エリクソン (パブル)  
 スウェーデン国 ストックホルム エスー  
 164 83  
 (74) 代理人 100076428  
 弁理士 大塚 康徳  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100116894  
 弁理士 木村 秀二  
 (74) 代理人 100130409  
 弁理士 下山 治

最終頁に続く

(54) 【発明の名称】非同期転送モードスイッチ

## (57) 【特許請求の範囲】

## 【請求項 1】

非同期転送モード( ATM )スイッチであって、  
 スイッチコアと、  
 双方向リンクによって前記スイッチコアに接続されているスイッチポートと、  
 前記スイッチコアにおいてセルの位置合わせを行なう、前記スイッチコアに備えられた  
 同期状態マシンと、  
 前記スイッチポートにおいてセルの位置合わせを行なう、前記スイッチポートに備えら  
 れた同期状態マシンとを有し、

前記双方向リンクによって搬送される制御セルは、前記複数の同期状態マシンの内の1  
 つの複数の同期状態の1つを示すことを特徴とする非同期転送モードスイッチ。 10

## 【請求項 2】

前記制御セルは、前記複数の同期状態の1つを示すために専用となっていることを特徴  
 とする請求項1に記載の非同期転送モードスイッチ。

## 【請求項 3】

双方向リンクによってスイッチコアに接続されているスイッチポートを有した ATMス  
 イッチを動作させる方法であって、

前記スイッチコアにおいてセルの位置合わせを行なうために、前記スイッチコアで同期  
 状態マシンを動作させ、

前記スイッチポートにおいてセルの位置合わせを行なうために、前記スイッチポートで 20

同期状態マシンを動作させ、

前記双方リンクによって前記複数の同期状態マシンの内の1つの複数の同期状態の1つを示す制御セルを送信することを特徴とする方法。

【請求項4】

前記制御セルを、前記複数の同期状態の1つを示すために専用させることを特徴とする請求項3に記載の方法。

【請求項5】

前記双方リンクによって搬送されるセルとしてさらにサービスセルを含み、

前記サービスセルと前記制御セルとは共通にフォーマットされたフィールドを有し、

予め確立された値の第1のセットのいずれかが前記共通にフォーマットされたフィールドに格納されるときには、セルはサービスセルであるとして示され、10

予め確立された値の第2のセットのいずれかが前記共通にフォーマットされたフィールドに格納されるときには、セルは制御セルであるとして示されることを特徴とする請求項1に記載の非同期転送モードスイッチ。

【請求項6】

前記制御セルの少なくともいくつかは、(1)前記スイッチコアの制御レジスタへの格納のために前記スイッチポートから前記スイッチコアに送信されたものであるか、或いは、(2)前記スイッチポートへの伝送のために前記スイッチコアの制御レジスタから得られたものであるかのいずれかであるノン-サービス情報を含んでいることを特徴とする請求項1に記載の非同期転送モードスイッチ。20

【請求項7】

前記制御セルの少なくともいくつかは前記スイッチコアの制御レジスタに格納される前記スイッチコアの制御レジスタのアドレスとノン-サービスデータの両方を含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項8】

前記制御セルの少なくともいくつかは、前記制御セルに含まれるノン-サービスデータが、前記スイッチコアの制御レジスタに書き込まれるものであるのか、或いは、前記スイッチコアの制御レジスタから読み出されたものであるのかを示す指示を含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項9】

前記スイッチコアは複数の制御レジスタを有し、

前記制御セルは、前記スイッチコアの複数の制御レジスタの内のアドレスされた1つに対応する値をもつアドレスフィールドを含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項10】

前記スイッチコアは複数のクロスポイントユニットを有し、

前記スイッチコアの制御レジスタは前記スイッチコアの所定のクロスポイントユニットに対応したビット位置をもっていることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項11】

前記スイッチコアは2つのマトリクスをもつクロスポイントユニットを有し、

前記スイッチコアは第1のマトリクスのクロスポイントユニットについての情報を含む第1の制御レジスタと第2のマトリクスのクロスポイントユニットについての情報を含む第2の制御レジスタとをもち、

前記制御セルは、前記ノン-サービス情報が前記第1の制御レジスタに属するものであるのか、或いは、第2の制御レジスタに属するものであるのかを示す指示を含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。40

【請求項12】

前記制御セルは、(1)前記スイッチコアの制御レジスタへの格納のために前記スイッチポートから前記スイッチコアに送信されたものであるか、或いは、(2)前記スイッチ

ポートへの伝送のために前記スイッチコアの制御レジスタから得られたものであるかのいずれかであるノン・サービス情報を含んでいることを特徴とする請求項3に記載の方法。

#### 【請求項13】

前記制御セルの少なくともいくつかは、前記スイッチコアの制御レジスタに格納される前記スイッチコアの制御レジスタのアドレスとノン・サービスデータの両方を含んでいることを特徴とする請求項12に記載の方法。

#### 【請求項14】

前記制御セルの少なくともいくつかは、前記制御セルに含まれるノン・サービスデータが、前記スイッチコアの制御レジスタに書き込まれるものであるのか、或いは、前記スイッチコアの制御レジスタから読み出されたものであるのかを示す指示を含んでいることを特徴とする請求項12に記載の方法。

10

#### 【請求項15】

前記スイッチコアは複数の制御レジスタを有し、

前記制御セルは、前記スイッチコアの複数の制御レジスタの内のアドレスされた1つに対応する値をもつアドレスフィールドを含んでいることを特徴とする請求項12に記載の方法。

#### 【請求項16】

前記スイッチコアは2つのマトリクスをもつクロスポイントユニットを有し、

前記スイッチコアは第1のマトリクスのクロスポイントユニットについての情報を含む第1の制御レジスタと第2のマトリクスのクロスポイントユニットについての情報を含む第2の制御レジスタとをもち、

20

前記制御セルは、前記ノン・サービス情報が前記第1の制御レジスタに属するものであるのか、或いは、第2の制御レジスタに属するものであるのかを示す指示を含んでいることを特徴とする請求項12に記載の方法。

#### 【請求項17】

前記スイッチコアは複数のクロスポイントユニットを有し、

前記スイッチコアの制御レジスタは前記スイッチコアの所定のクロスポイントユニットに対応したビット位置をもっていることを特徴とする請求項12に記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

30

##### 背景

##### 1. 発明の属する技術分野

本発明は、例えば、ATMセルが搬送される通信スイッチのようなスイッチに関する。

##### 2. 関連技術と他の考察

ビデオオンデマンド、ビデオ電話、電話会議などのマルチメディア応用分野のようなハイバンドサービスについての増大する関心は広帯域統合サービスデジタルネットワーク(B-ISDN)の発達の動機づけとなってきた。B-ISDNは非同期転送モード(ATM)として知られている技術が基盤となっており、かなり拡張された通信能力を提供している。

##### 【0002】

40

ATMは、非同期の時分割多重化技術をもちいるパケット指向の転送モードである。パケットはセルと呼ばれ、伝統的には固定されたサイズをもっていた。伝統的なATMセルは53オクテットからなり、その内の5オクテットはヘッダを形成し、残りの48オクテットが“ペイロード”或いはセルの情報部分を構成する。ATMセルのヘッダは2つの量を含み、これらはセルが搬送されることになるATMネットワークの接続、特に、VPI(Virtual Path Identifier:仮想パス識別子)とVCI(Virtual Channel Identifier:仮想チャネル識別子)とを識別する。一般に、その仮想バスは、ネットワークの2つのスイッチングノード間で定義された主要なバスであり、その仮想チャネルは各主要バスにおける1つの具体的な接続である。

##### 【0003】

50

その終端地点において、A T Mネットワークは端末装置、例えば、A T Mネットワークユーザに接続される。典型的には、A T Mネットワーク終端地点の間には、複数のスイッチングノードがあり、そのスイッチングノードは互いに物理的な伝送バス或いはリンクで接続されたポートを有している。従って、ある出発端末装置から宛て先端末装置へと転送される中で、メッセージを形成するA T Mセルはいくつかのスイッチングノードを経ることになるかもしれない。

【0004】

スイッチングノードは複数のポートを有し、各ポートはリンク回路と他のノードへのリンクを経て接続が可能である。リンク回路はそのリンクにおいて用いられる特定のプロトコルに従ってセルのパケット化を実行する。スイッチングノードに到来するセルは第1のポートでそのスイッチングノードに入り、第2のポートからリンク回路を経て他のノードに接続されたリンク上へと出て行く。各リンクは複数の接続についてのセルを搬送する。その接続は、例えば、発呼した加入者或いは加入者局と着呼する加入者或いは加入者局との間の伝送である。

10

【0005】

各スイッチングノードは典型的には、いくつかの機能部分をもっており、その主要部分がスイッチコアである。スイッチコアは本質的にはそのスイッチのポート間のクロス接続のように機能する。そのスイッチコアへの内部的なバスは選択的に制御され、そのスイッチの特定のポートが互いに接続されて最終的にはメッセージをそのスイッチの入力側から出力側へと搬送させるようにし、最終的には出発した端末装置から宛て先の端末装置へと搬送がなされるようにする。

20

【0006】

ピータセンに特許された米国特許第5,467,347号は、本質的には全て均一の長さをもつ、種々のタイプのA T Mセルが、スイッチコアとそのスイッチのポートとの間で送信されるA T Mスイッチを開示している。セルのタイプにはトラフィックセル、運用維持セル、アイドルセルが含まれる。全てのタイプのセルは、本質的には同じ長さをもつが、全てのセルが必ずしも情報で満たされている訳ではなく、従って、伝送効率の点ではいくらかの損失の原因となる。トラフィックセルは一番最初のスイッチポートからそのスイッチマトリクスのクロスポイントにおけるバッファへとフィードされ、その後、そのバッファから宛て先或いは目的とするスイッチポートへとアンロードされる。元々のスイッチポートからスイッチへと送られたトラフィックセルはリレイアドレスフィールドをもっており、そのフィールドでは、各ビットが目的のスイッチポートに対応している。スイッチコアからアンロードされ目的のスイッチポートへと送られたトラフィックセル各々は、どの目的とするスイッチポートが占有され、どれが空いているかを示すリレイポーリングフィールドをもっている。従って、各トラフィックセルはスイッチポートの状態を反映した情報でその動きが妨害される。

30

【0007】

従って、必要とされるものは、即ち、本発明の目的は、異なるタイプのA T Mセルを思慮深く賢明にフォーマットし用いる効率的なA T Mスイッチングシステムである。

【0008】

40

要 約

非同期転送モード(A T M)スイッチは、スイッチコアに夫々双方向リンクによって接続されている複数のスイッチポートとを有している。そのスイッチコアは、2つのバッファマトリクスのクロスポイントユニットを有するメモリアレイユニットを含んでいる。対応する行列ユニットには各スイッチポートが接続され、各行列ユニットはクロスポイントユニットの1つの列にサービスセルを書き込むことと、クロスポイントユニットの1つの行からサービスセルを読み出すことを管理する。

【0009】

各スイッチポートとそのスイッチコアの対応する行列ユニットとの間の双方向リンクはサービスセルと制御セルとの両方を搬送する。入力或いは出力源スイッチポートにおいて得

50

られるトラフィックセル或いは情報セルとして知られるサービスセルはスイッチコアを通るという経路を辿って出力或いは宛て先スイッチポートに至る。制御セルはスイッチされた情報を含まないが、その代わりにスイッチングシステムの管理と運用のために用いられる情報を搬送するのに専用的に用いられる。

#### 【0010】

本発明のATMスイッチングシステムによって、異なるサイズのセルをそのスイッチコアとスイッチポートとの間の双方向リンク上で搬送することが可能になる。例えば、サービスセルは、制御セルとは異なるセルサイズをもっており、サービスセルのセルサイズは必ずしも均一である必要はない。

#### 【0011】

サービスセルは、2つの連続するサービスセルが同じ長さ或いは同じペイロードサイズをもつ必要はないようにセルサイズを異ならせることができる。その双方向の長さで送信されるサービスセルはセルサイズフィールドを含み、そのセルサイズフィールドはそれが含まれる各サービスセルのセルサイズを示す。1つの実施形態では、サービスセルは、次のセルサイズ(バイト)、即ち、8、16、24、32、40、48、及び56のいづれかで良い。

10

#### 【0012】

これとは反対に、代表的な実施形態で用いられる制御セル各々は、4バイトの長さである。制御セルの異なるタイプ(例えば、LCCセルとLSCセル)が備えられ、これら制御セルのタイプは異なるフォーマットをもっている。LCC制御セルはリンク接続制御セルとして知られ、LSC制御セルはリンク同期制御セルとして知られている。

20

#### 【0013】

スイッチコアにおけるスイッチポートとその対応する行列ユニットは両方とも同期状態マシンをもっており、そのマシンはLSC制御セルを交換する。LSC制御セルは2つの状態マシンの動作を同期させる情報を含んでいる。特許クロスポイントに、LSC制御セルは、LSC制御セルを生成したマシンの複数の同期状態の1つを示すフィールドを含むフォーマットを有している。予め確立されたプロトコルのおいて、短い同期専用のLSC制御セルを採用することにより、スイッチポートとスイッチコアとの同期が経済的にかつ迅速に成し遂げられ、維持される。

#### 【0014】

30

各行列ユニットはクロスポイント状態ユニットの一部として、制御レジスタのセットを有している。その制御レジスタのセットはクロスポイントユニットのバッファとは明瞭に分けられ、そのユニットを通してサービスセルがスイッチングされる。各スイッチポートは少なくとも部分的に、ノン-サービス情報、例えば、制御情報を制御レジスタのセットに書き込んだり、或いは、その制御レジスタのセットから読み出したりすることにより、そのスイッチコアの関連する行列ユニットを制御する。

#### 【0015】

制御レジスタのいくつかは“ビットマップされた”レジスタとして知られている。なぜなら、そのような制御レジスタの各ビットはスイッチコアに接続された複数のスイッチポートの1つに関連づけられているからである。ビットマップされた制御レジスタには、ポーリング状態ステータスレジスタとポーリング状態解放レジスタとがある。与えられた行列ユニットは、コアマトリクスの同じ列におけるクロスポイントバッファが“占有されている”か、或いは、“空きである”かを示すようにセットされたポーリング状態ステータスレジスタのビットをもっている。その行列ユニットのポーリング状態解放レジスタは、そこで管理されている列におけるバッファが“占有されている”から“空きである”状態に遷移したか、或いは、そのバッファが遷移していないことを示すようにセットされたビットをもっている。

40

#### 【0016】

種々の制御レジスタが採用され、例えば、スイッチングシステムの種々の動作パラメータを確立する。そのようなパラメータは、例えば、動作のあるシーケンス(例えば、ポーリ

50

ング可能、スキャン可能)、あるタイミング情報(例えば、ポーリング状態、スキャン率)、及び、ある無効情報(例えば、スキャンブロック)を含むことができる。

【0017】

リンク接続制御セル(LCC)は2つのフォーマットのセルを含む。それは、ビットマップされたフォーマット(ビットマップされたレジスタに対して)と、“コード化された”フォーマット(ビットマップされていないレジスタと共にいくらかのビットマップされたレジスタに関する入出力動作に用いられる)である。“コード化された”LCCセルは、データが書き込まれる特定の制御レジスタのアドレスと、その特定の制御レジスタに格納され/そこから得られるノン-サービスデータとを含んでいる。

【0018】

セルサイズを異ならせるが、サービスセルと制御セルは、物理的ルート識別子(PRI)として知られる共通にフォーマットされたフィールドをもっている。予め確立された値の第1のセットのいずれかがPRIフィールドに格納されるときには、セルはサービスセルであるとして認識される。この実施形態の例では、PRIフィールドの値が複数のスイッチポートの1つを示す値に対応するとき、セルはサービスセルとして認識される。これに対して、制御セルの少なくともいくつかが認識可能である。なぜなら、PRIフィールドにおける値が制御セル(例えば、制御セルを用いて書き込まれたり或いは読み出される制御レジスタ)によって影響を受ける制御レジスタの同一性或いは番号付けに対応するからである。

【0019】

スイッチの各スイッチポートは、スイッチコアの種々のクロスポイントユニットのステータス、即ち、それら種々のクロスポイントユニットが“占有されている”か或いは“空きである”かのステータスの種々の結合によって、通知を受けなければならぬ。特に、各スイッチポートに含まれるクロスポイントユニットは、サービスセルに送信するもの(例えば、そのポートと同じ列のもの)と、セルを取り出すクロスポイントユニット(例えば、そのポートによって管理される行のもの)である。結局、対応するポーリング状態制御セルを準備するために用いられるビットマップされたポーリング状態レジスタが採用される。ポーリング状態ステータスレジスタは更新されるビットマップをもち、サービスセルがスイッチポートによって送信されるクロスポイントユニットの占有/空きの遷移を反映する。第1の行列ユニットがセルを特定のクロスポイントユニット(XPU)に送信するとき、その行列ユニットはポーリング状態ステータスレジスタに適当なビットマップをセットするのみならず、ビットが別の行列ユニットのスキャン状態レジスタにセットされるようにし、その別の行列ユニットがその特定のクロスポイントユニット(XPU)からのセルの読み出しを扱う。読み出しを扱う行列ユニットがセルを読み出すことが許可されたことを検出するや否や、そのスキャン状態レジスタをリセットするとともに、第1の行列ユニットのポーリング状態ステータスレジスタもリセットする。第1の行列ユニットのポーリング状態ステータスレジスタのリセットによって、第1の行列ユニットのポーリング状態解放レジスタのビットの設定が“占有”から“空き”状態への遷移を示すようになる。第1の行列ユニットのポーリング状態解放レジスタにおけるステータスの変化によって、第1の行列ユニットからスイッチポートに対してポーリング状態解放セルの発行を生じさせる。

【0020】

一方、従来技術では、ポーリング状態情報は定期的にスイッチポートに送られるか、或いは、自動的にサービスセルに含まれるがゆえに、本発明は、本質的にポーリング状態情報の伝送を専門的に扱うポーリング状態セルの生成についての特有のシナリオを採用している。即ち、本発明では、ポーリング状態情報はポーリング状態制御セルで送信され、そのポーリング状態制御セルは(1)ポーリング状態情報を喚起する特定の制御セルに応答するか、或いは(2)クロスポイントユニットの有無(例えば、空き/占有ステータス)の変化があるときに生成されるか、或いは、送信される。

【0021】

10

20

30

40

50

例えば、発信元のスイッチポートがセルをスイッチコアに送信できるクロスポイントユニットのステータスを知りたいとき、発信元のスイッチポートはポーリング状態ステータスの取りだし制御セルをスイッチコアに送信する。そのポーリング状態ステータスの取りだし制御セルに応答して、適当な接合点で、スイッチコアはポーリング状態ステータス制御セルを準備して要求をした（発信元の）スイッチポートに送信する。クロスポイントユニットからサービスセルがアンロードされると、ポーリング状態解放制御セルが準備されてそのスイッチポートに送信されて、アンロードされたクロスポイントユニットが空きであることを伝える。ポーリング状態ステータス制御セルとポーリング状態解放制御セルとの両方によって供給されるポーリング状態情報を用いて、スイッチポートはスイッチコアにおけるどのクロスポイントユニットがさらにサービスセルを受信するのに利用可能であるかを決定できる。

10

#### 【0022】

他の制御セルは、スイッチの種々の動作パラメータを確立するために採用されている。これらの動作パラメータは、スイッチポートが制御セルを関連する行列ユニットに送信するので、各スイッチポートに関して確立されている。そのような制御セルは、典型的にはそこに応する制御レジスタに格納され、スイッチコアのシーケンスや他の動作に関連してスイッチコアによって調査されるパラメータやデータを含んでいる。例えば、複数の選択可能なポーリングモードのどれを用いて関連する行列ユニットが動作することになるのかを示す値をポーリング可能レジスタに格納するために、ポーリング可能制御セル（LCC）が採用されている。これら種々のポーリングモードは、リンク上で送信されるポーリング状態セルの数に相対するサービスセルの伝送に所定の最小周波数を必要とする。

20

#### 【0023】

従って、本発明のATMスイッチは制御セルのインタラクティブな交換を実行し、スイッチコアの動作を順序づけている。特に制御セルの生成に依存した動作は、スイッチコアからのサービスセルの伝送と、スイッチコアからのポーリング状態セルの伝送と、スイッチコアによって維持されるある制御レジスタの内容の取りだしと、同期手順とを含んでいる。

#### 【0024】

##### 図面の詳細な説明

以下の説明では、限定をするためではなく説明をする目的のため、特有のアーキテクチャ、インターフェース、テクニック等のような具体的な詳細が説明され、本発明の完全な理解を提供している。しかしながら、本発明がこれら具体的な詳細からは離れた別の実施形態において実現されることは当業者には明らかである。他の例では、不必要的詳細な説明で本発明の説明をあいまいにすることのないように、公知の機器、回路、方法についての詳細な説明は省略されている。

30

#### 【0025】

##### 1.0 概要

図1は、スイッチコア或いは構造22と複数のスイッチポートボード（SPBs）24上有る要素を含むATMスイッチングシステム20を示す。図示された実施形態の例において、16個のスイッチポートボード（SPBs）24<sub>0</sub>-24<sub>15</sub>はスイッチコア22に接続可能である。スイッチングシステム20を有する各スイッチポートボード24にある要素は、図示された実施形態では、“スイッチポート”として知られており、スイッチポート集積回路（SPIC）26、図1に示されているSPICs26<sub>0</sub>-26<sub>15</sub>に組込まれている。

40

#### 【0026】

後で説明するように、スイッチポートボード（SPBs）24は夫々、そこにマウントされているSPICとは別に複数のデバイスをもっている。この理由のために、スイッチポートボード（SPBs）24はまた、“デバイスボード”としても言及される。1つ以上のこれらのデバイスが通信伝送ラインに接続されて1つ以上のタイプの通信信号、例えば、電話、データ、ビデオなどを受信する。また、スイッチポートボード（SPB）上のデ

50

バイスは、他のデバイス、例えば、別のスイッチポートボード上の他のデバイスを構成したり制御したるするのに有用な制御信号などを生成する。

【0027】

スイッチングシステム20の1つの目的は、スイッチコア22を通して例えば通信信号や制御信号を含むATMセルを伝送することである。この点において、ATMセルが準備されていないなら、スイッチポートボード(SPBs)24の1つに位置するデバイスによって受信された到来信号、或いは、生成された信号がATMセルにマップされる。そのセルはスイッチコア22に印加され、スイッチコア22を通って運ばれ、セルがスイッチコア22から別のスイッチポートボード(SPB)24への印加のために現れる。例えば、電話の通話における発呼者から着呼者への音声信号がスイッチポートボード(SPB)24<sub>0</sub>(例のために、最終的には着呼者に接続される)で受信され、スイッチコア22を経て、着呼者(この例では、最終的にはスイッチポートボード(SPB)24<sub>15</sub>に接続される)への伝送のためにスイッチポートボード(SPB)24<sub>15</sub>に印加される。

10

【0028】

従って、ATMセルは各スイッチポートボード(SPB)24とスイッチコア22との間で転送される。図1の例では、セルの転送は各スイッチポートボード(SPB)24とスイッチコア22とを接続する2つのリンクにわたって発生する。スイッチポートボード(SPB)24からスイッチコア22へと送られるセルは、ポート-ツウ-コアリンク27上を送信される一方、コア22からスイッチポートボード(SPB)24へと流れ出るセルはコア-ツウ-ポートリンク28に印加される。16個のポート-ツウ-コアリンク27と、16個のコア-ツウ-ポートリンク28とはここでサービスを行っている特定のスイッチポートボードに従って下付き数字が付けられる。ポート-ツウ-コアリンク27とこれに対応するコア-ツウ-ポートリンク28は集合的に“双向リンク”を構成する。

20

【0029】

スイッチコア或いは構成22はメモリアレイユニット(MAU)30と複数の行列ユニット(RCUs)40を含む。メモリアレイユニット(MAU)30は複数の行と列のアレイに配列されたような概念化されたクロスポイントユニット(XPUs)32を有している。複数のクロスポイントユニット(XPUs)32各々は、場所/アドレスを示す下付き数字で示されており、XPUs<sub>320,0</sub>であれば0列0行にあり、XPUs<sub>320,1</sub>であれば0列1行にあり、XPUs<sub>320,15</sub>であれば0列15行にあり、XPUs<sub>3215,15</sub>であれば15列15行にある。

30

【0030】

行列ユニット(RCUs)40は各スイッチポートボード(SPB)24、即ち、メモリアレイユニット(MAU)30の各列に対応して備えられる。スイッチポートボードのような16個のボードが図1の例では図示されているので、16個の行列ユニット(RCUs)40<sub>0</sub>-40<sub>15</sub>もまた図示されている。各行列ユニット(RCUs)40は同じ列における全てのクロスポイントユニット(XPUs)32の入力端子への書き込みバスによって、そして、与えられた行における全てのクロスポイントユニット(XCUs)32の出力端子への読み出しバスによって接続されている。例えば、RCUs<sub>400</sub>はクロスポイントユニット(XPUs)32<sub>0,0</sub>から32<sub>0,15</sub>の入力端子への書き込みバス42<sub>0</sub>によって、そして、クロスポイントユニット(XCUs)32<sub>0,0</sub>から32<sub>15,0</sub>の出力端子への読み出しバス44<sub>0</sub>によって接続されている。同様に、RCUs<sub>4015</sub>はクロスポイントユニット(XPUs)32<sub>15,0</sub>から32<sub>15,15</sub>の入力端子への書き込みバス42<sub>0</sub>によって、そして、クロスポイントユニット(XCUs)32<sub>0,15</sub>から32<sub>15,15</sub>の出力端子への読み出しバス44<sub>15</sub>によって接続されている。書き込みバス42と読み出しバス44に加えて、行列ユニット(RCUs)40はまた、システムクロックバス(SCB)46とクロスポイントステータスバス(CSB)48によって接続されている。

40

【0031】

図2に示されているように、各クロスポイントユニット(XPUs)32は実際にはクロスポイントに2つのバッファを有している。これらのバッファの1つは、バッファ0或いは

50

バッファ C B Q<sub>0</sub>として参照され、もう1つのバッファはバッファ1或いはバッファ C B Q<sub>1</sub>として知られている。各クロスポイントユニット(X C U)32におけるこれら2つのバッファ各々は56バイト長である。各クロスポイントユニット(X C U)32において、バッファ C B Q<sub>0</sub>と C B Q<sub>1</sub>とは互いに平行に接続されている。各バッファ C B Q<sub>0</sub>と C B Q<sub>1</sub>とは、対応する書込みバス42で受信されるセルの入力許可のために採用された入力ゲートと、対応する読み出しバス44にセルを吐き出すのに採用された出力ゲートとをもっている。ここでのいくつかの接合点において、メモリアレイユニット(M A U)30の全てのクロスポイントユニット(X P U s)32のバッファ C B Q<sub>0</sub>は集合的に“マトリクス0”として参照され、一方、メモリアレイユニット(M A U)30の全てのクロスポイントユニット(X P U s)32のバッファ C B Q<sub>1</sub>は集合的に“マトリクス1”として参照される。

#### 【0032】

##### 1.1 制御レジスタ

各行列ユニット(R C U)40はクロスポイントステータスユニット(X S U)50を有している。クロスポイントステータスユニット(X S U)50は、ステータス情報とコア動作情報を含む3つの特別なレジスタを含む、複数の制御レジスタを有している。これら制御レジスタは、例えば、バッファ C B Q<sub>0</sub>、C B Q<sub>1</sub>のようなスイッチコア22のバッファとは全く別のものであり、これらのバッファを通してユーザデータはサービスセル(後述するように)のペイロードにおいてスイッチされる。スイッチコア22におけるローディングとアンローディングに関する3つの制御レジスタは、ポーリング状態レジスタとスキャン状態レジスタとを含む。ポーリング状態レジスタは、ポーリング状態ステータスレジスタとポーリング状態解放レジスタとを含む。ポーリング状態ステータスレジスタは、行列ユニット(R C U)40によって管理される列におけるクロスポイントユニット(X P U s)32のバッファが“空き”であるか或いは“占有”されているかを示す指示がそこに格納されるように更新される。ポーリング状態解放レジスタは、行列ユニット(R C U)40によって管理され、また、読み出しバス40によって読み出される列におけるクロスポイントユニット(X P U s)32のバッファが“占有”から“空き”へと遷移したか、或いは変更がないかを示すように更新される。従って、ポーリング状態ステータスレジスタとポーリング状態解放レジスタとは集合的に“ポーリング状態レジスタ”として参照される。ポーリング状態レジスタは後述する方法でクロスポイントステータスバス(C S B)48を用いて更新される。

#### 【0033】

図6はクロスポイントステータスバス(C S B)48の一部と2つの代表的な行列ユニット(R C U s)、特に、R C U 4 0<sub>0</sub>とR C U 4 0<sub>15</sub>への接続のいくつかを示している。行列ユニット(R C U s)40のより詳細な検討は後で、つまり、セクション3.0で与えられるが、図6はここで注目している3つの制御レジスタを含むような各行列ユニット(R C U)40のクロスポイントステータスユニット(X S U)50を示している。そのような3つの制御レジスタはポーリング状態ステータスレジスタ50-2、スキャン状態レジスタ50-4、ポーリング状態解放レジスタ50-8を含む。図6に示されているように、これらの制御レジスタ各々は行列ユニット(R C U)40によって制御される16個のクロスポイントユニット(X C U)32に対応して16ビットをもっている。その行列ユニットに、これらの制御レジスタは常駐し、即ち、16個のクロスポイントポーリングユニット(X P U)32は行列ユニット(R C U)40の1つの列に整列されている。

#### 【0034】

##### 1.2 C S Bバス

各行列ユニット(R C U)40に関して、クロスポイントステータスバス(C S B)48はポーリング状態ステータスレジスタ50-2のビットステータスを出力するリード線をもつ。例えば、図6において、参照番号48-1<sub>0</sub>はクロスポイントステータスバス(C S B)48のリード線を描いており、これがポーリング状態レジスタ50-2<sub>0</sub>のビットステータスを出力する。例えば、ポーリング状態ステータスレジスタ50-2<sub>0</sub>における

10

20

30

40

50

最後のビットのステータスは、行列ユニット( R C U )  $40_{15}$  がメモリアレイユニット( M A U )  $30$  の最後の列におけるクロスポイントユニット( X P U )  $32$  の読み出しを制御するので、スキャン状態レジスタ  $50 - 4_{15}$  の最初のビットと通信する。この点に関して、参照番号  $48 - 2_{15}$  はスキャン状態レジスタ  $50 - 4_{15}$  の  $16$  ビット各々を設定する異なる  $16$  個の行列ユニット( R C U s )  $40$  のポーリング状態レジスタ  $50 - 2_0$  からのクロスポイントステータスバス( C S B )  $48$  におけるリード線を示している。同様に、参照番号  $48 - 3_{15}$  によって指示されるリード線は、ポーリング状態ステータスレジスタ  $50 - 2_{15}$  における対応するビットの種々の別のスキャン状態レジスタ  $50 - 4$  への設定を通信するのに採用されている。参照番号  $48 - 4_0$  によって指示されるリード線は、他の行列ユニット( R C U s )  $40$  のポーリング状態ステータスレジスタ  $50 - 2$  における対応するビットを行列ユニット( R C U )  $40_0$  のスキャン状態レジスタ  $50 - 4_0$  へ設定するためにの通信をするのに用いられる。

#### 【 0035 】

クロスポイントステータスバス( C S B )  $48$  はまた、セルがクロスポイントユニット( X P U )  $32$  から読み出されるとき、ポーリング状態ステータスレジスタ  $50 - 2$  におけるビットをリセットするためのリード線をもっている。例えば、セルがクロスポイントユニット( X P U )  $32_{0,15}$  から読み出されるとき、参照番号  $48 - 5_{15}$  によって指示されるグループのリード線の 1 つはスキャン状態レジスタ  $50 - 4_{15}$  の第 1 のビットを接続して、リセット信号をポーリング状態ステータスレジスタ  $50 - 2_0$  の最後のビットへと搬送する。ポーリング状態ステータスレジスタ  $50 - 2_0$  に入力されるリセット信号は、参照番号  $48 - 6_0$  によって描寫されているリード線上を搬送される。同様に、第 1 列のクロスポイントユニット( X P U s )  $32$  からセルを読み出すことにより、リセット信号が参照番号  $48 - 7_0$  で描寫されるリード線上をスキャン状態レジスタ  $50 - 4_0$  から送られるようになる。参照番号  $48 - 8_{15}$  は行列ユニット( R C U )  $40_{15}$  のポーリング状態ステータスレジスタ  $50 - 2_{15}$  におけるビットをリセットするためのリード線を示している。

#### 【 0036 】

この結果、2 セットの制御レジスタ( 例えば、ポーリング状態ステータスレジスタ  $50 - 2$  、スキャン状態レジスタ  $50 - 4$  、ポーリング状態解放レジスタ  $50 - 8$  ) が各行列ユニット( R C U )  $40$  に備えられることが認識される。制御レジスタの 1 つのセットは、マトリクス  $0$  におけるバッファ C B Q $_0$  に対するものであり、制御レジスタのもう 1 つのセットは、マトリクス  $1$  におけるバッファ C B Q $_1$  に対するものである。ビット設定或いはビットリセット信号が制御レジスタのどのセットのためにクロスポイントステータスバス( C S B )  $48$  上を送られるのかを特定するために、クロスポイントステータスバス( C S B )  $48$  はまた、各行列ユニット( R C U )  $40$  についてのマトリクス指示リード線を含む。それゆえに、クロスポイントステータスバス( C S B )  $48$  は  $16$  個のマトリクス指示リード線とともに、図 6 に示され、また、上述したビット設定及びビットリセットリード線を含む。

#### 【 0037 】

##### 2.0 セルタイプ

上述のように、A T M セルは種々のスイッチポートボード( S P B s )  $24$  とスイッチコア  $22$  との間で送信される。本発明の A T M スイッチングシステム  $20$  は異なる長さのセルを用いる。図 3 はスイッチポートボードの代表的な 1 つとスイッチコア  $22$  との間の、特に、ポート - ツウ - コアリンク  $27_0$  とコア - ツウ - ポートリンク  $28_0$  によってスイッチコア  $22$  に接続されるスイッチポートボード( S P B )  $24_0$  への転送を示す。

#### 【 0038 】

ポート - ツウ - コアリンク  $27_0$  とコア - ツウ - ポートリンク  $28_0$  各々は、サービスセルと制御セルを含む複数のセルタイプを搬送する。トラフィックセル或いはユーザ情報として知られるサービスセルは電話、データ、ビデオなどのようなユーザデータを( そのペイロード部に ) 包含、或いは、含み、それらのデータはスイッチコア  $22$  を介して他のス

10

20

30

40

50

イッチポートボード( S P B ) 2 4 への印加のために転送されることになる。図 3 において、 L C C セルと L S C セルとして描寫されている制御セルは、 A T M スイッチングシステム 2 0 の制御と管理のために用いられる。

【 0 0 3 9 】

図 4 A に関して後述するように、サービスセルは、 2 つの連続するサービスセルが同じ長さや同じペイロードサイズをもつ必要がないように長さを異ならせることができる。その上、制御セルはサービスセルとは異なるサイズをもつ。さらに、本発明は夫々が異なるフォーマットをもつ制御セルタイプをもつ、異なったタイプの制御セル( 例えば、 L C C セルと L S C セル ) を提供する。図 3 はただ 1 つのスイッチポートボード( S P B ) 2 4 <sub>0</sub> がスイッチコア 2 2 に制御されているのを示しているが、スイッチコア 2 2 と他のスイッチポートボード( S P B s ) 2 4 との間のリンクも同様にサービスセルと制御セルとを搬送することが理解される。

【 0 0 4 0 】

2. 1 サービスセル

サービスセルはスイッチコア 2 2 に制御されたユニットにユーザデータを搬送する。全てのサービスセルはスイッチコア 2 2 を経て 1 つのスイッチポートボード( S P B ) 2 4 から 1 つ以上の別のスイッチポートボード( S P B s ) 2 4 へと運ばれる。サービスセルのサイズは変化する。図示された実施形態では、例示した正しいサイズは、 8 、 1 6 、 2 4 、 3 2 、 4 0 、 4 8 、 5 6 バイトであり、これらには 2 バイトのヘッダ( セルの最初の 2 バイト ) を含んでいる。図示された実施形態では、最大セルサイズは 5 6 バイトである。

【 0 0 4 1 】

図 4 A に示されているように、サービスセルは 2 バイトのヘッダ( セルの最初の 2 バイト ) とペイロードとをもつ。この 2 バイトのヘッダはスイッチコア 2 2 によって用いられてユーザデータを所望の、或いは、正しい宛て先( スイッチポートボード ) へと運び、セルの残りの部分( 即ち、ペイロード ) はスイッチコア 2 2 を通過するが、スイッチコア 2 2 にはトラスペアレントなユーザデータである。サービスセルのあるフィールドについて以下に説明する。

【 0 0 4 2 】

2. 1. 1 P R I 、セルタイプ、物理的ルート識別子

スイッチポートボード( S P B ) 2 4 からポート - ツウ - コアリンク 2 7 で受信されるセルにおいて、受信サービスセルの P R I フィールドは、セルデータが( 受信クロスポートユニット( X P U ) 3 2 と同じ列において ) 格納されるべき特定のバッファ或いはクロスポートユニット( X P U ) を示す値を含む。例えば、もし、スイッチポートボード( S P B ) 2 4 <sub>0</sub> から受信されたセルがその P R I フィールドにおいて “ 5 ” という値をもつなら、セルは X P U <sub>0,5</sub> に格納されることになる。

【 0 0 4 3 】

図示された実施形態では、 0 ~ 1 9 の範囲の P R I の値はサービスセルを示す。しかしながら、 1 6 個の X P U s 3 2 だけがメモリアレイユニット 3 0 ( 図 1 ) の 1 列当たりに対して備えられるので、 0 ~ 1 5 の P R I 値だけが妥当な値である。この範囲外の P R I 値をもつサービスセルは棄却される。しかしながら、サポートされないサービスセル( P R I = 1 6 ~ 1 9 ) のサイズがチェックされてセルの境界を見つける。後で説明するが、 2 0 より大きい P R I 値は制御セルで異なる目的のために用いられる。

【 0 0 4 4 】

後述するが、スイッチポートボード( S P B ) 2 4 からスイッチコア 2 2 へとセルが送信される直前に、 P R I フィールドはそのセルの発信元であるスイッチポートボードに対応した値で置換される。例えば、もし、セルがスイッチポートボード( S P B ) 2 4 <sub>0</sub> からスイッチコア 2 2 を経てスイッチポートボード( S P B ) 2 4 <sub>15</sub> へと送信されるのであれば、スイッチコア 2 2 へと向かう途中、スイッチポートボード( S P B ) 2 4 <sub>0</sub> を離れる前に、そのセルは “ 1 5 ” から “ 0 ” へと変更された P R I 値をもつ。

【 0 0 4 5 】

10

20

30

40

50

## 2.1.2 C B Q クロスポイントバッファキューコード

図2に示されているように、各クロスポイントユニット(XPU)32は2つのキューオリはバッファ、即ち、C B Q<sub>0</sub>とC B Q<sub>1</sub>とをもつ。C B Qフィールドの目的は、サービスセルをこれら2つのキューオリはバッファの1つへと特定のクロスポイントにおいて導くことにある。C B Qフィールドはこれらバッファのいづれにおいて、セルが格納されるべきであるのかを示す。C B Q値が“0”であれば、セルはバッファC B Q<sub>0</sub>に置かれることを示し、C B Q値が“1”であれば、そのセルはC B Q<sub>1</sub>にロードされることを示す。C B Q値が“2”や“3”であることは正当ではなく、そのような不当な値をもつセルは棄却される。

【0046】

10

## 2.1.3 F B PとS B Pパリティビット

F B Pは第1のバイトのパリティビットであり、これはサービスセルのヘッダの最初のバイトをカバーしている。S B Pはそのサービスセルのヘッダの2番目のバイトをカバーしている第2のバイトのパリティビットである。サービスセルヘッダの第1及び第2バイトについて、そのパリティはパリティビットを含んで奇数である。

【0047】

## 2.1.4 T T I フィールド

T T I(トライフィックタイプ指示コード)フィールドは3ビットである。受信サービスセルに関し、これら3つのビットはサービスセルについてのトライフィックタイプやそのセルが連繋しているものであるかどうかを特定する。トライフィックタイプあるいは“キャスト”タイプは、そのセルが“ユニキャスト(1つの宛て先をもつもの)”、“マルチキャスト(いくつかの宛て先をもつもの)”、或いは“ブロードキャスト”が指定されたセル(ブロードキャストセルは16全てのポートに送られる)であるかどうかを示す。“連繋”セルは現在のセルに同じスイッチポートボード(例えば、同じ終端をもつエンティティ)へと向けられた新たなセルが続くことを示している。表1はT T Iフィールドについて潜在値“0”～“7”的重要度を示している。

20

【0048】

T T Iビットはスイッチコア22で変換される。そのような変換は(関連するC B Qと列に関し)スイッチコア22における受信T T I値とバッファステータスに依存している。表2は受信T T Iと変換/送信T T I値とを示している。

30

【0049】

従って、送信セルにおけるT T Iフィールドは、関連する受信側のこの列と実際のC B Q値のバッファ全てが“空き”であるかどうかの指示を含んでいる。少なくとも1つのバッファが占有されているなら、そのバッファは“空き”ではない。

【0050】

## 2.1.5 S C S フィールド

S C S(サービスセルサイズコード)フィールドは3ビットをもつ。これら3ビットはサービスセルのサイズを特定する。図示された実施形態におけるサービスセルの可能性のあるサイズは、表3に示されている。この可能性のあるサービスセルの順番は(ヘッダを含めて)8、16、24、32、40、48、56バイトである。

40

【0051】

## 2.1.6 N U フィールド

フィールドN U(未使用)は未使用であり、スイッチコア22についてはトランスペアレントである。

【0052】

## 2.1.7 セルペイロード

ペイロードはスイッチコア22についてはトランスペアレントに転送される“ユーザデータ”である。S C Sフィールド(図4Aを参照)と表3から明らかであるように、ペイロードのサイズは6～54バイトまで変化する。

【0053】

50

## 2.2 制御セル

制御セルは行列ユニット (R C U s) 4 0 で終端され、また、発信される。全ての制御セルは 4 バイト長である。図 4 B に示されているように、全ての制御セルは、サービスセルで上述したように、PRI (物理ルート識別子) フィールド、FBP (第 1 バイトパリティ) フィールド、SBP (第 2 バイトパリティ) フィールドをもつ。さらに、制御セルは 1 ビットの LWP フィールドをもち、これは最後のワードのパリティフィールドである。LWP は最後のワード (第 3 及び第 4 バイト) をカバーする。最後のワードについてのパリティは、そのパリティビットを含めて奇数である。

### 【0054】

制御セルについて可能性の有る PRI 値は 20 ~ 31 の範囲にある。図示されら実施形態では、正当な制御セルは PRI フィールドの値として、25、26、28、30、31 の 1 つをもつ。ここで、さらに述べるように、これら PRI 値は、フォーマットと、ある場合には、レジスタの読み出し或いは書き込み動作に関与するクロスポイントユニット (X C U) 32 における特定の制御レジスタの“アドレスセル”とを表す。

### 【0055】

制御セルは行列ユニット (R C U s) 4 0 の遠隔制御と監視、及び、スイッチポートボード (S P B s) 24 との接続の同期に用いられる。2つのタイプの制御セル、即ち、リンク接続制御 (L C C) セルとリンク状態制御 (L S C) セルとがある。

### 【0056】

#### 2.2.1 リンク接続制御 (L C C) セル

L C C セルは基本的にはスイッチポートボード (S P B s) 24 から離れているスイッチコア 22 を制御し動作させるために採用されている。この点において、L C C セルは行列ユニット (R C U s) 4 0 の内側にあるレジスタからの / への読み出しと書き込みのために用いられる。L C C セルはまた、スイッチコア 22 から影響を受けるスイッチポートボード (S P B) 24 へと、クロスポイントユニット (X P U s) 32 におけるバッファの解放に関する情報、即ち、いつバッファが占有から空きへと遷移するのか、を搬送する。2つのフォーマットの L C C セル、即ち、ビットマップフォーマットとコード化フォーマットとがある。L C C の特定のフォーマットは PRI 値によって示される。PRI 値、25、26、28、30 はビットマップフォーマットの L C C セルを示し、PRI 値 “31” はコード化フォーマットの L C C セル (或いは、代わりに L S C セル) を示す。

### 【0057】

#### 2.2.1.1 ビットマップフォーマット L C C セル

図 4 B - 1 はビットマップフォーマットリンク接続制御 (L C C) セルノードフォーマットを示している。そのビットマップフォーマットは接続されたスイッチポートボード (S P B) 24 とスイッチコア 22 の行列ユニット (R C U) 4 0 内の制御 / ステータスレジスタとの間で高速に動作データを搬送する。最大 16 ビットが 1 つのセル転送でロードされたり、アンロードされる。

### 【0058】

#### 2.2.1.1.1 B C D フィールド

1 つのセル転送でロードされたり、アンロードされる 16 ビットは B C D (バッファ制御データ) フィールドに格納される。B C D フィールドの 16 ビット各々は、“アドレスされた” 制御レジスタ、即ち、PRI フィールドによって特定される値をもつ制御レジスタに書き込まれる、或いは、そこから読み出されることになるデータを保持する。B C D フィールドがビットマップとして用いられるとき、B C D - N は特定された列或いは行のバッファに関係した値を保持する。

### 【0059】

#### 2.2.1.1.2 C B Q、クロスポイントバッファキュー

C B Q フィールドは、サービスセルに関するのと同じ目的を果たす。例えば、クロスポイントユニット (X P U) 32 におけるキュー C B Q<sub>0</sub> 或いは C B Q<sub>1</sub> の 1 つを指し示す。正当な値は “0” と “1” であり、他の値をもつセルは棄却される。

10

20

30

40

50

## 【0060】

## 2.2.1.1.3 REフィールド及びNUフィールド

図4B-1でREと印がつけられたビットがリザーブされ、図4B-1でNUと印が付けられたビットは未使用である。従って、REもNUもスイッチコア22に対してはトランスペアレントである。

## 【0061】

## 2.2.1.2 コード化フォーマットLCCセル

LCCセルのコード化フォーマットによってスイッチポートボード(SPB)24が対応する(同じ下付き数字が付けられた)行列ユニット(RCU)40の内側にある全ての制御レジスタにアドレスすることが可能になる。一度に1バイトがコード化フォーマットをもつLCCセルとともにロードされたり、アンロードされる。コード化LCCセルのフォーマットは図4B-2に示されている。

10

## 【0062】

PRIが値“31”をもつと、これはセルがLSCセルが或いはLCCセルであることを識別する。そのセルの附加的なビット、LSIビットはLSCセルとLCCセルとを区別する。特に、LSI値が“0”であると、これはコード化フォーマットのLCCセルを示し、一方、LSI値が“1”であると、これはLSCセルを示す。

## 【0063】

コード化LCCセルの残りのビットは表4に従って解釈される。なお、表4において、スイッチコア22に対する書き込みと読み出しの全ての組み合わせが可能である。その上、1/1に等しい書き込み/読み出しがあるセルは書き込み-読み出しを行う。

20

## 【0064】

## 2.2.2 リンク状態制御(LSC)セル

リンク状態制御(LSC)セルは、スイッチコア22の行列ユニット(RCU)40と対応する(即ち、同様に下付き数字が付けられた)接続されたスイッチポートボード(SPB)24との間の接続を同期させるために用いられる。LSCセルフォーマットによってセルの流れの高速で信頼性のある同期が促進される。即ち、セルの始まりを見出し、各方向におけるセルの流れを維持し、スイッチコア22に向かう方向においてセル率の分断を支援する。

30

## 【0065】

LSCセルを用いることは、スイッチポートボード(SPB)24とスイッチコア22との間の協力を意味する。LSCセルは伝送の両方向(例えば、スイッチ-ツウ-コアリンク27とコア-ツウ-スイッチリンク28)に関与する。LSCセルの使用と動作については、以下に図8と図9とリンク27と28の両側における対応する同期(sync)状態マシンとを参照してさらに詳しく説明する。リンク状態制御(LSC)セルのフォーマットは図4B-3に示されている。

## 【0066】

## 2.2.2.1 SyncTag(同期タグ)フィールド

SyncTag(同期タグ)フィールドは、LSCセルを識別するために用いる4バイトのパターンである。そのSyncTag(同期タグ)フィールドは、2つの正当な値(16進法において、バイト0で始まる)の1つをもつことができる。最初の正当なSyncTag(同期タグ)フィールドの値はFE、1F、00、7Fであり、これらはLSCセルがPRESYNC状態(SSC=11)にあることを示している。最初の正当なSyncTag(同期タグ)フィールドの値はFE、1C、00、7Fであり、これらはLSCセルがSYNC状態(SSC=00)にあることを示している。セルの始まりはビットクロックの立ちあがりにある。パリティビット(FBP、SBP、LWP)、状態コード、PRIはこれら4つのSyncTag(同期タグ)フィールドのバイトに含まれている。

40

## 【0067】

## 2.2.2.2 SSCフィールド

SSC(Sync状態コード)フィールドは適当な同期(sync)状態マシンの状態を定義する

50

2つのビットを有している。LSCセルがスイッチポートボード(SPB)24から発生するとき、SSCフィールドはスイッチポートボード(SPB)24における同期(sync)状態マシンの状態を定義する。LSCセルがスイッチコア22から発生するとき、SSCフィールドはスイッチコア22における同期(sync)状態マシンの状態を定義する。

【0068】

SSCフィールドは次の正当な値をもつ。即ち、“0”(LSCセルを送信する側はPRESYNC状態にはないことを示す)と、“3”(LSCセルを送信する側はPRESYNC状態にあることを示す)である。

【0069】

適当な状態をもったLSCセルを送信する処理はセクション6.0で説明され、図8と図9とに図示されている。

10

【0070】

3.0 スイッチポートボード(SPB)

各スイッチポートボード(SPB)24のスイッチポート集積回路(SPIC)26は、スイッチの各マトリクスに対してクロスポイントステータスレジスタ26Rをもつ。特定のスイッチポート集積回路(SPIC)26に関するクロスポイントステータスレジスタ26Rにおいて、スイッチポート集積回路(SPIC)26のためのスイッチポートボード(SPB)24での列の整列において、各クロスポイントユニット(XCU)32に対応したビット位置がある。例えば、ポイントステータスレジスタ26R<sub>0</sub>に関し、XPU<sub>320,0</sub>～<sub>320,15</sub>各々についてビット位置があり、ポイントステータスレジスタ26R<sub>1</sub>～<sub>5</sub>に関し、XPU<sub>3215,0</sub>～<sub>3215,15</sub>各々についてビット位置がある。後述するように、スイッチポートボード(SPB)24がセルをXPU32に書き込むときにはいつでも、スイッチポート集積回路(SPIC)26は、セルが書き込まれた特定のXPU32に対応するクロスポイントステータスレジスタ26Rにビットをセットする。その後、スイッチポートボード(SPB)24は、XPUのビットがクロスポイントステータスレジスタ26Rにおいてリセットされるまでは、別のセルをその特定のXPU32には送信できない。また、後述することではあるが、クロスポイントステータスレジスタ26Rにおけるビットは、スイッチポート集積回路(SPIC)26が1つの値をもつ対応するビットをもったポーリング状態解放セルを受信するときに、リセットされる。従って、クロスポイントステータスレジスタ26Rはスイッチポートボード(SPB)24とスイッチコア22との間のハンドシェイクに役立つ。

20

【0071】

マトリクス、例えば、マトリクス0とマトリクス1について上述したことから、クロスポイントステータスレジスタ26Rは各マトリクスについてのスイッチポート集積回路(SPIC)26に備えられることが理解される。

30

【0072】

4.0 行列ユニット(RCU)

スイッチポートボード(SPB)24からスイッチコア22にリンク27の1つを経て入力する全てのセルは、対応する行列ユニット(RCU)40(図1を参照)に向けられたものである。スイッチコア22によるサービスセルの扱いの概要は、特に、行列ユニット(RCU)40の制御レジスタに関して。図6A～図6Eに描写された逐次的フレームによって図示されている。サービスセルの扱いの種々の側面からのさらなる詳細は、例えば、セクション4.6.1.3で与えられる。

40

【0073】

上述のように、スイッチポート集積回路(SPIC)26がセルをその対応する行列ユニット(RCU)40に送信するとき、スイッチポート集積回路(SPIC)26はそのクロスポイントステータスレジスタ26Rにビットをセットする。そのビットセットはそのセルの宛て先となっている特定のクロスポイントユニット(XCU)32の列の位置に対応している。図6A～図6Eに描写されるフレームにおいて、スイッチポート集積回路(SPIC)26<sub>0</sub>はサービスセルをスイッチポート集積回路(SPIC)26<sub>15</sub>に送信す

50

ることを望んでいる。それゆえに、スイッチポート集積回路 (S P I C )  $26_0$  からスイッチコア  $22$  へと送信されたサービスセルは行列ユニット (R C U )  $40_0$  を経てクロスポイントユニット (X C U )  $32_{0,15}$  に至る。従って、図 6 A に 6 - 1 とラベルされた矢はサービスセル (スイッチポート集積回路 (S P I C )  $26_{15}$  に宛てられている) を行列ユニット (R C U )  $40_0$  へと送信するスイッチポート集積回路 (S P I C )  $26_0$  を表している。図 6 A に示されているように、そのようなサービスセルを行列ユニット (R C U )  $40_0$  に送信するとき、スイッチポート集積回路 (S P I C )  $26$  は、そのクロスポイントステータスレジスタ  $26_R$  の最後のビットを設定する (なぜなら、サービスセルはその列における最後の X P U 、即ち、クロスポイントユニット (X P U )  $32_{0,15}$  に宛てられているからである)。

10

#### 【 0 0 7 4 】

サービスセルは行列ユニット (R C U )  $40$  によって解析され、それから、メモリアレイユニット (M A U )  $30$  の同じ列のクロスポイントユニット (X P U s )  $32$  の内のアドレスされたものに行列ユニット (R C U )  $40$  を介して送られる。そのサービスセルは一時的に X P U  $32$  のバッファ C B Q<sub>1</sub> 或いは C B Q<sub>2</sub> の内、適切にアドレスされたものに格納される。セルがクロスポイントユニット (X P U )  $32$  に格納されるとき、行列ユニット (R C U )  $40$  はそのクロスポイントステータスユニット (X S U )  $50$  を、特に、その適切なポーリング状態ステータスレジスタを更新し、そのセルが格納された特定のバッファが “占有” されたことを示すようにする。この点について、“占有” された状態とは、アンロードするためのセルがあり、“空き” 状態とはバッファがロードされることを示す。

20

#### 【 0 0 7 5 】

図 6 B に示す例では、サービスセルをクロスポイントユニット (X C U )  $32_{0,15}$  に書き込むことに協働して (6 - 2 とラベルされた矢によって示されているように)、ポーリング状態ステータスレジスタ  $50 - 2_0$  のビット  $15$  がセットされる。ポーリング状態ステータスレジスタ  $50 - 2_0$  のビット  $15$  の設定はクロスポイントユニット (X P U )  $32_{0,15}$  が占有されていることを示す。さらに、行列ユニット (R C U )  $40_0$  のクロスポイントステータスユニット (X S U )  $50$  は、設定信号を、図 6 B に参照番号 6 - 3 を生じさせている破線によって示されているようにクロスポイントステータスバス (C S B )  $48$  (図 6 を参照) を経てスキャン状態レジスタ  $50 - 4_{15}$  のビット  $0$  に送信する。後で説明するように、2つのスイッチポート集積回路 (S P I C )  $26_0$  と  $26_{15}$  との間の速度でペンドィングとなっているスキャン状態レジスタビットは、第 1 のワード或いは最後のワードが X P U に書き込まれるときに (後述するスキャン率レジスタにビット  $0$  を設定することにより予め定義されるように) 設定される。

30

#### 【 0 0 7 6 】

各行列ユニット (R C U )  $40$  はクロスポイントステータスユニット (X S U )  $50$  に位置するそれ自身のスキャン状態レジスタ  $50 - 4$  を走査する。スキャン状態レジスタ  $50 - 4$  における位置がセットされるとき、行列ユニット (R C U )  $40$  は、対応するクロスポイントユニット (X P U )  $32$  からセルを読み出すことができる。行列ユニット (R C U )  $40$  はそのようなクロスポイントユニット (X P U )  $32$  からセルを読み出しあるとき、スキャン状態レジスタ  $50 - 4$  にある対応するビットがリセットされる。また、そのセルをクロスポイントユニット (X P U )  $32$  に書きこんだ行列ユニット (R C U )  $40$  に位置した対応するポーリング状態ステータスレジスタ  $50 - 2$  は、リセットされる。それゆえに、図 6 C に描写されたシナリオにおいて、ライン  $6 - 4$  は、クロスポイントユニット (X P U )  $32_{0,15}$  から行列ユニット (R C U )  $15$  へのサービスセルの読み込みを描写している。これによって、スキャン状態レジスタ  $50 - 4_{15}$  の最初のビットのリセットが生じる。行列ユニット (R C U )  $40_{15}$  のクロスポイントステータスユニット (X S U )  $50_{15}$  は、リセット信号を、ライン  $6 - 5$  によって示されているようにクロスポイントステータスバス (C S B )  $48$  (図 6 を参照) 上に送り出す。 $50 - 4_{15}$  から発行された信号によって、図 6 C の参照番号 6 - 6 でラベルされたラインによって示さ

40

50

れているように、行列ユニット( R C U ) 4 0<sub>15</sub>はクロスポイントユニット( X P U ) 3 2<sub>0,15</sub>から得られたサービスセルをスイッチポート集積回路( S P I C ) 2 6<sub>15</sub>に印加する。クロスポイントユニット( X P U ) 3 2からのセルの読み出しとスイッチポート集積回路( S P I C ) 2 6にこれを印加することとはより詳細にセクション 4 . 7 で説明する。

【 0 0 7 7 】

行列ユニット( R C U ) 4 0 のクロスポイントステータスユニット( X S U ) 5 0 が占有状態から空き状態への( 例えば、1 から 0 へ ) ポーリング状態ステータスレジスタ 5 0 - 2 のビットの変化を検出すると、クロスポイントステータスユニット( X S U ) 5 0 は、最初の可能な時点において、ポーリング状態解放 L C C セル( セクション 2 . 2 . 1 を参照 ) を発行する。この点について、行列ユニット( R C U ) 4 0 は対応するポーリング状態ステータスレジスタ 5 0 - 2 における状態遷移を捕捉する内部ポーリング状態解放レジスタ 5 0 - 8 をもっている。基本的には、問題にしているビットについてのリセット信号がクロスポイントステータスバス( C S B ) 4 8 に現れると、ビット位置に対応したポーリング状態解放レジスタ 5 0 - 8 がセットされる。図 6 D に示される状態において、図 6 C のライン 6 - 5 によって示されるリセット信号がポーリング状態ステータスレジスタ 5 0 - 2<sub>0</sub> の最後のビットをリセットした後、クロスポイントステータスユニット( X S U ) 5 0<sub>0</sub> は 5 0 - 8<sub>0</sub> の最後のビットをセットする。クロスポイントステータスユニット( X C U ) 5 0 は、ポーリング状態解放レジスタ 5 0 - 8<sub>0</sub> のビットのいづれかがセットされているどうかを調べる。いずれかのビットがセットされていれば( 図 6 D で示されている最後のビットのように )、ポーリング状態解放 L C C セルを発行するための要求がなされる。ポーリング状態解放 L C C セルがスイッチポート集積回路( S P I C ) 2 6<sub>0</sub> ( 図 6 D ではライン 6 - 6 によって示されているように ) に発行されると、ポーリング状態解放レジスタ 5 0 - 8<sub>0</sub> が読み出されてクリアされる。図 6 E はポーリング状態解放レジスタ 5 0 - 8<sub>0</sub> のクリアとともに、ポーリング状態解放 L C C セルの受信時( 図 6 D のライン 6 - 6 によって示されているようにスイッチポート集積回路( S P I C ) 2 6<sub>0</sub> で受信される ) におけるクロスポイントステータスレジスタ 2 6 R<sub>0</sub> の最後のビットのクリアを示している。この連結点において、新しいセルがスイッチポート集積回路( S P I C ) 2 6<sub>0</sub> によって同じクロスポイントユニット( X P U ) 3 2 、即ち、クロスポイントユニット( X P U ) 3 2<sub>0,15</sub> に書きこまれる。

【 0 0 7 8 】

従って、走査処理において、各行列ユニット( R C U ) 4 0 が担当している M A U 3 0 の列に( 例えば、読み出しバス 4 4 に ) 接続されたクロスポイントユニット( X P U s ) 3 2 の状態を調べ、クロスポイントユニット( X P U ) 3 2 に含まれる適切なポーリング状態解放レジスタを更新する。セルを含むクロスポイントユニット( X P U ) 3 2 はバッファ出力ゲートを通じて列バス( 例えば、読み出しバス 4 4 ) へと、出力セルとしてアンロードされる。クロスポイントユニット( X P U ) 3 2 のゲートがオープンすると、1 つのセルだけが棄却される。クロスポイントステータスユニット( X S U ) 5 0 は更新されて、セルがアンロードされたクロスポイントユニット( X P U ) 3 2 のバッファが今や“空き”であることを示す。アンロードされたセルは、受信行列ユニット( R C U ) 4 0 を介して受信スイッチポートボード( S P B ) 2 4 へと転送される。このようにして、セルを含む全てのクロスポイントユニット( X P U s ) 3 2 が 1 つずつアンロードされる。

【 0 0 7 9 】

上述した方法でスイッチコア 2 2 からのセルの読み出しが、受信スイッチポートボード( S P B ) 2 4 によって要求されているよりも低い速度で発生したなら、受信行列ユニット( R C U ) 4 0 は、期待されるサービスセルの代わりに制御セルを生成する。スイッチポートボード( S P B ) 2 4 がセルをクロスポイントステータスレジスタ 2 6 R の対応ビットがセットされているクロスポイントユニット( X P U ) 3 2 に送信するのを試行するなら、それが書き込みバスに入る前に、行列ユニット( R C U ) 4 0 においてそのセルは棄却される。

【 0 0 8 0 】

10

20

30

40

50

各行列ユニット( R C U ) 4 0 はまた、システムクロックユニット( S C U ) 5 2 を含む。システムクロックユニット( S C U ) 5 2 はシステムクロックの分配のための論理回路を含み、システムクロックバス( S C B ) 4 6 に接続される。

【 0 0 8 1 】

行列ユニット( R C U ) 4 0 はシステムクロックをクロスポイントユニット( X P U s ) 3 2 のゲートへと通過させる。各クロスポイントユニット( X P U ) 3 2 のゲート状態、即ち、オープンがクローズかは準永久的な状態にセットされる。そのゲート状態は列からセットされ、従って、競合が避けられる。

【 0 0 8 2 】

書込みバス 4 2 と読み出しバス 4 4 とはクロスポイントユニット( X P U s ) 3 2 と対応する行列ユニット( R C U s ) 4 0 との間の論理的な内部接続を提供している。バス 4 2 と 10  
4 4 はバッファフル状態、読み出し及び書込みバッファ制御とデータのような情報を提供する。

【 0 0 8 3 】

従って、行列ユニット( R C U ) 4 0 の基本的な機能には、スイッチコア 2 2 と対応するスイッチポートボード( S P B ) 2 4 との間のセルを整列させて同期をとり( セル率の連結を解くことを含め)、スイッチポートボード( S P B ) 2 4 にクロスポイントユニット( X P U s ) 3 2 に関するステータス情報を提供し、クロスポイントユニット( X P U ) 3 2 が上書きされないようにしながら、クロスポイントユニット( X P U s ) 3 2 からのサービスセルのローディングとアンローディングを行うことが含まれる。さらに、スイッチポートボード( S P B ) 2 4 から制御される行列ユニット( R C U ) 4 0 によって実行される数多くの維持機能がある。 20

【 0 0 8 4 】

図 5 は各行列ユニット( R C U ) 4 0 に含まれる基本的な構成要素を示している。既に述べたクロスポイントステータスユニット( X S U ) 5 0 とシステムクロックユニット( S C U ) 5 2 に加えて、各行列ユニット( R C U ) 4 0 は、ラインインターフェースユニット( L I U ) 5 3 、セル同期ユニット( C S U ) 5 4 、セル解析ユニット( C A U ) 5 5 、セル書込みユニット( C W U ) 5 6 、運用 / 維持ユニット( O M U ) 5 7 、セル生成ユニット( C G U ) 5 8 、及び、セル読み出しユニット( C R U ) 5 9 を含む。 30

【 0 0 8 5 】

4.1 ラインインターフェースユニット( L I U )

ラインインターフェースユニット( L I U ) 3 5 は差分信号をデジタルレベルに変換する L V D S / G L V D S インタフェースを含む。図 5 A に示されているように、各行列ユニット( R C U ) 4 0 は Vcc と接地と、さらに、 G L V D S についてのバイアス電圧を有する 1 組の電源接続をもつ。また、図 5 A に示されているように、行列ユニット( R C U ) 4 0 のラインインターフェースユニット( L I U ) 5 3 は 5 つの差分アンプペア 5 3 - 1 ~ 5 3 - 5 とともに、 Vcc 、接地、バイアスのための 3 つの電源ピンと、さらには Vcc と接地をメモリアレイユニット( M A U ) 3 0 に提供するための 2 つのピンをもっている。

【 0 0 8 6 】

差分アンプのペア 5 3 - 1 と 5 3 - 2 とは、ポート - ツウ - コアリンク 2 7 に含まれる信号 D C L K と D - S P S C を夫々扱うために用いられる。 D C L K を受信する差分アンプペア 5 3 - 1 はシリアルクロック信号 serclk を出力する。差分アンプペア 5 3 - 2 の出力は、ライン s-data-in のシリアルデータ入力信号を生成するビット同期機能 5 3 - 6 に結合される。シリアルクロック信号 serclk とライン s-data-in のシリアルデータ入力信号とは後で図 5 B に示されるようにセル同期ユニット( C S U ) 5 4 に印加される。 40

【 0 0 8 7 】

差分アンプペア 5 3 - 3 はコア - ツウ - ポートリンク 2 8 に含まれる信号 D - S C S P を出力するために用いられる。差分アンプペア 5 3 - 3 はライン s-data-out で受信するシリアル出力データ信号を用いて信号 D - S C S P を出力する。後で、図 5 B に関して示されるように、ライン s-data-out のシリアル出力データ信号はセル同期ユニット( C S U ) 5 50

4 から発生する。

【 0 0 8 8 】

システムクロックバス ( S C B ) 4 6 は、各行列ユニット ( R C U ) 4 0 に関して、ラインsysclk-inとsysclk-outでのクロック信号用のラインを含む。後で、システムクロックユニット ( S C U ) 5 2 と図 5 I とを参照して説明するように、ラインsysclk-inのクロック信号は、ラインsysclk-outのクロック信号を生成するのに用いられる。信号 S C L K は信号sysclk-inを生成するのに用いられる。信号 S C L K は生成されたシステムクロックから生じ、S P I C ( スイッチポートボードの 1 つにある ) を介して分配される。システムクロックは典型的にはネットワークの外部リンク ( 例えば、T 1 リンク ) に由来する。システムクロック率は、たいていの場合、8 K H z の倍数である。

10

【 0 0 8 9 】

4 . 2 セル同期ユニット ( C S U )

セル同期ユニット ( C S U ) 5 4 はシリアル / パラレル変換を行うとともに、ハーフワードとセルの整列を行う。そのような変換は入力方向で特定のセル同期 ( sync ) パターンを用いて成し遂げられる。出力方向にはパラレル / シリアル変換がなされてビットストリームになる。

【 0 0 9 0 】

セル同期ユニット ( C S U ) 5 4 はラインインタフェースユニット ( L I U ) 5 3 からラインs-data-inでシリアルビットストリームを受信し、バスp-data-inに16ビットのパラレル信号を生成するシリアル / パラレル変換器 5 4 - 1 を有する。シリアル / パラレル変換器 5 4 - 1 によって生成されるこの16ビットパラレル信号はまた、B I P - 8 テスタ生成器 5 4 - 2 と同期 ( sync ) タグ検出器或いはセル整列器 5 4 - 3 へと印加される。

20

【 0 0 9 1 】

セル同期ユニット ( C S U ) 5 4 はまた、バスp-data-outで16ビットのパラレル信号を受信し、ラインs-data-out ( ラインインタフェースユニット ( L I U ) 5 3 に接続される ) に印加されるシリアルビットストリームへの変換を行うパラレル / シリアル変換器 5 4 - 4 を有している。バスp-data-outの16ビットのパラレル信号はまた、B I P - 8 テスタ生成器 5 4 - 2 に印加される。図 5 G を参照して後で説明するように、バスp-data-out の16ビットのパラレル信号は、セル生成ユニット ( C G U ) 5 8 から得られる。

30

【 0 0 9 2 】

さらに、セル生成ユニット ( C S U ) 5 4 はラインインタフェースユニット ( L I U ) 5 3 ( 図 5 A を参照 ) の差分アンプペア 5 3 - 1 から出力されるラインserclkのシリアルクロック信号を受信し、到来するシリアルクロック信号serclkを16分割してパラレルクロック信号pclkを生成する。パラレルクロック信号pclkは行列ユニット ( R C U ) 4 0 の多くの要素に印加される。クロック分割器 5 4 - 5 とシリアル / パラレル変換器 5 4 - 1 とはラインserclkのシリアルクロック信号の両方エッジで動作する。

【 0 0 9 3 】

同期 ( sync ) タグ検出器 5 4 - 3 は状態マシンと同期 ( sync ) セル ( L S C セル ) を探索する比較器とを含む。図 8 と図 9 とに関連して後でさらに詳細に述べるように、同期 ( sync ) タグ検出器 5 4 - 3 の状態マシンは3つの状態、即ち、P R E S Y N C 、S Y N C 0 、S Y N C 1 とをもつ。L S C セルの検出時、同期 ( sync ) タグ検出器 5 4 - 3 は、図 5 G に関して後で説明するように、セル生成ユニット ( C G U ) 5 8 への印加のためにライン “ sync-cell ” に信号を出力する。

40

【 0 0 9 4 】

B I P - 8 テスタ生成器 5 4 - 2 とはスイッチポートボード ( S P B ) 2 4 とスイッチコア 2 2 との間のリンクを長期的に調べてライン品質を決定する。バイトの各ビットは先のバイトの対応するビットについての保存されたパリティと排他的論理和 ( X O R ) がとられる。その結果が、期待される結果を含む制御セルに対してチェックされる。反対の機能がp-data-out方向に適用される。

【 0 0 9 5 】

50

#### 4.3 セル解析ユニット (CAU)

図5Cに示すように、セル解析ユニット (CAU) 55はセル同期ユニット (CSU) 54からバスp-data-inで16ビット信号を受信する。バスp-data-inを到来するセルのストリームにおけるセルがセル解析ユニット (CAU) 55で受信されるとき、そのセルは、(1)セル書込みユニット (CWU) 56に転送されるサービスセル、或いは(2)運用管理ユニット (OMU) 57に渡される制御セルである(図5を参照)。

##### 【0096】

セル解析ユニット (CAU) 55はセルのPRIフィールド(例えば、図4Aと図4Bを参照)を調べることによりセルタイプをチェックするPRIデコードユニット55-1を含む。前に示唆されているように、サービスセルは正当なPRI値0~19を持つ一方、制御セルはPRI値20~31をもつ。一旦判断がなされると、セルタイプは、セル処理の期間、セルタイプレジスタ55-2に格納され、ライン“cell type”で行列ユニット (RCU) 40の他のユニットに印加される。図面上では印象的に示されてはいないが、ライン“cell type”的信号はセル書込みユニット (CWU) 56を示し、運用維持ユニット (OMU) 57にはセルのタイプを示しており、その結果、これらのユニットはセルタイプの解析を繰り返さなくとも良い。セル解析ユニット (CAU) 55で生成されたようなセルタイプ信号は、セル書込みユニット (CWU) 56と運用維持ユニット (OMU) 57とに対して、それらのユニットが従事されるべきであるかどうかを示す。セル書込みユニット (CWU) 56はそのセルがサービスセルであれば担当となり、運用維持ユニット (OMU) 57はそのセルがLCCセルであれば担当となる。もし、そのセルがLSCセルであれば、セル書込みユニット (CWU) 56或いは運用維持ユニット (OMU) 57のいずれかが担当となる。

##### 【0097】

セル解析ユニット (CAU) 55はまた完全性チェック55-3を含む。完全性チェック55-3は、第1バイト、第2バイト、及び、最後の第16バイトにおいて制御セルのパリティエラーについてチェックする(図4BにおけるFBP、SBP、LWPを参照)。もし、そのセルが可変セルフォーマットであれば、全てのサービスセルについて第1バイトと第2バイトにおけるパリティエラーがチェックされる。いずれかのセルにおいてエラーが検出されたなら、フォルト信号が生成される。そのようなパリティエラーによって迅速な再同期がなされ、そのようなパリティエラーの原因が格納される。第1或いは第2バイトでパリティフォルトをもつセルは禁止され、セル書込みユニット (CWU) 56へとは転送されない。その上、クロスポイントステータスユニット (XSU) 50におけるレジスタは悪い状態となっているかもしれません、それは再同期後にスイッチポートボード (SPB) 24から更新される。種々のセル完全性チェック動作がセクション11.0で説明される。

##### 【0098】

セル解析ユニット (CAU) 55はさらにPRIスワップユニット55-4を含む。サービスセルに関し、PRIスワップユニット55-4は、前述のように、PRIフィールドの宛て先の値を発信元の値へと変更する。PRIフィールドの宛て先の値はセル書込みユニット (CWU) 56による使用のために退避されており、ラインdest-PRIに印加される。サービスセル自身は16ビットバス“write data”でセル書込みユニット (CWU) 56へと送信される。

##### 【0099】

#### 4.4 セル書込みユニット (CWU)

セル書込みユニット (CWU) 56はクロスポイントユニット (XPU<sub>s</sub>) 32の内、アドレスされた1つにサービスセルを格納する。図5Dに示されるセル書込みユニット (CWU) 56は、セルサイズロジックユニット56-1、書き込みアドレスカウンタ56-2、クロスポイント選択ユニット56-3、バッファ選択ユニット56-4を含む。サービスセルは、セル解析ユニット (CAU) 55から16ビットバス“write data”で受信され、セル書込みユニット (CWU) 56の全てのユニットに印加される。セル解析ユニット (CAU) 55はセル同期ユニット (CSU) 54からバスp-data-inで16ビット信号を受信する。バスp-data-inを到来するセルのストリームにおけるセルがセル解析ユニット (CAU) 55で受信されるとき、そのセルは、(1)セル書込みユニット (CWU) 56に転送されるサービスセル、或いは(2)運用管理ユニット (OMU) 57に渡される制御セルである(図5を参照)。

10

20

30

40

50

ト( C A U ) 5 5 からラインdest-PRIで取得された、本質的にはセルがどのスイッチポートボード( S P B ) 2 4 に送信されるのかを示す、宛て先 P R I 値がクロスポイント選択ユニット 5 6 - 3 に印加される。

#### 【 0 1 0 0 】

後述するように、クロスポイント選択ユニット 5 6 - 3 は、サービスセルの処理期間中、サービスセルが書込まれることになる特定のクロスポイントユニット( X P U ) 3 2 を選択して動作可能にする。サービスセルのフィールド C B Q の値に基づいて、バッファ選択ユニット 5 6 - 4 はサービスセルが書込まれることになる特定のクロスポイントユニット( X P U ) 3 2 のバッファ C B Q<sub>0</sub> 或いは C B Q<sub>1</sub> ( 図 2 を参照 ) の 1 つを選択し、バッファイネーブル信号を選択されたバッファに印加し、優先度信号を生成する。特定のクロスポイントユニット( X P U ) 3 2 とそこにあるバッファに従って、書込みアドレスカウンタ 5 6 - 2 は到来するサービスセルの最初の 1 6 ビットワードについての書込みアドレスを生成し、バス “ write address ” にその同じものを印加する。サービスセルのこれに続く 1 6 ビットワード各々について、書込みアドレスカウンタ 5 6 - 2 は、そのセルの全てのワードがアドレスされたクロスポイントユニット( X P U ) 3 2 に書込まれるまで、さらなるアドレスを生成する。書込みアドレスカウンタ 5 6 - 2 は、セルサイズロジック 5 6 - 1 によって決定されるようにセルサイズに従って、サービスセルの各ワードについてさらなるアドレスを生成する。セルサイズロジック 5 6 - 1 は、フィールド S C S ( 図 4 A を参照 ) に基づいて、サービスセルのサイズを知る。書込みアドレスカウンタ 5 6 - 2 はゼロで始まり、セルサイズをカウントする。

10

20

#### 【 0 1 0 1 】

書込みアドレスカウンタ 5 6 - 2 はまた、クロスポイントステータスユニット( X S U ) 5 0 によって利用されてクロスポイントユニット( X P U ) 3 2 ( 図 5 H - 1 および図 5 H - 2 を参照 ) の “ 占有 ” 状態をセットする start\_write 信号と end\_write 信号とを送信する。そのような信号はまた、クロスポイントステータスバス( C S B ) 4 8 を経て、アンローディングの目的のために影響を受けるクロスポイントユニット( X P U ) 3 2 を管理する他の行列ユニット( R C U ) 4 0 のスキャン状態レジスタ 5 0 - 4 に印加する。

#### 【 0 1 0 2 】

クロスポイント選択ユニット 5 6 - 3 はイネーブルレジスタとマルチキャストレジスタとを含む。イネーブルレジスタはデコードされた P R I 値或いはマルチキャストレジスタからのセルの開始でロードされる。マルチキャストレジスタは、影響を受けるサービスセルの受信に先立ち、制御セルによって目的とするクロスポイントユニット( X P U ) 3 2 に対するアドレスとともに前もってロードされなければならない。マルチキャストレジスタは、スイッチコア 2 2 がポイント - ツウ - マルチポイント接続をサポートする場合にのみ必要とされる。

30

#### 【 0 1 0 3 】

##### 4 . 5 運用・維持ユニット( O M U )

運用・維持ユニット( O M U ) は基本的には制御セルを終了させたり、クロスポイントステータスユニット( X S U ) 5 0 におけるレジスタの 1 つを目的レジスタとして選択するための役目を果たす。図 5 E に示されているように、運用・維持ユニット( O M U ) は、ビットマップターゲットコードレジスタ 5 7 - 1 、ターゲットコードレジスタ 5 7 - 2 、トラフィックモードレジスタ 5 7 - 3 、アーティクル番号 P R I コードユニット 5 7 - 4 、ゼロフィルバンクユニット 5 7 - 5 、ビットマップデコードユニット 5 7 - 6 、ターゲットデコードユニット 5 6 - 7 を有する。1 6 ビットバス p-data-in は、セル同期ユニット( C S U ) 5 4 からビットマップターゲットコードレジスタ 5 7 - 1 、ターゲットコードレジスタ 5 7 - 2 、トラフィックモードレジスタ 5 7 - 3 に印加される。

40

#### 【 0 1 0 4 】

3 つの可能性のある動作の 1 つは運用・維持ユニット( O M U ) 5 7 に送信されたセルに関してとられる。第 1 の動作として、アイドルセルが捨てられる。第 2 の動作として、同期( sync ) セル ( 例えば、 L S C セル ) が捨てられる ( しかしながら、もし、 L S C セル )

50

における“セル同期(sync)ステータス”ビットがセットされたなら、LSCセルは格納されねばならず、戻されるLSCセルは送信されねばならない。第3の動作として、LCC同期セルは処理される(ビットマップフォーマットであろうと、コード化フォーマットであろうと)。

#### 【0105】

上述の点について、制御セルはビットマップターゲットコードレジスタ57-1とターゲットコードレジスタ57-2とに平行に送られる。もし、制御セルがビットマップフォーマットセル(図4B-1)であれば、ビットマップターゲットコードレジスタ57-1はそのように判断し、そのセルをデコードされるビットマップデコードユニット57-6へと送る。そのセルの選択された内容がそれから(ライン“bitmap load”で)ビットマップされた制御レジスタ(表5とセクション4.6.1を参照)のうちの目的とする1つへとロードされる。ターゲットコードレジスタ57-2は、ターゲットデコードユニット57-7を動作可能にする機能を果たしどのターゲット制御レジスタにビットマップフォーマットセルが向けられているかを判断する。この判断に従って、ターゲットデコードユニット57-7はライン“register select”に信号を出力する。そのレジスタのうちの目的とするものは、ビットマップLCC制御セルのPRIフィールドにおける値から確認される。

10

#### 【0106】

コード化フォーマットのLCC制御セルは、ターゲットの制御レジスタへのアドレスと格納或いはターゲット制御レジスタ(表6を参照)から取り出されるデータを含むことができる。そのようなレジスタは一般的には、例えば、セクション4.6.2で説明される。ターゲットレジスタフィールドのコードはまた、この文脈では、例えば、表6のクリア命令を参照する直接的なコマンドを保持できる。直接的なコマンドはすぐに実行され、どのレジスタにも格納されないコマンドである。直接的なコマンドの例には、クリア命令やポーリング状態取り出し命令がある。そのクリア命令は本質的にはXSUのポーリング状態ステータスレジスタ50-2とスキャン状態レジスタ50-in(図5H-2を参照)をクリアする。ポーリング状態取り出し命令はスイッチポートにポーリング状態ステータスLCCを発行して返すことを強制する。

20

#### 【0107】

ロードマーカとアンロードマーカとをもつターゲットレジスタフィールドは、ターゲットレジスタが上書きされるまでターゲットレジスタに格納される。ロードマーカとアンロードマーカとは動的であり、一旦実行されたならクリアされる。ターゲットレジスタからのデータ取り出しを示すアンロードマーカは、制御セルがスイッチポートボード(SPB)24に対して送られるときに、最初に実行される。

30

#### 【0108】

ゼロフィルバンクユニット57-5は、クロスポイントステータスユニット(XSU)50のターゲットレジスタに関与する取り出し動作でゼロ詰めを行うために利用される。より多くのゲートに関与する別の実施形態では、ゼロ詰めはターゲットレジスタ自身で実行される。

40

#### 【0109】

##### 4.6 クロスポイントステータスユニット(XSU)

クロスポイントステータスユニット(XCU)50は、ビットマップリンク接続制御(LCC)セル(表5を参照)を用いるレジスタとコード化リンク接続制御(LCC)セル(表6を参照)とを含む多くの制御レジスタを含んでいる。さらに、クロスポイントステータスユニット(XSU)50は行列ユニット(RCU)40とそのRCUに接続される書込みバス42とに接続される各クロスポイントユニット(XPU)32についての現在のフィル状態についての情報を保持するレジスタをもつ。

#### 【0110】

##### 4.6.1 ビットマップ化LCCセルを用いたレジスタ

表5に示されているように、ビットマップLCCセルをスイッチコア22へと送信するこ

50

とにより更新される3つのタイプのレジスタがある。これら3つのタイプのレジスタはマルチキャストレジスタ、スキャンロックレジスタ、ポーリング状態レジスタである。

#### 【0111】

ビットマップLCCセルを用いるような表5に示されるレジスタは16ビット幅である(なぜなら、ビットマップLCCセルは16ビットを搬送する(図4B-1参照)からである)。全レジスタは1つのビットマップLCCセルをクロスポイントステータスユニット(XSU)50に送信することによって更新される。表5のレジスタのアンロードはセクション4.6.2で説明するように、コード化LCCセルによってなされる。表5において、値“X”は「気にする必要のない」値を示す。もし、正しくないCBQ値をもつなら、セルは棄却される。

10

#### 【0112】

##### 4.6.1.1 マルチキャストレジスタ

行列ユニット(RCU)40の16ビットのマルチキャストレジスタは、サービスセルが“マルチキャスト”的指示をもつときに用いられるビットマップを保持する。そのビットマップの各ビットはスイッチコア22のポート、即ち、スイッチポートボード(SPB)24の1つに対応する。例えば、ビット(0)はポート0(スイッチポートボード(SPB)24<sub>0</sub>)に対応するなどの対応関係が、ビット15がポート15(スイッチポートボード(SPB)24<sub>15</sub>)に対応するまで続く。マルチキャストレジスタのビットマップにおいて、“1”をセットするビットは、セルが、マルチキャストの1部として、もし空きであれば、対応するバッファにロードされることを意味する。“0”にセットされるマルチキャストレジスタのビットは、対応するバッファがマルチキャストでは含まれていないことを意味する。1つのレジスタ位置が2つのキューユー、CBQ<sub>0</sub>とCBQ<sub>1</sub>のために用いられ、このレジスタについてのCBQ値は重要ではない。

20

#### 【0113】

##### 4.6.1.2 スキャンロックレジスタ

各行列ユニット(RCU)40のクロスポイントステータスユニット(XSU)50について、走査処理からバッファをマスクして外すために用いられる2つの16ビットスキャンロックレジスタ59-6(図5Fを参照)がある。16ビットスキャンロックレジスタ59-6の1つは、行列ユニット(RCU)40によって管理されるCBQ<sub>0</sub>バッファについてビットマップとしての役目を果たし、もう1つのスキャンロックレジスタは、行列ユニット(RCU)40によって管理されるCBQ<sub>1</sub>バッファについてのビットマップとしての役目を果たす。

30

#### 【0114】

スキャンロックレジスタ59-6はあるCBQ<sub>0</sub>/CBQ<sub>1</sub>バッファの走査を排除するようにセットされるかもしれないが、そのバッファのロードは依然としてアクティブ、即ち、セルはスキャンロックのビットセットをもつバッファへとロードされる。そのセルは、そのビットがクリアされるまで、バッファに留まる。そのビットがリセットされると、バッファは走査処理に再び結合されて、そのセルは正規な時間でスイッチポートから送信される。

40

#### 【0115】

マルチキャストレジスタのビットマップのように、スキャンロックレジスタのビット(0)はポート0(スイッチポートボード(SPB)24<sub>0</sub>)に対応するなどの対応関係が、ビット15がポート15(スイッチポートボード(SPB)24<sub>15</sub>)に対応するまで続く。スキャンロックレジスタのビットマップにおいてビットに“1”をセットすることは、そのバッファがロックされていることを示す。

#### 【0116】

##### 4.6.1.3 ポーリング状態レジスタ

表5のポーリング状態ステータスレジスタとポーリング状態解放レジスタは集合的に“ポーリング状態レジスタ”と呼ばれる。各行列ユニット(RCU)40について、スイッチコア22の各マトリクスについて(図6を参照)ポーリング状態ステータスレジスタ50

50

- 2 とポーリング状態解放レジスタがある。それゆえに、与えられた行列ユニット ( R C U ) 4 0 に対して、2 つのポーリング状態ステータスレジスタと 2 つのポーリング状態解放レジスタがある。第 1 のポーリング状態ステータスレジスタは、書き込みバス 4 2 によって R C U に接続されるクロスポイントユニット ( X P U s ) 3 2 における各バッファ C B Q<sub>0</sub> ( コアマトリクス 0 において ) に関し、“占有”或いは“空き”のビットマップ表示を含み、第 2 のポーリング状態ステータスレジスタは、書き込みバス 4 2 によって R C U に接続されるクロスポイントユニット ( X P U s ) 3 2 における各バッファ C B Q<sub>1</sub> ( コアマトリクス 0 において ) に関し、“占有”或いは“空き”のビットマップ表示を含む。第 1 ポーリング状態解放レジスタは、読み出しライン 4 4 によって R C U に接続されるクロスポイントユニット ( X P U s ) 3 2 におけるバッファ C B Q<sub>0</sub> ( コアマトリクス 0 において ) において“占有”から“空き”への遷移が発生したかどうかを示すビットマップ表示を含み、第 2 ポーリング状態解放レジスタは、読み出しライン 4 4 によって R C U に接続されるクロスポイントユニット ( X P U s ) 3 2 における各バッファ C B Q<sub>1</sub> ( コアマトリクス 0 において ) に関する類似の表示を含む。ポーリング状態レジスタに影響を与えるセルは、これ以降のセクション 9 . 0 で説明するように送信される。10

#### 【 0 1 1 7 】

従って、各行列ユニット ( R C U ) 4 0 に関し、2 つの 16 ビットポーリング状態レジスタがあり、これらは同じ列の 16 個のバッファが空きであるか、或いは、占有されているかを示す表示を保持する。各行列ユニット ( R C U ) 4 0 は、これが管理する 16 個の C B Q<sub>0</sub> バッファについてのポーリング状態ステータスレジスタと、これが管理する 16 個の C B Q<sub>1</sub> バッファについての別のポーリング状態ステータスレジスタをもつ。ポーリング状態ステータスレジスタのビット 0 は行列ユニット ( R C U ) 4 0 によって管理される第 1 のクロスポイントユニット ( X P U ) 3 2 に対応し、この対応はビット 15 まで続き、ビット 15 は行列ユニット ( R C U ) 4 0 によって管理される最後のクロスポイントユニット ( X P U ) 3 2 に対応する。各ポーリング状態ステータスレジスタにおいて、ゼロをセットするビットは対応するクロスポイントユニット ( X P U ) 3 2 のキュ ( C B Q<sub>0</sub> 或いは C B Q<sub>1</sub> の 1 つで特定されるように ) が空きであることを示し、一方、“1”をセットするビットはそのバッファが占有されていることを示す。セクション 9 . 0 に関連して後で詳細に説明するように、ビットマップ化されたポーリング状態ステータスレジスタの内容は、スイッチポートボード ( S P B ) から発行された“ポーリング状態取り出し命令 ( retrieve pollstate command ) ”への応答として送信される。“ポーリング状態取り出し命令 ( retrieve pollstate command ) ”は 25 の A D R フィールド値をもつコード化 L C C セルとともにスイッチコア 2 2 に送られる。ポーリング状態ステータスレジスタのためにビットマップ L C C で用いられないビットは“0”にセットされ、リザーブされたビットは“1”に等しい。20

#### 【 0 1 1 8 】

ポーリング状態解放 L C C セルは典型的には、行列ユニット ( R C U ) 4 0 によって管理される列のバッファの 1 つが、ポーリング状態解放レジスタ 5 0 - 8 における対応する遷移で示されているように、“占有”から“空き”への変化を経験するときにはいつでも、行列ユニット ( R C U ) 4 0 、特に、セル生成ユニット ( C G U ) 5 8 から送信される。もし、クロスポイントユニット ( X C U ) 3 2 についての両方のレジスタ ( C B Q<sub>0</sub> と C B Q<sub>1</sub> ) とが変更されたなら、C B Q<sub>0</sub> に対応したポーリング状態ステータスレジスタの内容を示すセルが、より高い優先度をもつが故に最初に送信される。進行中の“ポーリング状態解放”の間の全ての変更は捕捉され、別の“ポーリング状態解放”セルとなる。各ポーリング状態解放レジスタにおいて、“1”にセットされるビットはポーリング状態解放レジスタのステータスが占有から空きへと変化したことを示す一方、“0”にセットされるビットは現在のステータスを維持する（占有と空きのいづれか 1 つがあり得る）ことを示す。ポーリング状態解放レジスタのためのビットマップ化された L C C において用いられないビットは“0”にセットされ、リザーブされたビットは“1”に等しくなる。30

#### 【 0 1 1 9 】

40

50

図 6 A ~ 図 6 E を参照して以前に説明したように、各 S P I C 2 6 は、これが制御する各クロスポイントユニット X P U 3 2 についての 1 つのビット位置をもつレジスタ 2 6 R (図 1 と図 6 とを参照) をもつ。S P I C 2 6 がセルをクロスポイントユニット X P U 3 2 に書込むときはいつでも、S P I C 2 6 はレジスタ 2 6 R に対応するビットをセットする。レジスタ 2 6 R にこのようにして書込まれるビットの位置は、ビットマップ化された L C C セル (表 5 と図 4 B - 1 を参照) に与えられたビット位置に対応している。ビットがレジスタ 2 6 R に X P U 3 2 に関してセットされる限り、S P I C 2 6 は新しいセルをその X P U 3 2 に送信することはできない。対応する X P U 3 2 についてのビットがレジスタ 2 6 R でリセットされた後だけに、別のセルが X P U 3 2 へと送信可能になる。レジスタ 2 6 R のビットは、S P I C 2 6 がポーリング状態解放レジスタにおいて問題にしている X P U 3 2 についてのビットが “1” (例えば、占有から空き状態への遷移を示す) にセットされたことを示すセルを受信したときに、リセットされる。従って、S P I C 2 6 とスイッチコア 2 2 との間のハンドシェイクが発生する。このハンドシェイクによって、X P U 3 2 が不都合に上書きされないことが保証される。そのレジスタ 2 6 R とスイッチコア 2 2 との間にミスマッチがないことを確認するために、S P I C 2 6 は現在のクロスポイントステータスに注意を向けることができる。現在のクロスポイントステータスに注意を向けることは、例えば、S P I C 2 6 がタイムアウトによってレジスタ 2 6 R にある位置を決してリセットしないことを検出するかどうかで、なされるべきである。そのとき (或いは、定期的な間隔で)、S P I C 2 6 は “ポーリング状態取り出し命令 (retrieve pollstate command)” を発行する。スイッチコア 2 2 は S P I C 2 6 にポーリング状態ステータス L C C セル (表 5 を参照) を送信することで応答する。10

#### 【 0 1 2 0 】

例えば、ポーリング状態ステータスレジスタとポーリング状態解放レジスタのような、各クロスポイントユニット (X P U) 3 2 の各バッファについての現在のフィルステータスについての情報を保持するクロスポイント (X S U) 5 0 に含まれるレジスタは、クロスポイントステータスバス (C S B) 4 8 (図 6 参照) を通して更新される。クロスポイントユニット (X P U) 3 2 のレジスタについての情報は本質的には 2 つの目的を果たす。第 1 の目的是、占有され、それゆえにアンロードされるクロスポイントユニット (X P U) 3 2 を (ポーリング状態ステータスレジスタを用いて) 認識することである。第 2 の目的は、“占有” から “空き” ステータスへと遷移したクロスポイントユニット (X P U) 3 2 を (ポーリング状態解放レジスタを用いて) 認識し、新しいセルをそこに送信可能にすることである。20

#### 【 0 1 2 1 】

セクション 1 0 . 0 で説明するように、各行列ユニット (R C U) 4 0 はその関連する列について走査処理を実行する。S P I C 2 6 はスキャン可能カウンタ (セクション 4 . 6 . 2 . 4 を参照) をセットすることにより、その関連する R C U 4 0 における走査処理期間を制御できる。走査処理は、図 1 8 に説明されており、図 1 0 に示される動作の全体的な流れの一部である。

#### 【 0 1 2 2 】

図 5 H - 2 はポーリング状態ステータスレジスタ 5 0 - 2、ポーリング率レジスタ 5 0 - 3、スキャン状態レジスタ 5 0 - 4、スキャン率レジスタ 5 0 - 5 を有する実施形を示す。ライン D H - L より上側に描写されている図 5 H - 2 の一部は、特定のクロスポイントステータスユニット (X S U) 5 0 に接続される書き込みバス 4 2 に装着された各クロスポイントユニット (X P U) 3 2 の各バッファ C B Q<sub>0</sub> と C B Q<sub>1</sub> とに対して設けられる。ライン D H - L より下側に描写されている図 5 H - 2 の一部は、特定のクロスポイントステータスユニット (X S U) 5 0 に接続される読み出しバス 4 4 に装着された各クロスポイントユニット (X P U) 3 2 の各バッファ C B Q<sub>0</sub> と C B Q<sub>1</sub> とに対して設けられる。40

#### 【 0 1 2 3 】

図 5 H - 2 において、セル同期ユニット (C S U) 5 4 から得られるライン p-data-in のパラレル入力データがポーリング率レジスタ 5 0 - 3 とスキャン率レジスタ 5 0 - 5 の両50

方の入力端子に印加される。セクション4.6.2.8とセクション10.0とを参照して後で説明するように、ラインp-data-inのパラレル入力データは、ポーリング率レジスタ50-3に印加されて、2つのポーリングオプションのいずれが組込まれるのかを示す。同様に、セクション4.6.2.9とセクション10.0とを参照して後で説明するように、ラインp-data-inのパラレル入力データは、スキャン率レジスタ50-5に印加されて、2つのスキャンオプションのいずれが組込まれるのかを示す。ポーリング率レジスタ50-3の端子Qへの信号は、2つのポーリングオプションのいずれが選択されるのかに従って、出力選択信号としてスイッチ50-6に印加される。スキャン率レジスタ50-5の端子Qへの信号は、2つのスキャンオプションのいずれが選択されるのかに従って、出力選択信号としてスイッチ50-7に印加される。

10

#### 【0124】

ポーリング状態レジスタ50-2は、セット端子S、リセット端子R、出力端子Qをもつ。ポーリング状態レジスタ50-2のセット端子Sはセル書き込みユニット(CWU)56(図5Dを参照)からライン“start-write”で信号を受信する。ポーリング状態レジスタ50-3の内容に従って、スイッチ50-6はライン“start-read”と“end-read”的信号のいずれか1つをポーリング状態レジスタ50-2のリセット端子Rに印加する。ライン“start-read”と“end-read”的信号は、図5Fを参照して後で説明されるように、セル読み出しユニット(CRU)59から得られる。ライン“start-read”と“end-read”的いずれかが選択されるのかに依存したタイミングに従って、ポーリング状態レジスタ50-2のQ端子はライン“poll data”で信号を印加する。

20

#### 【0125】

図5H-2のポーリング状態レジスタ50-2の状態は、信号“poll data”によってポーリング状態ステータスレジスタ50-2の適切なビットに印加される。例えば、もし、図5H-2のラインDH-Lより上側に描写されている構造は、行列ユニット(RCU)40<sub>0</sub>のクロスポイントステータスユニット(XSU)50<sub>0</sub>に含まれ、特に、クロスポイントユニット(XPU)32<sub>0,1</sub>に属しているなら、クロスポイントユニット(XPU)32<sub>0,1</sub>は、ポーリング状態レジスタ50-2の設定によって示されているように、サービスセルとともにロードされるとき、ライン“poll data”での信号はビットマップ化されたポーリング状態ステータスレジスタ(図4B-1と表5を参照)のビットBCD1(バイト6のビット2)をセットする。

30

#### 【0126】

同様に、スキャン状態レジスタ50-4は、セット端子S、リセット端子R、出力端子Qをもつ。スキャン状態レジスタのリセット端子Rはセル読み出しユニット(CRU)59(図5Fを参照)からライン“start-read”で信号を受信する。スキャン率レジスタ50-5の内容に従って、スイッチ50-7はライン“start-write”と“end-write”的信号のいずれか1つをスキャン状態レジスタ50-4のセット端子Sに印加する。ライン“start-write”と“end-write”的信号は、図5Dを参照して説明されるように、セル書き込みユニット(CWU)56から得られる。ライン“start-write”と“end-write”的いずれかが選択されるのかに依存したタイミングに従って、スキャン状態レジスタ50-4のQ端子はライン“scan data”で信号を印加し、これは図5Fを参照して後で説明するように、セル読み出しユニット(CRU)59に印加される。

40

#### 【0127】

図5H-2のスキャン状態レジスタ50-4の状態は、信号“scan data”によってポーリング状態解放レジスタ(図6を参照)の適切なビットに印加される。例えば、もし、図5H-2のラインDH-Lより下側に描写されている構造は、行列ユニット(RCU)40<sub>0</sub>のクロスポイントステータスユニット(XSU)50<sub>1</sub>に含まれ、特に、クロスポイントユニット(XPU)32<sub>0,1</sub>に属しているなら、(スキャン状態レジスタ50-4の設定によって示されているように)サービスセルがクロスポイントユニット(XPU)32<sub>0,1</sub>からアンロードされるとき、ライン“scan data”での信号はビットマップ化されたポーリング状態解放レジスタ(図4B-1と表5を参照)のビットBCD1(バイト6のビ

50

ット 2 ) をセットする。

【 0 1 2 8 】

図 5 H - 1 はもう 1 つのさらに簡略化された実施化を示し、そこでは、ポーリング状態とスキャン状態レジスタの機能とが本質的には両方ともクロスポイントステータスユニット ( X S U ) 5 0 に含まれるクロスポイント機能レジスタ 5 0 - 1 によって実行される。そのような 2 つのレジスタ 5 0 - 1 は、2 つのバッファ ( そのような X P U 各々についてバッファ C B Q<sub>0</sub> と C B Q<sub>1</sub> ) があるために、読み出しバス 4 4 に装着された各クロスポイントユニット ( X P U ) 3 2 に関して存在することを理解されたい。レジスタ 5 0 - 1 の設定端子は、セル書き込みユニット ( C W U ) 5 6 ( 図 5 D を参照 ) の書き込みアドレスカウンタ 5 6 - 2 から信号が印加されるライン “ start-write ” に接続される。レジスタ 5 0 - 1 のリセット端子は、セル読み出しユニット ( C R U ) 5 9 の読み出しアドレスカウンタ 5 9 - 1 から信号が印加されるライン “ end-read ” に接続される。レジスタ 5 0 - 1 の Q 端子はライン “ poll-data ” と “ scan-data ” に接続され、これらの内の後者はクロスポイントステータスバス ( C S B ) 4 8 に含まれる。ライン “ scan-data ” は、後で図 5 F に関して説明するように、セル読み出しユニット ( C R U ) 5 9 に印加される。

【 0 1 2 9 】

4 . 6 . 2 コード化 L C C セルを用いたレジスタ

コード化 L C C セルを用いるクロスポイントステータスユニット ( X S U ) 5 0 に含まれているコマンドレジスタは表 6 に示されている。表 6 において、サブカラム C B Q 、 A D R 、 “ Address ” カラム下の 4 . 6 . 2 は、示されている特定のレジスタをアドレスするのに必要なコード化 L C C セル ( 図 4 B - 2 を参照 ) の同様に名前が付けられたフィールドの値を参照する。 “ Write ” と “ Read ” とマークが付されたカラムは、コード化 L C C セルによってロード或いは / 及びアンロードされたレジスタを示す。いずれのカラムでも値 “ X ” は、「気にする必要のない」状態を示す ( 例えば、どんな値でも良い ) 。

【 0 1 3 0 】

4 . 6 . 2 . 1 ポーリング可能レジスタ

ポーリング可能レジスタは、セル送信処理で行列ユニット ( R C U ) 4 0 によって用いられるモードコードを含む。そのモードコードはさらにセル伝送 ( セクション 9 . 0 と図 1 0 を参照 ) に関して説明される。ポーリング可能レジスタの 2 つの L S B ( 最下位ビット ) だけが用いられる。ポーリング可能レジスタの 2 つの L S B の値はモード ( 例えば、モード 0 、 1 、 2 、 3 ) に対応する。例えば、ポーリング可能レジスタの値 “ 0 ” はモード 0 ( 例えば、 L S C セルのみを送信 ) を参照する。モード 0 では内部レジスタは読み出されない。レジスタを読み出す試みは、ポーリング可能がモード 1 、 2 、或いは 3 に変化するや否やペンドイングになり、実行される。レジスタに書込む試みは、ポーリング可能レジスタに格納される値が “ 0 ” であるときに可能となる。

【 0 1 3 1 】

4 . 6 . 2 . 2 L C C パリティモードレジスタ

L C C パリティモードレジスタの最下位 ( L S B ) ビットはパリティモードを接続するのに用いられる。次のコードを適用する。即ち、“ 0 ” は正常なパリティが生成されることを意味し、“ 1 ” は逆転パリティ F B P 、 S B P 、 L W P が送信される L C C セルで生成されることを意味する。

【 0 1 3 2 】

4 . 6 . 2 . 3 セル完全性レジスタ

セル完全性レジスタは、スイッチコア 2 2 における種々の検出フォルトが原因となるエラー指示を保持する。完全性チェック動作は例えば、セクション X 0 に説明されている。検出フォルトによってレジスタの対応ビットがセットされる。そのビットはレジスタのアンロード時にクリアされる。ビット 0 がセットされると、これはスイッチコア 2 2 の受信側で検出された F B P 、 S B P 、或いは L W P を示す。ビット 1 がセットされると、これは受信セルのサポートされていない P R I 値、或いは、連結されたストリームにおける変更された C B Q 値、或いは、多すぎるクロスポイントバッファサイズ、クロスポイントバッ

10

20

30

40

50

ファにおける上書き試行を示す（ユニキャスト或いはマルチキャスト時であり、ブロードキャスト時ではない）。ビット2は未使用である。ビット3がセットされると、これはバッファからのサービスセルのアンロード時におけるFBP或いはSBPのエラーを示す。ビット4～7は未使用である。

【0133】

4.6.2.4 スキャン可能レジスタ

コールサイズロジック59-2（図5Fを参照）の一部を形成するスキャン可能レジスタは、走査処理のスタートとストップを制御する。スキャン可能レジスタは8ビットカウンタであり0～255のどの値にもプリセットできる。そのカウンタは、対応するポートへと送信されるサービスセルの8（番目）バイト毎に1つずつ値を減数してゆく。そのカウンタの値がゼロになると、走査処理はストップする。もし、そのカウンタが255にプリセットされていると、カウントダウンは不可能になり、走査処理は新しい値（1以上255未満）がレジスタにロードされるまでずっと可能になる。

10

【0134】

4.6.2.5 システムクロックレジスタ

システムクロックレジスタ（図5Iを参照）は、各ポートのシステムクロック出力についてのマルチブレクサを制御する。値0～15がシステムクロック源のポート番号をセットする。システムクロックレジスタでは、ビット0～3がクロック源のポート番号を含み、ビット4～7は未使用である。システムクロックレジスタは、スイッチコア22からの読み出し“read”においてゼロに等しくなるようにセットされる。

20

【0135】

4.6.2.6 自己PRIレジスタ

自己PRIレジスタは4ビット読み出し専用レジスタである。読み出しにおける値は実際のポート番号に等しい。自己PRIレジスタにおいて、ビット0～3は自身のポート番号であり、ビット4～7はゼロに等しくなるようにセットされる。

【0136】

4.6.2.7 改訂番号レジスタ

改訂番号レジスタはスイッチコア22の改訂番号に関する情報を保持する8ビットの読み出し専用レジスタである。スイッチコア22の最初の改訂は“1”である。その改訂番号レジスタにおいて、ビット0～7は“1”で始まる改訂番号を含む。

30

【0137】

4.6.2.8 ポーリング率レジスタ

スイッチコア22を介してサービスセルを互いに送信するスイッチポートボード（SPB<sub>s</sub>）24（“スイッチポート”）は異なる速度をもつことができる。スイッチコア22を介したサービスセルの最大性能を成し遂げるために、サービスセルのアンロードの始まり或いは終了において、クロスポイントユニット（XPU）32のバッファが“空き”を示すようになることが必要である。スイッチポートボード（SPB<sub>s</sub>）24間の速度の違いに依存して、この選択はなされる。

【0138】

スイッチコア22の各行列ユニット（RCU）40において、前にポーリング状態ステータスレジスタ50-2として説明したように2つの16ビットレジスタ（CBQ<sub>1</sub>）を1個、即ち、バッファCBQ<sub>0</sub>に対して1つ、バッファCBQ<sub>1</sub>に対して1つ）がある。ポーリング率レジスタ50-3は図5H-2に示されている。1列についてのバッファが、対応するポーリング状態ステータスレジスタ50-2において“空き”或いは“占有”として示されている。ポーリング状態ステータスレジスタ50-2の内容は、取り出すポーリング状態命令に応答して行列ユニット（RCU）40からスイッチポートボード（SPB）24へと送られるビットマップLCCセルによって送信される。

40

【0139】

ポーリング率レジスタはいつ関連するバッファが“空き”として示されるのかを定義する。各行列ユニット（RCU）40について、その行列ユニット（RCU）40に接続され

50

る列における各クロスポイントユニット(XPU)32に関し、ポーリング率レジスタには1つのレジスタビットがある。このレジスタビットはクロスポイントユニット(XPU)32における2つのCBQバッファについて同じである。低位の8ビットはPRC=0において位置付けされ、最上位バイトはRPC=1において両方ともアドレス14にある。

#### 【0140】

バッファに関するポーリング状態ステータスレジスタ50-2の占有/空きの指示は、セルのアンロードの開始或いは終了のいずれかにおいて“空き”にセットされる。その指示がセルのアンロードの開始或いは終了のいずれかにおいて空きにセットされるかどうかは、ポーリング率レジスタにおける対応するビットの設定によって判断される。ゼロ(“0”)に設定されると、“空き”的示がバッファからの最後のワードのアンロードで設けられ、一方、ポーリング率レジスタの対応するビットを“1”に設定すると、“空き”的示がそのバッファからの最初のワードのアンロードで設けられる。

#### 【0141】

図11は、特定の行列ユニット(RCU)40<sub>x</sub>について、その行列ユニット(RCU)40によって管理されるポーリング率レジスタとクロスポイントユニット(XPUs)32におけるビットの関係づけを示している。図11に示される特定の行列ユニット(RCU)40<sub>x</sub>は、メモリアレイユニット(MAU)30の列<sub>x</sub>を管理する。

#### 【0142】

図12とともに次のシナリオは、スイッチポートX及びYとして参照されている2つのスイッチポートボード(SPBs)24がサービスセルを互いに送信するように設定されるとき、ポーリング率レジスタがどのように設定されるべきであるのかを説明している。最初に、対向するスイッチポートのビット率は知られてはいない。従って、“空き”的示が、バッファから最後のワードをアンロードするときになされる。スイッチポートがサービスセルをそれ自身に送信するときに、“空き”的示は、この場合のビット率がいつも同じであるように、バッファから最初のバイトをアンロードするときになされる。ポーリング率レジスタはこの場合のために、LCCセルを介して初期設定される。

#### 【0143】

図12の破線の横線の下にある状態で示されているように、2つのスイッチポートXとYは今やサービスセルを互いに送信することができる。図示では、スイッチポートXの速度はスイッチポートYの速度よりはるかに高速であるように仮定され、ポーリング率レジスタの対応ビットがそれに従ってセットされている。

#### 【0144】

XからYへのサービスセルを保持するバッファの“空き”表示は、バッファから最後のワードがアンロードするときにセットされる。YからXへのサービスセルを保持するバッファの“空き”表示は、バッファから最初のワードがアンロードするときにセットされる。

#### 【0145】

##### 4.6.2.9 スキャン率レジスタ

スイッチコア22を介したサービスセルの最大性能を達成するために、利用可能なセルの表示がサービスセルのローディングの開始或いは終了時になされる必要もある。その選択はスイッチポートボード(SPBs)24間の速度の違いに依存してなされる。

#### 【0146】

スキャン率レジスタは関連するバッファにおけるセルがいつ“利用可能”として示されるのかを定義する。その表示は内部スナップショットレジスタにロードされ、これは走査処理によって用いられる。

#### 【0147】

図13は、スキャン率レジスタビットとクロスポイントユニット(XPUs)32との間の関係を示している。この行列ユニット(RCU)40に接続された列における各クロスポイントユニット(XPU)32に関し、スキャン率レジスタには1つのレジスタビットがある。このレジスタビットは2つのCBQ値(全部で16ビット)に対して共通である。

10

20

30

40

50

。その低位8ビットはR P C = 0で位置決めされ、R P C = 1における最上位バイトである。両方ともアドレス15にある。

#### 【0148】

そのバッファについての“セル利用可能”の指示は、セルのローディングの始まり或いは終わりになされる。そのバッファについての“セル利用可能”の指示がセルのローディングの始まり或いは終わりになされるかどうかは、そのバッファに対応するスキャン率レジスタのビット設定に依存している。この点について、スキャン率ビットに“0”を設定することは、“セル利用可能”の指示がバッファへの最後のワードのローディングで備えられることを示し、一方、スキャン率ビットに“1”を設定することは、“セル利用可能”の指示がバッファへの最初のワードのローディングで備えられることを示す。その指示のリセットは常にセルの最初のバイトのアンロード時になされる。

10

#### 【0149】

図14とともに次のシナリオは、2つのスイッチポート、XとYが互いにサービスセルを送信するためにセットアップされるようになるときに、どのようにスキャン率レジスタがセットされるべきであるのかを説明している。最初には、対向するスイッチポートのビット率は知られていない。それゆえに、“セル利用可能”の表示は、バッファへの最後のワードがロードされるときにセットされる。スイッチポートがサービスセルをそれ自身に送信するときに“セル利用可能”の表示は、この場合のビット率が常に同じであるように、バッファへの最初のバイトのローディング時になされる。LCCセルを介して、スキャン率レジスタはその機能が開始される。

20

#### 【0150】

図14の第2の状態において、2つのスイッチポートは今やサービスセルを互いに送信できる。スイッチポートXの速度はスイッチポートYの速度よりはるかに高速であると仮定され、それに従ってスキャン率レジスタの対応ビットがセットされる。XからYへのサービスセルの“セル利用可能”の表示は、バッファへの第1のワードのローディング時になされる。YからXへのサービスセルの“空き”の表示はバッファへの最後のワードのローディング時になされる。

#### 【0151】

##### 4.6.2.10 クリア命令

クリア命令がスイッチコア22へと送信されるとき、このポートの対応する内部レジスタはすぐにクリアされる。LCCセルのデータフィールドの異なるデータビットはスイッチコア22における異なるレジスタをクリアする。

30

#### 【0152】

次のマッピングがクリア命令に適用される。

#### 【0153】

“1”にセットされたデータビット(0)をもつクリア命令は対応するCBQ値のポーリング状態レジスタをクリアし、従って、クリア(CLEAR)ポーリング状態命令としての役目を果たす。

#### 【0154】

“1”にセットされたデータビット(1)をもつクリア命令は対応するCBQ値のポーリング状態解放(スキャン状態)レジスタをクリアし、従って、クリア(CLEAR)スキャン状態命令としての役目を果たす。列に接続されたポートがなく、この列のクロスポイントのポーリング状態のビットがセットされるなら、そのポーリング状態はハイレベルに留まり、クリアスキャン状態はこのクロスポイントからセルを生成する。そのポーリング状態ビットは、このポートへのクロックがないのでハイレベルに留まり、セルは新しい“クリアスキャン状態”のたび毎に生成される。

40

#### 【0155】

“1”にセットされたデータビット(2)をもつクリア命令は対応するCBQ値のスナップショットレジスタをクリアし、従って、クリア(CLEAR)スナップショット命令としての役目を果たす。

50

## 【0156】

“1”にセットされたデータビット(3)をもつクリア命令は対応するCBQ値のスキヤンブロックレジスタをクリアし、従って、クリア(CLEAR)スキヤンブロック命令としての役目を果たす。

## 【0157】

“1”にセットされたデータビット(4)をもつクリア命令は対応するCBQ値のマルチキャストレジスタをクリアし、従って、クリア(CLEAR)マルチキャスト命令としての役目を果たす。推奨：

## 4.6.2.11 ポーリング状態取り出し命令

ポーリング状態取り出し命令がスイッチコア22に送信されるとき、内部ポーリング状態ステータスが取り出される。マトリクス0のCBQ<sub>0</sub>バッファについて1つの命令があり、マトリクス1のCBQ<sub>1</sub>バッファについてもう1つの命令がある。

10

## 【0158】

## 4.6.2.12 スキヤンブロックレジスタ

スキヤンブロックレジスタの読み出しはスイッチコア22にADRフィールド値28とともにコード化LCCセルを送信することによりなされる。そのLCCセルのRPCフィールド値とCBQフィールド値とはスキヤンブロックレジスタの対応するデータを与える。

## 【0159】

## 4.6.2.13 マルチキャストレジスタ

マルチキャストレジスタの読み出しはスイッチコア22にADRフィールド値30とともにコード化LCCセルを送信することによりなされる。そのLCCセルのRPCフィールド値はマルチキャストレジスタの対応するデータを与える。

20

## 【0160】

## 4.7 セル読み出しユニット(CRU)

スキヤン状態処理に従って、サービスセルはスイッチコア22からS PIC26へと供給される。それゆえに、S PIC26は、その列で影響を受ける全てのクロスポイント(X PUs)をブロックするか、或いは、スキヤン可能カウンタをゼロに設定することにより、サービスセルが到着することを停止することができる。従って、スキヤン状態処理(図18を参照)はX PUs32(特に、スキヤン状態レジスタ50-4、図5H-2を参照)を探索し、対応するX PUから検出するどんなサービスセルでもアンロードする。セル読み出しユニット(CRU)59は読み出しバス44に装着されたクロスポイントユニット(X PUs)32のうちの適当な1つからでていくセルを取得し、その後、セル生成ユニット(CGU)58は出力するサービスセルをリンク28の出力セルストリームに印加する処理を開始する。

30

## 【0161】

“占有”状態をもつ対応するスキヤン状態レジスタ50-4をもつクロスポイントユニット(X PU)32が見出された後に、占有されたクロスポイントユニット(X PU)32のバッファはアンロードされる。それから、アンロードされたクロスポイント(X PU)32についてのバッファの状態がポーリング状態解放レジスタ50-8において“空き”へと変更される。前述の動作は、行列ユニット(RCU)40もまた接続される読み出しバス44に接続された全てのクロスポイントユニット(X PUs)32に関して実行される。

40

## 【0162】

図5Fに示されているように、セル読み出しユニット(CRU)59は、読み出しアドレスカウンタ59-1、セルサイズロジックユニット59-2、選択ユニット59-3、1組のスナップショットレジスタ59-4、1組のスキヤンデータゲート59-5、1組のスキヤンブロックレジスタ59-6を有している。

## 【0163】

クロスポイントユニット(X PU)32がアンロードされることになるとき、クロスポイントステータスユニット(X SU)50はライン“scan data”的信号をセル読み出しユニ

50

ット( C R U ) 5 9 のゲート 5 9 - 5 に印加する。クロスポイントステータスユニット( X S U ) 5 0 によって管理される各クロスポイントユニット( X P U ) 3 2 に関して、図 5 H - 2 の構成は複製され、従って、そのような各クロスポイントユニット( X P U ) 3 2 に対して別々のライン “ scan data ” があることを想起すべきである。ライン “ scan data ” の信号は、スキャンプロックレジスタ 5 9 - 6 の組の対応するレジスタによってそのように許されているならば、ゲート 5 9 - 5 を通過する。そのとき、ゲートされるスキャン信号は、スナップショットレジスタ 5 9 - 4 の対応する 1 つと選択ユニット 5 9 - 3 とに平行に印加される。

#### 【 0 1 6 4 】

ゲートされるスキャン信号が属する特定のクロスポイントユニット( X P U ) 3 2 に注目すると、選択ユニット 5 9 - 3 は適切な信号を送信しサービスセルがそのクロスポイントユニット( X P U ) 3 2 からフェッチされるようにする。特に、選択ユニット 5 9 - 3 は読出しバス 4 4 のライン “ buffer enable ” で信号を印加し、ライン “ read control ” で信号を送信して読出しアドレスカウンタ 5 9 - 1 が使用される特定のスキャンデータラインからしてどの特定のクロスポイントユニット( X P U ) 3 2 がアドレスされるべきであるのかを決定できるようし、読出しバス 4 4 のライン “ priority ” でバッファ選択信号を送信しアドレスされたクロスポイントユニット( X P U ) 3 2 におけるバッファ C B Q<sub>0</sub> と C B Q<sub>1</sub> の内の選択されたものが正しく指定されるようにする。さらに、選択ユニット 5 9 - 3 はライン “ service cell ” で信号をセル生成ユニット( C G U ) 5 8 ( 図 5 G を参照 ) に送信してサービスセルが利用可能になっていることを示す。

10

#### 【 0 1 6 5 】

読出しアドレスカウンタ 5 9 - 1 は、選択ユニット 5 9 - 3 で受信されるゲートされたスキャン信号に対応するクロスポイントユニット( X P U ) 3 2 のアドレスを決定するためにライン “ read control ” の信号を利用する。そのアドレスは読出しバス 4 4 のライン “ read address ” で印加される。読出しの始まりで、読出しアドレスカウンタ 5 9 - 1 は、クロスポイントステータスユニット( X S U ) 5 0 ( 図 5 H - 2 を参照 ) への印加のために、ライン “ start-read ” で信号をセットする。

20

#### 【 0 1 6 6 】

サービスセルのバイトは、読出しバス 4 4 のライン “ read data ” でセル読出しユニット( C R U ) 5 9 によって獲得される。各セルのヘッダが受信され、セルサイズロジックユニット 5 9 - 2 に印加されるので、セルサイズロジックユニット 5 9 - 2 はセルの長さを判断する( 即ち、 S C S フィールドから ( 図 4 A を参照 ) )。セルサイズロジックユニット 5 9 - 2 によって、読出しアドレスカウンタ 5 9 - 1 は、セルサイズロジックユニット 5 9 - 2 によって決定されたように、セルの全バイトが得られるまで、繰返し、ライン “ read address ” で印加されたアドレスをインクメントすることが可能である。それから、セルサイズロジックユニット 5 9 - 2 によって読出しアドレスカウンタ 5 9 - 1 でクロスポイントステータスユニット( X S U ) 5 0 への印加のためにライン “ end-read ” で信号を発行させる ( 図 5 H - 2 ) 。

30

#### 【 0 1 6 7 】

セル読出しユニット( C R U ) 5 9 によって、クロスポイントユニット( X P U ) 3 2 のバッファからセルをアンロードするとき、アンロードされるバッファについてのポーリング状態ステータスレジスタ 5 0 - 2 は “ 空き ” 状態へとリセットされる。この点について、ポーリング率レジスタの値に依存して、ライン “ end-read ” 或いはライン “ start-read ” の一方或いは他方が用いられてポーリング状態ステータスレジスタ 5 0 - 2 をリセットする ( 図 5 H - 2 を参照 ) 。

40

#### 【 0 1 6 8 】

上述した方法で選択ユニット 5 9 - 3 によるアドレッシングを行うとき、アドレスされたクロスポイントユニット( X P U ) 3 2 の選択バッファのセルが読出しバス 4 4 のライン “ read data ” で、セル読出しユニット( C R U ) 5 9 とセル生成ユニット( C G U ) 5 8 とへ送信される ( 図 5 G を参照 ) 。

50

## 【0169】

## 4.8 セル生成ユニット(CGU)

セル生成ユニット(CGU)58はどのセルを次のセル間隔でスイッチポートボード(SPB)24に送るべきなのかを決定する。セル生成ユニット(CGU)58によって送信されるセルはバスp-data-outを介してシステムクロックユニット(SCU)52へと印加される(図5Bを参照)。

## 【0170】

図5Gに示されているように、セル生成ユニット(CGU)58は、次セル制御ユニット58-1、ポーリングイネーブルレジスタ(レジスタ58-2Pとして示されている)、スキャンイネーブルレジスタ(レジスタ58-2Sとして示されている)、パリティ生成器58-3、制御セルフィルバンク58-4、PRI完全性チェックユニット58-5を含む。次セル制御ユニット58-1は、次のセル間隔でスイッチポートボード(SPB)に送る次のセルがどのタイプであるのかを判断し、その決定のために、ライン“sync-cell”、“service-cell”、“OAM cell”での信号を受信するとともに、ポーリングイネーブルレジスタ58-2P、スキャンイネーブルレジスタ58-2Sの内容を示す信号を受信する。ライン“sync-cell”での信号、セル同期ユニット(CSU)54からの出力(図5Bを参照)は、同期セル(LSCセル)がスイッチポートボード(SPB)24から受信されたことを示す。運用・維持ユニット(OMU)57(図5Eを参照)から受信されたライン“OAM”での信号は、非同期制御セルがスイッチポートボード(SPB)24から受信されたことを示す。セル読出しユニット(CRU)59(図5Fを参照)から受信されたライン“service-cell”での信号は、サービスセルがフェッチされ、ライン“read-data”でPRI完全性チェックユニット58-5において利用可能であることを示す。セル生成ユニット(CGU)58はそこに入力された信号を用いて、例えば、セクション9.0と図10で説明されるセル伝送手順を制御する。

## 【0171】

そのセル伝送手順に従って、次セル制御ユニット58-1はライン“control-cell-unload”で信号を制御セルフィルバンク58-4に出力し、そして、ライン“read-control”でパリティ生成器58-3に出力する。制御セルフィルバンクはライン“OAM-cell data”でターゲットコードレジスタ57-2(図5Eを参照)から信号を受信する。PRI完全性チェックユニット58-5は、ライン“read-data”でセル読出しユニット(CRU)59からサービスセルを受信し、完全性を実行し、セル同期ユニット(CSU)54、ラインインタフェースユニット(LIU)53、及び、スイッチポートボード(SPB)24への送信に先だって、そのサービスセルをパリティ及びパリティ生成器58-3に送る。

## 【0172】

基本的には、セルは、次の優先度規則(優先度の順番が下がっていく順番で)に従って、セル生成ユニット(CGU)58から送信される。

## 【0173】

1.もし、ハント状態が現れたり、或いは、LSCセルプロンプトが発生するならリンク状態制御(LSC)セル。LSCセルは、SPIC26と対応するRCU40との間のリンク上での整列を維持する、即ち、セル境界を識別するために用いられる。ハント状態の間、RCU40はセル構造を見出すことはできず、その代わり、RCU40が同期状態にはなくRCU40がLSCセルの送信を停止するまではLSCセルを受信する必要があることを示すコードをもったLSCセルを送信する。或いは、SPIC26は同期状態ではなく、RCU40に対して対応する要求を送信し、RCU40が連続的にLSCセルを発行するようにする(ただし、RCU40が同期状態にはないことを示すコードがともなつてはいない)。

## 【0174】

2. SPIC26によってプロンプトされるペンディングLCCセルとしても知られる、早期の要求或いはプロンプトされたポーリングスケジュールに従ったOAMセル。

10

20

30

40

50

## 【0175】

3. 現在のスキャンモードスケジュールに依存するサービスセル／制御セル。

## 【0176】

4. プロンプトされないC B R (一定のピット率) ポーリングデータをもつアイドルセル或いはO A Mセル。

## 【0177】

セル生成ユニット(C G U)58は、もし、L S Cセルのプロンプトが発生したなら、要求されらO A Mセルの解放をホールド中にすることができないなければならない。L S Cとアイドルセルとが、制御セルフィルバンク58-4とO A Mセルの共通部分とで生成される。

10

## 【0178】

P R I完全性チェックユニット58-5は、セルのP R Iフィールドの値が、表6に示されているような自己P R Iレジスタを用いて自己P R Iとマッチしているかどうかをテストする。随意に、P R I完全性チェックユニット58-5はまた、パリティチェックを行うことができる。パリティ生成器58-3は全てのセルタイプに関し、必要とされるパリティを追加したり、或いは、変更する。

## 【0179】

## 4.9 システムクロックユニット

一般的には図5に行列ユニット(R C U)40を有するように示されているシステムクロックユニット(S C U)52は、図5Iにより詳細に示されている。S C L K(図5を参照)から生じる信号sysclk-inは、各行列ユニット(R C U)40に対して存在し、システムクロックユニット(S C U)52に印加される。マルチプレクサ(mux)52-1は、即ち、適切な行列ユニット(R C U)40から信号sysclk-outとして信号インタフェースユニット53(図5Aを参照)に印加される信号sysclk-inの1つを選択する。マルチプレクサ(mux)52-1による選択はシステムクロックレジスタ52-2によって制御される。システムクロックレジスタ52-2は、コード化フォーマットのL C Cセルによってセットされる。もし、所望であれば、スリュー率レジスタ52-3が備えられセットされて低速から高速への遷移速度(V/ナノ秒)がS C L K-O U T及びD-S C S P信号によって制御される(図5Aを参照)。なお、4つの率が設定可能である。

20

## 【0180】

## 5.0 初期化

図7は図1のA T Mスイッチングシステムについての初期化手順が含まれる基本的なステップを示すフローチャートである。スイッチングシステム20の電源投入時、同期をとるために、そして、図7のステップ7-1によって描写されているように、各スイッチポートボード(S P B)24は、コード化フォーマットで少なくとも5個のリンク状態制御セル(L C Cセル)をその対応する行列ユニット(R C U)40に送信する(図5を参照)。ある場合には、例えば、スイッチングシステム20が動作中であり何らかの理由で同期を失うときのような場合には、スイッチングシステム20の再同期のためにより少ない数のL S Cセル(例えば、3つのL S Cセル)が必要である。初期化或いは再同期に関連して送信される最後のL S Cセルは、“S Y N C”というS S Cフィールド値をもつべきである(図4B-3を参照)。同期については、後述のセクション6.0でさらに詳しく説明する。

30

## 【0181】

同期が確立された後、コード化フォーマットの一連のL C Cセルが夫々のスイッチポートボード(S P B)24から各行列ユニット(R C U)40へと送信される。一連のコード化L C Cセル各々の発行は、図7のステップ7-2~7-9によって反映されている。

40

## 【0182】

ステップ7-2で発行されたコード化L C Cセルは、ポーリングイネーブルレジスタ(表6を参照)にゼロを設定するのに用いられる。ポーリングイネーブルレジスタは、例えば、セクション4.6.2.1で検討されている。ポーリングイネーブルレジスタの初期化

50

を達成するのに、ステップ7-2でのコード化LCCセルのフィールドが次の値にセットされる（図4B-2を参照）。即ち、PRIフィールド=31、ADRフィールド=4、RPCフィールド=0。フィールドCBQ=Xであり、データフィールドは0（16進法表示）にセットされ、書き込みビットは“1”に、読み出しビットは“0”にセットされる。

#### 【0183】

ステップ7-3～7-7はスイッチングシステム20における各行列ユニット（RCU）40についての各クロスポイントユニット（XPU）32に関して実行される。ステップ7-3では、LCCセルクリア命令がマトリクス0とマトリクス1の夫々に対して送られる。このLCCセルクリア命令は、RCU40が所有するXPUsに関連したポーリング状態ステータスレジスタ50-2とスキャン状態レジスタ50-4（図5H-2を参照）の位置をリセットする。

10

#### 【0184】

ステップ7-4では、2つのコード化LCCセルが送信されて、スキャン率レジスタを高位バイトに、また、スキャン率レジスタを低位バイトに初期化する（表6を参照）。スキャン率レジスタは、例えば、セクション4.6.2.9で検討されている。ステップ7-4の最初のLCCセルはスキャン率レジスタを低位バイトに初期化し、ステップ7-4の2番目のLCCセルはスキャン率レジスタを高位バイトに初期化する。スキャン率の高位バイトはクロスポイントユニット（XPU）32のCBQ<sub>0</sub>バッファに対して（メモリアレイユニット（MAU）30のマトリクス0において）用いられ、スキャン率の低位バイトはクロスポイントユニット（XPU）32のCBQ<sub>1</sub>バッファに対して（メモリアレイユニット（MAU）30のマトリクス1において）用いられる。そのバイトは未知の率を示すためにセットされる（もし、その率は、事実知られてはいないならば）。ステップ7-4の最初のセルについてのコード化LCCセルのフィールドは次の値にセットされる（図4B-2を参照）。即ち、PRIフィールド=31、ADRフィールド=15、RPCフィールド=0、フィールドCBQ=Xであり、データフィールドは0（16進法表示）にセットされ、書き込みビットは“1”に、読み出しビットは“0”にセットされる。ステップ7-6の2番目のセルについてのコード化LCCセルのフィールドは同様にセットされるが、例外はRPCフィールド=1となる点である。

20

#### 【0185】

ステップ7-5では、2つのコード化LCCセルが送信されて、ポーリング率レジスタを高位バイトに、また、ポーリング率レジスタを低位バイトに初期化する（表6を参照）。ポーリング率レジスタは、例えば、セクション4.6.2.8で検討されている。スキャン率レジスタに対するのと類似の方法で、そのバイトは未知の率を示すためにセットされる（もし、その率は、事実知られてはいないならば）。ステップ7-5の最初のセルについてのコード化LCCセルのフィールドは次の値にセットされる（図4B-2を参照）。即ち、PRIフィールド=31、ADRフィールド=14、RPCフィールド=0、フィールドCBQ=Xであり、データフィールドは0（16進法表示）にセットされ、書き込みビットは“1”に、読み出しビットは“0”にセットされる。ステップ7-5の2番目のセルについてのコード化LCCセルのフィールドは同様にセットされるが、例外はRPCフィールド=1となる点である。

30

#### 【0186】

ステップ7-6では、コード化LCCセルが送信されてスキャンイネーブルレジスタを動作可能にする（表6を参照）。スキャンイネーブルレジスタは、例えば、セクション4.6.2.4において検討されている。ステップ7-6のコード化LCCセルのフィールドは次の値にセットされる（図4B-2を参照）。即ち、PRIフィールド=31、ADRフィールド=7、RPCフィールド=0、フィールドCBQ=Xであり、データフィールドはFF（16進法表示）にセットされ、書き込みビットは“1”に、読み出しビットは“0”にセットされる。

40

#### 【0187】

ステップ7-7では、コード化LCCセルが送信されてポーリングイネーブルレジスタを

50

モード 1 にセットする（表 6 を参照）。モード 1 の重要性は図 10 に関連して説明される。ステップ 7 - 7 のコード化 L C C セルのフィールドは次の値にセットされる（図 4 B - 2 を参照）。即ち、P R I フィールド = 3 1、A D R フィールド = 4、R P C フィールド = 0、フィールド C B Q = X であり、データフィールドは 0 1 (16 進法表示) にセットされ、書き込みビットは“1”に、読み出しビットは“0”にセットされる。

#### 【0188】

ステップ 7 - 8 では、32 個の最大長（例えば、56 バイト）のサービスセルの持続時間に匹敵する時間、待ち合わせる。この待ち合わせ時間の間、生成されるどんなセルも無視される。ステップ 7 - 8 の待ち合わせ時間によって、どんな散発性のサービスセルや制御セルもスイッチングシステム 20 の外に流出させることができになる。もし、例えばの行列ユニット（R C U s）40 のポーリング状態レジスタが、電源投入時に発生するかもしれないが、読み出しに利用可能なセルがあることを示したり、或いは、別の行列ユニット（R C U s）40 が接続されるスイッチポートボード（S P B）24 をもっていないなら、散発的なサービスセルが発生するかもしれない。そのような散発的サービスセルは、リンクが同期され、ポーリングイネーブルモードがモード 1、2、或いは 3 にセットされた後に外に流出される。

10

#### 【0189】

##### 6.0 同期

図 1 に示すように、各スイッチポートボード（S P B）24 は双方向リンク、特にリンク 27 及び 28 によってスイッチコア 22 と接続されている。リンクの各サイドには同期（sync）タグ検出器又はセル整列器アライナがある。例えば、行列ユニット（R C U）40 において、セル同期ユニット（C S U）54 [図 5 B 参照] の中に同期（sync）タグ検出器 54 - 3 が設けられている。同期（sync）タグ検出器の役目は L S C セルの検出である。

20

#### 【0190】

図 3 に示すように、多種のサイズを有するセルがビットストリームとしてスイッチポートボード 24（S P B）とスイッチコア 22 の間を両方向に転送される。リンク 27 及び 28 において、セルの内部構成以外、セルの開始に関する明らかな情報は存在しない。従って、スイッチコア 22 及びスイッチポートボード 24 の両者は、リンク 27 及び 28 を同期させるためにセルの位置合わせを行わねばならない。

#### 【0191】

30

同期は L S C セル [図 4 B - 3 を参照] を必要に応じて挿入することによって達成される。スイッチポートボード（S P B）24 からスイッチコア 22 へ転送される L S C セルは同期タグ検出器 54 - 3 で解析され、スイッチコア 22 からスイッチポートボード（S P B）24 に転送される L S C セルはスイッチポートボード（S P B）24 において、対応する、同様に動作する同期タグ検出器によって解析される。同期タグ検出器は L S C セル以外には何ら影響を与えない。

#### 【0192】

スイッチポートボード（S P B）24 における同期タグ検出器および同期（sync）タグ検出器 54 - 3 はいずれも図 8 に示す状態図に従って動作する状態マシン装置からなる。素早く高速な同期と、リンク 27 及び 28 の動作状態の維持のため、リンクの両側、すなわちスイッチコア 22 及びスイッチポートボード（S P B）24 は自らの状態を L S C セルを用いて通知できねばならない。以下、同期タグ検出器の動作を一般的に説明するが、このような動作は同期タグ検出器 54 - 3 及びスイッチポートボード（S P B）24 中の同期タグ検出器の両者を用いて説明可能であることは理解されよう。

40

#### 【0193】

対応する側から入來した L S C セルは、同期タグ検出器によって予め定義された L S C セル用のパターン [図 4 B - 2 及びセクション 2.2.2.1 参照] と比較される。S S C フィールドは、同期（sync）タグ検出器が L S C セルを（S S C 値 11 で示される）P R E S Y N C 状態で生成したのか、同期状態の 1 つ、例えば（S S C 値“S Y N C”、即ち 0 0 で示される）S Y N C 0 又は S Y N C 1 において生成したのかを示す。

50

## 【0194】

図8に示すように、同期(sync)タグ検出器はエラーのないLSCセルを連続して3つ受信するまではPRESYNC状態に留まり、それから2つの同期状態(SYNC0又はSYNC1)の一方に入る。リンクの両側、スイッチポートボード(SPB)24及びスイッチコア22がSYNC1状態に到達すると、サービスセル及びLCCセルがスイッチポートボード(SPB)24及びスイッチコア22の間を流れ始めることが可能になる。

## 【0195】

各サービスセルはそのサイズに関する情報を、特にSSCFIELD[図4A参照]に含んでいる。このサイズ情報はセル同期の維持に用いられる。完全性チェックユニット55-3[図5C参照]で検出されるような所定のセル欠陥は、同期タグ検出器をPRESYNC状態にする。SYNC1状態においてSSCFIELDにPRESYNC値を有するLSCセルが受信された場合、状態装置はSYNC0状態に入る。SYNC0状態においては、(SSCFIELDにPRESYNC値を有するLSCセル以外の)何らかのセルが受信されるまで、SSCFIELDにSYNC値を有するLSCセルが常時送信される。

10

## 【0196】

以下のLSCセル送信規則は図8の同期状態マシンの動作を説明する。

## 【0197】

送信規則1：PRESYNC状態においては、以下の動作を行う。

## 【0198】

20

(1)SSC値にPRESYNCを有するLSCセルを送信し、LSCセル以外の受信セルは廃棄する。

## 【0199】

(2)エラーのないLSCセルを連続して3つ受信し、かつ3つめのLSCセルがSSC値にPRESYNCを有する場合、SYNC0状態へ移行する。

## 【0200】

(3)エラーのないLSCセルを連続して3つ受信し、かつ3つめのLSCセルがSYNC状態を有する場合、SYNC1状態へ移行する。

## 【0201】

送信規則2：SYNC0状態においては、以下の動作を行う。

30

## 【0202】

(1)SSC値にSYNCを有するLSCセルのみを送信し、LSCセル以外のセルは廃棄する。

## 【0203】

(2)SSC値にPRESYNCを有するLSCセル以外の、エラーのないセルを受信したら、SYNC1状態へ移行する。

## 【0204】

(3)受信セルにエラーが存在した場合にはPRESYNC状態へ移行する。

## 【0205】

送信規則3：SYNC1状態においては、以下の動作を行う。

40

## 【0206】

(1)サービスセル及び制御セルの送信を許可する。

## 【0207】

(2)SYNC1状態を離れる場合、スイッチコア22は継続中のセル転送を完了する。

## 【0208】

(3)エラーのない、SSC値にPRESYNCを有するLSCセルを受信した場合、SYNC0状態へ移行する。

## 【0209】

(4)受信セルにエラーが存在した場合にはPRESYNC状態へ移行する。

## 【0210】

50

図9に、同期及び再同期の例において、同期(sync)タグ検出器54-3であり得る状態遷移を示す。図9において、LSCのSSC値、例えば、LSCセルを発行した同期タグ検出器の状態をかっこ内に示す。かっこ内の“SYNC”表記は、一般に同期、例えばSYNC0又はSYNC1を指す。

#### 【0211】

図9において、まず最初にスイッチコア22がPRESYNC状態であると仮定すると、スイッチコア22がSSC値にPRESYNCを有するLSCセルを受信し、SSC値にPRESYNCを有するLSCセルが更にスイッチコア22からスイッチポートボード(SPB)24へ送信される。LSCセルの3連続受信後、同期(sync)タグ検出器54-3はSYNC0状態へ移行し、SSC値にSYNC値を有するLSC値を送信する。スイッチポートボード(SPB)24は3つのLSCセル受信後、SYNC1状態へ移行する(送信規則1の動作(3)を参照)。そして、SSC値にSYNCを有するLSCセルの受信後、SYNC1状態に移行し、SSC値にSYNCを有する更なるLSCセルが送信される。この時点においてスイッチコア22及びスイッチポートボード(SPB)24の両方がSYNC1状態となり、サービスセルがリンク27及び28を介して交換可能となる。

#### 【0212】

同期の確立後、スイッチコア22の同期(sync)タグ検出器54-3がSSC値にPRESYNCを有するLSCセルを受信すると、同期タグ検出器54-3はSYNC0状態へ戻り、SSC値にSYNCを有するLSCセルで応答する。SSC値にPRESYNCを有するLSCセルを引き続き受信した場合、同期タグ検出器54-3はSYNC0に戻り、LSCセルの連続したストリームで応答する。

#### 【0213】

受信したサービスセルに欠陥が見つかった場合、スイッチコア22はPRESYNC状態に移行し、SSC値にPRESYNCを有するLSCセルをスイッチポートボード(SPB)24へ送信し始める。これらのLSCセルはスイッチポートボード(SPB)24がSSC値にPRESYNCを有するLSCセルを送信する原因となる。3連続でこのようなLSCセルを受信した後、同期タグ検出器54-3再びSYNC1状態に移行し、サービスセルが流れ始める。

#### 【0214】

図3に示したセルストリームはスイッチポートボード(SPB)24及びスイッチコア22の間で常時維持される。継続性はセルレート分離(cell rate decoupling)によって達成される。スイッチコア22(特にセル生成ユニット(CGU)58[図5G参照])は、リンク28に送信すべきサービスセル又はLCCセルが無い場合、(スイッチポートボード(SPB)24及びスイッチコア22の現在の同期状態にセットされたSSCフィールドを有する)LSCセルをスイッチコア22からスイッチポートボード(SPB)24への方向、すなわちコア-ツウ-ポートリンク28に送信する。スイッチポートボード(SPB)24は、リンク27に送信すべきサービスセル又はLCCセルが無い場合、現在の同期状態にセットされたSSCフィールドを有するLSCセルを、スイッチポートボード(SPB)24からスイッチコア22への方向、すなわちポート-ツウ-コアリンク27に送信する。

#### 【0215】

##### 7.0 セル受信

セルストリームの同期後、サービスセル及び制御セルは以下に説明するように別々に処理される。

#### 【0216】

##### 7.1 制御セル受信

制御セル、即ちLSCセル及びLCCセルの両方は、サービスセルとは異なり、行列ユニット(RCU)40が終点となる。受信されたLSCセルは、基本的には例えばセクション6で説明したような同期目的に用いられ、上述したように[図8及び図9参照]、行列

10

20

30

40

50

ユニット( R C U ) 4 0 及び特に同期タグ検出器 5 4 - 3 の状態装置に影響を与える。L C C セルはコード化 [ 図 4 B - 1 参照 ] されてもビットマップ [ 図 4 B - 2 参照 ] されても、スイッチコア 2 2 内の 1 つの行列ユニット( R C U ) 4 0 を、接続されたスイッチポートボード( S P B ) 2 4 から制御及び操作するために用いられる。この点に関し、各スイッチポートボード( S P B ) 2 4 は自らが有する行列ユニット( R C U ) 4 0 を制御する。

【 0 2 1 7 】

行列ユニット( R C U ) 4 0 の制御において、いくつかの L C C セルは行列ユニット( R C U ) 4 0 内部の制御レジスタ、特に表 6 に示すクロスポイントステータスユニット( X S U ) 5 0 のレジスタの更新に用いられる。受信された L C C セルはこの目的のデータを含んでいる。レジスタ中の 1 6 ビットまでのデータが 1 つのビットマップされた L C C セル [ セクション 2 . 2 . 2 . 1 参照 ] によって更新可能である。コード化された L C C セルにおいては、8 ビットが行列ユニット( R C U ) 4 0 のレジスタに書き込みもしくはレジスタから読み出される。他の L C C セルは行列ユニット( R C U ) 4 0 が実行するコマンドを含む。

【 0 2 1 8 】

表 7 は行列ユニット( R C U ) 4 0 で受信される L C C セルの種々のフィールド( P R I , A D R 、 W r i t e , R e a d , [ 図 4 B - 2 参照 ] ) 及び、各フィールドに関して行われる動作を示す。この動作には、任意の応答セルの発行を初めとした、行列ユニット( R C U ) 4 0 でなされる動作を含む。表 7 に示すように、行列ユニット( R C U ) 4 0 で受信される L C C セルは一般に以下の目的にかなう。

【 0 2 1 9 】

( 1 ) 行列ユニット( R C U ) 4 0 内部のレジスタ ( 表 6 参照 ) の更新。受信された L C C セルはレジスタのためのデータ及びアドレスを含む。

【 0 2 2 0 】

( 2 ) 行列ユニット( R C U ) 4 0 内部のレジスタ読み出し開始。受信された L C C セルはレジスタアドレスを含み、 R C U はアドレス指定されたレジスタの実データを含む L C C セルを応答する。

【 0 2 2 1 】

( 3 ) 行列ユニット( R C U ) 4 0 内部のレジスタ更新及び同一レジスタの読み出し開始。受信された L C C セルは更新すべきレジスタのアドレス及び、アドレス指定されたレジスタに格納されるべき更新データを含む。更新と同時に、 R C U はレジスタに書き込まれたデータを確認する L C C セルを応答する。

【 0 2 2 2 】

( 4 ) 接続されたスイッチポートボード( S P B ) 2 4 から行列ユニット( R C U ) 4 0 へのコマンドロード。受信された L C C セルはコマンドコードを含む。

【 0 2 2 3 】

行列ユニット( R C U ) 4 0 のレジスタへ書き込みするための連続したコード化 L C C セルは許される。しかし、行列ユニット( R C U ) 4 0 のレジスタを読み出すための未処理コード化 L C C セルは 1 つのみが許される。読み出し中期間、コード化 L C C セルを用いた行列ユニット( R C U ) 4 0 のレジスタへの書き込みは

ポーリング状態取り出しこマンド ("retrieve\_pollstate\_command") ( 表 6 参照 ) を除いて許されない。ポーリング状態取り出しこマンドはスイッチポートボード( S P B ) 2 4 からいつでも送信可能であり、行列ユニット( R C U ) 4 0 は ( R C U が同期状態であると仮定した ) ポーリング状態ステータスを応答する。このパラグラフの規定は、コード化 L C C セルにのみ適用され、ビットマップされた L C C セルには適用されない。ビットマップされた L C C セルはコード化 L C C セルに干渉を受けない。

【 0 2 2 4 】

上述したように、表 7 は起こりうる L C C セルフロー、即ち行列ユニット( R C U ) 4 0 での受信及び R C U によって発行されたスイッチポートボード( S P B ) 2 4 への応答 L

10

20

40

50

CCCセルを示している。表7において、セルがロードされないことにより、一方のバッファが空きになった際に発生する、スイッチコア22の内部ロジックによって開始される最後のLCCセル(ポーリング状態)を除いて、全てのセルフローは対応した行列ユニット(RCU)40に接続されたスイッチポートボード(SPB)24によって開始される。

【0225】

7.2 サービスセル

サービスセルはスイッチコア22を通してあるポートから他のポートへ、即ちあるスイッチポートボード(SPB)24から他のスイッチポートボード(SPB)24へ導かれる。また、サービスセルを他のいくつかもしくは全部のポートへコピーすることもできる。サービスセルのいくつかのポートへのコピーは、“マルチキャスト”として、全てのポートへのコピーは“ブロードキャスト”としてそれぞれ知られている。“マルチキャスト”及び“ブロードキャスト”は本明細書の別の場所、例えば以下のセクション8.0において説明する。

【0226】

8.0 セルバッファリング

サービスセルのヘッダは、PRIフィールド[図4A参照]にセルの宛先ポート番号を有している。例えば、スイッチポートボード(SPB)24<sub>15</sub>が宛先ポートである場合、行列ユニット(RCU)40に受信されたそのセルのPRIフィールドは“15”であろう。しかし、そのセルがクロスポイントユニット(XPU)32の適切な1つ(例えば、本例ではクロスポイントユニット(XPU)32<sub>15</sub>であると仮定する)に格納される前に、行列ユニット(RCU)40で受信されたセルに元々格納されていたPRI値は、そのサービスセルを発行したスイッチポートボード(SPB)24のポート番号に対応する値に置き換えられる。

【0227】

従って、SPB24<sub>15</sub>へ向かうためのPRI値“15”を有する、SPB24<sub>0</sub>から発行されたサービスセルの例において、そのサービスセルのPRI値はXPU32<sub>15</sub>への送信前に行列ユニット(RCU)40によって“0”に置き換えられる。PRIの変更はセル解析ユニット(CAU)55[図5C参照]のPRIスワップユニット55-4によって行われる。PRI値(例えばポート番号)の置換はパリティビットを含むサービスセルの1バイトにおいて発生し、更に、新しいパリティビットFBPを決定し、サービスセルへの置き換えを行わねばならない。

【0228】

サービスセルのヘッダはまた、そのサービスセルがPRIがアドレスするクロスポイントユニット(XPU)32の2つのバッファCBQ<sub>0</sub>及びCBQ<sub>1</sub>のいずれにロードされるべきかを指示する、2ビットのCBQを有している。加えて、サービスセルの第2バイトはトラフィックタイプインジケータ(TTI)を含んでいる[図4A参照]。

【0229】

トラフィックタイプインジケータ(TTI)がマルチキャストを示す場合、セルはいくつかのクロスポイントユニット(XPU)32へコピーされる。特に、マルチキャストサービスセルを受信すべきクロスポイントユニット(XPU)32は、行列ユニット(RCU)40内部の16ビットレジスタ、特に表6に示したマルチキャストレジスタによって定義されている[セクション4.6.2.13参照]。行列ユニット(RCU)40内部にはただ1つのマルチキャストレジスタが存在する。マルチキャストレジスタの各ビットはセルを受信する行列ユニット(RCU)40によってサービスされる列上のクロスポイントユニット(XPU)32<sub>0</sub>から32<sub>15</sub>の1つに対応する。マルチキャストレジスタのアクティブビットは、列において対応するXPU32にセルがロードされることを示す。従って、マルチキャストレジスタはサービスセルが到着する前にロードされていなくてはならない。

【0230】

トラフィックタイプインジケータ(TTI)が“ブロードキャスト”を示す場合、サービ

10

20

30

40

50

スセルは全てのスイッチポートボード (S P B) 24に供給される。行列ユニット (R C U) 40内部のマルチキャストレジスタは、ブロードキャストには使用されない。

#### 【0231】

マルチキャストの間、サービスセルは空きのバッファ (C B Q<sub>0</sub>及びC B Q<sub>1</sub>のいずれか) を有するクロスポイントユニット (X P U) 32にコピーされる。マルチキャストレジスタが空いていないバッファを有するX P U 32へのロードを必要とする場合、セル完全性レジスタ 55 - 3 [図 5 C 参照] によってエラーが示される。空きバッファ C B Q<sub>0</sub>又は C B Q<sub>1</sub>を有するクロスポイントユニット (X P U) 32はロードされた状態のままである。ブロードキャストの間もほぼ同じ手順が用いられる。すなわち、他のバッファと独立して空のバッファがロードされる。しかし、ブロードキャストの間は空いていないバッファに起因するエラーは提示されない。

#### 【0232】

##### 9.0 セル送信

行列ユニット (R C U) 40の送信側において、異なるソースからのセルはスイッチコア 22からの連続したセルストリームを形成するように、セル生成ユニット (C G U) 58によって多重化され、出力される [図 5 及び図 5 G 参照]。行列ユニット (R C U) 40からのセル送信速度はセル受信に用いられるクロックと同一クロック、例えばD C L Kによって決定される。D C L Kはこのポートに接続されたスイッチポートボード (S P B) 24から供給される。図 5 A に示すように、信号D C L Kは最終的には (分周器 54 - 5 [図 5 B 参照] によって) 分周され、信号p c l kを産出する。従って、各スイッチポートボード (S P B) 24は自らのD C L K信号を関連するR C U 40へ供給する。

#### 【0233】

スイッチコア 22から送出されるセルには、制御セル及びサービスセルの両方が含まれる。次セル制御ユニット 58 - 1 [図 5 G 参照] は、各ラインの名前で示されるそれぞれのセルを受理するよう要求されると、ライン上の同期セル(sync-cell)、制御セル (control-cell) 及びサービスセル (service-cell) を受信する。次セル制御ユニット 58 - 1 はセル出力の内部要求をこれらライン上で取り出した信号に従って設定し、これらの要求を図 10 に示すように処理する。一旦特定形式のセルへの要求が満足されると、その要求は“クリア”される。

#### 【0234】

制御セルは、行列ユニット (R C U) 40から対応するスイッチポートボード (S P B) 24へ送信される前に、パリティビットが決定、付加される。サービスセル用のパリティビットはクロスポイントユニット (X P U) 32からアンロードされる際にP R I - 完全性チェックユニット 58 - 5 [図 5 G 参照] によってチェックされる。正しくないパリティビットを有するセルは廃棄され、セル完全性レジスタ中に示される。

#### 【0235】

図 10 のフローチャートはスイッチコア 22からのセル送信処理を示す。異なるオプション又はモード (1、2又は3) のうち、どれが有効かがポーリングイネーブルレジスタ [表 6 及びセクション 4.6.2.1 参照] の内容によって決定される。

#### 【0236】

図 10 のモード 2 及び 3 は、サービスセルの生成に関して所定の優先度を与えることによって、モード 1 と根本的に異なる。特に、モード 2 及び 3 は、所定の時間サービスセルがポーリング状態のL C Cセルよりも優先されることを保証するための特定のバイトカウンタ (特にステップ 10 - 18 を参照) を用いる。そのような所定の“時間”は 32 もしくは 64 バイトのサービスセルをモード 2 及び 3 によって送信する時間にそれぞれ設定することができる。

#### 【0237】

図 10 は、送信モード 1、送信モード 2 及び送信モード 3 を含む、セル送信における 3 モードのそれぞれを示している。送信モード 0 はステップ 10 - 0 において、同期を目的とした 1 つのL S Cセル送信に関与するに過ぎない。残りの送信モードにおいて実行される

10

20

30

40

50

動作について以下説明する。図10は動作の一般的な概念を示しているが、例えばパワーアップやビットエラー等のまれな機会においては、多少の例外が許されることは理解しておくべきである。

【0238】

図10に関連して、セクション4.6.1.3で説明した、ポーリング状態解放LCCセルが解放されたか“空き”のバッファを有するクロスポイントユニット(XPU)32を示すことを思い出す必要がある。ポーリング状態解放LCCセルはバッファ(CBQ<sub>0</sub>又はCBQ<sub>1</sub>のいずれか)が占有された状態から空きの状態に変化する度に送信される。異なる優先度を有するバッファの状態が変化した場合、最初のセルはキューキューCBQ<sub>0</sub>についての、2番目のセルはキューキューCBQ<sub>1</sub>についての、2つのポーリング状態LCCセルが送信される。

10

【0239】

さらに、スキャンにネーブルレジスタ、又はセルサイズロジック59-2[セクション4.6.2.4及び図5F参照]としても知られる第8バイト(eighth byte)サービスセルカウンタがある。データ読み出し信号はサービスセル全体を読み出しえるようにセルサイズの決定及びクロスポイントからの読み込みを制御するのに用いられる。加えて、データ読み出し信号はスキャンイネーブルカウンタのデクリメントにも用いられる。スキャンイネーブルカウンタはサービスセルが8バイト送信されるたびにデクリメントされる。

【0240】

この第8バイトサービスセルカウンタの値がゼロに等しい時、サービスセルが終了する。その後読み出し制御は次のサービスセル読み出しを禁止する。スキャンイネーブルカウンタが新しい(0でない)値をロードされた後、次のサービスセル列がアンロードされる。換言すると、(1~255の)値をスキャンイネーブルレジスタ[表6参照]に書き込むことによって、スキャン処理が再スタートする。第8バイトサービスセルカウンタの値が255にプリセットされた場合、全てのデクリメントは無効とされ、常にスキャン処理が継続する。

20

【0241】

図10において、継続中のセル送信は、次のセルがより高い優先度を持つ場合であっても、次のセルが送信される前に常に完了させられる。さらに、ただ1つのバイトカウンタのみがサービスセル中のCBQ値と独立して用いられる。

30

【0242】

9.1 セル送信モード1

セル送信モード1は、送信されようとしているセルがどの形式かに従って、優先度の体系に従う。図10によって表されるセル送信優先度は以下の通りであり、最高優先度から順に説明する。

【0243】

(1) 同期セルラインにLSCセル送信要求を受信した場合には(ステップ10-1)、リンク同期処理(例えばセクション6.0参照)に従ってLSCセルが送出され、次セル制御ユニット58-1のLSCセル送信要求がクリアされる(ステップ10-2)。

40

【0244】

(2) ステップ10-3において、クロスポイント状態ユニット(XSU)50のレジスタ(表6に示す)の読み出しを要求するLCCセルを制御セルラインに受信した場合には、要求されたコード化LCCセルが送出され、要求はクリアされる(ステップ10-4)。ステップ10-4はポーリング状態解放LCCセルによっては起動されない。

【0245】

(3) 「ポーリング状態取り出しコマンド」の受信によりポーリング状態のステータス要求を受けた場合には、ステップ10-6で、ポーリング状態のステータスを有するビットマップされたLCCセルが発行される。ビットマップされたLCCセルの内容は、ポーリング状態ステータスレジスタ[セクション4.6.1.3参照]から得られる。さらに、そのようなバッファがクリアされた場合ポーリング状態が変化する。バッファCBQ<sub>0</sub>に

50

対するポーリング状態ステータス要求はバッファ C B Q<sub>1</sub>に対するポーリング状態ステータス要求よりも高い優先度が与えられる。

【0246】

(4) ステップ 10-7において、ポーリング状態レジスタが“占有”から“空き”に変化したことが検出された場合、ステップ 10-8 でビットマップポーリング状態解放 LCC セルが送信される。一方のポーリング状態ステータスレジスタはマトリックス 0 中のバッファ（即ち、C B Q<sub>0</sub>バッファ）のビットマップを有し、他方のポーリング状態ステータスレジスタはマトリックス 1 中のバッファ（即ち、C B Q<sub>1</sub>バッファ）のビットマップを有する [セクション 4.6.1.3 及び表 5 参照]。ステップ 10-7 において、バッファ C B Q<sub>0</sub>にはバッファ C B Q<sub>1</sub>よりも高い優先度が与えられている。ステップ 10-7 で送信されるビットマップ LCC セルは最後の“ポーリング状態解放”コマンド以来解放された全てのバッファの個々の優先度 (C B Q<sub>0</sub> 又は C B Q<sub>1</sub>) に関する情報を輸送する。  
10

【0247】

図 10 のステップ 10-9 は、ステップ 10-2、10-4、10-6 及び 10-8 において何らの動作も行われなかった場合、スキャン処理又は操作が行われることを示している。スキャン処理は例えば本明細書のセクション 10.0 において説明される。

【0248】

ステップ 10-9 のスキャン終了後、ステップ 10-10 では、セル生成ユニット (CGU) 58 [セクション 4.8 参照] についての上述の 4 つの優先度規則がスイッチコア 2 2 から供給されるサービスセルを必要とするかどうかの判定が行われる。ステップ 10-10 での判定が肯定である場合には、ステップ 10-11 でサービスセルが送信される。  
20

【0249】

ステップ 10-10 での判定が否定である場合には、ステップ 10-0 で LSC セルがセル生成ユニット (CGU) 58 から送信される。換言すれば、送信されるべき他の形式のセルがなければ、LSC セルがセルレート分離処理に従って送信される。

【0250】

9.2 セル送信モード 2

セル送信モード 2 はポーリング状態情報を含んだビットマップ LCC セルの数を限定し、代わりにより多くのサービスセルの送信を可能にするものである。送信すべきサービスセルがある場合には、直前のポーリング状態情報セルが送信されてから、最低 32 バイトのサービスセルが送信されてからのみポーリング状態情報セルの送信が許可される。  
30

【0251】

モード 2 の送信を実行するステップ 10-12 から 10-17 は、モード 1 を実行するステップ 10-1 から 10-6 と類似している。しかし、ステップ 10-18 において、ポーリングイネーブルカウンタが終了したか否かのチェックが行われる。ポーリングイネーブルカウンタはセルサイズロジックユニット 58-2 [図 5H 参照] の中にある。ステップ 10-18 において、ポーリングイネーブルカウンタは、サービスセルが連続して（即ち、引き続いて）送信可能である場合、ポーリング状態解放 LCC セルがあまりに多く発行されないよう参照される。

【0252】

例えば、8 バイト長のサービスセルが、列上のクロスポイントユニット (XPU) 32 から連続して送信可能である場合、ポーリング状態解放 LCC セルがそのようなサービスセル間に点在している場合には、サービスセルの出力速度は遅くされる。モード 32 が設定されている場合、ポーリング状態解放 LCC セルは連続するサービスセルの 32 バイト毎よりも頻繁には発行できない。これは少なくとも 4 つの 8 バイト長サービスセルがポーリング状態解放 LCC セルの発行前に存在することを意味する。  
40

【0253】

ポーリングイネーブルカウンタは、セルサイズロジックユニット 59-2 からの信号に従って、サービスセルの 1 バイト毎にデクリメントされる。一旦ポーリング状態解放 LCC セルが発行されると、ポーリングイネーブルカウンタはリセットされる。ポーリングイネ  
50

ーブルカウンタは行列ユニット( R C U ) 4 0 に内蔵され、スイッチポート集積回路( S P I C ) 2 6 によっては制御されない。スイッチポート集積回路( S P I C ) 2 6 は、そこでどの特定モードによってセル生成が起こるかを指示するに過ぎない。

【 0 2 5 4 】

従って、ポーリングイネーブルカウンタは送信されるサービスセルの 1 バイト毎に 1 ずつインクリメントされる。このカウンタの最終値は 3 2 もしくは 6 4 ( それぞれ、ポーリングイネーブルレジスタの数が 2 か 3 かによる ) である。要求されないポーリング状態 L C C セルはこのバイトカウンタがその最終値に到達したか、送信すべきサービスセルがない場合にのみ送信される。

【 0 2 5 5 】

ステップ 1 0 - 1 8 において参照されたサービスセル用のポーリングイネーブルカウンタが終了していた場合、例えばモード 2 においては 3 2 以上の場合、セル送信優先度はモード 1 と等しくなる。特に、ステップ 1 0 - 2 4 から 1 0 - 2 9 のうち適用可能なものは、図 1 0 に示されるように起動される可能性を有している。サービスセルが送信されるステップ 1 0 - 2 8 もまた、( ステップ 1 0 - 1 8 で参照される ) セルの長さによってポーリングイネーブルカウンタのインクリメントに関与する。

【 0 2 5 6 】

ステップ 1 0 - 1 8 において参照されたサービスセル用のポーリングイネーブルカウンタが終了していなかった場合、スキャン処理が行われる( ステップ 1 0 - 1 9 )。そして、ステップ 1 0 - 2 0 で、( ステップ 1 0 - 1 0 の様な方法で ) サービスセルが要求されているか否かをチェックする。サービスセルが要求されている場合、ステップ 1 0 - 2 1 でサービスセルが供給され、ステップ 1 0 - 1 8 で参照されるバイトカウンタがセルの長さに従ってインクリメントされる。サービスセルが要求されていない場合には、ステップ 1 0 - 2 2 で、ポーリング状態が空き状態に変化したバッファがあるかどうかをチェックする。判定が否定の場合、L S C セルが送信される( ステップ 1 0 - 2 3 )。そうでなければステップ 1 0 - 2 4 でポーリング状態解放 L C C セルがステップ 1 0 - 8 と同様の方法で送信される。

【 0 2 5 7 】

9 . 3 セル送信モード 3

このモードは直前のポーリング状態情報セル送信から、少なくとも 6 4 バイトのサービスセルが送信されてからでないとポーリング状態情報セルが送信できること以外はモード 2 と同一である。

【 0 2 5 8 】

1 0 . 0 スキャン処理

スキャン処理はスイッチコア 2 2 がクロスポイントユニット( X P U ) 3 2 のバッファ C B Q<sub>0</sub> 又は C B Q<sub>1</sub> から、いつセルを出力可能であるかを判定する処理である。上述したように、同期( L S C ) セルは図 9 に従ってスイッチコア 2 2 から送信される( セクション 6 . 0 参照 )。一方、L C C セルは基本的にスイッチポートボード( S P B ) 2 4 によって発行された L C C セルからの応答としてスイッチコア 2 2 から送信される。L C C セルの交換は表 7 に示され、セクション 7 . 0 及び 9 . 0 で説明されている。

【 0 2 5 9 】

スイッチコア 2 2 はまた、多数のクロスポイントユニット( X P U ) 3 2 からのサービスセルの入手可能性をスイッチポートボード( S P B ) 2 4 に通知する L C C ポーリング状態セルを発行する。それらの内容がポーリング状態解放レジスタ( 例えば、図 6 のポーリング状態解放レジスタ 5 8 - 8 を参照 ) の内容に基づいているという事実から見れば、ポーリング状態セルの 1 形式はポーリング状態解放セルとしても知られている。従って、ポーリング状態セルはスイッチポートボード( S P B ) 2 4 に同じ行のバッファが “ 空き ” か “ 占有されている ” かの表示を提供する。

【 0 2 6 0 】

あるバッファ( もしくは複数のバッファ )、例えばスイッチポートボード( S P B ) 2 4

10

20

30

40

50

が監視する行にある 16 のクロスポイントユニット (XPU) 32 のどれかの CBQ<sub>0</sub> 又は CBQ<sub>1</sub> が解放される (すなわち、状態が “占有” から “空き” に変化する) と、図 10 にを参照してセクション 9.0 で説明したセル送信規則に従ってポーリング状態解放し CC セルが送信される。バッファへ新しいセルのロードを開始する可能性があれば直ちにバッファは “空き” になる。セルがロードされると、バッファは “占有” とマークされる。

#### 【0261】

送信及び受信スイッチポート (すなわち、スイッチポートボード (SPB) 24) の速度差に応じて、2つのポーリングオプションのいずれかに従ったバッファの “空き” 表示がなされる。これら 2つのポーリングオプションは図 15 に示される。第 1 のポーリングオプションは、バッファからのセルアンロード開始時にバッファの “空き” 表示がなされる (図 15 の点 P1 参照)。第 2 のポーリングオプションはバッファからのセルアンロード終了時にバッファの “空き” 表示がなされる (図 15 の点 P2 参照)。第 1 及び第 2 のポーリングオプションのいずれが用いられるかは、ポーリングレートレジスタ (セクション 4.6.1.3 及び 4.6.2.8 参照) にロードされる値に依存する。第 1 のポーリングオプションは送信側スイッチポート速度が受信側スイッチポート速度と同じか低い場合、もしくは速度差が 4 % 未満である場合に一般に用いられる。また、第 2 のポーリングオプションは、送信側スイッチポート速度が受信側スイッチポート速度と等しいか大きい場合、もしくは速度差が不明な場合に一般に用いられる。

#### 【0262】

各行列ユニット (RCU) 40 は、メモリアレイユニット (MAU) 30 (図 1 参照) の割り当てされた列上のバッファをスキャンする。“セル利用可能” 状態を有するバッファ (例えばクロスポイントユニット (XPU) 32 の CBQ<sub>0</sub> 又は CBQ<sub>1</sub>) はスイッチコア 22 から出力されたサービスセルを用いてアンロードされ、送信したバッファは “空き” とマークされる。

#### 【0263】

“セル利用可能” はバッファからセルがアンロード開始されうる可能性があれば直ちに表示される。セルの最初のワードがバッファからアンロードされると、バッファは “空き” とマークされる。

#### 【0264】

受信側及び送信側 RCU の速度差に応じて、図 16 に示す 2つのスキャンオプションのいずれかに従ったバッファの “セル利用可能” 表示がなされる。第 1 のスキャンオプションでは、図 16 の点 Q1 に示されるように、バッファからのセルロード開始時にバッファの “セル利用可能” 表示がなされる。第 2 のスキャンオプションでは、図 16 の点 Q2 に示されるように、バッファからのセルロード終了時にバッファの “セル利用可能” 表示がなされる。第 1 及び第 2 のスキャンオプションのいずれが用いられるかは、スキャンレートレジスタ (セクション 4.6.1.3 及び 4.6.2.9 参照) にロードされる値に依存する。図 16 のように、第 1 のスキャンオプションは送信側スイッチポート速度が受信側スイッチポート速度と同じか低い場合、もしくは速度差が 4 % 未満である場合に一般に用いられる。また、第 2 のスキャンオプションは、送信側スイッチポート速度が受信側スイッチポート速度と等しいか大きい場合、もしくは速度差が不明な場合に一般に用いられる。

#### 【0265】

上述したように (図 2 参照)、(名称 CBQ<sub>1</sub> 又は CBQ<sub>1</sub> という) 2つのバッファキューマトリックスがメモリアレイユニット (MAU) 30 の各列に存在する。CBQ<sub>0</sub> は CBQ<sub>1</sub> よりも優先度が高い。バッファキューマトリックスが設けられている。スナップショットレジスタには、実バッファ状態がロードされる。バッファ状態は対応するスキャンブロックレジスタの内容によってマスクされる。実バッファ状態はスキャン状態レジスタ (例えば、図 6 のスキャン状態レジスタ 50 - 4 参照) が保持する。各バッファの “セル利用可能 / 空き” 状態はスナ

10

20

30

40

50

ップショットレジスタにコピーされる。スナップショットレジスタのロード後、 $C B Q_0$ に対応する全ビットが処理され、バッファのアンロード時にこれらのビットはクリアされる。バッファは順番に、すなわち、バッファ0、バッファ1、等の順に処理される。 $C B Q_0$ に対応する全ビットがクリアされると、次にルーチンがコールされた際には、 $C B Q_0$ の新しいスナップショットが取得される。同様の処理がこのスナップショットレジスタの全ビットがクリアされるまで行われる。新しいスナップショットにおいてスナップショットレジスタの全ビットがゼロの場合、 $C B Q_1$ がスキャンされる。 $C B Q_1$ のスキャンは同一の原理に従って行われる。

#### 【0266】

図17は基本的なスキャン処理を表す(17-0として示される)。ステップ17-1で、キュー $C B Q_0$ のスナップショットレジスタが空かどうかの判定が行われる。キュー $C B Q_0$ のスナップショットレジスタが空の場合、ステップ17-2で、キュー $C B Q_0$ のスナップショットレジスタは(スキャンブロック0でマスクされた)キュー $C B Q_0$ の状態をロードされる。そして、ステップ17-3において、キュー $C B Q_0$ のスナップショットレジスタが空かどうかの判定が行われる。

#### 【0267】

ステップ17-3の判定が肯定であれば、ステップ17-4においてキュー $C B Q_1$ のスナップショットレジスタが空かどうかの判定が行われる。キュー $C B Q_1$ のスナップショットレジスタが空の場合、ステップ17-5で、キュー $C B Q_1$ のスナップショットレジスタは(スキャンブロック1でマスクされた)キュー $C B Q_1$ の状態をロードされる。そして、ステップ17-6において、キュー $C B Q_1$ のスナップショットレジスタが空かどうかの判定が行われる。

#### 【0268】

ステップ17-2で、キュー $C B Q_0$ のスナップショットレジスタは(スキャンブロック0でマスクされた)キュー $C B Q_0$ の状態をロードされる。そして、ステップ17-3において、キュー $C B Q_1$ のスナップショットレジスタが空であれば、サービスセル送信要求は発行されない(ステップ17-7)。

#### 【0269】

ステップ17-1または17-3において、キュー $C B Q_0$ のスナップショットレジスタが空であると判定された場合、ステップ17-8でキュー $C B Q_0$ の代わりに次のバッファがアンロードされ、キュー $C B Q_0$ に対応するスナップショットレジスタのビットはクリアされる。同様に、ステップ17-4または17-6において、キュー $C B Q_1$ のスナップショットレジスタが空であると判定された場合、ステップ17-9でキュー $C B Q_1$ の代わりに次のバッファがアンロードされ、キュー $C B Q_1$ に対応するスナップショットレジスタのビットはクリアされる。そして、ステップ17-8または17-9のいずれかに続いて、スキャンインエーブルカウンタがゼロかどうかのチェックがステップ17-10で行われる。スキャンインエーブルカウンタがゼロの場合、サービスセル送信要求は発行されない(ステップ17-7)。そうでなければ、ステップ17-11に示されるように、サービスセル送信要求が発行される。

#### 【0270】

##### 11.0 完全性チェック

完全性チェックは本質的にセル同期を維持し、欠陥のあるセルが更なる処理を受けたり、転送されることを防ぐ。スイッチポートボード(SPB)24からの全ての受信セルについて、FBP及びSBPフィールド[図4A及び図4B参照]を用いて第1バイト及び第2バイトのパリティチェックが行われる。制御セルについてはさらに最終ワードパリティ(LWP)もチェックされる[図4B参照]。

#### 【0271】

スイッチコア22にバッファされようとするサービスセルについては、そのセルがバッファに格納される前に、PRIフィールドの値を変更するという観点から第1バイトの操作が行われる。この変更はセルがクロスポイントユニット(XPU)32へ送信される前に

10

20

30

40

50

行われる [ P R I スワップユニット 55 - 4 に関する説明及び図 5 C を参照 ]。この操作の結果、クロスポイントユニット ( X P U ) 32 のうちの適切な 1 つに格納される前に、新しい F P B が決定され、サービスセルに付加される。クロスポイントユニット ( X P U ) 32 のバッファからセルがアンロードされる際にこれらのパリティ ( F B P 及び S B P ) がチェックされる。

#### 【 0272 】

第 2 バイトは T T I 変換によって変化するため、全てのセルの送信に関連して、第 2 バイトのパリティビット ( S B P フィールド ) が計算及び付加される。

#### 【 0273 】

図 18 はサービスセルのパリティチェックを図で表したものである。スイッチポートポート ( S P B ) 24 からサービスセルを受信すると、S - 1 で示されるように F B P 及び S B P フィールドを用いたパリティチェックが上述の通り行われる。サービスセルにエラーが検出された場合、セル廃棄処理 ( C D P ) が起動される ( S - 2 )。ステップ S - 3 はセル解析ユニット ( C A U ) 55 [ 図 5 C 参照 ] が行う P R I の交換及び、新しい F B P の計算を示している。ステップ S - 4 はメモリアレイユニット ( M A U ) 30 のクロスポイントユニット ( X P U ) 32 のうち適切な 1 つへのサービスセルの格納を表す。クロスポイントユニット ( X P U ) 32 からセルがアンロードされると、F B P 及び S B P ビットを用いたチェックが実行される ( ステップ S - 5 )。エラーが検出された場合、S - 6 に示すようにセル廃棄処理が起動される。ステップ S - 7 は T T I 変換及び新しい S B P の計算を示しており、続いて行列ユニット ( R C U ) 40 から宛先のスイッチポートポート ( S P B ) 24 へセルが送信される ( ステップ S - 8 )。

#### 【 0274 】

制御セルについては最終ワードパリティ ( L W P ) がさらに付加される。

#### 【 0275 】

表 8、表 9 及び表 10 は起こりうる誤りの検出チェックと、動作スイッチコア 22 の受信及び送信側で行うことのできる処置を示している ( C D P : セル廃棄処理、 A I P : 中断挿入処理、 L S P : リンク同期処理 )。特に、表 8 は制御セルについての誤りと対処を、表 9 及び表 10 はサービスセルについての誤りと対処を示す。表 9 はまた、連鎖的なストリームにおける第 1 セルについて、表 10 は連鎖的なストリームにおける後続セル及び最終セルにもそれぞれ適応される。

#### 【 0276 】

##### 11.1 L S P : リンク同期処理

L S P は誤りがセル同期の欠落を示したさいに行わねばならない処理を規定する。 L S P は以下の動作である： ( 1 ) 繼続中のセルを他の処理から排除する。

( 2 ) 同期状態の装置を強制的に同期前状態にする。

#### 【 0277 】

##### 11.2 C D P : セル廃棄処理

C D P はサービスセル及び制御セルの両方の取り扱いを含む。受信側において、 C D P はサービスセルまたは制御セルである受信セルが他の処理から排除されることを規定する。送信側では、 C D P はクロスポイントバッファからアンロードされたサービスセルが廃棄されること及び、代わりに L S C セルが挿入されることを規定する。クロスポイントバッファは “ 空き ” 状態に設定される。

#### 【 0278 】

連鎖的なセルについては、受信側では、 C D P がバッファサイズを超えたことによって起動された場合、残りの全ての連鎖的なセルストリームを廃棄する。 C D P が変更された P R I / T T I / C B Q や連鎖的なセルストリーム中にサービスセルが無いといった、他の誤りによって起動された場合には、誤りのあるセルが廃棄される。ストリーム中の残りの連鎖的なセルは新しい連鎖的なセルストリームとして見なされる ( すなわち、バッファが利用可能か否かによって、バッファにロードされるか廃棄される )。

#### 【 0279 】

10

20

30

40

50

送信側においては、連鎖するセルに対して CDP はクロスポイントバッファからアンロードされたサービスセルが廃棄されること及び、代わりに LSC セルが挿入されることを規定する。バッファ中の引き続く全ての連鎖的なセルは他の処理から排除され、“新たな”セルのロードがまだ開始されていなければ、バッファは“空き”に設定される。

#### 【0280】

##### 11.3 中断挿入処理

中断挿入処理 (AIP) は規定された CBQ においてアドレス指定されたクロスポイントバッファ中に、処理を起動させるサービスセルの最初の 2 バイトに代わって中断信号が挿入されることを規定する。中断信号は 16 ビット長で、16 進数の F E 1 C である。第 1 バイトから始まる。

10

#### 【0281】

##### 11.4 セル完全性レジスタ表示誤り

「CIR<sub>x</sub>」と言う表記は誤りがセル完全性レジスタの設定ビット b<sub>i</sub> t<sub>x</sub> で表される誤りであることを意味する。このビットはレジスタの読み出し後にクリアされる。

#### 【0282】

##### 12. クロック分配

全てのポートはシステムクロック用の 2 つの接続を有している。入力 1 つと出力 1 つである。出力源は他のいずれかのポートから入力される。実際の発生源 (ポート番号) はプログラマブルであり、異なる発生源を異なるポートに設定することが可能である。行列ユニット (RCU) 40 から送出されるセルの送信速度はセルの受信に用いられるのと同一のクロックにより決定される。このクロックはこのポートに接続される外部ユニットによって供給される。

20

#### 【0283】

全ポートに入来するシステムクロックは他の全ての RCU に分配される。RCU 内部には半静的なスイッチ (semi-static switch) がある。このスイッチは RCU 内のシステムクロックレジスタによって制御される。このスイッチの出力はポートのシステムクロック出力に接続される。図 19 を参照のこと。全てのポートのシステムクロック出力は全てのポートのシステムクロック入力からトランスペアレントである。

#### 【0284】

30

本発明は以下に示す、同時出願された米国特許出願に開示される ATM システムとともに用いることができる。また、これら米国特許出願は本明細書中に参照として組み入れられる。

#### 【0285】

米国特許出願番号第 08 / (代理人整理番号 2380-24)、名称「異なる AAL プロトコルを取り扱う非同期転送モードシステム (ASYNCHRONOUS TRANSFER MODE SYSTEM HANDLING DIFFERENT AAL PROTOCOLS)」

米国特許出願番号第 08 / (代理人整理番号 2380-25)、名称「ATM ノード用の集約化キューイング (CENTRALIZED QUEUING FOR ATM NODE)」

米国特許出願番号第 08 / (代理人整理番号 2380-26)、名称「ATM ノード用のセル処理ユニット (CELL HANDLING UNIT FOR ATM NODE)」

40

米国特許出願番号第 08 / (代理人整理番号 2380-27)、名称「タイムスタンプを付された ATM キューイング (ATM TIMESTAMPED QUEUING)」

米国特許出願番号第 08 / (代理人整理番号 2380-28)、名称「ATM キューからの調整されたセル放出 (COORDINATED CELL DISCHARGE FROM ATM QUEUE)」

米国特許出願番号第 08 / (代理人整理番号 2380-30)、名称「ATM ノード用の結合されたヘッダパラメータテーブル (COMBINED HEADER PARAMETER TABLE FOR ATM NODE)」

米国特許出願番号第 08 / (代理人整理番号 2380-46)、名称「電気通信方法、配置及び装置 (METHOD, ARRANGEMENT, AND APPARATUS FOR TELECOMMUNICATION)」

50

本発明は現在考え得る最も現実的かつ好ましい実施形態に関連して説明されたが、本発明は開示された実施形態に限定されるべきではなく、反対に、添付された請求範囲の精神及び範囲に含まれる種々の変更や等価構成をカバーすることを意図したものであることを理解すべきである。例えば、本発明はスイッチコア 22 中のクロスポイントユニット (XPU) 32 の数や、スイッチコア 22 中のマトリックスの数によって限定されない。さらに、本発明の多くの様相がハードウェア要素によって実装されているように説明されているが、このような様相は代わりにソフトウェアプログラム技術によって達成することも可能である。

【 0 2 8 6 】

【表 1】

10

表1-トライフィックタイプ表示、受信サークルの符号化

受信TTI	キャスト形式	連鎖
0	プロードキャスト	NO
1		YES
2		NO
3	マルチキャスト	YES
4		NO
5	ユニキャスト	YES
6		NO
7		NO

10

20

30

40

【0287】

【表2】

表2-トライックタイプ表示、送信サービスセルの符号化  
TTI変換

受信TTI	(実際のCBQQについて) この列の全てのバッファが空きか?	送信TTI
0	NO	0
0	YES	1
1 or 2	関係なし	2
3 or 4	YES	3
3 or 4	NO	4
5 or 6	YES	5
5 or 6	NP	6
7	関係なし	7

10

20

30

40

【0288】  
【表3】

表3-セルサイズ（総バイト数）

SCS	セルサイズ
0	8
1	16
2	24
3	32
4	40
5	48
6	56
7	Reserved

10

20

【0 2 8 9】

【表4】

表4-コード化LCCセル

名称	使用法	
NU, 1 bit	使用されないビット。 ゼロに等しい。	
ADR, 5 bits	ASCCから読み出し及び/又はASCCへ書き込みされようとしているデータのアドレス。 完全なアドレスマップは表10を参照。	
Write 1 bit	コアへ： 1に設定するとアドレス指定されたレジスタがデータをロードされるべきこと、もしくはコマンドが実行されるべきであることを示す。  コアから： 常にゼロに設定	10
Read 1 bit	コアへ： 1に設定するとアドレスが有効で、データを有する応答LCCセルが必要であることを示す。  コアから： 常にゼロに設定	20
Data, 8 bits	コアから読み出された及び/又はコアへ書き込む8ビットデータ	
使用せず, 3bits	使用されないビット。 ゼロに等しい。	
CBQ, 2 bits セルバッファキューム	CBQはどのクロスポイントキューデータが関連するかを示す。 有効値は0及び1である。 それ以外の値を有するセルは廃棄される。	
RPC, 2 bits レジスタ部分コード	RPCはどのバイトが目標なのかを指示示す。 以下のコードを適用： 0 ビット0~7 (最下位バイト) 1 ビット8~15 (最上位バイト) 2 無効値 3 無効値	30

表5-ビットマップ形式LCCセルにアクセスされるレジスタ

レジスタ	PR1- 値	CBQ	Bits Used	コメント
マルチキャスト	30	X	16	ビットマップ形式LCCセル用ビットマップをASCCへ送信することで書き込まれる。
スキャンブロック	28	0	16	コード化LCCセルを送信することによって、
スキャンブロック	28	1	16	テスト目的で読み返す。
ポーリング状態 のステータス	25	0	16	ポーリング状態ステータスLCCセル。 ASCCから出力されるビットマップ形式 LCCセル。
ポーリング状態 のステータス	25	1	16	受信した「ポーリング状態取り出しコマンド」 の応答としてASCCが送信。
ポーリング状態 の解放	26	0	16	ポーリング状態解放LCCセル。 ASCCから出力されるビットマップ形式 LCCセル。
ポーリング状態 の解放	26	1	16	占有状態から空きに変化したバッファ状態を 送信。

表6-RCUのレジスタ

レジスタ/コマンド	アドレス			コメント			書き込み	読み出し
	CBO	ADR	RPC	使用ビット数				
ポーリング・イネーブル	x	4	0	2	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
LCC/シリティモード	x	5	0	1	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
セル完全性	x	6	0	3	コード化形式LCCセルによって読み出し	No	Yes	
スキヤンイネーブル	x	7	0	8	コード化形式LCCセルによって書き込み	Yes	No	
システムロック	x	10	0	4	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
有効PRJ	x	11	0	4	コード化形式LCCセルによって読み出し	No	Yes	
アーティクルNr. & rev.	x	12	0	8	コード化形式LCCセルによって読み出し	No	Yes	
ポーリングレート、下位バイト	x	14	0	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
ポーリングレート、上位バイト	x	14	1	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
スキヤンレート、下位バイト	x	15	0	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
スキヤンレート、上位バイト	x	15	1	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes	
クリアコマンド、マトリックス0	0	24	x	5	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	Yes	
クリアコマンド、マトリックス1	1	24	x	4	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No	
ポーリング・状態読み出しコマンド0	0	25	x	0	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No	
ポーリング・状態読み出しコマンド1	1	25	x	0	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No	
スキヤンロック、下位バイト、マトリックス0	0	28	0	8	コード化形式LCCセルによつて読み出し。	No	Yes	
スキヤンロック、上位バイト、マトリックス0	0	28	1	8	コード化形式LCCセルによつて読み出し。	No	Yes	
スキヤンロック、下位バイト、マトリックス1	1	28	0	8	ビットマップ形式LCCセルによつて書き込み。	No	Yes	
スキヤンロック、上位バイト、マトリックス1	1	28	1	8	ビットマップ形式LCCセルによつて書き込み。	No	Yes	
スキヤンロック、下位バイト、マトリックス1	1	28	0	8	コード化形式LCCセルによつて読み出し。	No	Yes	
スキヤンロック、上位バイト、マトリックス1	1	28	1	8	ビットマップ形式LCCセルによつて読み出し。	No	Yes	
マルチキャスト、下位バイト	x	30	0	8	コード化形式LCCセルによつて読み出し。	No	Yes	
マルチキャスト、上位バイト	x	30	1	8	コード化形式LCCセルによつて書き込み。	No	Yes	

表7-制御セルの相互動作

PRI	ADR	受信LCCセル			応答LCCセル			コメント
		Write	Read	PRI	ADR	Write	Read	
28, 30	na	na	na	応答セルなし				レジスタへ書き込み(リセット及びスキンプ)。ビットマップLCCセル。
31	4,5,6,10,14,15,24	1	0	応答セルなし				レジスタへ書き込み。コード化LCCセル。
31	4,5,6,10,11,12,14,15	0	1	31	4,5,6,10,11,12,14,15 5	0	0	レジスタから読み出し。 コード化LCCセル。 注: 応答セル中のADRは受信LCCセルのADRと同一。
31	4,5,10,14,15	1	1	31	4,5,10,14,15	0	0	レジスタの書き込み。 コード化LCCセル。 注: 応答セル中のADRは受信LCCセルのADRと同一。
31	28,30	0	1	31	28,30	0	0	レジスタへ書き込み(リセット及びスキンプ)。 コード化LCCセル。 注: 応答セル中のADRは受信LCCセルのADRと同一。
31	25	1	0	25	na	na	na	「ポーリング状態読み出しエンド」へ書き込み。コアへ送信されたコード化LCCセルによってコアからビットマップLCCセルが応答される。ビットマップLCCセルは実際のポーリング状態のステータスを含む。
	要求セルなし			26	na	na	na	ポーリング状態解放: コア中のバッファが占有状態から空きに状態変化すると、その結果がビットマップLCCセルに反映される。 このセルは最後の「ポーリング状態解放」以来解放された全てのバッファ情報を運ぶ。

表8-コントロールセルのチェックと対処

誤り検出チェックスローガン	対処 受信エンティティ	対処 送信エンティティ
FBP, SBP又はLWP誤り	LSP,CIR <sub>0</sub>	
サポートされないPRI (ピットマップLCCセル)	CDP,CIR <sub>1</sub>	
サポートされないCBQ (ピットマップ及びコード化LCCセル)	CDP	
サポートされないADR (コード化LCCセル)	CDP	
サポートされないPRC (コード化LCCセル)	CDP	

10

20

30

40

【0294】  
【表9】

表9-サービスセル（及び連鎖状ストリームの第1セル）のチェック及び対処

誤り検出チェックスローガン	対処 受信エンティティ	対処 送信エンティティ
FBP又はSBP誤り	LSP, CIR <sub>0</sub>	CDP, CIR <sub>3</sub>
サポートされないPRI	CDP, CIR <sub>1</sub>	None
サポートされないCBQ	CDP	None
サポートされないSCS	LSP, CIR <sub>1</sub>	CDP, CIR <sub>1</sub>
クロスポイントバッファ中のセルへの上書き試行。 シングルキャスト及びマルチキャスト。 <sup>注1</sup>	CDP, CIR <sub>1</sub>	
クロスポイントバッファ中のセルへの上書き試行。 ブロードキャスト。 <sup>注1</sup>	None	
累積最大セルサイズ超過 (交差点バッファが後続のセルを保持できない場合、 連鎖状ストリームにおける第1セルも含む)	AIP + CDP, CIR <sub>1</sub>	CDP, CIR <sub>1</sub>
XPU中バッファからの中斷信号アンロード		CDP

表10-連鎖状セルストリームの後続セル及び最終セルのチェック及び対処

誤り検出チェック (第1セルの処理後に引き続く、マークされた連鎖状セルにおいて発見された誤り。第1セルについては上表を参照)。 スローガン:	受信エンティティ 対処	対処 送信エンティティ
FBP, SBP誤り	LSP, AIP, CIR <sub>0</sub>	CDP, CIR <sub>3</sub>
代わりにLCCセル又はLSCセルが続く場合		対処せず。 上述の表に従って、 連鎖状ストリームの 第1セルのみに対処する。
先行セルに関してPRIが変化している場合		
先行セルに関してTTI値が変化している場合	注1 AIP + CDP, CIR <sub>1</sub>	
先行セルに関してCBQ値が変化している場合		
サポートされないSCS	LSP, CIR <sub>1</sub>	CDP, CIR <sub>1</sub>
累積最大セルサイズを超過した場合	APP+CDP, CIR <sub>1</sub>	CDP, CIR <sub>1</sub>
XPU中バッファから中断信号をアンロードした場合		CDP

10

20

30

40

## 【図面の簡単な説明】

本発明の、前述した目的、特徴及び利点は、添付図面によって図示されているように、好適な実施形態についての前述したより特有の説明から明らかになる。その添付図面では参照記号が異なる観点で同じ構成要素を参照している。その図面は長さを調整する必要はなく、むしろ強調する点は、本発明の原理を図示している点にある。

【図1】 本発明の実施形態に従うATMスイッチングシステムを図形的に示したものである。

50

【図2】 図1のATMスイッチングシステムのスイッチコアに含まれるクロスポイントユニット(XPU)の一部を図形的に示したものである。

【図3】 図1のATMスイッチングシステムのスイッチコアとスイッチポートボード(SPB)との間のセルの流れを図示したものである。

【図4A】 図1のATMスイッチングシステムで用いられるサービスセルのフォーマットを図示したものである。

【図4B】 図1のATMスイッチングシステムで用いられる制御セルの一般的なフォーマットを図示したものである。

【図4B-1】 ビットマップフォーマットされたリンク接続制御(LCC)セルのフォーマットを図示したものである。

10

【図4B-2】 コード化されたリンク接続制御(LCC)セルのフォーマットを図示したものである。

【図4B-3】 リンク状態制御(LSC)セルのフォーマットを図示したものである。

【図5】 図1のATMスイッチングシステムに含まれる行列ユニット(RCU)を図形的に示したものである。

【図5A】 図1のATMスイッチングシステムに含まれるラインインタフェースユニット(LIU)を図形的に示したものである。

【図5B】 図1のATMスイッチングシステムに含まれるセル同期ユニット(CSU)を図形的に示したものである。

【図5C】 図1のATMスイッチングシステムに含まれるセル解析ユニット(CAU)を図形的に示したものである。

20

【図5D】 図1のATMスイッチングシステムに含まれるセル書き込みユニット(CWU)を図形的に示したものである。

【図5E】 図1のATMスイッチングシステムに含まれる運用管理ユニット(OMU)を図形的に示したものである。

【図5F】 図1のATMスイッチングシステムに含まれるセル読み出しユニット(CRU)を図形的に示したものである。

【図5G】 図1のATMスイッチングシステムに含まれるセル生成ユニット(CGU)を図形的に示したものである。

【図5H-1】 図1のATMスイッチングシステムのクロスポイント状態ユニットの異なる組み込みを図形的に示したものである。

30

【図5H-2】 図1のATMスイッチングシステムのクロスポイント状態ユニットの異なる組み込みを図形的に示したものである。

【図5I】 図1のATMスイッチングシステムに含まれるシステムクロックユニット(SCU)を図形的に示したものである。

【図6】 図1の行列ユニット(RCU's)の要素にCSBの一部を接続する様子を図式的に示したものである。

【図6A】 サービスセルが図1のATMスイッチングシステムのコアを通って運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図6B】 サービスセルが図1のATMスイッチングシステムのコアを通って運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

40

【図6C】 サービスセルが図1のATMスイッチングシステムのコアを通って運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図6D】 サービスセルが図1のATMスイッチングシステムのコアを通って運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図6E】 サービスセルが図1のATMスイッチングシステムのコアを通って運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図7】 図1のATMスイッチングシステムに関する初期化手順に含まれる基本的なステップを示すフローチャートである。

【図8】 図1のATMスイッチングシステムのセル同期ユニット(CSU)に含まれる

50

状態マシンを図形的に示したものである。

【図9】 図8の状態マシンの動作を図示した時間遷移を示す図である。

【図10A】 図1のATMスイッチングシステムにおけるセル伝送を図式的に示したものである。

【図10B】 図1のATMスイッチングシステムにおけるセル伝送を図式的に示したものである。

【図11】 ポーリング率レジスタとクロスポイントユニットにおけるビット間の関連を図式的に示したものである。

【図12】 ポーリング率レジスタの設定のシナリオを図式的に示したものである。

【図13】スキャン率レジスタとクロスポイントユニットにおけるビット間の関連を図式的に示したものである。

【図14】スキャン率レジスタの設定のシナリオを図式的に示したものである。

【図15】 “占有”から“空き”の状態へ変化するキューを示す指示の送信タイミングについてのポーリングオプションを図式的に示したものである。

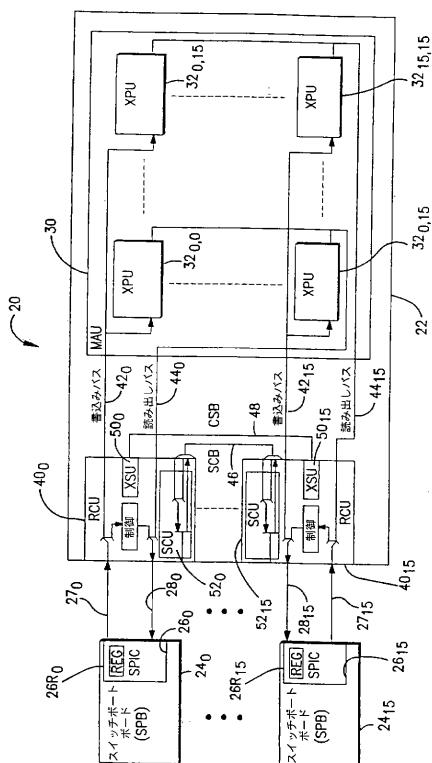
【図16】 “空き”から“セル利用可能”の状態へ変化するキューを示す指示の送信タイミングについてのスキヤンオプションを図式的に示したものである。

【図1.7】スキャンプロセスにおける基礎的なステップを示すフローチャートである

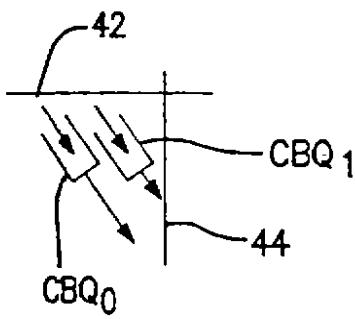
【図1.8】 甘ニビスセルについての誤り手エッタ動作を図式的に示したものである

【図19】 図1のATMスイッチングシステムにおけるシステムクロック分布を図式的に示した図である。

〔 図 1 〕



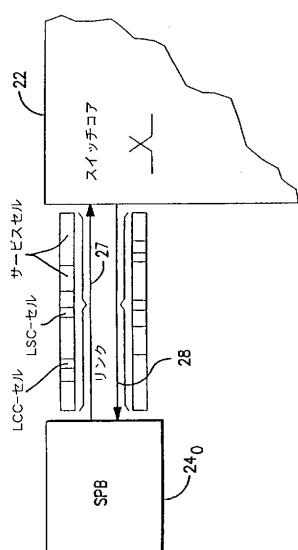
( 2 )



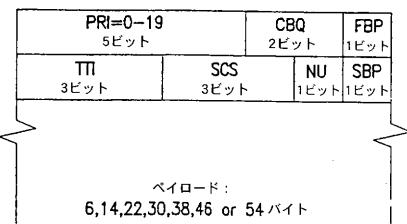
10

20

【図3】



【図4 A】



【図4 B】

ビット7		ビット0
バイト0	PRI=25,26,28,30 5ビット	CBQ 2ビット
バイト1	NU RE RE RE RE RE BCD 15	FBP 1ビット SBP 1ビット
バイト2	BCD 14	
バイト3	BCD 6	BCD 0 LWP 1ビット

【図4 B - 1】

ビット7		ビット0
バイト0	PRI=25,26,28,30 5ビット	CBQ 2ビット
バイト1	NU NU RE RE RE RE RE BCD 15	FBP 1ビット SBP 1ビット
バイト2	BCD 14	
バイト3	BCD 6	BCD 0 LWP 1ビット

RE=リザーブビット  
NU=未使用ビット

LCCセル・ビットマップ・フォーマット

ビット7		ビット0
バイト0	1 1 1 1 1 1 1 0	
バイト1	0 0 0 1 1 1	SSC
バイト2	0 0 0 0 0 0	0 0 0
バイト3	0 1 1 1 1 1 1 1	

LSC-セル・フォーマット

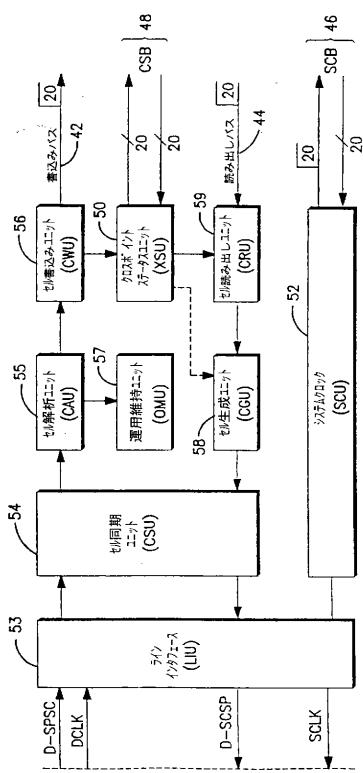
【図4 B - 2】

ビット7		ビット0
バイト0	PRI=31 5ビット	NU LSI=0 1ビット 1ビット
バイト1	アドレス 5ビット	書き込み 読み出し 1ビット 1ビット
バイト2	データ 8ビット	SBP
バイト3	未使用=0 3ビット	CBQ 2ビット
		RPC 2ビット
		LWP

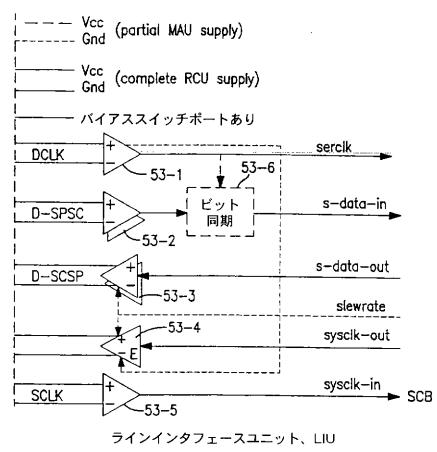
LCC-セル・コード化・フォーマット動作フィールド

【図4 B - 3】

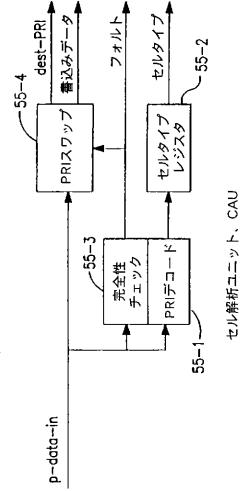
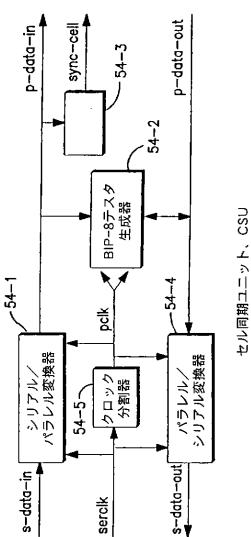
【図5】



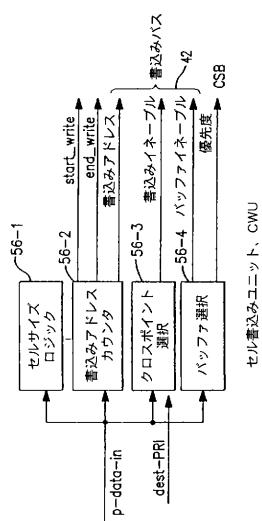
【図5 A】



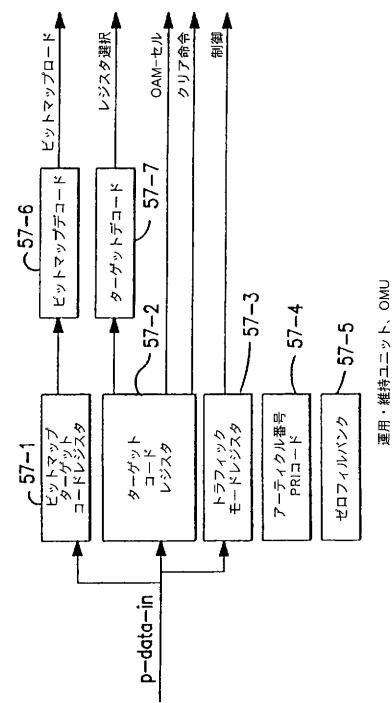
【図5 C】



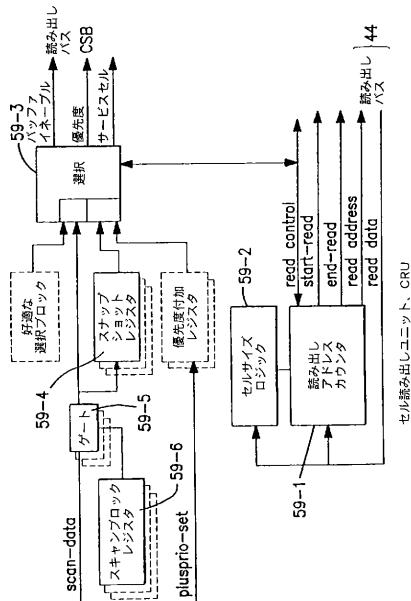
【図 5 D】



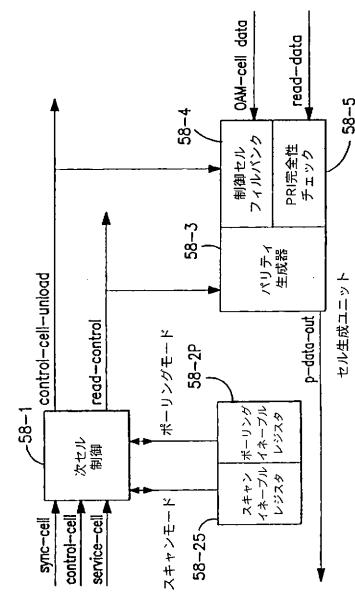
【図 5 E】



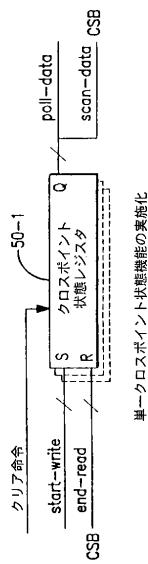
【図 5 F】



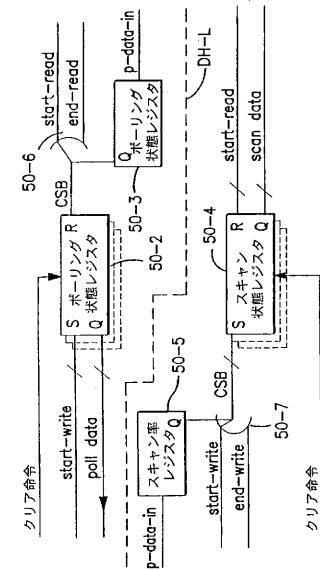
【図 5 G】



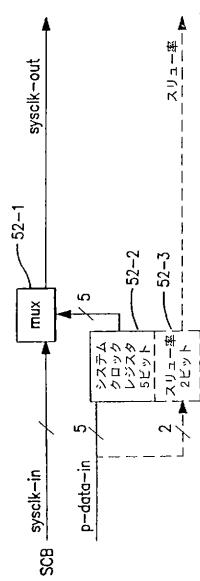
【図 5 H - 1】



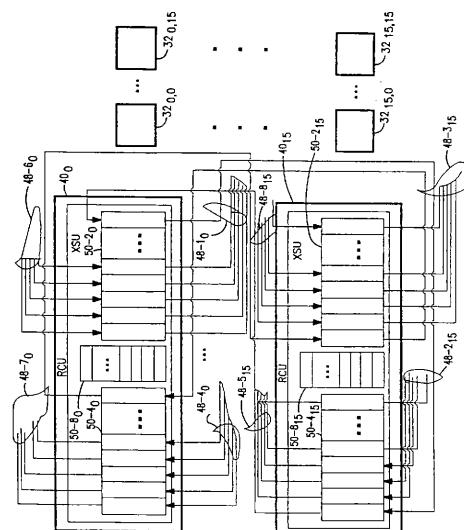
## 【図5H-2】



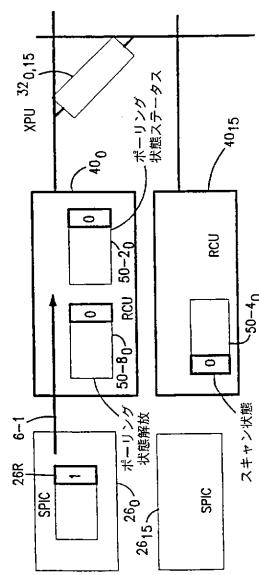
### 【図5-I】



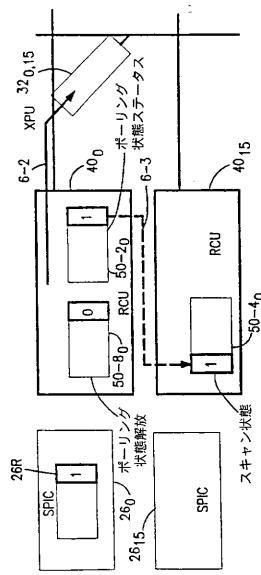
【 四 6 】



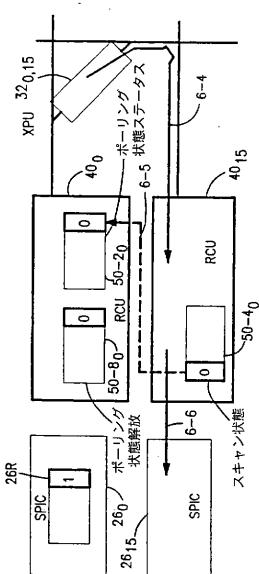
【図 6 A】



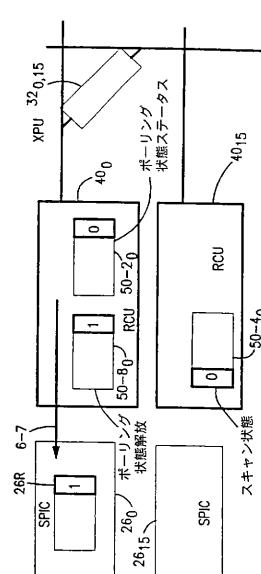
【図6B】



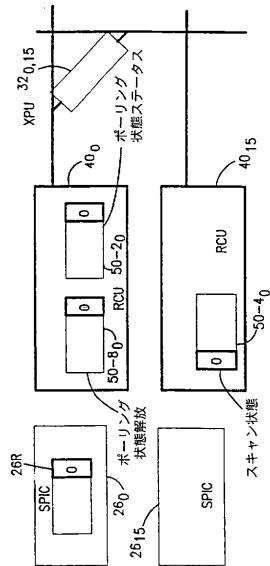
【図 6 C】



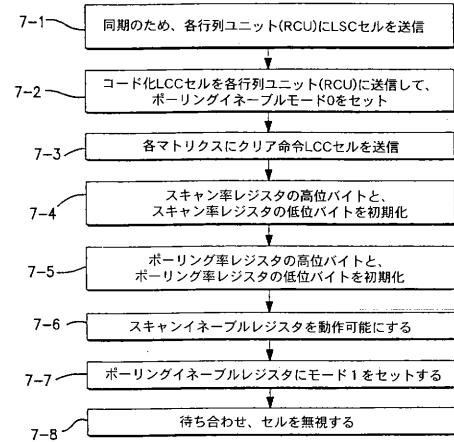
## 【図6D】



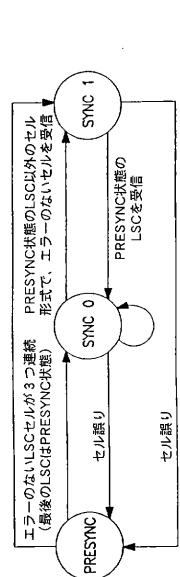
【図6E】



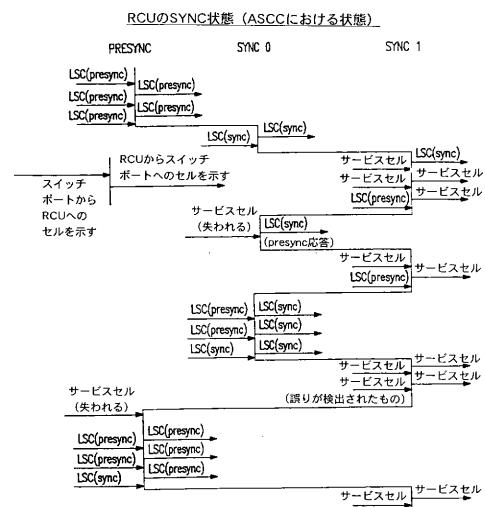
【図7】



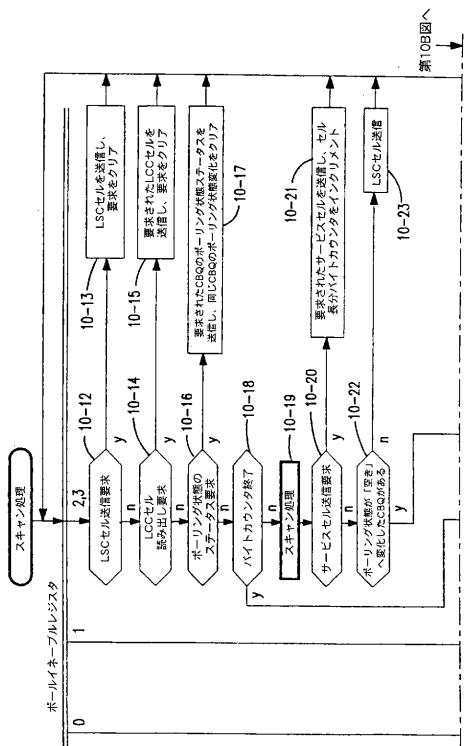
【図8】



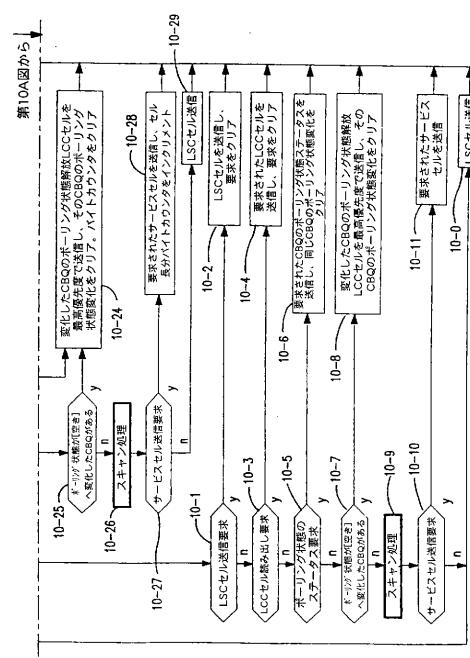
【図9】



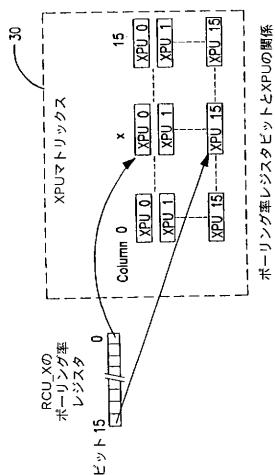
【図 10 A】



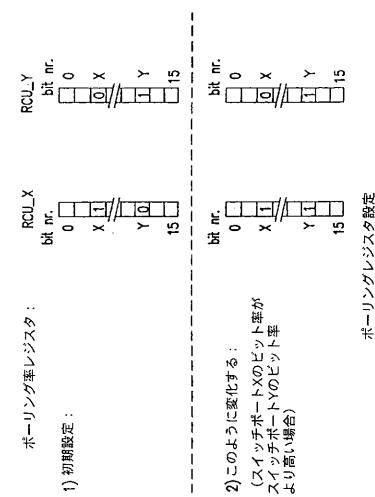
【図 10 B】



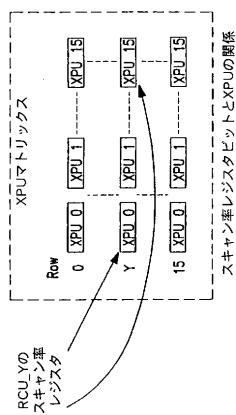
【図 11】



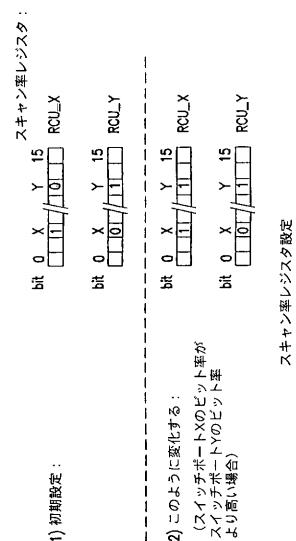
【図 12】



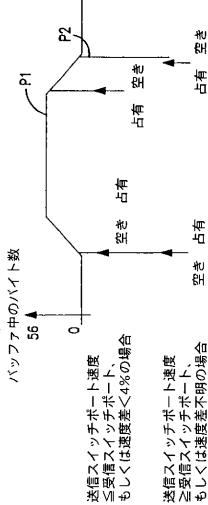
【図 1 3】



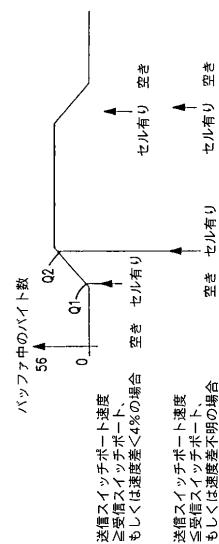
【図 1 4】



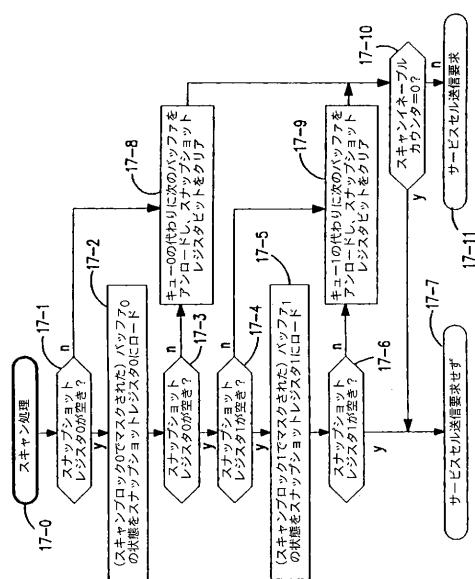
【図 1 5】



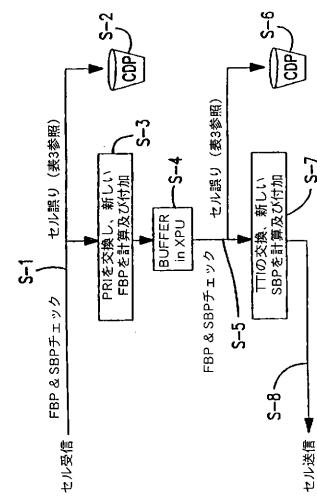
【図 1 6】



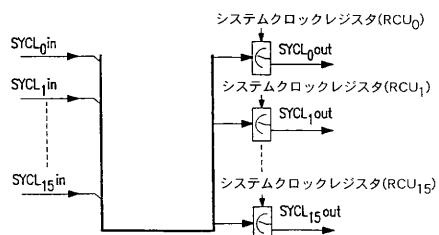
【図17】



【図18】



【図19】



---

フロントページの続き

(31)優先権主張番号 09/188,101

(32)優先日 平成10年11月9日(1998.11.9)

(33)優先権主張国 米国(US)

(74)代理人 100101306

弁理士 丸山 幸雄

(72)発明者 ペテルセン, ラルス - イェラン

スウェーデン国 トウンバ エス - 147 42, ヘクブルスヴェーゲン 5

審査官 小曳 満昭

(56)参考文献 特表平09-512404 (JP, A)

特開平03-038137 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 12/00-12/26, 12/50-12/66