

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4105387号
(P4105387)

(45) 発行日 平成20年6月25日 (2008. 6. 25)

(24) 登録日 平成20年4月4日 (2008. 4. 4)

(51) Int. Cl.

H04L 12/56 (2006.01)

F I

H04L 12/56

F

請求項の数 17 (全 71 頁)

(21) 出願番号	特願2000-526098 (P2000-526098)	(73) 特許権者	598036300
(86) (22) 出願日	平成10年12月15日 (1998. 12. 15)		テレフオンアクチーボラゲット エル エム エリクソン (パブル)
(65) 公表番号	特表2001-527369 (P2001-527369A)		スウェーデン国 ストックホルム エスー
(43) 公表日	平成13年12月25日 (2001. 12. 25)		1 6 4 8 3
(86) 国際出願番号	PCT/SE1998/002325	(74) 代理人	100076428
(87) 国際公開番号	W01999/033320		弁理士 大塚 康德
(87) 国際公開日	平成11年7月1日 (1999. 7. 1)	(74) 代理人	100112508
審査請求日	平成17年12月15日 (2005. 12. 15)		弁理士 高柳 司郎
(31) 優先権主張番号	60/071, 010	(74) 代理人	100115071
(32) 優先日	平成9年12月19日 (1997. 12. 19)		弁理士 大塚 康弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100116894
(31) 優先権主張番号	60/086, 619		弁理士 木村 秀二
(32) 優先日	平成10年5月22日 (1998. 5. 22)	(74) 代理人	100130409
(33) 優先権主張国	米国 (US)		弁理士 下山 治

最終頁に続く

(54) 【発明の名称】 非同期転送モードスイッチ

(57) 【特許請求の範囲】

【請求項 1】

非同期転送モード (A T M) スイッチであって、
 スイッチコアと、
 双方向リンクによって前記スイッチコアに接続されているスイッチポートと、
 前記スイッチコアにおいてセルの位置合わせを行なう、前記スイッチコアに備えられた同期状態マシンと、
 前記スイッチポートにおいてセルの位置合わせを行なう、前記スイッチポートに備えられた同期状態マシンとを有し、
 前記双方向リンクによって搬送される制御セルは、前記複数の同期状態マシンの内の 1 つの複数の同期状態の 1 つを示すことを特徴とする非同期転送モードスイッチ。

【請求項 2】

前記制御セルは、前記複数の同期状態の 1 つを示すために専用となっていることを特徴とする請求項 1 に記載の非同期転送モードスイッチ。

【請求項 3】

双方向リンクによってスイッチコアに接続されているスイッチポートを有した A T M スイッチを動作させる方法であって、
 前記スイッチコアにおいてセルの位置合わせを行なうために、前記スイッチコアで同期状態マシンを動作させ、

前記スイッチポートにおいてセルの位置合わせを行なうために、前記スイッチポートで

10

20

同期状態マシンを動作させ、

前記双方向リンクによって前記複数の同期状態マシンの内の1つの複数の同期状態の1つを示す制御セルを送信することを特徴とする方法。

【請求項4】

前記制御セルを、前記複数の同期状態の1つを示すために専用させることを特徴とする請求項3に記載の方法。

【請求項5】

前記双方向リンクによって搬送されるセルとしてさらにサービスセルを含み、
前記サービスセルと前記制御セルとは共通にフォーマットされたフィールドを有し、
予め確立された値の第1のセットのいずれかが前記共通にフォーマットされたフィールドに格納されるときには、セルはサービスセルであるとして示され、

予め確立された値の第2のセットのいずれかが前記共通にフォーマットされたフィールドに格納されるときには、セルは制御セルであるとして示されることを特徴とする請求項1に記載の非同期転送モードスイッチ。

【請求項6】

前記制御セルの少なくともいくつかは、(1)前記スイッチコアの制御レジスタへの格納のために前記スイッチポートから前記スイッチコアに送信されたものであるか、或いは、(2)前記スイッチポートへの伝送のために前記スイッチコアの制御レジスタから得られたものであるかのいずれかであるノン・サービス情報を含んでいることを特徴とする請求項1に記載の非同期転送モードスイッチ。

【請求項7】

前記制御セルの少なくともいくつかは前記スイッチコアの制御レジスタに格納される前記スイッチコアの制御レジスタのアドレスとノン・サービスデータの両方を含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項8】

前記制御セルの少なくともいくつかは、前記制御セルに含まれるノン・サービスデータが、前記スイッチコアの制御レジスタに書き込まれるものであるのか、或いは、前記スイッチコアの制御レジスタから読み出されたものであるのかを示す指示を含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項9】

前記スイッチコアは複数の制御レジスタを有し、
前記制御セルは、前記スイッチコアの複数の制御レジスタの内のアドレスされた1つに対応する値をもつアドレスフィールドを含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項10】

前記スイッチコアは複数のクロスポイントユニットを有し、
前記スイッチコアの制御レジスタは前記スイッチコアの所定のクロスポイントユニットに対応したビット位置をもっていることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項11】

前記スイッチコアは2つのマトリクスをもつクロスポイントユニットを有し、
前記スイッチコアは第1のマトリクスのクロスポイントユニットについての情報を含む第1の制御レジスタと第2のマトリクスのクロスポイントユニットについての情報を含む第2の制御レジスタとをもち、

前記制御セルは、前記ノン・サービス情報が前記第1の制御レジスタに属するものであるのか、或いは、第2の制御レジスタに属するものであるのかを示す指示を含んでいることを特徴とする請求項6に記載の非同期転送モードスイッチ。

【請求項12】

前記制御セルは、(1)前記スイッチコアの制御レジスタへの格納のために前記スイッチポートから前記スイッチコアに送信されたものであるか、或いは、(2)前記スイッチ

10

20

30

40

50

ポートへの伝送のために前記スイッチコアの制御レジスタから得られたものであるかのいずれかであるノン・サービス情報を含んでいることを特徴とする請求項3に記載の方法。

【請求項13】

前記制御セルの少なくともいくつかは、前記スイッチコアの制御レジスタに格納される前記スイッチコアの制御レジスタのアドレスとノン・サービスデータの両方を含んでいることを特徴とする請求項12に記載の方法。

【請求項14】

前記制御セルの少なくともいくつかは、前記制御セルに含まれるノン・サービスデータが、前記スイッチコアの制御レジスタに書き込まれるものであるのか、或いは、前記スイッチコアの制御レジスタから読み出されたものであるのかを示す指示を含んでいることを特徴とする請求項12に記載の方法。

10

【請求項15】

前記スイッチコアは複数の制御レジスタを有し、

前記制御セルは、前記スイッチコアの複数の制御レジスタの内のアドレスされた1つに対応する値をもつアドレスフィールドを含んでいることを特徴とする請求項12に記載の方法。

【請求項16】

前記スイッチコアは2つのマトリクスをもつクロスポイントユニットを有し、

前記スイッチコアは第1のマトリクスのクロスポイントユニットについての情報を含む第1の制御レジスタと第2のマトリクスのクロスポイントユニットについての情報を含む第2の制御レジスタとをもち、

20

前記制御セルは、前記ノン・サービス情報が前記第1の制御レジスタに属するものであるのか、或いは、第2の制御レジスタに属するものであるのかを示す指示を含んでいることを特徴とする請求項12に記載の方法。

【請求項17】

前記スイッチコアは複数のクロスポイントユニットを有し、

前記スイッチコアの制御レジスタは前記スイッチコアの所定のクロスポイントユニットに対応したビット位置をもっていることを特徴とする請求項12に記載の方法。

【発明の詳細な説明】

【0001】

30

背景

1. 発明の属する技術分野

本発明は、例えば、ATMセルが搬送される通信スイッチのようなスイッチに関する。

2. 関連技術と他の考察

ビデオオンデマンド、ビデオ電話、電話会議などのマルチメディア応用分野のようなハイバンドサービスについての増大する関心は広帯域統合サービスデジタルネットワーク(B-ISDN)の発達の動機づけとなってきた。B-ISDNは非同期転送モード(ATM)として知られている技術が基盤となっており、かなり拡張された通信能力を提供している。

【0002】

40

ATMは、非同期の時分割多重化技術をもちいるパケット指向の転送モードである。パケットはセルと呼ばれ、伝統的には固定されたサイズをもっていた。伝統的なATMセルは53オクテットからなり、その内の5オクテットはヘッダを形成し、残りの48オクテットが“ペイロード”或いはセルの情報部分を構成する。ATMセルのヘッダは2つの量を含み、これらはセルが搬送されることになるATMネットワークの接続、特に、VPI(Virtual Path Identifier: 仮想パス識別子)とVCI(Virtual Channel Identifier: 仮想チャネル識別子)とを識別する。一般に、その仮想パスは、ネットワークの2つのスイッチングノード間で定義された主要なパスであり、その仮想チャネルは各主要パスにおける1つの具体的な接続である。

【0003】

50

その終端地点において、ＡＴＭネットワークは端末装置、例えば、ＡＴＭネットワークユーザに接続される。典型的には、ＡＴＭネットワーク終端地点の間には、複数のスイッチングノードがあり、そのスイッチングノードは互いに物理的な伝送バス或いはリンクで接続されたポートを有している。従って、ある出発端末装置から宛て先端末装置へと転送される中で、メッセージを形成するＡＴＭセルはいくつかのスイッチングノードを経ることになるかもしれない。

【０００４】

スイッチングノードは複数のポートを有し、各ポートはリンク回路と他のノードへのリンクを経て接続が可能である。リンク回路はそのリンクにおいて用いられる特定のプロトコルに従ってセルのパケット化を実行する。スイッチングノードに到来するセルは第１のポートでそのスイッチングノードに入り、第２のポートからリンク回路を経て他のノードに接続されたリンク上へと出て行く。各リンクは複数の接続についてのセルを搬送する。その接続は、例えば、発呼した加入者或いは加入者局と着呼する加入者或いは加入者局との間の伝送である。

【０００５】

各スイッチングノードは典型的には、いくつかの機能部分をもっており、その主要部分がスイッチコアである。スイッチコアは本質的にはそのスイッチのポート間のクロス接続のように機能する。そのスイッチコアへの内部的なパスは選択的に制御され、そのスイッチの特定のポートが互いに接続されて最終的にはメッセージをそのスイッチの入力側から出力側へと搬送させるようにし、最終的には出発した端末装置から宛て先の端末装置へと搬送がなされるようにする。

【０００６】

ピータセンに特許された米国特許第5,467,347号は、本質的には全て均一の長さをもつ、種々のタイプのＡＴＭセルが、スイッチコアとそのスイッチのポートとの間で送信されるＡＴＭスイッチを開示している。セルのタイプにはトラフィックセル、運用維持セル、アイドルセルが含まれる。全てのタイプのセルは、本質的には同じ長さをもつが、全てのセルが必ずしも情報で満たされている訳ではなく、従って、伝送効率の点ではいくらかの損失の原因となる。トラフィックセルは一番最初のスイッチポートからそのスイッチマトリクスのクロスポイントにおけるバッファへとフィードされ、その後、そのバッファから宛て先或いは目的とするスイッチポートへとアンロードされる。元々のスイッチポートからスイッチへと送られたトラフィックセルはリレイアドレスフィールドをもっており、そのフィールドでは、各ビットが目的のスイッチポートに対応している。スイッチコアからアンロードされ目的のスイッチポートへと送られたトラフィックセル各々は、どの目的とするスイッチポートが占有され、どれが空いているかを示すリレイポーリングフィールドをもっている。従って、各トラフィックセルはスイッチポートの状態を反映した情報でその動きが妨害される。

【０００７】

従って、必要とされるものは、即ち、本発明の目的は、異なるタイプのＡＴＭセルを思慮深く賢明にフォーマットし用いる効率的なＡＴＭスイッチングシステムである。

【０００８】

要 約

非同期転送モード（ＡＴＭ）スイッチは、スイッチコアに夫々双方向リンクによって接続されている複数のスイッチポートとを有している。そのスイッチコアは、２つのバッファマトリクスのクロスポイントユニットを有するメモリアレイユニットを含んでいる。対応する行列ユニットには各スイッチポートが接続され、各行列ユニットはクロスポイントユニットの１つの列にサービスセルを書き込むことと、クロスポイントユニットの１つの行からサービスセルを読み出すことを管理する。

【０００９】

各スイッチポートとそのスイッチコアの対応する行列ユニットとの間の双方向リンクはサービスセルと制御セルとの両方を搬送する。入力或いは出力源スイッチポートにおいて得

10

20

30

40

50

られるトラフィックセル或いは情報セルとして知られるサービスセルはスイッチコアを通るといふ経路を辿って出力或いは宛て先スイッチポートに至る。制御セルはスイッチされた情報を含まないが、その代わりにスイッチングシステムの管理と運用のために用いられる情報を搬送するのに専用的に用いられる。

【 0 0 1 0 】

本発明の A T M スイッチングシステムによって、異なるサイズのセルをそのスイッチコアとスイッチポートとの間の双方向リンク上で搬送することが可能になる。例えば、サービスセルは、制御セルとは異なるセルサイズをもっており、サービスセルのセルサイズは必ずしも均一である必要はない。

【 0 0 1 1 】

サービスセルは、2つの連続するサービスセルが同じ長さ或いは同じペイロードサイズをもつ必要はないようにセルサイズを異ならせることができる。その双方向の長さで送信されるサービスセルはセルサイズフィールドを含み、そのセルサイズフィールドはそれが含まれる各サービスセルのセルサイズを示す。1つの実施形態では、サービスセルは、次のセルサイズ(バイト)、即ち、8、16、24、32、40、48、及び56のいずれかで良い。

【 0 0 1 2 】

これとは反対に、代表的な実施形態で用いられる制御セル各々は、4バイトの長さである。制御セルの異なるタイプ(例えば、L C C セルと L S C セル)が備えられ、これら制御セルのタイプは異なるフォーマットをもっている。L C C 制御セルはリンク接続制御セルとして知られ、L S C 制御セルはリンク同期制御セルとして知られている。

【 0 0 1 3 】

スイッチコアにおけるスイッチポートとその対応する行列ユニットは両方とも同期状態マシンをもっており、そのマシンは L S C 制御セルを交換する。L S C 制御セルは2つの状態マシンの動作を同期させる情報を含んでいる。特許クロスポイントに、L S C 制御セルは、L S C 制御セルを生成したマシンの複数の同期状態の1つを示すフィールドを含むフォーマットを有している。予め確立されたプロトコルにおいて、短い同期専用の L S C 制御セルを採用することにより、スイッチポートとスイッチコアとの同期が経済的にかつ迅速に成し遂げられ、維持される。

【 0 0 1 4 】

各行列ユニットはクロスポイント状態ユニットの一部として、制御レジスタのセットを有している。その制御レジスタのセットはクロスポイントユニットのバッファとは明瞭に分けられ、そのユニットを通してサービスセルがスイッチングされる。各スイッチポートは少なくとも部分的に、ノン - サービス情報、例えば、制御情報を制御レジスタのセットに書き込んだり、或いは、その制御レジスタのセットから読み出したりすることにより、そのスイッチコアの関連する行列ユニットを制御する。

【 0 0 1 5 】

制御レジスタのいくつかは“ビットマップされた”レジスタとして知られている。なぜなら、そのような制御レジスタの各ビットはスイッチコアに接続された複数のスイッチポートの1つに関連づけられているからである。ビットマップされた制御レジスタには、ポーリング状態ステータスレジスタとポーリング状態解放レジスタとがある。与えられた行列ユニットは、コアマトリクスと同じ列におけるクロスポイントバッファが“占有されている”か、或いは、“空きである”かを示すようにセットされたポーリング状態ステータスレジスタのビットをもっている。その行列ユニットのポーリング状態解放レジスタは、そこで管理されている列におけるバッファが“占有されている”から“空きである”状態に遷移したか、或いは、そのバッファが遷移していないことを示すようにセットされたビットをもっている。

【 0 0 1 6 】

種々の制御レジスタが採用され、例えば、スイッチングシステムの種々の動作パラメータを確立する。そのようなパラメータは、例えば、動作のあるシーケンス(例えば、ポーリ

10

20

30

40

50

ング可能、スキャン可能)、あるタイミング情報(例えば、ポーリング状態、スキャン率)、及び、ある無効情報(例えば、スキャンブロック)を含むことができる。

【0017】

リンク接続制御セル(LCC)は2つのフォーマットのセルを含む。それは、ビットマップされたフォーマット(ビットマップされたレジスタに対して)と、“コード化された”フォーマット(ビットマップされていないレジスタと共にいくつかのビットマップされたレジスタに関する入出力動作に用いられる)である。“コード化された”LCCセルは、データが書き込まれる特定の制御レジスタのアドレスと、その特定の制御レジスタに格納され/そこから得られるノン-サービスデータとを含んでいる。

【0018】

セルサイズを異ならせるが、サービスセルと制御セルは、物理的ルート識別子(PRI)として知られる共通にフォーマットされたフィールドをもっている。予め確立された値の第1のセットのいずれかがPRIフィールドに格納されるときには、セルはサービスセルであるとして認識される。この実施形態の例では、PRIフィールドの値が複数のスイッチポートの1つを示す値に対応するとき、セルはサービスセルとして認識される。これに対して、制御セルの少なくともいくつかは認識可能である。なぜなら、PRIフィールドにおける値が制御セル(例えば、制御セルを用いて書き込まれたり或いは読み出される制御レジスタ)によって影響を受ける制御レジスタの同一性或いは番号付けに対応するからである。

【0019】

スイッチの各スイッチポートは、スイッチコアの種々のクロスポイントユニットのステータス、即ち、それら種々のクロスポイントユニットが“占有されている”か或いは“空きである”かのステータスの種々の結合によって、通知を受けなければならない。特に、各スイッチポートに含まれるクロスポイントユニットは、サービスセルに送信するもの(例えば、そのポートと同じ列のもの)と、セルを取り出すクロスポイントユニット(例えば、そのポートによって管理される行のもの)である。結局、対応するポーリング状態制御セルを準備するために用いられるビットマップされたポーリング状態レジスタが採用される。ポーリング状態ステータスレジスタは更新されるビットマップをもち、サービスセルがスイッチポートによって送信されるクロスポイントユニットの占有/空きの遷移を反映する。第1の行列ユニットがセルを特定のクロスポイントユニット(XPU)に送信するとき、その行列ユニットはポーリング状態ステータスレジスタに適当なビットマップをセットするのみならず、ビットが別の行列ユニットのスキャン状態レジスタにセットされるようにし、その別の行列ユニットがその特定のクロスポイントユニット(XPU)からのセルの読出しを扱う。読出しを扱う行列ユニットがセルを読み出すことが許可されたことを検出するや否や、そのスキャン状態レジスタをリセットするとともに、第1の行列ユニットのポーリング状態ステータスレジスタもリセットする。第1の行列ユニットのポーリング状態ステータスレジスタのリセットによって、第1の行列ユニットのポーリング状態解放レジスタのビットの設定が“占有”から“空き”状態への遷移を示すようにする。第1の行列ユニットのポーリング状態解放レジスタにおけるステータスの変化によって、第1の行列ユニットからスイッチポートに対してポーリング状態解放セルの発行を生じさせる。

【0020】

一方、従来技術では、ポーリング状態情報は定期的にスイッチポートに送られるか、或いは、自動的にサービスセルに含まれるがゆえに、本発明は、本質的にポーリング状態情報の伝送を専門的に扱うポーリング状態セルの生成についての特有のシナリオを採用している。即ち、本発明では、ポーリング状態情報はポーリング状態制御セルで送信され、そのポーリング状態制御セルは(1)ポーリング状態情報を喚起する特定の制御セルに応答するか、或いは(2)クロスポイントユニットの有無(例えば、空き/占有ステータス)の変化があるときに生成されるか、或いは、送信される。

【0021】

例えば、発信元のスイッチポートがセルをスイッチコアに送信できるクロスポイントユニットのステータスを知りたいとき、発信元のスイッチポートはポーリング状態ステータスの取りだし制御セルをスイッチコアに送信する。そのポーリング状態ステータスの取りだし制御セルに応答して、適当な接合点で、スイッチコアはポーリング状態ステータス制御セルを準備して要求をした（発信元の）スイッチポートに送信する。クロスポイントユニットからサービスセルがアンロードされると、ポーリング状態解放制御セルが準備されてそのスイッチポートに送信されて、アンロードされたクロスポイントユニットが空きであることを伝える。ポーリング状態ステータス制御セルとポーリング状態解放制御セルとの両方によって供給されるポーリング状態情報を用いて、スイッチポートはスイッチコアにおけるどのクロスポイントユニットがさらにサービスセルを受信するのに利用可能であるかを決定できる。

10

【 0 0 2 2 】

他の制御セルは、スイッチの種々の動作パラメータを確立するために採用されている。これらの動作パラメータは、スイッチポートが制御セルに関連する行列ユニットに送信するので、各スイッチポートに関して確立されている。そのような制御セルは、典型的にはそこに対応する制御レジスタに格納され、スイッチコアのシーケンスや他の動作に関連してスイッチコアによって調査されるパラメータやデータを含んでいる。例えば、複数の選択可能なポーリングモードのどれを用いて関連する行列ユニットが動作することになるのかを示す値をポーリング可能レジスタに格納するために、ポーリング可能制御セル（LCC）が採用されている。これら種々のポーリングモードは、リンク上で送信されるポーリング状態セルの数に相対するサービスセルの伝送に所定の最小周波数を必要とする。

20

【 0 0 2 3 】

従って、本発明のATMスイッチは制御セルのインタラクティブな交換を実行し、スイッチコアの動作を順序づけている。特に制御セルの生成に依存した動作は、スイッチコアからのサービスセルの伝送と、スイッチコアからのポーリング状態セルの伝送と、スイッチコアによって維持されるある制御レジスタの内容の取りだしと、同期手順とを含んでいる。

【 0 0 2 4 】

図 面 の 詳 細 な 説 明

以下の説明では、限定をするためではなく説明をする目的のため、特有のアーキテクチャ、インタフェース、テクニック等のような具体的な詳細が説明され、本発明の完全な理解を提供している。しかしながら、本発明がこれら具体的な詳細からは離れた別の実施形態において実現されることは当業者には明らかである。他の例では、不必要な詳細な説明で本発明の説明をあいまいにすることのないように、公知の機器、回路、方法についての詳細な説明は省略されている。

30

【 0 0 2 5 】

1 . 0 概要

図1は、スイッチコア或いは構造22と複数のスイッチポートボード（SPBs）24上にある要素を含むATMスイッチングシステム20を示す。図示された実施形態の例において、16個のスイッチポートボード（SPBs）24₀ - 24₁₅はスイッチコア22に接続可能である。スイッチングシステム20を有する各スイッチポートボード24にある要素は、図示された実施形態では、“スイッチポート”として知られており、スイッチポート集積回路（SPIC）26、図1に示されているSPICs 26₀ - 26₁₅に組込まれている。

40

【 0 0 2 6 】

後で説明するように、スイッチポートボード（SPBs）24は夫々、そこにマウントされているSPICとは別に複数のデバイスをもっている。この理由のために、スイッチポートボード（SPBs）24はまた、“デバイスボード”としても言及される。1つ以上のこれらのデバイスが通信伝送ラインに接続されて1つ以上のタイプの通信信号、例えば、電話、データ、ビデオなどを受信する。また、スイッチポートボード（SPB）上のデ

50

バイスは、他のデバイス、例えば、別のスイッチポートボード上の他のデバイスを構成したり制御したるするのに有用な制御信号などを生成する。

【 0 0 2 7 】

スイッチングシステム 2 0 の 1 つの目的は、スイッチコア 2 2 を通して例えば通信信号や制御信号を含む A T M セルを伝送することである。この点において、A T M セルが準備されていないなら、スイッチポートボード (S P B s) 2 4 の 1 つに位置するデバイスによって受信された到来信号、或いは、生成された信号が A T M セルにマップされる。そのセルはスイッチコア 2 2 に印加され、スイッチコア 2 2 を通って運ばれ、セルがスイッチコア 2 2 から別のスイッチポートボード (S P B) 2 4 への印加のために現れる。例えば、電話の通話における発呼者から着呼者への音声信号がスイッチポートボード (S P B) 2 4₀ (例のために、最終的には着呼者に接続される) で受信され、スイッチコア 2 2 を経て、着呼者 (この例では、最終的にはスイッチポートボード (S P B) 2 4₁₅ に接続される) への伝送のためにスイッチポートボード (S P B) 2 4₁₅ に印加される。

【 0 0 2 8 】

従って、A T M セルは各スイッチポートボード (S P B) 2 4 とスイッチコア 2 2 との間で転送される。図 1 の例では、セルの転送は各スイッチポートボード (S P B) 2 4 とスイッチコア 2 2 とを接続する 2 つのリンクにわたって発生する。スイッチポートボード (S P B) 2 4 からスイッチコア 2 2 へと送られるセルは、ポート - ツウ - コアリンク 2 7 上を送信される一方、コア 2 2 からスイッチポートボード (S P B) 2 4 へと流れ出るセルはコア - ツウ - ポートリンク 2 8 に印加される。1 6 個のポート - ツウ - コアリンク 2 7 と、1 6 個のコア - ツウ - ポートリンク 2 8 とはここでサービスを行っている特定のスイッチポートボードに従って下付き数字が付けられる。ポート - ツウ - コアリンク 2 7 とこれに対応するコア - ツウ - ポートリンク 2 8 は集散的に“双方向リンク”を構成する。

【 0 0 2 9 】

スイッチコア或いは構成 2 2 はメモリアレイユニット (M A U) 3 0 と複数の行列ユニット (R C U s) 4 0 を含む。メモリアレイユニット (M A U) 3 0 は複数の行と列のアレイに配列されたような概念化されたクロスポイントユニット (X P U s) 3 2 を有している。複数のクロスポイントユニット (X P U s) 3 2 各々は、場所 / アドレスを示す下付き数字で示されており、X P U 3 2_{0,0} であれば 0 列 0 行にあり、X P U 3 2_{0,1} であれば 0 列 1 行にあり、X P U 3 2_{0,15} であれば 0 列 15 行にあり、このようにして、最大では X P U 3 2_{15,15} であれば 15 列 15 行にある。

【 0 0 3 0 】

行列ユニット (R C U) 4 0 は各スイッチポートボード (S P B) 2 4、即ち、メモリアレイユニット (M A U) 3 0 の各列に対応して備えられる。スイッチポートボードのような 1 6 個のボードが図 1 の例では図示されているので、1 6 個の行列ユニット (R C U s) 4 0₀ - 4 0₁₅ もまた図示されている。各行列ユニット (R C U) 4 0 は同じ列における全てのクロスポイントユニット (X P U s) 3 2 の入力端子への書込みバスによって、そして、与えられた行における全てのクロスポイントユニット (X C U s) 3 2 の出力端子への読出しバスによって接続されている。例えば、R C U 4 0₀ はクロスポイントユニット (X P U s) 3 2_{0,0} から 3 2_{0,15} の入力端子への書込みバス 4 2₀ によって、そして、クロスポイントユニット (X C U s) 3 2_{0,0} から 3 2_{15,0} の出力端子への読出しバス 4 4₀ によって接続されている。同様に、R C U 4 0₁₅ はクロスポイントユニット (X P U s) 3 2_{15,0} から 3 2_{15,15} の入力端子への書込みバス 4 2₀ によって、そして、クロスポイントユニット (X C U s) 3 2_{0,15} から 3 2_{15,15} の出力端子への読出しバス 4 4₁₅ によって接続されている。書込みバス 4 2 と読出しバス 4 4 に加えて、行列ユニット (R C U s) 4 0 はまた、システムクロックバス (S C B) 4 6 とクロスポイントステータスバス (C S B) 4 8 によって接続されている。

【 0 0 3 1 】

図 2 に示されているように、各クロスポイントユニット (X P U) 3 2 は実際にはクロスポイントに 2 つのバッファを有している。これらのバッファの 1 つは、バッファ 0 或いは

10

20

30

40

50

バッファC B Q₀として参照され、もう1つのバッファはバッファ1 或いはバッファC B Q₁として知られている。各クロスポイントユニット(X C U) 3 2におけるこれら2つのバッファ各々は5 6 バイト長である。各クロスポイントユニット(X C U) 3 2において、バッファC B Q₀とC B Q₁とは互いに平行に接続されている。各バッファC B Q₀とC B Q₁とは、対応する書込みバス4 2で受信されるセルの入力許可のために採用された入力ゲートと、対応する読出しバス4 4にセルを吐き出すのに採用された出力ゲートとをもっている。ここでのいくつかの接合点において、メモリアレイユニット(M A U) 3 0の全てのクロスポイントユニット(X P U s) 3 2のバッファC B Q₀は集合的に“マトリクス0”として参照され、一方、メモリアレイユニット(M A U) 3 0の全てのクロスポイントユニット(X P U s) 3 2のバッファC B Q₁は集合的に“マトリクス1”として参照される。

10

【0 0 3 2】

1 . 1 制御レジスタ

各行列ユニット(R C U) 4 0はクロスポイントステータスユニット(X S U) 5 0を有している。クロスポイントステータスユニット(X S U) 5 0は、ステータス情報とコア動作情報とを含む3つの特別なレジスタを含む、複数の制御レジスタを有している。これら制御レジスタは、例えば、バッファC B Q₀、C B Q₁のようなスイッチコア2 2のバッファとは全く別のものであり、これらのバッファを通してユーザデータはサービスセル(後述するように)のペイロードにおいてスイッチされる。スイッチコア2 2におけるローディングとアンローディングに關与する3つの制御レジスタは、ポーリング状態レジスタとスキャン状態レジスタとを含む。ポーリング状態レジスタは、ポーリング状態ステータスレジスタとポーリング状態解放レジスタとを含む。ポーリング状態ステータスレジスタは、行列ユニット(R C U) 4 0によって管理される列におけるクロスポイントユニット(X P U s) 3 2のバッファが“空き”であるか或いは“占有”されているかを示す指示がそこに格納されるように更新される。ポーリング状態解放レジスタは、行列ユニット(R C U) 4 0によって管理され、また、読出しバス4 0によって読み出される列におけるクロスポイントユニット(X P U s) 3 2のバッファが“占有”から“空き”へと遷移したか、或いは変更がないかを示すように更新される。従って、ポーリング状態ステータスレジスタとポーリング状態解放レジスタとは集合的に“ポーリング状態レジスタ”として参照される。ポーリング状態レジスタは後述する方法でクロスポイントステータスバス(C S B) 4 8を用いて更新される。

20

30

【0 0 3 3】

図6はクロスポイントステータスバス(C S B) 4 8の一部と2つの代表的な行列ユニット(R C U s)、特に、R C U 4 0₀とR C U 4 0₁₅への接続のいくつかを示している。行列ユニット(R C U s) 4 0のより詳細な検討は後で、つまり、セクション3 . 0で与えられるが、図6はここで注目している3つの制御レジスタを含むような各行列ユニット(R C U) 4 0のクロスポイントステータスユニット(X S U) 5 0を示している。そのような3つの制御レジスタはポーリング状態ステータスレジスタ5 0 - 2、スキャン状態レジスタ5 0 - 4、ポーリング状態解放レジスタ5 0 - 8を含む。図6に示されているように、これらの制御レジスタ各々は行列ユニット(R C U) 4 0によって制御される1 6個のクロスポイントユニット(X C U) 3 2に対応して1 6ビットをもっている。その行列ユニットに、これらの制御レジスタは常駐し、即ち、1 6個のクロスポイントポーリングユニット(X P U) 3 2は行列ユニット(R C U) 4 0の1つの列に整列されている。

40

【0 0 3 4】

1 . 2 C S Bバス

各行列ユニット(R C U) 4 0に関して、クロスポイントステータスバス(C S B) 4 8はポーリング状態ステータスレジスタ5 0 - 2のビットステータスを出力するリード線をもつ。例えば、図6において、参照番号4 8 - 1₀はクロスポイントステータスバス(C S B) 4 8のリード線を描いており、これがポーリング状態レジスタ5 0 - 2₀のビットステータスを出力する。例えば、ポーリング状態ステータスレジスタ5 0 - 2₀における

50

最後のビットのステータスは、行列ユニット(RCU)40₁₅がメモリアレイユニット(MAU)30の最後の列におけるクロスポイントユニット(XPU)32の読出しを制御するので、スキャン状態レジスタ50-4₁₅の最初のビットと通信する。この点に関して、参照番号48-2₁₅はスキャン状態レジスタ50-4₁₅の16ビット各々を設定する異なる16個の行列ユニット(RCU)40のポーリング状態レジスタ50-2₀からのクロスポイントステータスバス(CSB)48におけるリード線を示している。同様に、参照番号48-3₁₅によって指示されるリード線は、ポーリング状態ステータスレジスタ50-2₁₅における対応するビットの種々の別のスキャン状態レジスタ50-4への設定を通信するのに採用されている。参照番号48-4₀によって指示されるリード線は、他の行列ユニット(RCU)40のポーリング状態ステータスレジスタ50-2における対応するビットを行列ユニット(RCU)40₀のスキャン状態レジスタ50-4₀へ設定するためにの通信をするのに用いられる。

10

【0035】

クロスポイントステータスバス(CSB)48はまた、セルがクロスポイントユニット(XPU)32から読み出されるとき、ポーリング状態ステータスレジスタ50-2におけるビットをリセットするためのリード線をもっている。例えば、セルがクロスポイントユニット(XPU)32_{0,15}から読み出されるとき、参照番号48-5₁₅によって指示されるグループのリード線の1つはスキャン状態レジスタ50-4₁₅の第1のビットを接続して、リセット信号をポーリング状態ステータスレジスタ50-2₀の最後のビットへと搬送する。ポーリング状態ステータスレジスタ50-2₀に入力されるリセット信号は、参照番号48-6₀によって描写されているリード線上を搬送される。同様に、第1列のクロスポイントユニット(XPU)32からセルを読み出すことにより、リセット信号が参照番号48-7₀で描写されるリード線上をスキャン状態レジスタ50-4₀から送られるようになる。参照番号48-8₁₅は行列ユニット(RCU)40₁₅のポーリング状態ステータスレジスタ50-2₁₅におけるビットをリセットするためのリード線を示している。

20

【0036】

この結果、2セットの制御レジスタ(例えば、ポーリング状態ステータスレジスタ50-2、スキャン状態レジスタ50-4、ポーリング状態解放レジスタ50-8)が各行列ユニット(RCU)40に備えられることが認識される。制御レジスタの1つのセットは、マトリクス0におけるバッファCBQ₀に対するものであり、制御レジスタのもう1つのセットは、マトリクス1におけるバッファCBQ₁に対するものである。ビット設定或いはビットリセット信号が制御レジスタのどのセットのためにクロスポイントステータスバス(CSB)48上を送られるのかを特定するために、クロスポイントステータスバス(CSB)48はまた、各行列ユニット(RCU)40についてのマトリクス指示リード線を含む。それゆえに、クロスポイントステータスバス(CSB)48は16個のマトリクス指示リード線とともに、図6に示され、また、上述したビット設定及びビットリセットリード線を含む。

30

【0037】

2.0 セルタイプ

40

上述のように、ATMセルは種々のスイッチポートボード(SPBS)24とスイッチコア22との間で送信される。本発明のATMスイッチングシステム20は異なる長さのセルを用いる。図3はスイッチポートボードの代表的な1つとスイッチコア22との間の、特に、ポート-ツウ-コアリンク27₀とコア-ツウ-ポートリンク28₀によってスイッチコア22に接続されるスイッチポートボード(SPBS)24₀への転送を示す。

【0038】

ポート-ツウ-コアリンク27₀とコア-ツウ-ポートリンク28₀各々は、サービスセルと制御セルを含む複数のセルタイプを搬送する。トラフィックセル或いはユーザ情報として知られるサービスセルは電話、データ、ビデオなどのようなユーザデータを(そのペイロード部に)包含、或いは、含み、それらのデータはスイッチコア22を介して他のス

50

スイッチポートボード (SPB) 24 への印加のために転送されることになる。図 3 において、LCCセルとLSCセルとして描写されている制御セルは、ATMスイッチングシステム 20 の制御と管理のために用いられる。

【0039】

図 4 A に関して後述するように、サービスセルは、2 つの連続するサービスセルが同じ長さや同じペイロードサイズをもつ必要がないように長さを異ならせることができる。その上、制御セルはサービスセルとは異なるサイズをもつ。さらに、本発明は夫々が異なるフォーマットをもつ制御セルタイプをもつ、異なったタイプの制御セル (例えば、LCCセルとLSCセル) を提供する。図 3 はただ 1 つのスイッチポートボード (SPB) 24₀ がスイッチコア 22 に制御されているのを示しているが、スイッチコア 22 と他のスイッチポートボード (SPBs) 24 との間のリンクも同様にサービスセルと制御セルとを搬送することが理解される。

10

【0040】

2. 1 サービスセル

サービスセルはスイッチコア 22 に制御されたユニットにユーザデータを搬送する。全てのサービスセルはスイッチコア 22 を経て 1 つのスイッチポートボード (SPB) 24 から 1 つ以上の別のスイッチポートボード (SPBs) 24 へと運ばれる。サービスセルのサイズは変化する。図示された実施形態では、例示した正しいサイズは、8、16、24、32、40、48、56 バイトであり、これらには 2 バイトのヘッダ (セルの最初の 2 バイト) を含んでいる。図示された実施形態では、最大セルサイズは 56 バイトである。

20

【0041】

図 4 A に示されているように、サービスセルは 2 バイトのヘッダ (セルの最初の 2 バイト) とペイロードとをもつ。この 2 バイトのヘッダはスイッチコア 22 によって用いられてユーザデータを所望の、或いは、正しい宛て先 (スイッチポートボード) へと運び、セルの残りの部分 (即ち、ペイロード) はスイッチコア 22 を通過するが、スイッチコア 22 にはトラスペアレントなユーザデータである。サービスセルのあるフィールドについて以下に説明する。

【0042】

2. 1. 1 PRI、セルタイプ、物理的ルート識別子

スイッチポートボード (SPB) 24 からポート - ツウ - コアリンク 27 で受信されるセルにおいて、受信サービスセルの PRI フィールドは、セルデータが (受信クロスポイントユニット (XPU) 32 と同じ列において) 格納されるべき特定のバッファ或いはクロスポイントユニット (XPU) を示す値を含む。例えば、もし、スイッチポートボード (SPB) 24₀ から受信されたセルがその PRI フィールドにおいて “5” という値をもつなら、セルは XPU_{0,5} に格納されることになる。

30

【0043】

図示された実施形態では、0 ~ 19 の範囲の PRI の値はサービスセルを示す。しかしながら、16 個の XPU_s 32 だけがメモリアレイユニット 30 (図 1) の 1 列当たりに対して備えられるので、0 ~ 15 の PRI 値だけが妥当な値である。この範囲外の PRI 値をもつサービスセルは棄却される。しかしながら、サポートされないサービスセル (PRI = 16 ~ 19) のサイズがチェックされてセルの境界を見つける。後で説明するが、20 より大きい PRI 値は制御セルで異なる目的のために用いられる。

40

【0044】

後述するが、スイッチポートボード (SPB) 24 からスイッチコア 22 へとセルが送信される直前に、PRI フィールドはそのセルの発信元であるスイッチポートボードに対応した値で置換される。例えば、もし、セルがスイッチポートボード (SPB) 24₀ からスイッチコア 22 を経てスイッチポートボード (SPB) 24₁₅ へと送信されるのであれば、スイッチコア 22 へと向かう途中、スイッチポートボード (SPB) 24₀ を離れる前に、そのセルは “15” から “0” へと変更された PRI 値をもつ。

【0045】

50

2. 1. 2 C B Q クロスポイントバッファキューコード

図 2 に示されているように、各クロスポイントユニット (X P U) 3 2 は 2 つのキュー或いはバッファ、即ち、C B Q₀ と C B Q₁ とをもつ。C B Q フィールドの目的は、サービスセルをこれら 2 つのキュー或いはバッファの 1 つへと特定のクロスポイントにおいて導くことにある。C B Q フィールドはこれらバッファのいずれにおいて、セルが格納されるべきであるのかを示す。C B Q 値が “ 0 ” であれば、セルはバッファ C B Q₀ に置かれることを示し、C B Q 値が “ 1 ” であれば、そのセルは C B Q₁ にロードされることを示す。C B Q 値が “ 2 ” や “ 3 ” であることは正当ではなく、そのような不当な値をもつセルは棄却される。

【 0 0 4 6 】

10

2. 1. 3 F B P と S B P パリティビット

F B P は第 1 のバイトのパリティビットであり、これはサービスセルのヘッダの最初のバイトをカバーしている。S B P はそのサービスセルのヘッダの 2 番目のバイトをカバーしている第 2 のバイトのパリティビットである。サービスセルヘッダの第 1 及び第 2 バイトについて、そのパリティはパリティビットを含んで奇数である。

【 0 0 4 7 】

2. 1. 4 T T I フィールド

T T I (トラフィックタイプ指示コード) フィールドは 3 ビットである。受信サービスセルに関し、これら 3 つのビットはサービスセルについてのトラフィックタイプやそのセルが連繋しているものであるかどうかを特定する。トラフィックタイプあるいは “ キャスト ” タイプは、そのセルが “ ユニキャスト (1 つの宛て先をもつもの) ” 、 “ マルチキャスト (いくつかの宛て先をもつもの) ” 、或いは “ ブロードキャスト ” が指定されたセル (ブロードキャストセルは 1 6 全てのポートに送られる) であるかどうかを示す。 “ 連繋 ” セルは現在のセルに同じスイッチポートボード (例えば、同じ終端をもつエンティティ) へと向けられた新たなセルが続くことを示している。表 1 は T T I フィールドについて潜在値 “ 0 ” ~ “ 7 ” の重要度を示している。

20

【 0 0 4 8 】

T T I ビットはスイッチコア 2 2 で変換される。そのような変換は (関連する C B Q と列に関し) スwitchコア 2 2 における受信 T T I 値とバッファステータスに依存している。表 2 は受信 T T I と変換 / 送信 T T I 値とを示している。

30

【 0 0 4 9 】

従って、送信セルにおける T T I フィールドは、関連する受信側のこの列と実際の C B Q 値のバッファ全てが “ 空き ” であるかどうかの指示を含んでいる。少なくとも 1 つのバッファが占有されているなら、そのバッファは “ 空き ” ではない。

【 0 0 5 0 】

2. 1. 5 S C S フィールド

S C S (サービスセルサイズコード) フィールドは 3 ビットをもつ。これら 3 ビットはサービスセルのサイズを特定する。図示された実施形態におけるサービスセルの可能性のあるサイズは、表 3 に示されている。この可能性のあるサービスセルの順番は (ヘッダを含めて) 8、1 6、2 4、3 2、4 0、4 8、5 6 バイトである。

40

【 0 0 5 1 】

2. 1. 6 N U フィールド

フィールド N U (未使用) は未使用であり、スイッチコア 2 2 についてはトランスペアレントである。

【 0 0 5 2 】

2. 1. 7 セルペイロード

ペイロードはスイッチコア 2 2 についてはトランスペアレントに転送される “ ユーザデータ ” である。S C S フィールド (図 4 A を参照) と表 3 から明らかであるように、ペイロードのサイズは 6 ~ 5 4 バイトまで変化する。

【 0 0 5 3 】

50

2.2 制御セル

制御セルは行列ユニット (R C U s) 40で終端され、また、発信される。全ての制御セルは4バイト長である。図4Bに示されているように、全ての制御セルは、サービスセルで上述したように、P R I (物理ルート識別子) フィールド、F B P (第1バイトパリティ) フィールド、S B P (第2バイトパリティ) フィールドをもつ。さらに、制御セルは1ビットのL W P フィールドをもち、これは最後のワードのパリティフィールドである。L W P は最後のワード (第3及び第4バイト) をカバーする。最後のワードについてのパリティは、そのパリティビットを含めて奇数である。

【0054】

制御セルについて可能性の有るP R I 値は20～31の範囲にある。図示されら実施形態では、正当な制御セルはP R I フィールドの値として、25、26、28、30、31の1つをもつ。ここで、さらに述べるように、これらP R I 値は、フォーマットと、ある場合には、レジスタの読出し或いは書込み動作に關与するクロスポイントユニット (X C U) 32における特定の制御レジスタの“アドレスセル”とを表す。

【0055】

制御セルは行列ユニット (R C U s) 40の遠隔制御と監視、及び、スイッチポートボード (S P B s) 24との接続の同期に用いられる。2つのタイプの制御セル、即ち、リンク接続制御 (L C C) セルとリンク状態制御 (L S C) セルとがある。

【0056】

2.2.1 リンク接続制御 (L C C) セル

L C C セルは基本的にはスイッチポートボード (S P B s) 24から離れているスイッチコア22を制御し動作させるために採用されている。この点において、L C C セルは行列ユニット (R C U s) 40の内側にあるレジスタからのノへの読出しと書込みのために用いられる。L C C セルはまた、スイッチコア22から影響を受けるスイッチポートボード (S P B) 24へと、クロスポイントユニット (X P U s) 32におけるバッファの解放に關した情報、即ち、いつバッファが占有から空きへと遷移するのか、を搬送する。2つのフォーマットのL C C セル、即ち、ビットマップフォーマットとコード化フォーマットとがある。L C C の特定のフォーマットはP R I 値によって示される。P R I 値、25、26、28、30はビットマップフォーマットのL C C セルを示し、P R I 値“31”はコード化フォーマットのL C C セル (或いは、代わりにL S C セル) を示す。

【0057】

2.2.1.1 ビットマップフォーマットL C C セル

図4B-1はビットマップフォーマットリンク接続制御 (L C C) セルノードフォーマットを示している。そのビットマップフォーマットは接続されたスイッチポートボード (S P B) 24とスイッチコア22の行列ユニット (R C U) 40内の制御ノステータスレジスタとの間で高速に動作データを搬送する。最大16ビットが1つのセル転送でロードされたり、アンロードされる。

【0058】

2.2.1.1.1 B C D フィールド

1つのセル転送でロードされたり、アンロードされる16ビットはB C D (バッファ制御データ) フィールドに格納される。B C D フィールドの16ビット各々は、“アドレスされた”制御レジスタ、即ち、P R I フィールドによって特定される値をもつ制御レジスタに書き込まれる、或いは、そこから読み出されることになるデータを保持する。B C D フィールドがビットマップとして用いられるとき、B C D - N は特定された列或いは行のバッファに關した値を保持する。

【0059】

2.2.1.1.2 C B Q、クロスポイントバッファキュー

C B Q フィールドは、サービスセルに關するのと同じ目的を果たす。例えば、クロスポイントユニット (X P U) 32におけるキューC B Q₀或いはC B Q₁の1つを指し示す。正当な値は“0”と“1”であり、他の値をもつセルは棄却される。

【 0 0 6 0 】

2 . 2 . 1 . 1 . 3 R Eフィールド及びN Uフィールド

図 4 B - 1 で R E と印がつけられたビットがリザーブされ、図 4 B - 1 で N U と印が付けられたビットは未使用である。従って、R E も N U もスイッチコア 2 2 に対してはトランスペアレントである。

【 0 0 6 1 】

2 . 2 . 1 . 2 コード化フォーマット L C C セル

L C C セルのコード化フォーマットによってスイッチポートボード (S P B) 2 4 が対応する (同じ下付き数字が付けられた) 行列ユニット (R C U) 4 0 の内側にある全ての制御レジスタにアドレスすることが可能になる。一度に 1 バイトがコード化フォーマットをもつ L C C セルとともにロードされたり、アンロードされる。コード化 L C C セルのフォーマットは図 4 B - 2 に示されている。

10

【 0 0 6 2 】

P R I が値 “ 3 1 ” をもつと、これはセルが L S C セルが或いは L C C セルであることを識別する。そのセルの付加的なビット、L S I ビットは L S C セルと L C C セルとを区別する。特に、L S I 値が “ 0 ” であると、これはコード化フォーマットの L C C セルを示し、一方、L S I 値が “ 1 ” であると、これは L S C セルを示す。

【 0 0 6 3 】

コード化 L C C セルの残りのビットは表 4 に従って解釈される。なお、表 4 において、スイッチコア 2 2 に対する書込みと読出しの全ての組み合わせが可能である。その上、1 / 1 に等しい書込み / 読出しがあるセルは書込み - 読出しを行う。

20

【 0 0 6 4 】

2 . 2 . 2 リンク状態制御 (L S C) セル

リンク状態制御 (L S C) セルは、スイッチコア 2 2 の行列ユニット (R C U s) 4 0 と対応する (即ち、同様に下付き数字が付けられた) 接続されたスイッチポートボード (S P B) 2 4 との間の接続を同期させるために用いられる。L S C セルフォーマットによってセルの流れの高速で信頼性のある同期が促進される。即ち、セルの始まりを見出し、各方向におけるセルの流れを維持し、スイッチコア 2 2 に向かう方向においてセル率の分断を支援する。

【 0 0 6 5 】

L S C セルを用いることは、スイッチポートボード (S P B) 2 4 とスイッチコア 2 2 との間の協力を意味する。L S C セルは伝送の両方向 (例えば、スイッチ - ツウ - コアリンク 2 7 とコア - ツウ - スイッチリンク 2 8) に関与する。L S C セルの使用と動作については、以下に図 8 と図 9 とリンク 2 7 と 2 8 の両側における対応する同期 (sync) 状態マシンとを参照してさらに詳しく説明する。リンク状態制御 (L S C) セルのフォーマットは図 4 B - 3 に示されている。

30

【 0 0 6 6 】

2 . 2 . 2 . 1 Synctag (同期タグ) フィールド

Synctag (同期タグ) フィールドは、L S C セルを識別するために用いる 4 バイトのパターンである。その Synctag (同期タグ) フィールドは、2 つの正当な値 (1 6 進法において、バイト 0 で始まる) の 1 つをもつことができる。最初の正当な Synctag (同期タグ) フィールドの値は F E 、 1 F 、 0 0 、 7 F であり、これらは L S C セルが P R E S Y N C 状態 (S S C = 1 1) にあることを示している。最初の正当な Synctag (同期タグ) フィールドの値は F E 、 1 C 、 0 0 、 7 F であり、これらは L S C セルが S Y N C 状態 (S S C = 0 0) にあることを示している。セルの始まりはビットクロックの立ちあがりにある。パリティビット (F B P 、 S B P 、 L W P) 、状態コード、P R I はこれら 4 つの Synctag (同期タグ) フィールドのバイトに含まれている。

40

【 0 0 6 7 】

2 . 2 . 2 . 2 S S C フィールド

S S C (Sync 状態コード) フィールドは適当な同期 (sync) 状態マシンの状態を定義する

50

2つのビットを有している。LSCセルがスイッチポートボード(SPB)24から発生するとき、SSCフィールドはスイッチポートボード(SPB)24における同期(sync)状態マシンの状態を定義する。LSCセルがスイッチコア22から発生するとき、SSCフィールドはスイッチコア22における同期(sync)状態マシンの状態を定義する。

【0068】

SSCフィールドは次の正当な値をもつ。即ち、“0”(LSCセルを送信する側はPRESYNC状態にはないことを示す)と、“3”(LSCセルを送信する側はPRESYNC状態にあることを示す)である。

【0069】

適当な状態をもったLSCセルを送信する処理はセクション6.0で説明され、図8と図9とに図示されている。

10

【0070】

3.0 スイッチポートボード(SPB)

各スイッチポートボード(SPB)24のスイッチポート集積回路(SPIC)26は、スイッチの各マトリクスに対してクロスポイントステータスレジスタ26Rをもつ。特定のスイッチポート集積回路(SPIC)26に関するクロスポイントステータスレジスタ26Rにおいて、スイッチポート集積回路(SPIC)26のためのスイッチポートボード(SPB)24での列の整列において、各クロスポイントユニット(XCU)32に対応したビット位置がある。例えば、ポイントステータスレジスタ26R₀に関し、XPU32_{0,0}~32_{0,15}各々についてビット位置があり、ポイントステータスレジスタ26R₁₅に関し、XPU32_{15,0}~32_{15,15}各々についてビット位置がある。後述するように、スイッチポートボード(SPB)24がセルをXPU32に書き込むときにはいつでも、スイッチポート集積回路(SPIC)26は、セルが書き込まれた特定のXPU32に対応するクロスポイントステータスレジスタ26Rにビットをセットする。その後、スイッチポートボード(SPB)24は、XPUのビットがクロスポイントステータスレジスタ26Rにおいてリセットされるまでは、別のセルをその特定のXPU32には送信できない。また、後述することではあるが、クロスポイントステータスレジスタ26Rにおけるビットは、スイッチポート集積回路(SPIC)26が1つの値をもつ対応するビットをもったポーリング状態解放セルを受信するときに、リセットされる。従って、クロスポイントステータスレジスタ26Rはスイッチポートボード(SPB)24とスイッチコア22との間のハンドシェイクに役立つ。

20

30

【0071】

マトリクス、例えば、マトリクス0とマトリクス1について上述したことから、クロスポイントステータスレジスタ26Rは各マトリクスについてのスイッチポート集積回路(SPIC)26に備えられることが理解される。

【0072】

4.0 行列ユニット(RCU)

スイッチポートボード(SPB)24からスイッチコア22にリンク27の1つを経て入力する全てのセルは、対応する行列ユニット(RCU)40(図1を参照)に向けられたものである。スイッチコア22によるサービスセルの扱いの概要は、特に、行列ユニット(RCU)40の制御レジスタに関して。図6A~図6Eに描写された逐次的フレームによって図示されている。サービスセルの扱いの種々の側面からのさらなる詳細は、例えば、セクション4.6.1.3で与えられる。

40

【0073】

上述のように、スイッチポート集積回路(SPIC)26がセルをその対応する行列ユニット(RCU)40に送信するとき、スイッチポート集積回路(SPIC)26はそのクロスポイントステータスレジスタ26Rにビットをセットする。そのビットセットはそのセルの宛て先となっている特定のクロスポイントユニット(XCU)32の列の位置に対応している。図6A~図6Eに描写されるフレームにおいて、スイッチポート集積回路(SPIC)26₀はサービスセルをスイッチポート集積回路(SPIC)26₁₅に送信す

50

ることを望んでいる。それゆえに、スイッチポート集積回路 (SPIC) 26₀ からスイッチコア 22 へと送信されたサービスセルは行列ユニット (RCU) 40₀ を経てクロスポイントユニット (XCU) 32_{0,15} に至る。従って、図 6 A に 6 - 1 とラベルされた矢はサービスセル (スイッチポート集積回路 (SPIC) 26₁₅ に宛てられている) を行列ユニット (RCU) 40₀ へと送信するスイッチポート集積回路 (SPIC) 26₀ を表している。図 6 A に示されているように、そのようなサービスセルを行列ユニット (RCU) 40₀ に送信するとき、スイッチポート集積回路 (SPIC) 26 は、そのクロスポイントステータスレジスタ 26 R の最後のビットを設定する (なぜなら、サービスセルはその列における最後の XPU、即ち、クロスポイントユニット (XPU) 32_{0,15} に宛てられているからである)。

10

【0074】

サービスセルは行列ユニット (RCU) 40 によって解析され、それから、メモリアレイユニット (MAU) 30 の同じ列のクロスポイントユニット (XPU_s) 32 の内のアドレスされたものに行列ユニット (RCU) 40 を介して送られる。そのサービスセルは一時的に XPU 32 のバッファ CBQ₁ 或いは CBQ₂ の内、適切にアドレスされたものに格納される。セルがクロスポイントユニット (XPU) 32 に格納されるとき、行列ユニット (RCU) 40 はそのクロスポイントステータスユニット (XSU) 50 を、特に、その適切なポーリング状態ステータスレジスタを更新し、そのセルが格納された特定のバッファが “占有” されたことを示すようにする。この点について、“占有” された状態とは、アンロードするためのセルがあり、“空き” 状態とはバッファがロードされることを示す。

20

【0075】

図 6 B に示す例では、サービスセルをクロスポイントユニット (XCU) 32_{0,15} に書き込むことに協働して (6 - 2 とラベルされた矢によって示されているように)、ポーリング状態ステータスレジスタ 50 - 2₀ のビット 15 がセットされる。ポーリング状態ステータスレジスタ 50 - 2₀ のビット 15 の設定はクロスポイントユニット (XPU) 32_{0,15} が占有されていることを示す。さらに、行列ユニット (RCU) 40₀ のクロスポイントステータスユニット (XSU) 50 は、設定信号を、図 6 B に参照番号 6 - 3 を生じさせている破線によって示されているようにクロスポイントステータスバス (CSB) 48 (図 6 を参照) を経てスキャン状態レジスタ 50 - 4₁₅ のビット 0 に送信する。後で説明するように、2 つのスイッチポート集積回路 (SPIC) 26₀ と 26₁₅ との間の速度でペンディングとなっているスキャン状態レジスタビットは、第 1 のワード或いは最後のワードが XPU に書き込まれるときに (後述するスキャン率レジスタにビット 0 を設定することにより予め定義されるように) 設定される。

30

【0076】

各行列ユニット (RCU) 40 はクロスポイントステータスユニット (XSU) 50 に位置するそれ自身のスキャン状態レジスタ 50 - 4 を走査する。スキャン状態レジスタ 50 - 4 における位置がセットされるとき、行列ユニット (RCU) 40 は、対応するクロスポイントユニット (XPU) 32 からセルを読み出すことができることを知る。行列ユニット (RCU) 40 はそのようなクロスポイントユニット (XPU) 32 からセルを読み出しはじめるとき、スキャン状態レジスタ 50 - 4 にある対応するビットがリセットされる。また、そのセルをクロスポイントユニット (XPU) 32 に書きこんだ行列ユニット (RCU) 40 に位置した対応するポーリング状態ステータスレジスタ 50 - 2 は、リセットされる。それゆえに、図 6 C に描写されたシナリオにおいて、ライン 6 - 4 は、クロスポイントユニット (XPU) 32_{0,15} から行列ユニット (RCU) 15 へのサービスセルの読み込みを描写している。これによって、スキャン状態レジスタ 50 - 4₁₅ の最初のビットのリセットが生じる。行列ユニット (RCU) 40₁₅ のクロスポイントステータスユニット (XSU) 50₁₅ は、リセット信号を、ライン 6 - 5 によって示されているようにクロスポイントステータスバス (CSB) 48 (図 6 を参照) 上に送り出す。50 - 4₁₅ から発行された信号によって、図 6 C の参照番号 6 - 6 でラベルされたラインによって示さ

40

50

れているように、行列ユニット(RCU)40₁₅はクロスポイントユニット(XPU)32_{0,15}から得られたサービスセルをスイッチポート集積回路(SPIC)26₁₅に印加する。クロスポイントユニット(XPU)32からのセルの読出しとスイッチポート集積回路(SPIC)26にこれを印加することとはより詳細にセクション4.7で説明する。

【0077】

行列ユニット(RCU)40のクロスポイントステータスユニット(XSU)50が占有状態から空き状態への(例えば、1から0へ)ポーリング状態ステータスレジスタ50-2のビットの変化を検出すると、クロスポイントステータスユニット(XSU)50は、最初の可能な時点において、ポーリング状態解放LCCセル(セクション2.2.1を参照)を発行する。この点について、行列ユニット(RCU)40は対応するポーリング状態ステータスレジスタ50-2における状態遷移を捕捉する内部ポーリング状態解放レジスタ50-8をもっている。基本的には、問題にしているビットについてのリセット信号がクロスポイントステータスバス(CSB)48に現れると、ビット位置に対応したポーリング状態解放レジスタ50-8がセットされる。図6Dに示される状態において、図6Cのライン6-5によって示されるリセット信号がポーリング状態ステータスレジスタ50-2₀の最後のビットをリセットした後、クロスポイントステータスユニット(XSU)50₀は50-8₀の最後のビットをセットする。クロスポイントステータスユニット(XCU)50は、ポーリング状態解放レジスタ50-8₀のビットのいずれかがセットされているどうかを調べる。いずれかのビットがセットされていれば(図6Dで示されている最後のビットのように)、ポーリング状態解放LCCセルを発行するための要求がなされる。ポーリング状態解放LCCセルがスイッチポート集積回路(SPIC)26₀(図6Dではライン6-6によって示されているように)に発行されると、ポーリング状態解放レジスタ50-8₀が読み出されてクリアされる。図6Eはポーリング状態解放レジスタ50-8₀のクリアとともに、ポーリング状態解放LCCセルの受信時(図6Dのライン6-6によって示されているようにスイッチポート集積回路(SPIC)26₀で受信される)におけるクロスポイントステータスレジスタ26R₀の最後のビットのクリアを示している。この連結点において、新しいセルがスイッチポート集積回路(SPIC)26₀によって同じクロスポイントユニット(XPU)32、即ち、クロスポイントユニット(XPU)32_{0,15}に書きこまれる。

【0078】

従って、走査処理において、各行列ユニット(RCU)40が担当しているMAU30の列に(例えば、読出しバス44に)接続されたクロスポイントユニット(XPUs)32の状態を調べ、クロスポイントユニット(XPU)32に含まれる適切なポーリング状態解放レジスタを更新する。セルを含むクロスポイントユニット(XPU)32はバッファ出力ゲートを通して列バス(例えば、読出しバス44)へと、出力セルとしてアンロードされる。クロスポイントユニット(XPU)32のゲートがオープンすると、1つのセルだけが棄却される。クロスポイントステータスユニット(XSU)50は更新されて、セルがアンロードされたクロスポイントユニット(XPU)32のバッファが今や“空き”であることを示す。アンロードされたセルは、受信行列ユニット(RCU)40を介して受信スイッチポートボード(SPB)24へと転送される。このようにして、セルを含む全てのクロスポイントユニット(XPUs)32が1つずつアンロードされる。

【0079】

上述した方法でスイッチコア22からのセルの読出しが、受信スイッチポートボード(SPB)24によって要求されているよりも低い速度で発生したなら、受信行列ユニット(RCU)40は、期待されるサービスセルの代わりに制御セルを生成する。スイッチポートボード(SPB)24がセルをクロスポイントステータスレジスタ26Rの対応ビットがセットされているクロスポイントユニット(XPU)32に送信するのを試行するなら、それが書き込みバスに入る前に、行列ユニット(RCU)40においてそのセルは棄却される。

【0080】

各行列ユニット（RCU）40はまた、システムクロックユニット（SCU）52を含む。システムクロックユニット（SCU）52はシステムクロックの分配のための論理回路を含み、システムクロックバス（SCB）46に接続される。

【0081】

行列ユニット（RCU）40はシステムクロックをクロスポイントユニット（XPU）32のゲートへと通過させる。各クロスポイントユニット（XPU）32のゲート状態、即ち、オープンがクローズかは準永久的な状態にセットされる。そのゲート状態は列からセットされ、従って、競合が避けられる。

【0082】

書込みバス42と読出しバス44とはクロスポイントユニット（XPU）32と対応する行列ユニット（RCU）40との間の論理的な内部接続を提供している。バス42と44はバッファフル状態、読出し及び書込みバッファ制御とデータのような情報を提供する。

【0083】

従って、行列ユニット（RCU）40の基本的な機能には、スイッチコア22と対応するスイッチポートボード（SPB）24との間のセルを整理させて同期を取り（セル率の連結を解くことを含め）、スイッチポートボード（SPB）24にクロスポイントユニット（XPU）32に関するステータス情報を提供し、クロスポイントユニット（XPU）32が上書きされないようにしながら、クロスポイントユニット（XPU）32からのサービスセルのローディングとアンローディングを行うことが含まれる。さらに、スイッチポートボード（SPB）24から制御される行列ユニット（RCU）40によって実行される数多くの維持機能がある。

【0084】

図5は各行列ユニット（RCU）40に含まれる基本的な構成要素を示している。既に述べたクロスポイントステータスユニット（XSU）50とシステムクロックユニット（SCU）52に加えて、各行列ユニット（RCU）40は、ラインインタフェースユニット（LIU）53、セル同期ユニット（CSU）54、セル解析ユニット（CAU）55、セル書込みユニット（CWU）56、運用／維持ユニット（OMU）57、セル生成ユニット（CGU）58、及び、セル読出しユニット（CRU）59を含む。

【0085】

4.1 ラインインタフェースユニット（LIU）
ラインインタフェースユニット（LIU）35は差分信号をデジタルレベルに変換するLVDS/GLVDSインタフェースを含む。図5Aに示されているように、各行列ユニット（RCU）40はVccと接地と、さらに、GLVDSについてのバイアス電圧を有する1組の電源接続をもつ。また、図5Aに示されているように、行列ユニット（RCU）40のラインインタフェースユニット（LIU）53は5つの差分アンプペア53-1～53-5とともに、Vcc、接地、バイアスのための3つの電源ピンと、さらにはVccと接地をメモリアレイユニット（MAU）30に提供するための2つのピンをもっている。

【0086】

差分アンプのペア53-1と53-2とは、ポート-ツウ-コアリンク27に含まれる信号DCLKとD-SPSCを夫々扱うために用いられる。DCLKを受信する差分アンプペア53-1はシリアルクロック信号serclkを出力する。差分アンプペア53-2の出力は、ラインs-data-inのシリアルデータ入力信号を生成するビット同期機能53-6に結合される。シリアルクロック信号serclkとラインs-data-inのシリアルデータ入力信号とは後で図5Bに示されるようにセル同期ユニット（CSU）54に印加される。

【0087】

差分アンプペア53-3はコア-ツウ-ポートリンク28に含まれる信号D-SCSPを出力するために用いられる。差分アンプペア53-3はラインs-data-outで受信するシリアル出力データ信号を用いて信号D-SCSPを出力する。後で、図5Bに関して示されるように、ラインs-data-outのシリアル出力データ信号はセル同期ユニット（CSU）5

10

20

30

40

50

4 から発生する。

【 0 0 8 8 】

システムクロックバス (S C B) 4 6 は、各行列ユニット (R C U) 4 0 に関して、ラインsysclk-inとsysclk-outでのクロック信号用のラインを含む。後で、システムクロックユニット (S C U) 5 2 と図 5 I とを参照して説明するように、ラインsysclk-inのクロック信号は、ラインsysclk-outのクロック信号を生成するのに用いられる。信号 S C L K は信号sysclk-inを生成するのに用いられる。信号 S C L K は生成されたシステムクロックから生じ、 S P I C (スイッチポートボードの 1 つにある) を介して分配される。システムクロックは典型的にはネットワークの外部リンク (例えば、 T 1 リンク) に由来する。システムクロック率は、たいいていの場合、 8 K H z の倍数である。

10

【 0 0 8 9 】

4 . 2 セル同期ユニット (C S U)

セル同期ユニット (C S U) 5 4 はシリアル / パラレル変換を行うとともに、ハーフワードとセルの整列を行う。そのような変換は入力方向で特定のセル同期 (sync) パターンを用いて成し遂げられる。出力方向にはパラレル / シリアル変換がなされてビットストリームになる。

【 0 0 9 0 】

セル同期ユニット (C S U) 5 4 はラインインタフェースユニット (L I U) 5 3 からラインs-data-inでシリアルビットストリームを受信し、バスp-data-inに 1 6 ビットのパラレル信号を生成するシリアル / パラレル変換器 5 4 - 1 を有する。シリアル / パラレル変換器 5 4 - 1 によって生成されるこの 1 6 ビットパラレル信号はまた、 B I P - 8 テスタ生成器 5 4 - 2 と同期 (sync) タグ検出器或いはセル整列器 5 4 - 3 へと印加される。

20

【 0 0 9 1 】

セル同期ユニット (C S U) 5 4 はまた、バスp-data-outで 1 6 ビットのパラレル信号を受信し、ラインs-data-out (ラインインタフェースユニット (L I U) 5 3 に接続される) に印加されるシリアルビットストリームへの変換を行うパラレル / シリアル変換器 5 4 - 4 を有している。バスp-data-outの 1 6 ビットのパラレル信号はまた、 B I P - 8 テスタ生成器 5 4 - 2 に印加される。図 5 G を参照して後で説明するように、バスp-data-outの 1 6 ビットのパラレル信号は、セル生成ユニット (C G U) 5 8 から得られる。

【 0 0 9 2 】

さらに、セル生成ユニット (C S U) 5 4 はラインインタフェースユニット (L I U) 5 3 (図 5 A を参照) の差分アンプペア 5 3 - 1 から出力されるラインserclkのシリアルクロック信号を受信し、到来するシリアルクロック信号serclkを 1 6 分割してパラレルクロック信号pclkを生成する。パラレルクロック信号pclkは行列ユニット (R C U) 4 0 の多くの要素に印加される。クロック分割器 5 4 - 5 とシリアル / パラレル変換器 5 4 - 1 とはラインserclkのシリアルクロック信号の両方エッジで動作する。

30

【 0 0 9 3 】

同期 (sync) タグ検出器 5 4 - 3 は状態マシンと同期 (sync) セル (L S C セル) を探索する比較器とを含む。図 8 と図 9 とに関連して後でさらに詳細に述べるように、同期 (sync) タグ検出器 5 4 - 3 の状態マシンは 3 つの状態、即ち、 P R E S Y N C 、 S Y N C 0 、 S Y N C 1 とをもつ。 L S C セルの検出時、同期 (sync) タグ検出器 5 4 - 3 は、図 5 G に関して後で説明するように、セル生成ユニット (C G U) 5 8 への印加のためにライン “ sync-cell ” に信号を出力する。

40

【 0 0 9 4 】

B I P - 8 テスタ生成器 5 4 - 2 とはスイッチポートボード (S P B) 2 4 とスイッチコア 2 2 との間のリンクを長期的に調べてライン品質を決定する。バイトの各ビットは先のバイトの対応するビットについての保存されたパリティと排他的論理和 (X O R) がとられる。その結果が、期待される結果を含む制御セルに対してチェックされる。反対の機能がp-data-out方向に適用される。

【 0 0 9 5 】

50

4.3 セル解析ユニット (CAU)

図5Cに示すように、セル解析ユニット (CAU) 55はセル同期ユニット (CSU) 54からバスp-data-inで16ビット信号を受信する。バスp-data-inを到来するセルのストリームにおけるセルがセル解析ユニット (CAU) 55で受信されるとき、そのセルは、(1)セル書込みユニット (CWU) 56に転送されるサービスセル、或いは(2)運用管理ユニット (OMU) 57に渡される制御セルである (図5を参照)。

【0096】

セル解析ユニット (CAU) 55はセルのPRIフィールド (例えば、図4Aと図4Bを参照)を調べることによりセルタイプをチェックするPRIデコードユニット55-1を含む。前に示唆されているように、サービスセルは正当なPRI値0~19を持つ一方、制御セルはPRI値20~31をもつ。一旦判断がなされると、セルタイプは、セル処理の期間、セルタイプレジスタ55-2に格納され、ライン“cell type”で行列ユニット (RCU) 40の他のユニットに印加される。図面上では印象的に示されていないが、ライン“cell type”の信号はセル書込みユニット (CWU) 56を示し、運用維持ユニット (OMU) 57にはセルのタイプを示しており、その結果、これらのユニットはセルタイプの解析を繰返さなくとも良い。セル解析ユニット (CAU) 55で生成されたようなセルタイプ信号は、セル書込みユニット (CWU) 56と運用維持ユニット (OMU) 57とに対して、それらのユニットが従事されるべきであるかどうかを示す。セル書込みユニット (CWU) 56はそのセルがサービスセルであれば担当となり、運用維持ユニット (OMU) 57はそのセルがLCCセルであれば担当となる。もし、そのセルがLSCセルであれば、セル書込みユニット (CWU) 56或いは運用維持ユニット (OMU) 57のいずれかが担当となる。

【0097】

セル解析ユニット (CAU) 55はまた完全性チェッカ55-3を含む。完全性チェッカ55-3は、第1バイト、第2バイト、及び、最後の第16バイトにおいて制御セルのパリティエラーについてチェックする (図4BにおけるFBP、SBP、LWPを参照)。もし、そのセルが可変セルフォーマットであれば、全てのサービスセルについて第1バイトと第2バイトにおけるパリティエラーがチェックされる。いずれかのセルにおいてエラーが検出されたなら、フォルト信号が生成される。そのようなパリティエラーによって迅速な再同期がなされ、そのようなパリティエラーの原因が格納される。第1或いは第2バイトでパリティフォルトをもつセルは禁止され、セル書込みユニット (CWU) 56へとは転送されない。その上、クロスポイントステータスユニット (XSU) 50におけるレジスタは悪い状態となっているかもしれない、それは再同期後にスイッチポートボード (SPB) 24から更新される。種々のセル完全性チェック動作がセクション11.0で説明される。

【0098】

セル解析ユニット (CAU) 55はさらにPRIスワップユニット55-4を含む。サービスセルに関し、PRIスワップユニット55-4は、前述のように、PRIフィールドの宛て先の値を発信元の値へと変更する。PRIフィールドの宛て先の値はセル書込みユニット (CWU) 56による使用のために退避されており、ラインdest-PRIに印加される。サービスセル自身は16ビットバス“write data”でセル書込みユニット (CWU) 56へと送信される。

【0099】

4.4 セル書込みユニット (CWU)

セル書込みユニット (CWU) 56はクロスポイントユニット (XPU) 32の内、アドレスされた1つにサービスセルを格納する。図5Dに示されるセル書込みユニット (CWU) 56は、セルサイズロジックユニット56-1、書込みアドレスカウンタ56-2、クロスポイント選択ユニット56-3、バッファ選択ユニット56-4を含む。サービスセルは、セル解析ユニット (CAU) 55から16ビットバス“write data”で受信され、セル書込みユニット (CWU) 56の全てのユニットに印加される。セル解析ユニッ

10

20

30

40

50

ト(CAU)55からラインdest-PRIで取得された、本質的にはセルがどのスイッチポートボード(SPB)24に送信されるのかを示す、宛て先PRI値がクロスポイント選択ユニット56-3に印加される。

【0100】

後述するように、クロスポイント選択ユニット56-3は、サービスセルの処理期間中、サービスセルが書込まれることになる特定のクロスポイントユニット(XPU)32を選択して動作可能にする。サービスセルのフィールドCBQの値に基づいて、バッファ選択ユニット56-4はサービスセルが書込まれることになる特定のクロスポイントユニット(XPU)32のバッファCBQ₀、或いはCBQ₁(図2を参照)の1つを選択し、バッファイネーブル信号を選択されたバッファに印加し、優先度信号を生成する。特定のクロスポイントユニット(XPU)32とそこにあるバッファに従って、書込みアドレスカウンタ56-2は到来するサービスセルの最初の16ビットワードについての書込みアドレスを生成し、バス“write address”にその同じものを印加する。サービスセルのこれに続く16ビットワード各々について、書込みアドレスカウンタ56-2は、そのセルの全てのワードがアドレスされたクロスポイントユニット(XPU)32に書込まれるまで、さらなるアドレスを生成する。書込みアドレスカウンタ56-2は、セルサイズロジック56-1によって決定されるようにセルサイズに従って、サービスセルの各ワードについてさらなるアドレスを生成する。セルサイズロジック56-1は、フィールドSCS(図4Aを参照)に基づいて、サービスセルのサイズを知る。書込みアドレスカウンタ56-2はゼロで始まり、セルサイズをカウントする。

【0101】

書込みアドレスカウンタ56-2はまた、クロスポイントステータスユニット(XSU)50によって利用されてクロスポイントユニット(XPU)32(図5H-1および図5H-2を参照)の“占有”状態をセットするstart_write信号とend_write信号とを送信する。そのような信号はまた、クロスポイントステータスバス(CSB)48を経て、アンローディングの目的のために影響を受けるクロスポイントユニット(XPU)32を管理する他の行列ユニット(RCU)40のスキャン状態レジスタ50-4に印加する。

【0102】

クロスポイント選択ユニット56-3はイネーブルレジスタとマルチキャストレジスタとを含む。イネーブルレジスタはデコードされたPRI値或いはマルチキャストレジスタからのセルの開始でロードされる。マルチキャストレジスタは、影響を受けるサービスセルの受信に先立ち、制御セルによって目的とするクロスポイントユニット(XPU)32に対するアドレスとともに前もってロードされなければならない。マルチキャストレジスタは、スイッチコア22がポイント-ツウ-マルチポイント接続をサポートする場合にのみ必要とされる。

【0103】

4.5 運用・維持ユニット(OMU)

運用・維持ユニット(OMU)は基本的には制御セルを終了させたり、クロスポイントステータスユニット(XSU)50におけるレジスタの1つを目的レジスタとして選択するための役目を果たす。図5Eに示されているように、運用・維持ユニット(OMU)は、ビットマップターゲットコードレジスタ57-1、ターゲットコードレジスタ57-2、トラフィックモードレジスタ57-3、アティクル番号PRIコードユニット57-4、ゼロフィルバンクユニット57-5、ビットマップデコードユニット57-6、ターゲットデコードユニット56-7を有する。16ビットバスp-data-inは、セル同期ユニット(CSU)54からビットマップターゲットコードレジスタ57-1、ターゲットコードレジスタ57-2、トラフィックモードレジスタ57-3に印加される。

【0104】

3つの可能性のある動作の1つは運用・維持ユニット(OMU)57に送信されたセルに関してとられる。第1の動作として、アイドルセルが捨てられる。第2の動作として、同期(sync)セル(例えば、LSCセル)が捨てられる(しかしながら、もし、LSCセル

10

20

30

40

50

における“セル同期(sync)ステータス”ビットがセットされたなら、LSCセルは格納されねばならず、戻されるLSCセルは送信されねばならない)。第3の動作として、LCC同期セルは処理される(ビットマップフォーマットであろうと、コード化フォーマットであろうと)。

【0105】

上述の点について、制御セルはビットマップターゲットコードレジスタ57-1とターゲットコードレジスタ57-2とに平行に送られる。もし、制御セルがビットマップフォーマットセル(図4B-1)であれば、ビットマップターゲットコードレジスタ57-1はそうのように判断し、そのセルをデコードされるビットマップデコードユニット57-6へと送る。そのセルの選択された内容がそれから(ライン“bitmap load”で)ビットマップされた制御レジスタ(表5とセクション4.6.1を参照)のうちの目的とする1つへとロードされる。ターゲットコードレジスタ57-2は、ターゲットデコードユニット57-7を動作可能にする機能を果たしどのターゲット制御レジスタにビットマップフォーマットセルが向けられているかを判断する。この判断に従って、ターゲットデコードユニット57-7はライン“register select”に信号を出力する。そのレジスタのうちの目的とするものは、ビットマップLCC制御セルのPRIフィールドにおける値から確認される。

【0106】

コード化フォーマットのLCC制御セルは、ターゲットの制御レジスタへのアドレスと格納或いはターゲット制御レジスタ(表6を参照)から取り出されるデータを含むことができる。そのようなレジスタは一般的には、例えば、セクション4.6.2で説明される。ターゲットレジスタフィールドのコードはまた、この文脈では、例えば、表6のクリア命令を参照する直接的なコマンドを保持できる。直接的なコマンドはすぐに実行され、どのレジスタにも格納されないコマンドである。直接的なコマンドの例には、クリア命令やポーリング状態取り出し命令がある。そのクリア命令は本質的にはXSUのポーリング状態ステータスレジスタ50-2とスキャン状態レジスタ50-in(図5H-2を参照)をクリアする。ポーリング状態取り出し命令はスイッチポートにポーリング状態ステータスLCCを発行して返すことを強制する。

【0107】

ロードマーカとアンロードマーカとをもつターゲットレジスタフィールドは、ターゲットレジスタが上書きされるまでターゲットレジスタに格納される。ロードマーカとアンロードマーカとは動的であり、一旦実行されたならクリアされる。ターゲットレジスタからのデータ取り出しを示すアンロードマーカは、制御セルがスイッチポートボード(SPB)24に対して送られるときに、最初に行われる。

【0108】

ゼロフィルバンクユニット57-5は、クロスポイントステータスユニット(XSU)50のターゲットレジスタに関与する取り出し動作でゼロ詰めを行うために利用される。より多くのゲートに関与する別の実施形態では、ゼロ詰めはターゲットレジスタ自身で実行される。

【0109】

4.6 クロスポイントステータスユニット(XSU)
クロスポイントステータスユニット(XCU)50は、ビットマップリンク接続制御(LCC)セル(表5を参照)を用いるレジスタとコード化リンク接続制御(LCC)セル(表6を参照)とを含む多くの制御レジスタを含んでいる。さらに、クロスポイントステータスユニット(XSU)50は行列ユニット(RCU)40とそのRCUに接続される書込みバス42とに接続される各クロスポイントユニット(XPU)32についての現在のフィル状態についての情報を保持するレジスタをもつ。

【0110】

4.6.1 ビットマップ化LCCセルを用いたレジスタ
表5に示されているように、ビットマップLCCセルをスイッチコア22へと送信するこ

10

20

30

40

50

とにより更新される 3 つのタイプのレジスタがある。これら 3 つのタイプのレジスタはマルチキャストレジスタ、スキャンブロックレジスタ、ポーリング状態レジスタである。

【 0 1 1 1 】

ビットマップ L C C セルを用いるような表 5 に示されるレジスタは 1 6 ビット幅である（なぜなら、ビットマップ L C C セルは 1 6 ビットを搬送する（図 4 B - 1 参照）からである）。全レジスタは 1 つのビットマップ L C C セルをクロスポイントステータスユニット（X S U）5 0 に送信することによって更新される。表 5 のレジスタのアンロードはセクション 4 . 6 . 2 で説明するように、コード化 L C C セルによってなされる。表 5 において、値 “ X ” は「気にする必要のない」値を示す。もし、正しくない C B Q 値をもつなら、セルは棄却される。

10

【 0 1 1 2 】

4 . 6 . 1 . 1 マルチキャストレジスタ

行列ユニット（R C U）4 0 の 1 6 ビットのマルチキャストレジスタは、サービスセルが“マルチキャスト”の指示をもつときに用いられるビットマップを保持する。そのビットマップの各ビットはスイッチコア 2 2 のポート、即ち、スイッチポートボード（S P B）2 4 の 1 つに対応する。例えば、ビット（0）はポート 0（スイッチポートボード（S P B）2 4₀）に対応するなどの対応関係が、ビット 1 5 がポート 1 5（スイッチポートボード（S P B）2 4₁₅）に対応するまで続く。マルチキャストレジスタのビットマップにおいて、“1”をセットするビットは、セルが、マルチキャストの 1 部として、もし空きであれば、対応するバッファにロードされることを意味する。“0”にセットされるマルチキャストレジスタのビットは、対応するバッファがマルチキャストでは含まれていないことを意味する。1 つのレジスタ位置が 2 つのキュー、C B Q₀と C B Q₁のために用いられ、このレジスタについての C B Q 値は重要ではない。

20

【 0 1 1 3 】

4 . 6 . 1 . 2 スキャンブロックレジスタ

各行列ユニット（R C U）4 0 のクロスポイントステータスユニット（X S U）5 0 について、走査処理からバッファをマスクして外すために用いられる 2 つの 1 6 ビットスキャンブロックレジスタ 5 9 - 6（図 5 F を参照）がある。1 6 ビットスキャンブロックレジスタ 5 9 - 6 の 1 つは、行列ユニット（R C U）4 0 によって管理される C B Q₀ バッファについてビットマップとしての役目を果たし、もう 1 つのスキャンブロックレジスタは、行列ユニット（R C U）4 0 によって管理される C B Q₀ バッファについての C B Q₁ バッファについてのビットマップとしての役目を果たす。

30

【 0 1 1 4 】

スキャンブロックレジスタ 5 9 - 6 はある C B Q₀ / C B Q₁ バッファの走査を排除するようにセットされるかもしれないが、そのバッファのロードは依然としてアクティブ、即ち、セルはスキャンブロックのビットセットをもつバッファへとロードされる。そのセルは、そのビットがクリアされるまで、バッファに留まる。そのビットがリセットされると、バッファは走査処理に再び結合されて、そのセルは正規な時間でスイッチポートから送信される。

【 0 1 1 5 】

マルチキャストレジスタのビットマップのように、スキャンブロックレジスタのビット（0）はポート 0（スイッチポートボード（S P B）2 4₀）に対応するなどの対応関係が、ビット 1 5 がポート 1 5（スイッチポートボード（S P B）2 4₁₅）に対応するまで続く。スキャンブロックレジスタのビットマップにおいてビットに“1”をセットすることは、そのバッファがブロックされていることを示す。

40

【 0 1 1 6 】

4 . 6 . 1 . 3 ポーリング状態レジスタ

表 5 のポーリング状態ステータスレジスタとポーリング状態解放レジスタは集合的に“ポーリング状態レジスタ”と呼ばれる。各行列ユニット（R C U）4 0 について、スイッチコア 2 2 の各マトリクスについて（図 6 を参照）ポーリング状態ステータスレジスタ 5 0

50

- 2 とポーリング状態解放レジスタがある。それゆえに、与えられた行列ユニット (RCU) 40 に対して、2 つのポーリング状態ステータスレジスタと 2 つのポーリング状態解放レジスタがある。第 1 のポーリング状態ステータスレジスタは、書込みバス 42 によって RCU に接続されるクロスポイントユニット (XPU) 32 における各バッファ CBQ₀ (コアマトリクス 0 において) に関し、“占有” 或いは“空き” のビットマップ表示を含み、第 2 のポーリング状態ステータスレジスタは、書込みバス 42 によって RCU に接続されるクロスポイントユニット (XPU) 32 における各バッファ CBQ₁ (コアマトリクス 0 において) に関し、“占有” 或いは“空き” のビットマップ表示を含む。第 1 ポーリング状態解放レジスタは、読出しライン 44 によって RCU に接続されるクロスポイントユニット (XPU) 32 におけるバッファ CBQ₀ (コアマトリクス 0 において) において“占有” から“空き” への遷移が発生したかどうかを示すビットマップ表示を含み、第 2 ポーリング状態解放レジスタは、読出しライン 44 によって RCU に接続されるクロスポイントユニット (XPU) 32 における各バッファ CBQ₁ (コアマトリクス 0 において) に関する類似の表示を含む。ポーリング状態レジスタに影響を与えるセルは、これ以降のセクション 9.0 で説明するように送信される。

【0117】

従って、各行列ユニット (RCU) 40 に関し、2 つの 16 ビットポーリング状態レジスタがあり、これらは同じ列の 16 個のバッファが空きであるか、或いは、占有されているかを示す表示を保持する。各行列ユニット (RCU) 40 は、これが管理する 16 個の CBQ₀ バッファについてのポーリング状態ステータスレジスタと、これが管理する 16 個の CBQ₁ バッファについての別のポーリング状態ステータスレジスタをもつ。ポーリング状態ステータスレジスタのビット 0 は行列ユニット (RCU) 40 によって管理される第 1 のクロスポイントユニット (XPU) 32 に対応し、この対応はビット 15 まで続き、ビット 15 は行列ユニット (RCU) 40 によって管理される最後のクロスポイントユニット (XPU) 32 に対応する。各ポーリング状態ステータスレジスタにおいて、ゼロをセットするビットは対応するクロスポイントユニット (XPU) 32 のキュー (CBQ₀ 或いは CBQ₁ の 1 つで特定されるように) が空きであることを示し、一方、“1” をセットするビットはそのバッファが占有されていることを示す。セクション 9.0 に関連して後で詳細に説明するように、ビットマップ化されたポーリング状態ステータスレジスタの内容は、スイッチポートボード (SPB) から発行された“ポーリング状態取り出し命令 (retrieve pollstate command)” への応答として送信される。“ポーリング状態取り出し命令 (retrieve pollstate command)” は 25 の ADR フィールド値をもつコード化 LCC セルとともにスイッチコア 22 に送られる。ポーリング状態ステータスレジスタのためにビットマップ LCC で用いられないビットは“0” にセットされ、リザーブされたビットは“1” に等しい。

【0118】

ポーリング状態解放 LCC セルは典型的には、行列ユニット (RCU) 40 によって管理される列のバッファの 1 つが、ポーリング状態解放レジスタ 50 - 8 における対応する遷移で示されているように、“占有” から“空き” への変化を経験するときにはいつでも、行列ユニット (RCU) 40、特に、セル生成ユニット (CGU) 58 から送信される。もし、クロスポイントユニット (XCU) 32 についての両方のレジスタ (CBQ₀ と CBQ₁) とが変更されたなら、CBQ₀ に対応したポーリング状態ステータスレジスタの内容を示すセルが、より高い優先度をもつが故に最初に送信される。進行中の“ポーリング状態解放” の間の全ての変更は捕捉され、別の“ポーリング状態解放” セルとなる。各ポーリング状態解放レジスタにおいて、“1” にセットされるビットはポーリング状態解放レジスタのステータスが占有から空きへと変化したことを示す一方、“0” にセットされるビットは現在のステータスを維持する (占有と空きのいずれか 1 つがあり得る) ことを示す。ポーリング状態解放レジスタのためのビットマップ化された LCC において用いられないビットは“0” にセットされ、リザーブされたビットは“1” に等しくなる。

【0119】

10

20

30

40

50

図 6 A ~ 図 6 E を参照して以前に説明したように、各 S P I C 2 6 は、これが制御する各クロスポイントユニット X P U 3 2 についての 1 つのビット位置をもつレジスタ 2 6 R (図 1 と図 6 とを参照) をもつ。S P I C 2 6 がセルをクロスポイントユニット X P U 3 2 に書込むときはいつでも、S P I C 2 6 はレジスタ 2 6 R に対応するビットをセットする。レジスタ 2 6 R にこのようにして書込まれるビットの位置は、ビットマップ化された L C C セル (表 5 と図 4 B - 1 を参照) に与えられたビット位置に対応している。ビットがレジスタ 2 6 R に X P U 3 2 に関してセットされる限り、S P I C 2 6 は新しいセルをその X P U 3 2 に送信することはできない。対応する X P U 3 2 についてのビットがレジスタ 2 6 R でリセットされた後だけに、別のセルが X P U 3 2 へと送信可能になる。レジスタ 2 6 R のビットは、S P I C 2 6 がポーリング状態解放レジスタにおいて問題にしている X P U 3 2 についてのビットが “ 1 ” (例えば、占有から空き状態への遷移を示す) にセットされたことを示すセルを受信したときに、リセットされる。従って、S P I C 2 6 とスイッチコア 2 2 との間のハンドシェイクが発生する。このハンドシェイクによって、X P U 3 2 が不都合に上書きされないことが保証される。そのレジスタ 2 6 R とスイッチコア 2 2 との間にミスマッチがないことを確認するために、S P I C 2 6 は現在のクロスポイントステータスに注意を向けることができる。現在のクロスポイントステータスに注意を向けることは、例えば、S P I C 2 6 がタイムアウトによってレジスタ 2 6 R にある位置を決してリセットしないことを検出するかどうかで、なされるべきである。そのとき (或いは、定期的な間隔で)、S P I C 2 6 は “ ポーリング状態取り出し命令 (retrieve pollstate command) ” を発行する。スイッチコア 2 2 は S P I C 2 6 にポーリング状態ステータス L C C セル (表 5 を参照) を送信することで応答する。

【 0 1 2 0 】

例えば、ポーリング状態ステータスレジスタとポーリング状態解放レジスタのような、各クロスポイントユニット (X P U) 3 2 の各バッファについての現在のフィルステータスについての情報を保持するクロスポイント (X S U) 5 0 に含まれるレジスタは、クロスポイントステータスバス (C S B) 4 8 (図 6 参照) を通して更新される。クロスポイントユニット (X P U) 3 2 のレジスタについての情報は本質的には 2 つの目的を果たす。第 1 の目的は、占有され、それゆえにアンロードされるクロスポイントユニット (X P U) 3 2 を (ポーリング状態ステータスレジスタを用いて) 認識することである。第 2 の目的は、“占有”から“空き”ステータスへと遷移したクロスポイントユニット (X P U) 3 2 を (ポーリング状態解放レジスタを用いて) 認識し、新しいセルをそこに送信可能にすることである。

【 0 1 2 1 】

セクション 1 0 . 0 で説明するように、各行列ユニット (R C U) 4 0 はその関連する列について走査処理を実行する。S P I C 2 6 はスキャン可能カウンタ (セクション 4 . 6 . 2 . 4 を参照) をセットすることにより、その関連する R C U 4 0 における走査処理期間を制御できる。走査処理は、図 1 8 に説明されており、図 1 0 に示される動作の全体的な流れの一部である。

【 0 1 2 2 】

図 5 H - 2 はポーリング状態ステータスレジスタ 5 0 - 2、ポーリング率レジスタ 5 0 - 3、スキャン状態レジスタ 5 0 - 4、スキャン率レジスタ 5 0 - 5 を有する実施形を示す。ライン D H - L より上側に描写されている図 5 H - 2 の一部は、特定のクロスポイントステータスユニット (X S U) 5 0 に接続される書込みバス 4 2 に装着された各クロスポイントユニット (X P U) 3 2 の各バッファ C B Q₀ と C B Q₁ に対して設けられる。ライン D H - L より下側に描写されている図 5 H - 2 の一部は、特定のクロスポイントステータスユニット (X S U) 5 0 に接続される読出しバス 4 4 に装着された各クロスポイントユニット (X P U) 3 2 の各バッファ C B Q₀ と C B Q₁ に対して設けられる。

【 0 1 2 3 】

図 5 H - 2 において、セル同期ユニット (C S U) 5 4 から得られるライン p-data-in のパラレル入力データがポーリング率レジスタ 5 0 - 3 とスキャン率レジスタ 5 0 - 5 の両

方の入力端子に印加される。セクション 4 . 6 . 2 . 8 とセクション 1 0 . 0 とを参照して後で説明するように、ライン p-data-in のパラレル入力データは、ポーリング率レジスタ 5 0 - 3 に印加されて、2 つのポーリングオプションのいずれが組込まれるのかを示す。同様に、セクション 4 . 6 . 2 . 9 とセクション 1 0 . 0 とを参照して後で説明するように、ライン p-data-in のパラレル入力データは、スキャン率レジスタ 5 0 - 5 に印加されて、2 つのスキャンオプションのいずれが組込まれるのかを示す。ポーリング率レジスタ 5 0 - 3 の端子 Q への信号は、2 つのポーリングオプションのいずれが選択されるのかに従って、出力選択信号としてスイッチ 5 0 - 6 に印加される。スキャン率レジスタ 5 0 - 5 の端子 Q への信号は、2 つのスキャンオプションのいずれが選択されるのかに従って、出力選択信号としてスイッチ 5 0 - 7 に印加される。

10

【 0 1 2 4 】

ポーリング状態レジスタ 5 0 - 2 は、セット端子 S、リセット端子 R、出力端子 Q をもつ。ポーリング状態レジスタ 5 0 - 2 のセット端子 S はセル書込みユニット (C W U) 5 6 (図 5 D を参照) からライン “ start-write ” で信号を受信する。ポーリング状態レジスタ 5 0 - 3 の内容に従って、スイッチ 5 0 - 6 はライン “ start-read ” と “ end-read ” の信号のいずれか 1 つをポーリング状態レジスタ 5 0 - 2 のリセット端子 R に印加する。ライン “ start-read ” と “ end-read ” の信号は、図 5 F を参照して後で説明されるように、セル読出しユニット (C R U) 5 9 から得られる。ライン “ start-read ” と “ end-read ” のいずれかが選択されるのかに依存したタイミングに従って、ポーリング状態レジスタ 5 0 - 2 の Q 端子はライン “ poll data ” で信号を印加する。

20

【 0 1 2 5 】

図 5 H - 2 のポーリング状態レジスタ 5 0 - 2 の状態は、信号 “ poll data ” によってポーリング状態ステータスレジスタ 5 0 - 2 の適切なビットに印加される。例えば、もし、図 5 H - 2 のライン D H - L より上側に描写されている構造は、行列ユニット (R C U) 4 0₀ のクロスポイントステータスユニット (X S U) 5 0₀ に含まれ、特に、クロスポイントユニット (X P U) 3 2_{0,1} に属しているなら、クロスポイントユニット (X P U) 3 2_{0,1} は、ポーリング状態レジスタ 5 0 - 2 の設定によって示されているように、サービスセルとともにロードされるとき、ライン “ poll data ” で信号はビットマップ化されたポーリング状態ステータスレジスタ (図 4 B - 1 と表 5 を参照) のビット B C D 1 (バイト 6 のビット 2) をセットする。

30

【 0 1 2 6 】

同様に、スキャン状態レジスタ 5 0 - 4 は、セット端子 S、リセット端子 R、出力端子 Q をもつ。スキャン状態レジスタのリセット端子 R はセル読出しユニット (C R U) 5 9 (図 5 F を参照) からライン “ start-read ” で信号を受信する。スキャン率レジスタ 5 0 - 5 の内容に従って、スイッチ 5 0 - 7 はライン “ start-write ” と “ end-write ” の信号のいずれか 1 つをスキャン状態レジスタ 5 0 - 4 のセット端子 S に印加する。ライン “ start-write ” と “ end-write ” の信号は、図 5 D を参照して説明されるように、セル書込みユニット (C W U) 5 6 から得られる。ライン “ start-write ” と “ end-write ” のいずれかが選択されるのかに依存したタイミングに従って、スキャン状態レジスタ 5 0 - 4 の Q 端子はライン “ scan data ” で信号を印加し、これは図 5 F を参照して後で説明するように、セル読出しユニット (C R U) 5 9 に印加される。

40

【 0 1 2 7 】

図 5 H - 2 のスキャン状態レジスタ 5 0 - 4 の状態は、信号 “ scan data ” によってポーリング状態解放レジスタ (図 6 を参照) の適切なビットに印加される。例えば、もし、図 5 H - 2 のライン D H - L より下側に描写されている構造は、行列ユニット (R C U) 4 0₀ のクロスポイントステータスユニット (X S U) 5 0₁ に含まれ、特に、クロスポイントユニット (X P U) 3 2_{0,1} に属しているなら、(スキャン状態レジスタ 5 0 - 4 の設定によって示されているように) サービスセルがクロスポイントユニット (X P U) 3 2_{0,1} からアンロードされるとき、ライン “ scan data ” で信号はビットマップ化されたポーリング状態解放レジスタ (図 4 B - 1 と表 5 を参照) のビット B C D 1 (バイト 6 のビ

50

ット 2) をセットする。

【 0 1 2 8 】

図 5 H - 1 はもう 1 つのさらに簡略化された実施化を示し、そこでは、ポーリング状態とスキャン状態レジスタの機能とが本質的には両方ともクロスポイントステータスユニット (X S U) 5 0 に含まれるクロスポイント機能レジスタ 5 0 - 1 によって実行される。そのような 2 つのレジスタ 5 0 - 1 は、2 つのバッファ (そのような X P U 各々についてバッファ C B Q₀ と C B Q₁) があるために、読出しバス 4 4 に装着された各クロスポイントユニット (X P U) 3 2 に関して存在することを理解されたい。レジスタ 5 0 - 1 の設定端子は、セル書込みユニット (C W U) 5 6 (図 5 D を参照) の書込みアドレスカウンタ 5 6 - 2 から信号が印加されるライン “ start-write ” に接続される。レジスタ 5 0 - 1 のリセット端子は、セル読出しユニット (C R U) 5 9 の読出しアドレスカウンタ 5 9 - 1 から信号が印加されるライン “ end-read ” に接続される。レジスタ 5 0 - 1 の Q 端子はライン “ poll-data ” と “ scan-data ” に接続され、これらの内の後者はクロスポイントステータスバス (C S B) 4 8 に含まれる。ライン “ scan-data ” は、後で図 5 F に関して説明するように、セル読出しユニット (C R U) 5 9 に印加される。

10

【 0 1 2 9 】

4 . 6 . 2 コード化 L C C セルを用いたレジスタ

コード化 L C C セルを用いるクロスポイントステータスユニット (X S U) 5 0 に含まれているコマンドレジスタは表 6 に示されている。表 6 において、サブカラム C B Q、A D R、“ Address ” カラム下の 4 . 6 . 2 は、示されている特定のレジスタをアドレスするのに必要なコード化 L C C セル (図 4 B - 2 を参照) の同様に名前が付けられたフィールドの値を参照する。“ Write ” と “ Read ” とマークが付されたカラムは、コード化 L C C セルによってロード或いは / 及びアンロードされたレジスタを示す。いずれのカラムでも値 “ X ” は、「気にする必要のない」状態を示す (例えば、どんな値でも良い) 。

20

【 0 1 3 0 】

4 . 6 . 2 . 1 ポーリング可能レジスタ

ポーリング可能レジスタは、セル送信処理で行列ユニット (R C U) 4 0 によって用いられるモードコードを含む。そのモードコードはさらにセル伝送 (セクション 9 . 0 と図 1 0 を参照) に関して説明される。ポーリング可能レジスタの 2 つの L S B (最下位ビット) だけが用いられる。ポーリング可能レジスタの 2 つの L S B の値はモード (例えば、モード 0、1、2、3) に対応する。例えば、ポーリング可能レジスタの値 “ 0 ” はモード 0 (例えば、L S C セルのみを送信) を参照する。モード 0 では内部レジスタは読み出されない。レジスタを読み出す試みは、ポーリング可能がモード 1、2、或いは 3 に変化するや否やペンディングになり、実行される。レジスタに書込む試みは、ポーリング可能レジスタに格納される値が “ 0 ” であるときに可能となる。

30

【 0 1 3 1 】

4 . 6 . 2 . 2 L C C パリティモードレジスタ

L C C パリティモードレジスタの最下位 (L S B) ビットはパリティモードを接続するのに用いられる。次のコードを適用する。即ち、“ 0 ” は正常なパリティが生成されることを意味し、“ 1 ” は逆転パリティ F B P、S B P、L W P が送信される L C C セルで生成されることを意味する。

40

【 0 1 3 2 】

4 . 6 . 2 . 3 セル完全性レジスタ

セル完全性レジスタは、スイッチコア 2 2 における種々の検出フォルトが原因となるエラー指示を保持する。完全性チェック動作は例えば、セクション X 0 に説明されている。検出フォルトによってレジスタの対応ビットがセットされる。そのビットはレジスタのアンロード時にクリアされる。ビット 0 がセットされると、これはスイッチコア 2 2 の受信側で検出された F B P、S B P、或いは L W P を示す。ビット 1 がセットされると、これは受信セルのサポートされていない P R I 値、或いは、連結されたストリームにおける変更された C B Q 値、或いは、多すぎるクロスポイントバッファサイズ、クロスポイントバッ

50

ファにおける上書き試行を示す（ユニキャスト或いはマルチキャスト時であり、ブロードキャスト時ではない）。ビット 2 は未使用である。ビット 3 がセットされると、これはバッファからのサービスセルのアンロード時における F B P 或いは S B P のエラーを示す。ビット 4 ～ 7 は未使用である。

【 0 1 3 3 】

4 . 6 . 2 . 4 スキャン可能レジスタ

コールサイズロジック 5 9 - 2（図 5 F を参照）の一部を形成するスキャン可能レジスタは、走査処理のスタートとストップを制御する。スキャン可能レジスタは 8 ビットカウンタであり 0 ～ 2 5 5 のどの値にもプリセットできる。そのカウンタは、対応するポートへと送信されるサービスセルの 8（番目）バイト毎に 1 つずつ値を減数してゆく。そのカウンタの値がゼロにあると、走査処理はストップする。もし、そのカウンタが 2 5 5 にプリセットされていると、カウントダウンは不可能になり、走査処理は新しい値（1 以上 2 5 5 未満）がレジスタにロードされるまでずっと可能になる。

10

【 0 1 3 4 】

4 . 6 . 2 . 5 システムクロックレジスタ

システムクロックレジスタ（図 5 I を参照）は、各ポートのシステムクロック出力についてのマルチプレクサを制御する。値 0 ～ 1 5 がシステムクロック源のポート番号をセットする。システムクロックレジスタでは、ビット 0 ～ 3 がクロック源のポート番号を含み、ビット 4 ～ 7 は未使用である。システムクロックレジスタは、スイッチコア 2 2 からの読出し “ read ” においてゼロに等しくなるようにセットされる。

20

【 0 1 3 5 】

4 . 6 . 2 . 6 自己 P R I レジスタ

自己 P R I レジスタは 4 ビット読出し専用レジスタである。読出しにおける値は実際のポート番号に等しい。自己 P R I レジスタにおいて、ビット 0 ～ 3 は自身のポート番号であり、ビット 4 ～ 7 はゼロに等しいようにセットされる。

【 0 1 3 6 】

4 . 6 . 2 . 7 改訂番号レジスタ

改訂番号レジスタはスイッチコア 2 2 の改訂番号に関する情報を保持する 8 ビットの読出し専用レジスタである。スイッチコア 2 2 の最初の改訂は “ 1 ” である。その改訂番号レジスタにおいて、ビット 0 ～ 7 は “ 1 ” で始まる改訂番号を含む。

30

【 0 1 3 7 】

4 . 6 . 2 . 8 ポーリング率レジスタ

スイッチコア 2 2 を介してサービスセルを互いに送信するスイッチポートボード（S P B s）2 4（“スイッチポート”）は異なる速度をもつことができる。スイッチコア 2 2 を介したサービスセルの最大性能を成し遂げるために、サービスセルのアンロードの始まり或いは終了において、クロスポイントユニット（X P U）3 2 のバッファが “ 空き ” を示すようになることが必要である。スイッチポートボード（S P B s）2 4 間の速度の違いに依存して、この選択はなされる。

【 0 1 3 8 】

スイッチコア 2 2 の各行列ユニット（R C U）4 0 において、前にポーリング状態ステータスレジスタ 5 0 - 2 として説明したように 2 つの 1 6 ビットレジスタ（C B Q 当たり 1 個、即ち、バッファ C B Q₀ に対して 1 つ、バッファ C B Q₁ に対して 1 つ）がある。ポーリング率レジスタ 5 0 - 3 は図 5 H - 2 に示されている。1 列についてのバッファが、対応するポーリング状態ステータスレジスタ 5 0 - 2 において “ 空き ” 或いは “ 占有 ” として示されている。ポーリング状態ステータスレジスタ 5 0 - 2 の内容は、取り出すポーリング状態命令に応答して行列ユニット（R C U）4 0 からスイッチポートボード（S P B）2 4 へと送られるビットマップ L C C セルによって送信される。

40

【 0 1 3 9 】

ポーリング率レジスタはいつ関連するバッファが “ 空き ” として示されるのかを定義する。各行列ユニット（R C U）4 0 に関して、その行列ユニット（R C U）4 0 に接続され

50

る列における各クロスポイントユニット（XPU）32に関し、ポーリング率レジスタには1つのレジスタビットがある。このレジスタビットはクロスポイントユニット（XPU）32における2つのCBQバッファについて同じである。低位の8ビットはPRC=0において位置付けられ、最上位バイトはPRC=1において両方ともアドレス14にある。

【0140】

バッファに関するポーリング状態ステータスレジスタ50-2の占有/空きの指示は、セルのアンロードの開始或いは終了のいずれかにおいて“空き”にセットされる。その指示がセルのアンロードの開始或いは終了のいずれかにおいて空きにセットされるかどうかは、ポーリング率レジスタにおける対応するビットの設定によって判断される。ゼロ（“0”）に設定されると、“空き”の指示がバッファからの最後のワードのアンロードで設けられ、一方、ポーリング率レジスタの対応するビットを“1”に設定すると、“空き”の指示がそのバッファからの最初のワードのアンロードで設けられる。

10

【0141】

図11は、特定の行列ユニット（RCU）40_xについて、その行列ユニット（RCU）40によって管理されるポーリング率レジスタとクロスポイントユニット（XPU_s）32におけるビットの関係づけを示している。図11に示される特定の行列ユニット（RCU）40_xは、メモリアレイユニット（MAU）30の列xを管理する。

【0142】

図12とともに次のシナリオは、スイッチポートX及びYとして参照されている2つのスイッチポートボード（SPBs）24がサービスセルを互いに送信するように設定される時、ポーリング率レジスタがどのように設定されるべきであることを説明している。最初に、対向するスイッチポートのビット率は知られてはいない。従って、“空き”の指示が、バッファから最後のワードをアンロードするときになされる。スイッチポートがサービスセルをそれ自身に送信するときに、“空き”の指示は、この場合のビット率がいつも同じであるように、バッファから最初のバイトをアンロードするときになされる。ポーリング率レジスタはこの場合のために、LCCセルを介して初期設定される。

20

【0143】

図12の破線の横線の下にある状態で示されているように、2つのスイッチポートXとYは今やサービスセルを互いに送信することができる。図示では、スイッチポートXの速度はスイッチポートYの速度よりはるかに高速であるように仮定され、ポーリング率レジスタの対応ビットがそれに従ってセットされている。

30

【0144】

XからYへのサービスセルを保持するバッファの“空き”表示は、バッファから最後のワードがアンロードするときにセットされる。YからXへのサービスセルを保持するバッファの“空き”表示は、バッファから最初のワードがアンロードするときにセットされる。

【0145】

4.6.2.9 スキャン率レジスタ

スイッチコア22を介したサービスセルの最大性能を達成するために、利用可能なセルの表示がサービスセルのローディングの開始或いは終了時になされる必要もある。その選択はスイッチポートボード（SPBs）24間の速度の違いに依存してなされる。

40

【0146】

スキャン率レジスタは関連するバッファにおけるセルがいつ“利用可能”として示されるのかを定義する。その表示は内部スナップショットレジスタにロードされ、これは走査処理によって用いられる。

【0147】

図13は、スキャン率レジスタビットとクロスポイントユニット（XPU_s）32との間の関係を示している。この行列ユニット（RCU）40に接続された列における各クロスポイントユニット（XPU）32に関し、スキャン率レジスタには1つのレジスタビットがある。このレジスタビットは2つのCBQ値（全部で16ビット）に対して共通である

50

。その低位 8 ビットは $RPC = 0$ で位置決めされ、 $RPC = 1$ における最上位バイトである。両方ともアドレス 15 にある。

【0148】

そのバッファについての“セル利用可能”の指示は、セルのローディングの始まり或いは終わりになされる。そのバッファについての“セル利用可能”の指示がセルのローディングの始まり或いは終わりになされるかどうかは、そのバッファに対応するスキャン率レジスタのビット設定に依存している。この点について、スキャン率ビットに“0”を設定することは、“セル利用可能”の指示がバッファへの最後のワードのローディングで備えられることを示し、一方、スキャン率ビットに“1”を設定することは、“セル利用可能”の指示がバッファへの最初のワードのローディングで備えられることを示す。その指示のリセットは常にセルの最初のバイトのアンロード時になされる。

10

【0149】

図 14 とともに次のシナリオは、2つのスイッチポート、XとYが互いにサービスセルを送信するためにセットアップされるようになるときに、どのようにスキャン率レジスタがセットされるべきであるのかを説明している。最初には、対向するスイッチポートのビット率は知られていない。それゆえに、“セル利用可能”の表示は、バッファへの最後のワードがロードされるときにセットされる。スイッチポートがサービスセルをそれ自身に送信するときに“セル利用可能”の表示は、この場合のビット率が常に同じであるように、バッファへの最初のバイトのローディング時になされる。LCCセルを介して、スキャン率レジスタはその機能が開始される。

20

【0150】

図 14 の第 2 の状態において、2つのスイッチポートは今やサービスセルを互いに送信できる。スイッチポート X の速度はスイッチポート Y の速度よりはるかに高速であると仮定され、それに従ってスキャン率レジスタの対応ビットがセットされる。X から Y へのサービスセルの“セル利用可能”の表示は、バッファへの第 1 のワードのローディング時になされる。Y から X へのサービスセルの“空き”の表示はバッファへの最後のワードのローディング時になされる。

【0151】

4 . 6 . 2 . 10 クリア命令

クリア命令がスイッチコア 22 へと送信されるとき、このポートの対応する内部レジスタはすぐにクリアされる。LCCセルのデータフィールドの異なるデータビットはスイッチコア 22 における異なるレジスタをクリアする。

30

【0152】

次のマッピングがクリア命令に適用される。

【0153】

“1”にセットされたデータビット(0)をもつクリア命令は対応するCBQ値のポーリング状態レジスタをクリアし、従って、クリア(CLEAR)ポーリング状態命令としての役目を果たす。

【0154】

“1”にセットされたデータビット(1)をもつクリア命令は対応するCBQ値のポーリング状態解放(スキャン状態)レジスタをクリアし、従って、クリア(CLEAR)スキャン状態命令としての役目を果たす。列に接続されたポートがなく、この列のクロスポイントのポーリング状態のビットがセットされるなら、そのポーリング状態はハイレベルに留まり、クリアスキャン状態はこのクロスポイントからセルを生成する。そのポーリング状態ビットは、このポートへのクロックがないのでハイレベルに留まり、セルは新しい“クリアスキャン状態”のたび毎に生成される。

40

【0155】

“1”にセットされたデータビット(2)をもつクリア命令は対応するCBQ値のスナップショットレジスタをクリアし、従って、クリア(CLEAR)スナップショット命令としての役目を果たす。

50

【 0 1 5 6 】

“ 1 ” にセットされたデータビット (3) をもつクリア命令は対応する C B Q 値のスキャンブロックレジスタをクリアし、従って、クリア (C L E A R) スキャンブロック命令としての役目を果たす。

【 0 1 5 7 】

“ 1 ” にセットされたデータビット (4) をもつクリア命令は対応する C B Q 値のマルチキャストレジスタをクリアし、従って、クリア (C L E A R) マルチキャスト命令としての役目を果たす。推奨：

4 . 6 . 2 . 1 1 ポーリング状態取り出し命令

ポーリング状態取り出し命令がスイッチコア 2 2 に送信されるとき、内部ポーリング状態ステータスが取り出される。マトリクス 0 の C B Q₀ バッファについて 1 つの命令があり、マトリクス 1 の C B Q₁ バッファについてもう 1 つの命令がある。

10

【 0 1 5 8 】

4 . 6 . 2 . 1 2 スキャンブロックレジスタ

スキャンブロックレジスタの読出しはスイッチコア 2 2 に A D R フィールド値 2 8 とともにコード化 L C C セルを送信することによりなされる。その L C C セルの R P C フィールド値と C B Q フィールド値とはスキャンブロックレジスタの対応するデータを与える。

【 0 1 5 9 】

4 . 6 . 2 . 1 3 マルチキャストレジスタ

マルチキャストレジスタの読出しはスイッチコア 2 2 に A D R フィールド値 3 0 とともにコード化 L C C セルを送信することによりなされる。その L C C セルの R P C フィールド値はマルチキャストレジスタの対応するデータを与える。

20

【 0 1 6 0 】

4 . 7 セル読出しユニット (C R U)

スキャン状態処理に従って、サービスセルはスイッチコア 2 2 から S P I C 2 6 へと供給される。それゆえに、S P I C 2 6 は、その列で影響を受ける全てのクロスポイント (X P U s) をブロックするか、或いは、スキャン可能カウンタをゼロに設定することにより、サービスセルが到着することを停止することだけができる。従って、スキャン状態処理 (図 1 8 を参照) は X P U s 3 2 (特に、スキャン状態レジスタ 5 0 - 4、図 5 H - 2 を参照) を探索し、対応する X P U から検出するどんなサービスセルでもアンロードする。セル読出しユニット (C R U) 5 9 は読出しバス 4 4 に装着されたクロスポイントユニット (X P U s) 3 2 のうちの適当な 1 つからでていくセルを取得し、その後、セル生成ユニット (C G U) 5 8 は出力するサービスセルをリンク 2 8 の出力セルストリームに印加する処理を開始する。

30

【 0 1 6 1 】

“ 占有 ” 状態をもつ対応するスキャン状態レジスタ 5 0 - 4 をもつクロスポイントユニット (X P U) 3 2 が見出された後に、占有されたクロスポイントユニット (X P U) 3 2 のバッファはアンロードされる。それから、アンロードされたクロスポイント (X P U) 3 2 についてのバッファの状態がポーリング状態解放レジスタ 5 0 - 8 において “ 空き ” へと変更される。前述の動作は、行列ユニット (R C U) 4 0 もまた接続される読出しバス 4 4 に接続された全てのクロスポイントユニット (X P U s) 3 2 に関して実行される。

40

【 0 1 6 2 】

図 5 F に示されているように、セル読出しユニット (C R U) 5 9 は、読出しアドレスカウンタ 5 9 - 1、セルサイズロジックユニット 5 9 - 2、選択ユニット 5 9 - 3、1 組のスナップショットレジスタ 5 9 - 4、1 組のスキャンデータゲート 5 9 - 5、1 組のスキャンブロックレジスタ 5 9 - 6 を有している。

【 0 1 6 3 】

クロスポイントユニット (X P U) 3 2 がアンロードされることになるとき、クロスポイントステータスユニット (X S U) 5 0 はライン “ scan data ” の信号をセル読出しユニ

50

ット (CRU) 59 のゲート 59 - 5 に印加する。クロスポイントステータスユニット (XSU) 50 によって管理される各クロスポイントユニット (XPU) 32 に関して、図 5H - 2 の構成は複製され、従って、そのような各クロスポイントユニット (XPU) 32 に対して別々のライン “scan data” があることを想起すべきである。ライン “scan data” の信号は、スキャンブロックレジスタ 59 - 6 の組の対応するレジスタによってどのように許されているならば、ゲート 59 - 5 を通過する。そのとき、ゲートされるスキャン信号は、スナップショットレジスタ 59 - 4 の対応する 1 つと選択ユニット 59 - 3 とに平行に印加される。

【0164】

ゲートされるスキャン信号が属する特定のクロスポイントユニット (XPU) 32 に注目すると、選択ユニット 59 - 3 は適切な信号を送信しサービスセルがそのクロスポイントユニット (XPU) 32 からフェッチされるようにする。特に、選択ユニット 59 - 3 は読出しバス 44 のライン “buffer enable” で信号を印加し、ライン “read control” で信号を送信して読出しアドレスカウンタ 59 - 1 が使用される特定のスキャンデータラインからしてどの特定のクロスポイントユニット (XPU) 32 がアドレスされるべきであるのかを決定できるようにし、読出しバス 44 のライン “priority” でバッファ選択信号を送信しアドレスされたクロスポイントユニット (XPU) 32 におけるバッファ C B Q₀ と C B Q₁ の内の選択されたものが正しく指定されるようにする。さらに、選択ユニット 59 - 3 はライン “service cell” で信号をセル生成ユニット (CGU) 58 (図 5G を参照) に送信してサービスセルが利用可能になっていることを示す。

【0165】

読出しアドレスカウンタ 59 - 1 は、選択ユニット 59 - 3 で受信されるゲートされたスキャン信号に対応するクロスポイントユニット (XPU) 32 のアドレスを決定するためにライン “read control” の信号を利用する。そのアドレスは読出しバス 44 のライン “read address” で印加される。読出しの始まりで、読出しアドレスカウンタ 59 - 1 は、クロスポイントステータスユニット (XSU) 50 (図 5H - 2 を参照) への印加のために、ライン “start-read” で信号をセットする。

【0166】

サービスセルのバイトは、読出しバス 44 のライン “read data” でセル読出しユニット (CRU) 59 によって獲得される。各セルのヘッダが受信され、セルサイズロジックユニット 59 - 2 に印加されるので、セルサイズロジックユニット 59 - 2 はセルの長さを判断する (即ち、SCS フィールドから (図 4A を参照))。セルサイズロジックユニット 59 - 2 によって、読出しアドレスカウンタ 59 - 1 は、セルサイズロジックユニット 59 - 2 によって決定されたように、セルの全バイトが得られるまで、繰返し、ライン “read address” で印加されたアドレスをインクリメントすることが可能である。それから、セルサイズロジックユニット 59 - 2 によって読出しアドレスカウンタ 59 - 1 でクロスポイントステータスユニット (XSU) 50 への印加のためにライン “end-read” で信号を発行させる (図 5H - 2)。

【0167】

セル読出しユニット (CRU) 59 によって、クロスポイントユニット (XPU) 32 のバッファからセルをアンロードするとき、アンロードされるバッファについてのポーリング状態ステータスレジスタ 50 - 2 は “空き” 状態へとリセットされる。この点について、ポーリング率レジスタの値に依存して、ライン “end-read” 或いはライン “start-read” の一方或いは他方が用いられてポーリング状態ステータスレジスタ 50 - 2 をリセットする (図 5H - 2 を参照)。

【0168】

上述した方法で選択ユニット 59 - 3 によるアドレッシングを行うとき、アドレスされたクロスポイントユニット (XPU) 32 の選択バッファのセルが読出しバス 44 のライン “read data” で、セル読出しユニット (CRU) 59 とセル生成ユニット (CGU) 58 とへ送信される (図 5G を参照)。

【 0 1 6 9 】

4 . 8 セル生成ユニット (C G U)

セル生成ユニット (C G U) 5 8 はどのセルを次のセル間隔でスイッチポートボード (S P B) 2 4 に送るべきなのかを決定する。セル生成ユニット (C G U) 5 8 によって送信されるセルはバス p-data-out を介してシステムクロックユニット (S C U) 5 2 へと印加される (図 5 B を参照) 。

【 0 1 7 0 】

図 5 G に示されているように、セル生成ユニット (C G U) 5 8 は、次セル制御ユニット 5 8 - 1、ポーリングイネーブルレジスタ (レジスタ 5 8 - 2 P として示されている)、スキャンイネーブルレジスタ (レジスタ 5 8 - 2 S として示されている)、パリティ生成器 5 8 - 3、制御セルフィルバンク 5 8 - 4、P R I 完全性チェックユニット 5 8 - 5 を含む。次セル制御ユニット 5 8 - 1 は、次のセル間隔でスイッチポートボード (S P B) に送る次のセルがどのタイプであるのかを判断し、その決定のために、ライン “ sync-cell ”、“ service-cell ”、“ OAM cell ”での信号を受信するとともに、ポーリングイネーブルレジスタ 5 8 - 2 P、スキャンイネーブルレジスタ 5 8 - 2 S の内容を示す信号を受信する。ライン “ sync-cell ”での信号、セル同期ユニット (C S U) 5 4 からの出力 (図 5 B を参照) は、同期セル (L S C セル) がスイッチポートボード (S P B) 2 4 から受信されたことを示す。運用・維持ユニット (O M U) 5 7 (図 5 E を参照) から受信されたライン “ OAM ”での信号は、非同期制御セルがスイッチポートボード (S P B) 2 4 から受信されたことを示す。セル読出しユニット (C R U) 5 9 (図 5 F を参照) から受信されたライン “ service-cell ”での信号は、サービスセルがフェッチされ、ライン “ read-data ”で P R I 完全性チェックユニット 5 8 - 5 において利用可能であることを示す。セル生成ユニット (C G U) 5 8 はそこに入力された信号を用いて、例えば、セクション 9 . 0 と図 1 0 で説明されるセル伝送手順を制御する。

【 0 1 7 1 】

そのセル伝送手順に従って、次セル制御ユニット 5 8 - 1 はライン “ control-cell-unload ”で信号を制御セルフィルバンク 5 8 - 4 に出力し、そして、ライン “ read-control ”でパリティ生成器 5 8 - 3 に出力する。制御セルフィルバンクはライン “ OAM-cell data ”でターゲットコードレジスタ 5 7 - 2 (図 5 E を参照) から信号を受信する。P R I 完全性チェックユニット 5 8 - 5 は、ライン “ read-data ”でセル読出しユニット (C R U) 5 9 からサービスセルを受信し、完全性を実行し、セル同期ユニット (C S U) 5 4、ラインインタフェースユニット (L I U) 5 3、及び、スイッチポートボード (S P B) 2 4 への送信に先だって、そのサービスセルをパリティ及びパリティ生成器 5 8 - 3 に送る。

【 0 1 7 2 】

基本的には、セルは、次の優先度規則 (優先度の順番が下がっていく順番で) に従って、セル生成ユニット (C G U) 5 8 から送信される。

【 0 1 7 3 】

1 . もし、ハント状態が現れたり、或いは、L S C セルプロンプトが発生するならリンク状態制御 (L S C) セル。L S C セルは、S P I C 2 6 と対応する R C U 4 0 との間のリンク上での整列を維持する、即ち、セル境界を識別するために用いられる。ハント状態の間、R C U 4 0 はセル構造を見出すことはできず、その代わりに、R C U 4 0 が同期状態ではなく R C U 4 0 が L S C セルの送信を停止するまでは L S C セルを受信する必要があることを示すコードをもった L S C セルを送信する。或いは、S P I C 2 6 は同期状態ではなく、R C U 4 0 に対して対応する要求を送信し、R C U 4 0 が連続的に L S C セルを発行するようにする (ただし、R C U 4 0 が同期状態にはないことを示すコードがともなっていない) 。

【 0 1 7 4 】

2 . S P I C 2 6 によってプロンプトされるペンディング L C C セルとしても知られる、早期の要求或いはプロンプトされたポーリングスケジュールに従った O A M セル。

【 0 1 7 5 】

3 . 現在のスキャンモードスケジュールに依存するサービスセル / 制御セル。

【 0 1 7 6 】

4 . プロンプトされない C B R (一定のビット率) ポーリングデータをもつアイドルセル
或いは O A M セル。

【 0 1 7 7 】

セル生成ユニット (C G U) 5 8 は、もし、 L S C セルのプロンプトが発生したなら、要求されら O A M セルの解放をホールド中にすることができなければならない。 L S C とアイドルセルとが、制御セルフィルバンク 5 8 - 4 と O A M セルの共通部分とで生成される。

10

【 0 1 7 8 】

P R I 完全性チェックユニット 5 8 - 5 は、セルの P R I フィールドの値が、表 6 に示されているような自己 P R I レジスタを用いて自己 P R I とマッチしているかどうかをテストする。随意に、 P R I 完全性チェックユニット 5 8 - 5 はまた、パリティチェックを行うことができる。パリティ生成器 5 8 - 3 は全てのセルタイプに関し、必要とされるパリティを追加したり、或いは、変更する。

【 0 1 7 9 】

4 . 9 システムクロックユニット

一般的には図 5 に行列ユニット (R C U) 4 0 を有するように示されているシステムクロックユニット (S C U) 5 2 は、図 5 I により詳細に示されている。 S C L K (図 5 を参照) から生じる信号 sysclk-in は、各行列ユニット (R C U) 4 0 に対して存在し、システムクロックユニット (S C U) 5 2 に印加される。マルチプレクサ (m u x) 5 2 - 1 は、即ち、適切な行列ユニット (R C U) 4 0 から信号 sysclk-out として信号インタフェースユニット 5 3 (図 5 A を参照) に印加される信号 sysclk-in の 1 つを選択する。マルチプレクサ (m u x) 5 2 - 1 による選択はシステムクロックレジスタ 5 2 - 2 によって制御される。システムクロックレジスタ 5 2 - 2 は、コード化フォーマットの L C C セルによってセットされる。もし、所望であれば、スリュー率レジスタ 5 2 - 3 が備えられセットされて低速から高速への遷移速度 (V / ナノ秒) が S C L K - O U T 及び D - S C S P 信号によって制御される (図 5 A を参照) 。なお、4 つの率が設定可能である。

20

【 0 1 8 0 】

5 . 0 初期化

図 7 は図 1 の A T M スイッチングシステムについての初期化手順が含まれる基本的なステップを示すフローチャートである。スイッチングシステム 2 0 の電源投入時、同期をとるために、そして、図 7 のステップ 7 - 1 によって描写されているように、各スイッチポートボード (S P B) 2 4 は、コード化フォーマットで少なくとも 5 個のリンク状態制御セル (L C C セル) をその対応する行列ユニット (R C U) 4 0 に送信する (図 5 を参照) 。ある場合には、例えば、スイッチングシステム 2 0 が動作中であり何らかの理由で同期を失うときのような場合には、スイッチングシステム 2 0 の再同期のためにより少ない数の L S C セル (例えば、3 つの L S C セル) が必要である。初期化或いは再同期に関連して送信される最後の L S C セルは、 “ S Y N C ” という S S C フィールド値をもつべきである (図 4 B - 3 を参照) 。同期については、後述のセクション 6 . 0 でさらに詳しく説明する。

30

40

【 0 1 8 1 】

同期が確立された後、コード化フォーマットの一連の L C C セルが夫々のスイッチポートボード (S P B) 2 4 から各行列ユニット (R C U) 4 0 へと送信される。一連のコード化 L C C セル各々の発行は、図 7 のステップ 7 - 2 ~ 7 - 9 によって反映されている。

【 0 1 8 2 】

ステップ 7 - 2 で発行されたコード化 L C C セルは、ポーリングイネーブルレジスタ (表 6 を参照) にゼロを設定するのに用いられる。ポーリングイネーブルレジスタは、例えば、セクション 4 . 6 . 2 . 1 で検討されている。ポーリングイネーブルレジスタの初期化

50

を達成するのに、ステップ 7 - 2 でのコード化 L C C セルのフィールドが次の値にセットされる（図 4 B - 2 を参照）。即ち、P R I フィールド = 3 1、A D R フィールド = 4、R P C フィールド = 0、フィールド C B Q = X であり、データフィールドは 0（16 進法表示）にセットされ、書込みビットは“1”に、読出しビットは“0”にセットされる。

【0183】

ステップ 7 - 3 ~ 7 - 7 はスイッチングシステム 20 における各行列ユニット（R C U）40 についての各クロスポイントユニット（X P U）32 に関して実行される。ステップ 7 - 3 では、L C C セルクリア命令がマトリクス 0 とマトリクス 1 の夫々に対して送られる。この L C C セルクリア命令は、R C U 40 が所有する X P U s に関連したポーリング状態ステータスレジスタ 50 - 2 とスキャン状態レジスタ 50 - 4（図 5 H - 2 を参照）の位置をリセットする。

【0184】

ステップ 7 - 4 では、2つのコード化 L C C セルが送信されて、スキャン率レジスタを高位バイトに、また、スキャン率レジスタを低位バイトに初期化する（表 6 を参照）。スキャン率レジスタは、例えば、セクション 4 . 6 . 2 . 9 で検討されている。ステップ 7 - 4 の最初の L C C セルはスキャン率レジスタを低位バイトに初期化し、ステップ 7 - 4 の 2 番目の L C C セルはスキャン率レジスタを高位バイトに初期化する。スキャン率の高位バイトはクロスポイントユニット（X P U）32 の C B Q₀ バッファに対して（メモリアレイユニット（M A U）30 のマトリクス 0 において）用いられ、スキャン率の低位バイトはクロスポイントユニット（X P U）32 の C B Q₁ バッファに対して（メモリアレイユニット（M A U）30 のマトリクス 1 において）用いられる。そのバイトは未知の率を示すためにセットされる（もし、その率は、事実知られてはいないならば）。ステップ 7 - 4 の最初のセルについてのコード化 L C C セルのフィールドは次の値にセットされる（図 4 B - 2 を参照）。即ち、P R I フィールド = 3 1、A D R フィールド = 1 5、R P C フィールド = 0、フィールド C B Q = X であり、データフィールドは 0（16 進法表示）にセットされ、書込みビットは“1”に、読出しビットは“0”にセットされる。ステップ 7 - 6 の 2 番目のセルについてのコード化 L C C セルのフィールドは同様にセットされるが、例外は R P C フィールド = 1 となる点である。

【0185】

ステップ 7 - 5 では、2つのコード化 L C C セルが送信されて、ポーリング率レジスタを高位バイトに、また、ポーリング率レジスタを低位バイトに初期化する（表 6 を参照）。ポーリング率レジスタは、例えば、セクション 4 . 6 . 2 . 8 で検討されている。スキャン率レジスタに対するのと類似の方法で、そのバイトは未知の率を示すためにセットされる（もし、その率は、事実知られてはいないならば）。ステップ 7 - 5 の最初のセルについてのコード化 L C C セルのフィールドは次の値にセットされる（図 4 B - 2 を参照）。即ち、P R I フィールド = 3 1、A D R フィールド = 1 4、R P C フィールド = 0、フィールド C B Q = X であり、データフィールドは 0（16 進法表示）にセットされ、書込みビットは“1”に、読出しビットは“0”にセットされる。ステップ 7 - 5 の 2 番目のセルについてのコード化 L C C セルのフィールドは同様にセットされるが、例外は R P C フィールド = 1 となる点である。

【0186】

ステップ 7 - 6 では、コード化 L C C セルが送信されてスキャンイネーブルレジスタを動作可能にする（表 6 を参照）。スキャンイネーブルレジスタは、例えば、セクション 4 . 6 . 2 . 4 において検討されている。ステップ 7 - 6 のコード化 L C C セルのフィールドは次の値にセットされる（図 4 B - 2 を参照）。即ち、P R I フィールド = 3 1、A D R フィールド = 7、R P C フィールド = 0、フィールド C B Q = X であり、データフィールドは F F（16 進法表示）にセットされ、書込みビットは“1”に、読出しビットは“0”にセットされる。

【0187】

ステップ 7 - 7 では、コード化 L C C セルが送信されてポーリングイネーブルレジスタを

10

20

30

40

50

モード 1 にセットする (表 6 を参照)。モード 1 の重要性は図 10 に関連して説明される。ステップ 7 - 7 のコード化 L C C セルのフィールドは次の値にセットされる (図 4 B - 2 を参照)。即ち、P R I フィールド = 3 1、A D R フィールド = 4、R P C フィールド = 0、フィールド C B Q = X であり、データフィールドは 0 1 (16 進法表示) にセットされ、書込みビットは “ 1 ” に、読出しビットは “ 0 ” にセットされる。

【 0 1 8 8 】

ステップ 7 - 8 では、32 個の最大長 (例えば、56 バイト) のサービスセルの持続時間に匹敵する時間、待ち合わせる。この待ち合わせ時間の間、生成されるどんなセルも無視される。ステップ 7 - 8 の待ち合わせ時間によって、どんな散発性のサービスセルや制御セルもスイッチングシステム 20 の外に流出させることが可能になる。もし、例えばの行列ユニット (R C U s) 40 のポーリング状態レジスタが、電源投入時に発生するかもしれないが、読出しに利用可能なセルがあることを示したり、或いは、別の行列ユニット (R C U s) 40 が接続されるスイッチポートボード (S P B) 24 をもっていないなら、散発的なサービスセルが発生するかもしれない。そのような散発的サービスセルは、リンクが同期され、ポーリングイネーブルモードがモード 1、2、或いは 3 にセットされた後に外に流出される。

【 0 1 8 9 】

6 . 0 同期

図 1 に示すように、各スイッチポートボード (S P B) 24 は双方向リンク、特にリンク 27 及び 28 によってスイッチコア 22 と接続されている。リンクの各サイドには同期 (sync) タグ検出器又はセル整列器アライナがある。例えば、行列ユニット (R C U) 40 において、セル同期ユニット (C S U) 54 [図 5 B 参照] の中に同期 (sync) タグ検出器 54 - 3 が設けられている。同期 (sync) タグ検出器の役目は L S C セルの検出である。

【 0 1 9 0 】

図 3 に示すように、多種のサイズを有するセルがビットストリームとしてスイッチポートボード 24 (S P B) とスイッチコア 22 の間を両方向に転送される。リンク 27 及び 28 において、セルの内部構成以外、セルの開始に関する明らかな情報は存在しない。従って、スイッチコア 22 及びスイッチポートボード 24 の両者は、リンク 27 及び 28 を同期させるためにセルの位置合わせを行わねばならない。

【 0 1 9 1 】

同期は L S C セル [図 4 B - 3 を参照] を必要に応じて挿入することによって達成される。スイッチポートボード (S P B) 24 からスイッチコア 22 へ転送される L S C セルは同期タグ検出器 54 - 3 で解析され、スイッチコア 22 からスイッチポートボード (S P B) 24 に転送される L S C セルはスイッチポートボード (S P B) 24 において、対応する、同様に動作する同期タグ検出器によって解析される。同期タグ検出器は L S C セル以外には何ら影響を与えない。

【 0 1 9 2 】

スイッチポートボード (S P B) 24 における同期タグ検出器および同期 (sync) タグ検出器 54 - 3 はいずれも図 8 に示す状態図に従って動作する状態マシン装置からなる。素早く高速な同期と、リンク 27 及び 28 の動作状態の維持のため、リンクの両側、すなわちスイッチコア 22 及びスイッチポートボード (S P B) 24 は自らの状態を L S C セルを用いて通知できねばならない。以下、同期タグ検出器の動作を一般的に説明するが、このような動作は同期タグ検出器 54 - 3 及びスイッチポートボード (S P B) 24 中の同期タグ検出器の両者を用いて説明可能であることは理解されよう。

【 0 1 9 3 】

対応する側から入来した L S C セルは、同期タグ検出器によって予め定義された L S C セル用のパターン [図 4 B - 2 及びセクション 2 . 2 . 1 参照] と比較される。S S C フィールドは、同期 (sync) タグ検出器が L S C セルを (S S C 値 11 で示される) P R E S Y N C 状態で生成したのか、同期状態の 1 つ、例えば (S S C 値 “ S Y N C ”、即ち 00 で示される) S Y N C 0 又は S Y N C 1 において生成したのかを示す。

【 0 1 9 4 】

図 8 に示すように、同期 (sync) タグ検出器はエラーのない L S C セルを連続して 3 つ受信するまでは P R E S Y N C 状態に留まり、それから 2 つの同期状態 (S Y N C 0 又は S Y N C 1) の一方に入る。リンクの両側、スイッチポートボード (S P B) 2 4 及びスイッチコア 2 2 が S Y N C 1 状態に到達すると、サービスセル及び L C C セルがスイッチポートボード (S P B) 2 4 及びスイッチコア 2 2 の間を流れ始めることが可能になる。

【 0 1 9 5 】

各サービスセルはそのサイズに関する情報を、特に S C S フィールド [図 4 A 参照] に含んでいる。このサイズ情報はセル同期の維持に用いられる。完全性チェックユニット 5 5 - 3 [図 5 C 参照] で検出されるような所定のセル欠陥は、同期タグ検出器を P R E S Y N C 状態にする。S Y N C 1 状態において S S C フィールドに P R E S Y N C 値を有する L S C セルが受信された場合、状態装置は S Y N C 0 状態に入る。S Y N C 0 状態においては、(S S C フィールドに P R E S Y N C 値を有する L S C セル以外の) 何らかのセルが受信されるまで、S S C フィールドに S Y N C 値を有する L S C セルが常時送信される。

10

【 0 1 9 6 】

以下の L S C セル送信規則は図 8 の同期状態マシンの動作を説明する。

【 0 1 9 7 】

送信規則 1 : P R E S Y N C 状態においては、以下の動作を行う。

【 0 1 9 8 】

20

(1) S S C 値に P R E S Y N C を有する L S C セルを送信し、L S C セル以外の受信セルは廃棄する。

【 0 1 9 9 】

(2) エラーのない L S C セルを連続して 3 つ受信し、かつ 3 つめの L S C セルが S S C 値に P R E S Y N C を有する場合、S Y N C 0 状態へ移行する。

【 0 2 0 0 】

(3) エラーのない L S C セルを連続して 3 つ受信し、かつ 3 つめの L S C セルが S Y N C 状態を有する場合、S Y N C 1 状態へ移行する。

【 0 2 0 1 】

送信規則 2 : S Y N C 0 状態においては、以下の動作を行う。

30

【 0 2 0 2 】

(1) S S C 値に S Y N C を有する L S C セルのみを送信し、L S C セル以外のセルは廃棄する。

【 0 2 0 3 】

(2) S S C 値に P R E S Y N C を有する L S C セル以外の、エラーのないセルを受信したら、S Y N C 1 状態へ移行する。

【 0 2 0 4 】

(3) 受信セルにエラーが存在した場合には P R E S Y N C 状態へ移行する。

【 0 2 0 5 】

送信規則 3 : S Y N C 1 状態においては、以下の動作を行う。

40

【 0 2 0 6 】

(1) サービスセル及び制御セルの送信を許可する。

【 0 2 0 7 】

(2) S Y N C 1 状態を離れる場合、スイッチコア 2 2 は継続中のセル転送を完了する。

【 0 2 0 8 】

(3) エラーのない、S S C 値に P R E S Y N C を有する L S C セルを受信した場合、S Y N C 0 状態へ移行する。

【 0 2 0 9 】

(4) 受信セルにエラーが存在した場合には P R E S Y N C 状態へ移行する。

【 0 2 1 0 】

50

図 9 に、同期及び再同期の例において、同期 (sync) タグ検出器 5 4 - 3 であり得る状態遷移を示す。図 9 において、L S C の S S C 値、例えば、L S C セルを発行した同期タグ検出器の状態をカッコ内に示す。カッコ内の “ S Y N C ” 表記は、一般に同期、例えば S Y N C 0 又は S Y N C 1 を指す。

【 0 2 1 1 】

図 9 において、まず最初にスイッチコア 2 2 が P R E S Y N C 状態であると仮定すると、スイッチコア 2 2 が S S C 値に P R E S Y N C を有する L S C セルを受信し、S S C 値に P R E S Y N C を有する L S C セルが更にスイッチコア 2 2 からスイッチポートボード (S P B) 2 4 へ送信される。L S C セルの 3 連続受信後、同期 (sync) タグ検出器 5 4 - 3 は S Y N C 0 状態へ移行し、S S C 値に S Y N C 値を有する L S C 値を送信する。スイッチポートボード (S P B) 2 4 は 3 つの L S C セル受信後、S Y N C 1 状態へ移行する (送信規則 1 の動作 (3) を参照)。そして、S S C 値に S Y N C を有する L S C セルの受信後、S Y N C 1 状態に移行し、S S C 値に S Y N C を有する更なる L S C セルが送信される。この時点においてスイッチコア 2 2 及びスイッチポートボード (S P B) 2 4 の両方が S Y N C 1 状態となり、サービスセルがリンク 2 7 及び 2 8 を介して交換可能となる。

【 0 2 1 2 】

同期の確立後、スイッチコア 2 2 の同期 (sync) タグ検出器 5 4 - 3 が S S C 値に P R E S Y N C を有する L S C セルを受信すると、同期タグ検出器 5 4 - 3 は S Y N C 0 状態へ戻り、S S C 値に S Y N C を有する L S C セルで応答する。S S C 値に P R E S Y N C を有する L S C セルを引き続き受信した場合、同期タグ検出器 5 4 - 3 は S Y N C 0 に戻り、L S C セルの連続したストリームで応答する。

【 0 2 1 3 】

受信したサービスセルに欠陥が見つかった場合、スイッチコア 2 2 は P R E S Y N C 状態に移行し、S S C 値に P R E S Y N C を有する L S C セルをスイッチポートボード (S P B) 2 4 へ送信し始める。これらの L S C セルはスイッチポートボード (S P B) 2 4 が S S C 値に P R E S Y N C を有する L S C セルを送信する原因となる。3 連続でこのような L S C セルを受信した後、同期タグ検出器 5 4 - 3 再び S Y N C 1 状態に移行し、サービスセルが流れ始める。

【 0 2 1 4 】

図 3 に示したセルストリームはスイッチポートボード (S P B) 2 4 及びスイッチコア 2 2 の間で常時維持される。継続性はセルレート分離 (cell rate decoupling) によって達成される。スイッチコア 2 2 (特にセル生成ユニット (C G U) 5 8 [図 5 G 参照]) は、リンク 2 8 に送信すべきサービスセル又は L C C セルが無い場合、(スイッチポートボード (S P B) 2 4 及びスイッチコア 2 2 の現在の同期状態にセットされた S S C フィールドを有する) L S C セルをスイッチコア 2 2 からスイッチポートボード (S P B) 2 4 へ方向、すなわちコア - ツウ - ポートリンク 2 8 に送信する。スイッチポートボード (S P B) 2 4 は、リンク 2 7 に送信すべきサービスセル又は L C C セルが無い場合、現在の同期状態にセットされた S S C フィールドを有する L S C セルを、スイッチポートボード (S P B) 2 4 からスイッチコア 2 2 へ方向、すなわちポート - ツウ - コアリンク 2 7 に送信する。

【 0 2 1 5 】

7 . 0 セル受信

セルストリームの同期後、サービスセル及び制御セルは以下に説明するように別々に処理される。

【 0 2 1 6 】

7 . 1 制御セル受信

制御セル、即ち L S C セル及び L C C セルの両方は、サービスセルとは異なり、行列ユニット (R C U) 4 0 が終点となる。受信された L S C セルは、基本的には例えばセクション 6 で説明したような同期目的に用いられ、上述したように [図 8 及び図 9 参照]、行列

10

20

30

40

50

ユニット(RCU)40及び特に同期タグ検出器54-3の状態装置に影響を与える。LCCセルはコード化[図4B-1参照]されていてもビットマップ[図4B-2参照]されていても、スイッチコア22内の1つの行列ユニット(RCU)40を、接続されたスイッチポートボード(SPB)24から制御及び操作するために用いられる。この点に関し、各スイッチポートボード(SPB)24は自らが有する行列ユニット(RCU)40を制御する。

【0217】

行列ユニット(RCU)40の制御において、いくつかのLCCセルは行列ユニット(RCU)40内部の制御レジスタ、特に表6に示すクロスポイントステータスユニット(XSU)50のレジスタの更新に用いられる。受信されたLCCセルはこの目的のためのデータを含んでいる。レジスタ中の16ビットまでのデータが1つのビットマップされたLCCセル[セクション2.2.2.1参照]によって更新可能である。コード化されたLCCセルにおいては、8ビットが行列ユニット(RCU)40のレジスタに書き込みもしくはレジスタから読み出される。他のLCCセルは行列ユニット(RCU)40が実行するコマンドを含む。

【0218】

表7は行列ユニット(RCU)40で受信されるLCCセルの種々のフィールド(PRI, ADDR, Write, Read, [図4B-2参照])及び、各フィールドに関して行われる動作を示す。この動作には、任意の応答セルの発行を初めとした、行列ユニット(RCU)40でなされる動作を含む。表7に示すように、行列ユニット(RCU)40で受信されるLCCセルは一般に以下の目的にかなう。

【0219】

(1) 行列ユニット(RCU)40内部のレジスタ(表6参照)の更新。受信されたLCCセルはレジスタのためのデータ及びアドレスを含む。

【0220】

(2) 行列ユニット(RCU)40内部のレジスタ読み出し開始。受信されたLCCセルはレジスタアドレスを含み、RCUはアドレス指定されたレジスタの実データを含むLCCセルを応答する。

【0221】

(3) 行列ユニット(RCU)40内部のレジスタ更新及び同一レジスタの読み出し開始。受信されたLCCセルは更新すべきレジスタのアドレス及び、アドレス指定されたレジスタに格納されるべき更新データを含む。更新と同時に、RCUはレジスタに書き込まれたデータを確認するLCCセルを応答する。

【0222】

(4) 接続されたスイッチポートボード(SPB)24から行列ユニット(RCU)40へのコマンドロード。受信されたLCCセルはコマンドコードを含む。

【0223】

行列ユニット(RCU)40のレジスタへ書き込みするための連続したコード化LCCセルは許される。しかし、行列ユニット(RCU)40のレジスタを読み出すための未処理コード化LCCセルは1つのみが許される。読み出し中期間、コード化LCCセルを用いた行列ユニット(RCU)40のレジスタへの書き込みは

ポーリング状態取り出しコマンド("retrieve_pollstate_command")(表6参照)を除いて許されない。ポーリング状態取り出しコマンドはスイッチポートボード(SPB)24からいつでも送信可能であり、行列ユニット(RCU)40は(RCUが同期状態であると仮定した)ポーリング状態ステータスを応答する。このパラグラフの規定は、コード化LCCセルにのみ適用され、ビットマップされたLCCセルには適用されない。ビットマップされたLCCセルはコード化LCCセルに干渉を受けない。

【0224】

上述したように、表7は起こりうるLCCセルフロー、即ち行列ユニット(RCU)40での受信及びRCUによって発行されたスイッチポートボード(SPB)24への応答L

10

20

30

40

50

ＣＣセルを示している。表７において、セルがロードされないことにより、一方のバッファが空きになった際に発生する、スイッチコア２２の内部ロジックによって開始される最後のＬＣＣセル（ポーリング状態）を除いて、全てのセルフローは対応した行列ユニット（ＲＣＵ）４０に接続されたスイッチポートボード（ＳＰＢ）２４によって開始される。

【０２２５】

７．２ サービスセル

サービスセルはスイッチコア２２を通してあるポートから他のポートへ、即ちあるスイッチポートボード（ＳＰＢ）２４から他のスイッチポートボード（ＳＰＢ）２４へ導かれる。また、サービスセルを他のいくつかもしくは全部のポートへコピーすることもできる。サービスセルのいくつかのポートへのコピーは、“マルチキャスト”として、全てのポートへのコピーは“ブロードキャスト”としてそれぞれ知られている。“マルチキャスト”及び“ブロードキャスト”は本明細書の別の場所、例えば以下のセクション８．０において説明する。

【０２２６】

８．０ セルバッファリング

サービスセルのヘッダは、ＰＲＩフィールド〔図４Ａ参照〕にセルの宛先ポート番号を有している。例えば、スイッチポートボード（ＳＰＢ）２４_{１５}が宛先ポートである場合、行列ユニット（ＲＣＵ）４０に受信されたそのセルのＰＲＩフィールドは“１５”であろう。しかし、そのセルがクロスポイントユニット（ＸＰＵ）３２の適切な１つ（例えば、本例ではクロスポイントユニット（ＸＰＵ）３２_{１５}であると仮定する）に格納される前に、行列ユニット（ＲＣＵ）４０で受信されたセルに元々格納されていたＰＲＩ値は、そのサービスセルを発行したスイッチポートボード（ＳＰＢ）２４のポート番号に対応する値に置き換えられる。

【０２２７】

従って、ＳＰＢ２４_{１５}へ向かうためのＰＲＩ値“１５”を有する、ＳＰＢ２４_０から発行されたサービスセルの例において、そのサービスセルのＰＲＩ値はＸＰＵ３２_{１５}への送信前に行列ユニット（ＲＣＵ）４０によって“０”に置き換えられる。ＰＲＩの変更はセル解析ユニット（ＣＡＵ）５５〔図５Ｃ参照〕のＰＲＩスワップユニット５５－４によって行われる。ＰＲＩ値（例えばポート番号）の置換はパリティビットを含むサービスセルの１バイトにおいて発生し、更に、新しいパリティビットＦＢＰを決定し、サービスセルへの置き換えを行わねばならない。

【０２２８】

サービスセルのヘッダはまた、そのサービスセルがＰＲＩがアドレスするクロスポイントユニット（ＸＰＵ）３２の２つのバッファＣＢＱ_０及びＣＢＱ_１のいずれにロードされるべきかを指し示す、２ビットのＣＢＱを有している。加えて、サービスセルの第２バイトはトラフィックタイプインジケータ（ＴＴＩ）を含んでいる〔図４Ａ参照〕。

【０２２９】

トラフィックタイプインジケータ（ＴＴＩ）がマルチキャストを示す場合、セルはいくつかのクロスポイントユニット（ＸＰＵ）３２へコピーされる。特に、マルチキャストサービスセルを受信すべきクロスポイントユニット（ＸＰＵ）３２は、行列ユニット（ＲＣＵ）４０内部の１６ビットレジスタ、特に表６に示したマルチキャストレジスタによって定義されている〔セクション４．６．２．１３参照〕。行列ユニット（ＲＣＵ）４０内部にはただ１つのマルチキャストレジスタが存在する。マルチキャストレジスタの各ビットはセルを受信する行列ユニット（ＲＣＵ）４０によってサービスされる列上のクロスポイントユニット（ＸＰＵ）３２_０から３２_{１５}の１つに対応する。マルチキャストレジスタのアクティブビットは、列において対応するＸＰＵ３２にセルがロードされることを示す。従って、マルチキャストレジスタはサービスセルが到着する前にロードされていなくてはならない。

【０２３０】

トラフィックタイプインジケータ（ＴＴＩ）が“ブロードキャスト”を示す場合、サービ

10

20

30

40

50

スセルは全てのスイッチポートボード (S P B) 2 4 に供給される。行列ユニット (R C U) 4 0 内部のマルチキャストレジスタは、ブロードキャストには使用されない。

【 0 2 3 1 】

マルチキャストの間、サービスセルは空きのバッファ (C B Q₀ 及び C B Q₁ のいずれか) を有するクロスポイントユニット (X P U) 3 2 にコピーされる。マルチキャストレジスタが空いていないバッファを有する X P U 3 2 へのロードを必要とする場合、セル完全性レジスタ 5 5 - 3 [図 5 C 参照] によってエラーが示される。空きバッファ C B Q₀ 又は C B Q₁ を有するクロスポイントユニット (X P U) 3 2 はロードされた状態のままである。ブロードキャストの間もほぼ同じ手順が用いられる。すなわち、他のバッファと独立して空のバッファがロードされる。しかし、ブロードキャストの間は空いていないバッファに起因するエラーは提示されない。

10

【 0 2 3 2 】

9 . 0 セル送信

行列ユニット (R C U) 4 0 の送信側において、異なるソースからのセルはスイッチコア 2 2 からの連続したセルストリームを形成するように、セル生成ユニット (C G U) 5 8 によって多重化され、出力される [図 5 及び図 5 G 参照]。行列ユニット (R C U) 4 0 からのセル送信速度はセル受信に用いられるクロックと同一クロック、例えば D C L K によって決定される。D C L K はこのポートに接続されたスイッチポートボード (S P B) 2 4 から供給される。図 5 A に示すように、信号 D C L K は最終的には (分周器 5 4 - 5 [図 5 B 参照] によって) 分周され、信号 p c l k を産出する。従って、各スイッチポートボード (S P B) 2 4 は自らの D C L K 信号を関連する R C U 4 0 へ供給する。

20

【 0 2 3 3 】

スイッチコア 2 2 から送出されるセルには、制御セル及びサービスセルの両方が含まれる。次セル制御ユニット 5 8 - 1 [図 5 G 参照] は、各ラインの名前で示されるそれぞれのセルを受信するよう要求されると、ライン上の同期セル (sync-cell)、制御セル (control-cell) 及びサービスセル (service-cell) を受信する。次セル制御ユニット 5 8 - 1 はセル出力の内部要求をこれらライン上で取り出した信号に従って設定し、これらの要求を図 1 0 に示すように処理する。一旦特定形式のセルへの要求が満足されると、その要求は “ クリア ” される。

30

【 0 2 3 4 】

制御セルは、行列ユニット (R C U) 4 0 から対応するスイッチポートボード (S P B) 2 4 へ送信される前に、パリティビットが決定、付加される。サービスセル用のパリティビットはクロスポイントユニット (X P U) 3 2 からアンロードされる際に P R I - 完全性チェックユニット 5 8 - 5 [図 5 G 参照] によってチェックされる。正しくないパリティビットを有するセルは廃棄され、セル完全性レジスタ中に示される。

【 0 2 3 5 】

図 1 0 のフローチャートはスイッチコア 2 2 からのセル送信処理を示す。異なるオプション又はモード (1、2 又は 3) のうち、どれが有効かがポーリングイネーブルレジスタ [表 6 及びセクション 4 . 6 . 2 . 1 参照] の内容によって決定される。

【 0 2 3 6 】

図 1 0 のモード 2 及び 3 は、サービスセルの生成に関して所定の優先度を与えることによって、モード 1 と根本的に異なる。特に、モード 2 及び 3 は、所定の時間サービスセルがポーリング状態の L C C セルよりも優先されることを保証するための特定のバイトカウンタ (特にステップ 1 0 - 1 8 を参照) を用いる。そのような所定の “ 時間 ” は 3 2 もしくは 6 4 バイトのサービスセルをモード 2 及び 3 によって送信する時間にそれぞれ設定することができる。

40

【 0 2 3 7 】

図 1 0 は、送信モード 1、送信モード 2 及び送信モード 3 を含む、セル送信における 3 モードのそれぞれを示している。送信モード 0 はステップ 1 0 - 0 において、同期を目的とした 1 つの L S C セル送信に関与するに過ぎない。残りの送信モードにおいて実行される

50

動作について以下説明する。図 10 は動作の一般的な概念を示しているが、例えばパワーアップやビットエラー等のまれな機会においては、多少の例外が許されることは理解しておくべきである。

【 0 2 3 8 】

図 10 に関連して、セクション 4 . 6 . 1 . 3 で説明した、ポーリング状態解放 L C C セルが解放されたか “ 空き ” のバッファを有するクロスポイントユニット (X P U) 3 2 を示すことを思い出す必要がある。ポーリング状態解放 L C C セルはバッファ (C B Q₀ 又は C B Q₁ のいずれか) が占有された状態から空きの状態に変化する度に送信される。異なる優先度を有するバッファの状態が変化した場合、最初のセルはキュー C B Q₀ についての、2 番目のセルはキュー C B Q₁ についての、2 つのポーリング状態 L C C セルが送信される。

10

【 0 2 3 9 】

さらに、スキャンにネーブルレジスタ、又はセルサイズロジック 5 9 - 2 [セクション 4 . 6 . 2 . 4 及び図 5 F 参照] としても知られる第 8 バイト (eighth byte) サービスセルカウンタがある。データ読み出し信号はサービスセル全体を読み出しできるようにセルサイズの決定及びクロスポイントからの読み込みを制御するのに用いられる。加えて、データ読み出し信号はスキャンイネーブルカウンタのデクリメントにも用いられる。スキャンイネーブルカウンタはサービスセルが 8 バイト送信されるたびにデクリメントされる。

【 0 2 4 0 】

この第 8 バイトサービスセルカウンタの値がゼロに等しい時、サービスセルが終了する。その後読み出し制御は次のサービスセル読み出しを禁止する。スキャンイネーブルカウンタが新しい (0 でない) 値をロードされた後、次のサービスセル列がアンロードされる。換言すると、(1 ~ 2 5 5 の) 値をスキャンイネーブルレジスタ [表 6 参照] に書き込むことによって、スキャン処理が再スタートする。第 8 バイトサービスセルカウンタの値が 2 5 5 にプリセットされた場合、全てのデクリメントは無効とされ、常にスキャン処理が継続する。

20

【 0 2 4 1 】

図 10 において、継続中のセル送信は、次のセルがより高い優先度を持つ場合であっても、次のセルが送信される前に常に完了させられる。さらに、ただ 1 つのバイトカウンタのみがサービスセル中の C B Q 値と独立して用いられる。

30

【 0 2 4 2 】

9 . 1 セル送信モード 1

セル送信モード 1 は、送信されようとしているセルがどの形式かに従って、優先度の体系に従う。図 10 によって表されるセル送信優先度は以下の通りであり、最高優先度から順に説明する。

【 0 2 4 3 】

(1) 同期セルラインに L S C セル送信要求を受信した場合には (ステップ 1 0 - 1) 、リンク同期処理 (例えばセクション 6 . 0 参照) に従って L S C セルが送出され、次セル制御ユニット 5 8 - 1 の L S C セル送信要求がクリアされる (ステップ 1 0 - 2) 。

【 0 2 4 4 】

(2) ステップ 1 0 - 3 において、クロスポイント状態ユニット (X S U) 5 0 のレジスタ (表 6 に示す) の読み出しを要求する L C C セルを制御セルラインに受信した場合には、要求されたコード化 L C C セルが送出され、要求はクリアされる (ステップ 1 0 - 4) 。ステップ 1 0 - 4 はポーリング状態解放 L C C セルによっては起動されない。

40

【 0 2 4 5 】

(3) 「ポーリング状態取り出しコマンド」の受信によりポーリング状態のステータス要求を受けた場合には、ステップ 1 0 - 6 で、ポーリング状態のステータスを有するビットマップされた L C C セルが発行される。ビットマップされた L C C セルの内容は、ポーリング状態ステータスレジスタ [セクション 4 . 6 . 1 . 3 参照] から得られる。さらに、そのようなバッファがクリアされた場合ポーリング状態が変化する。バッファ C B Q₀ に

50

対するポーリング状態ステータス要求はバッファ C B Q₁ 対するポーリング状態ステータス要求よりも高い優先度が与えられる。

【 0 2 4 6 】

(4) ステップ 1 0 - 7 において、ポーリング状態レジスタが “ 占有 ” から “ 空き ” に変化したことが検出された場合、ステップ 1 0 - 8 でビットマップポーリング状態解放 L C C セルが送信される。一方のポーリング状態ステータスレジスタはマトリックス 0 中のバッファ (即ち、C B Q₀ バッファ) のビットマップを有し、他方のポーリング状態ステータスレジスタはマトリックス 1 中のバッファ (即ち、C B Q₁ バッファ) のビットマップを有する [セクション 4 . 6 . 1 . 3 及び表 5 参照]。ステップ 1 0 - 7 において、バッファ C B Q₀ にはバッファ C B Q₁ よりも高い優先度が与えられている。ステップ 1 0 - 7 で送信されるビットマップ L C C セルは最後の “ ポーリング状態解放 ” コマンド以来解放された全てのバッファの個々の優先度 (C B Q₀ 又は C B Q₁) に関する情報を輸送する。

10

【 0 2 4 7 】

図 1 0 のステップ 1 0 - 9 は、ステップ 1 0 - 2、1 0 - 4、1 0 - 6 及び 1 0 - 8 において何らの動作も行われなかった場合、スキャン処理又は操作が行われることを示している。スキャン処理は例えば本明細書のセクション 1 0 . 0 において説明される。

【 0 2 4 8 】

ステップ 1 0 - 9 のスキャン終了後、ステップ 1 0 - 1 0 では、セル生成ユニット (C G U) 5 8 [セクション 4 . 8 参照] についての上述の 4 つの優先度規則がスイッチコア 2 2 から供給されるサービスセルを必要とするかどうかの判定が行われる。ステップ 1 0 - 1 0 での判定が肯定である場合には、ステップ 1 0 - 1 1 でサービスセルが送信される。

20

【 0 2 4 9 】

ステップ 1 0 - 1 0 での判定が否定である場合には、ステップ 1 0 - 0 で L S C セルがセル生成ユニット (C G U) 5 8 から送信される。換言すれば、送信されるべき他の形式のセルがなければ、L S C セルがセルレート分離処理に従って送信される。

【 0 2 5 0 】

9 . 2 セル送信モード 2

セル送信モード 2 はポーリング状態情報を含んだビットマップ L C C セルの数を限定し、代わりにより多くのサービスセルの送信を可能にするものである。送信すべきサービスセルがある場合には、直前のポーリング状態情報セルが送信されてから、最低 3 2 バイトのサービスセルが送信されてからのみポーリング状態情報セルの送信が許可される。

30

【 0 2 5 1 】

モード 2 の送信を実行するステップ 1 0 - 1 2 から 1 0 - 1 7 は、モード 1 を実行するステップ 1 0 - 1 から 1 0 - 6 と類似している。しかし、ステップ 1 0 - 1 8 において、ポーリングイネーブルカウンタが終了したか否かのチェックが行われる。ポーリングイネーブルカウンタはセルサイズロジックユニット 5 8 - 2 [図 5 H 参照] の中にある。ステップ 1 0 - 1 8 において、ポーリングイネーブルカウンタは、サービスセルが連続して (即ち、引き続いて) 送信可能である場合、ポーリング状態解放 L C C セルがあまりに多く発行されないよう参照される。

【 0 2 5 2 】

40

例えば、8 バイト長のサービスセルが、列上のクロスポイントユニット (X P U) 3 2 から連続して送信可能である場合、ポーリング状態解放 L C C セルがそのようなサービスセル間に点在している場合には、サービスセルの出力速度は遅くされる。モード 3 2 が設定されている場合、ポーリング状態解放 L C C セルは連続するサービスセルの 3 2 バイト毎よりも頻繁には発行できない。これは少なくとも 4 つの 8 バイト長サービスセルがポーリング状態解放 L C C セルの発行前に存在することを意味する。

【 0 2 5 3 】

ポーリングイネーブルカウンタは、セルサイズロジックユニット 5 9 - 2 からの信号に従って、サービスセルの 1 バイト毎にデクリメントされる。一旦ポーリング状態解放 L C C セルが発行されると、ポーリングイネーブルカウンタはリセットされる。ポーリングイネ

50

ーブルカウンタは行列ユニット（RCU）40に内蔵され、スイッチポート集積回路（SPIC）26によっては制御されない。スイッチポート集積回路（SPIC）26は、そこでどの特定モードによってセル生成が起こるかを指示するに過ぎない。

【0254】

従って、ポーリングイネーブルカウンタは送信されるサービスセルの1バイト毎に1ずつインクリメントされる。このカウンタの最終値は32もしくは64（それぞれ、ポーリングイネーブルレジスタの数が2か3かによる）である。要求されないポーリング状態LCCセルはこのバイトカウンタがその最終値に到達したか、送信すべきサービスセルがない場合にのみ送信される。

【0255】

ステップ10-18において参照されたサービスセル用のポーリングイネーブルカウンタが終了していた場合、例えばモード2においては32以上の場合、セル送信優先度はモード1と等しくなる。特に、ステップ10-24から10-29のうち適用可能なものは、図10に示されるように起動される可能性を有している。サービスセルが送信されるステップ10-28もまた、（ステップ10-18で参照される）セルの長さによってポーリングイネーブルカウンタのインクリメントに關与する。

【0256】

ステップ10-18において参照されたサービスセル用のポーリングイネーブルカウンタが終了していなかった場合、スキャン処理が行われる（ステップ10-19）。そして、ステップ10-20で、（ステップ10-10の様な方法で）サービスセルが要求されているか否かをチェックする。サービスセルが要求されている場合、ステップ10-21でサービスセルが供給され、ステップ10-18で参照されるバイトカウンタがセルの長さに従ってインクリメントされる。サービスセルが要求されていない場合には、ステップ10-22で、ポーリング状態が空き状態に変化したバッファがあるかどうかをチェックする。判定が否定の場合、LSCセルが送信される（ステップ10-23）。そうでなければステップ10-24でポーリング状態解放LCCセルがステップ10-8と同様の方法で送信される。

【0257】

9.3 セル送信モード3

このモードは直前のポーリング状態情報セル送信から、少なくとも64バイトのサービスセルが送信されてからでないとポーリング状態情報セルが送信できないこと以外はモード2と同一である。

【0258】

10.0 スキャン処理

スキャン処理はスイッチコア22がクロスポイントユニット（XPU）32のバッファCBQ₀又はCBQ₁から、いつセルを出力可能であるかを判定する処理である。上述したように、同期（LSC）セルは図9に従ってスイッチコア22から送信される（セクション6.0参照）。一方、LCCセルは基本的にスイッチポートボード（SPB）24によって発行されたLCCセルからの応答としてスイッチコア22から送信される。LCCセルの交換は表7に示され、セクション7.0及び9.0で説明されている。

【0259】

スイッチコア22はまた、多数のクロスポイントユニット（XPU）32からのサービスセルの入手可能性をスイッチポートボード（SPB）24に通知するLCCポーリング状態セルを発行する。それらの内容がポーリング状態解放レジスタ（例えば、図6のポーリング状態解放レジスタ58-8を参照）の内容に基づいているという事実から見れば、ポーリング状態セルの1形式はポーリング状態解放セルとしても知られている。従って、ポーリング状態セルはスイッチポートボード（SPB）24に同じ行のバッファが“空き”か“占有されている”かの表示を提供する。

【0260】

あるバッファ（もしくは複数のバッファ）、例えばスイッチポートボード（SPB）24

10

20

30

40

50

が監視する行にある 16 のクロスポイントユニット (XPU) 32 のどれかの CBQ₀又は CBQ₁が解放される (すなわち、状態が“占有”から“空き”に変化する) と、図 10 にを参照してセクション 9.0 で説明したセル送信規則に従ってポーリング状態解放 LCCセルが送信される。バッファへ新しいセルのロードを開始する可能性があれば直ちにバッファは“空き”になる。セルがロードされると、バッファは“占有”とマークされる。

【0261】

送信及び受信スイッチポート (すなわち、スイッチポートボード (SPB) 24) の速度差に応じて、2つのポーリングオプションのいずれかに従ったバッファの“空き”表示がなされる。これら2つのポーリングオプションは図 15 に示される。第1のポーリングオプションは、バッファからのセルアンロード開始時にバッファの“空き”表示がなされる (図 15 の点 P1 参照)。第2のポーリングオプションはバッファからのセルアンロード終了時にバッファの“空き”表示がなされる (図 15 の点 P2 参照)。第1及び第2のポーリングオプションのいずれが用いられるかは、ポーリングレートレジスタ (セクション 4.6.1.3 及び 4.6.2.8 参照) にロードされる値に依存する。第1のポーリングオプションは送信側スイッチポート速度が受信側スイッチポート速度と同じか低い場合、もしくは速度差が 4% 未満である場合に一般に用いられる。また、第2のポーリングオプションは、送信側スイッチポート速度が受信側スイッチポート速度と等しいか大きい場合、もしくは速度差が不明な場合に一般に用いられる。

【0262】

各行列ユニット (RCU) 40 は、メモリアレイユニット (MAU) 30 (図 1 参照) の割り当てされた列上のバッファをスキャンする。“セル利用可能”状態を有するバッファ (例えばクロスポイントユニット (XPU) 32 の CBQ₀又は CBQ₁) はスイッチコア 22 から出力されたサービスセルを用いてアンロードされ、送信したバッファは“空き”とマークされる。

【0263】

“セル利用可能”はバッファからセルがアンロード開始されうる可能性があれば直ちに表示される。セルの最初のワードがバッファからアンロードされると、バッファは“空き”とマークされる。

【0264】

受信側及び送信側 RCU の速度差に応じて、図 16 に示す 2つのスキャンオプションのいずれかに従ったバッファの“セル利用可能”表示がなされる。第1のスキャンオプションでは、図 16 の点 Q1 に示されるように、バッファからのセルロード開始時にバッファの“セル利用可能”表示がなされる。第2のスキャンオプションでは、図 16 の点 Q2 に示されるように、バッファからのセルロード終了時にバッファの“セル利用可能”表示がなされる。第1及び第2のスキャンオプションのいずれが用いられるかは、スキャンレートレジスタ (セクション 4.6.1.3 及び 4.6.2.9 参照) にロードされる値に依存する。図 16 のように、第1のスキャンオプションは送信側スイッチポート速度が受信側スイッチポート速度と同じか低い場合、もしくは速度差が 4% 未満である場合に一般に用いられる。また、第2のスキャンオプションは、送信側スイッチポート速度が受信側スイッチポート速度と等しいか大きい場合、もしくは速度差が不明な場合に一般に用いられる。

【0265】

上述したように (図 2 参照)、(名称 CBQ₁又は CBQ₁という) 2つのバッファキューマトリックスがメモリアレイユニット (MAU) 30 の各列に存在する。CBQ₀は CBQ₁よりも優先度が高い。バッファキュー CBQ₀又は CBQ₁とともに、キュー毎に 2つのスナップショットレジスタが設けられている。スナップショットレジスタには、実バッファ状態がロードされる。バッファ状態は対応するスキャンブロックレジスタの内容によってマスクされる。実バッファ状態はスキャン状態レジスタ (例えば、図 6 のスキャン状態レジスタ 50 - 4 参照) が保持する。各バッファの“セル利用可能/空き”状態はスナ

ップショットレジスタにコピーされる。スナップショットレジスタのロード後、 CBQ_0 に対応する全ビットが処理され、バッファのアンロード時にこれらのビットはクリアされる。バッファは順番に、すなわち、バッファ0、バッファ1、等の順に処理される。 CBQ_0 に対応する全ビットがクリアされると、次にルーチンがコールされた際には、 CBQ_0 の新しいスナップショットが取得される。同様の処理がこのスナップショットレジスタの全ビットがクリアされるまで行われる。新しいスナップショットにおいてスナップショットレジスタの全ビットがゼロの場合、 CBQ_1 がスキャンされる。 CBQ_1 のスキャンは同一の原理に従って行われる。

【0266】

図17は基本的なスキャン処理を表す(17-0として示される)。ステップ17-1で、キュー CBQ_0 のスナップショットレジスタが空かどうかの判定が行われる。キュー CBQ_0 のスナップショットレジスタが空の場合、ステップ17-2で、キュー CBQ_0 のスナップショットレジスタは(スキャンブロック0でマスクされた)キュー CBQ_0 の状態をロードされる。そして、ステップ17-3において、キュー CBQ_0 のスナップショットレジスタが空かどうかの判定が行われる。

【0267】

ステップ17-3の判定が肯定であれば、ステップ17-4においてキュー CBQ_1 のスナップショットレジスタが空かどうかの判定が行われる。キュー CBQ_1 のスナップショットレジスタが空の場合、ステップ17-5で、キュー CBQ_1 のスナップショットレジスタは(スキャンブロック1でマスクされた)キュー CBQ_1 の状態をロードされる。そして、ステップ17-6において、キュー CBQ_1 のスナップショットレジスタが空かどうかの判定が行われる。

【0268】

ステップ17-2で、キュー CBQ_0 のスナップショットレジスタは(スキャンブロック0でマスクされた)キュー CBQ_0 の状態をロードされる。そして、ステップ17-3において、キュー CBQ_1 のスナップショットレジスタが空であれば、サービスセル送信要求は発行されない(ステップ17-7)。

【0269】

ステップ17-1または17-3において、キュー CBQ_0 のスナップショットレジスタが空であると判定された場合、ステップ17-8でキュー CBQ_0 の代わりに次のバッファがアンロードされ、キュー CBQ_0 に対応するスナップショットレジスタのビットはクリアされる。同様に、ステップ17-4または17-6において、キュー CBQ_1 のスナップショットレジスタが空であると判定された場合、ステップ17-9でキュー CBQ_1 の代わりに次のバッファがアンロードされ、キュー CBQ_1 に対応するスナップショットレジスタのビットはクリアされる。そして、ステップ17-8または17-9のいずれかに続いて、スキャンイネーブルカウンタがゼロかどうかのチェックがステップ17-10で行われる。スキャンイネーブルカウンタがゼロの場合、サービスセル送信要求は発行されない(ステップ17-7)。そうでなければ、ステップ17-11に示されるように、サービスセル送信要求が発行される。

【0270】

11.0 完全性チェック

完全性チェックは本質的にセル同期を維持し、欠陥のあるセルが更なる処理を受けたり、転送されることを防ぐ。スイッチポートボード(SPB)24からの全ての受信セルについて、FBP及びSBPフィールド[図4A及び図4B参照]を用いて第1バイト及び第2バイトのパリティチェックが行われる。制御セルについてはさらに最終ワードパリティ(LWP)もチェックされる[図4B参照]。

【0271】

スイッチコア22にバッファされようとするサービスセルについては、そのセルがバッファに格納される前に、PRIフィールドの値を変更するという観点から第1バイトの操作が行われる。この変更はセルがクロスポイントユニット(XPU)32へ送信される前に

行われる〔PRI スワップユニット 55 - 4 に関する説明及び図 5 C を参照〕。この操作の結果、クロスポイントユニット (XPU) 32 のうちの適切な 1 つに格納される前に、新しい FBP が決定され、サービスセルに付加される。クロスポイントユニット (XPU) 32 のバッファからセルがアンロードされる際にこれらのパリティ (FBP 及び SBP) がチェックされる。

【0272】

第 2 バイトは TTI 変換によって変化するため、全てのセルの送信に関連して、第 2 バイトのパリティビット (SBP フィールド) が計算及び付加される。

【0273】

図 18 はサービスセルのパリティチェックを図で表したものである。スイッチポートボード (SPB) 24 からサービスセルを受信すると、S - 1 で示されるように FBP 及び SBP フィールドを用いたパリティチェックが上述の通り行われる。サービスセルにエラーが検出された場合、セル廃棄処理 (CDP) が起動される (S - 2)。ステップ S - 3 はセル解析ユニット (CAU) 55 [図 5 C 参照] が行う PRI の交換及び、新しい FBP の計算を示している。ステップ S - 4 はメモリアレイユニット (MAU) 30 のクロスポイントユニット (XPU) 32 のうち適切な 1 つへのサービスセルの格納を表す。クロスポイントユニット (XPU) 32 からセルがアンロードされると、FBP 及び SBP ビットを用いたチェックが実行される (ステップ S - 5)。エラーが検出された場合、S - 6 に示すようにセル廃棄処理が起動される。ステップ S - 7 は TTI 変換及び新しい SBP の計算を示しており、続いて行列ユニット (RCU) 40 から宛先のスイッチポートボード (SPB) 24 へセルが送信される (ステップ S - 8)。

【0274】

制御セルについては最終ワードパリティ (LWP) がさらに付加される。

【0275】

表 8、表 9 及び表 10 は起こりうる誤りの検出チェックと、動作スイッチコア 22 の受信及び送信側で行うことのできる処置を示している (CDP: セル廃棄処理、AIP: 中断挿入処理、LSP: リンク同期処理)。特に、表 8 は制御セルについての誤りと対処を、表 9 及び表 10 はサービスセルについての誤りと対処を示す。表 9 はまた、連鎖的なストリームにおける第 1 セルについて、表 10 は連鎖的なストリームにおける後続セル及び最終セルにもそれぞれ適応される。

【0276】

11.1 LSP: リンク同期処理

LSP は誤りがセル同期の欠落を示したさいに行わねばならない処理を規定する。LSP は以下の動作である: (1) 継続中のセルを他の処理から排除する。

(2) 同期状態の装置を強制的に同期前状態にする。

【0277】

11.2 CDP: セル廃棄処理

CDP はサービスセル及び制御セルの両方の取り扱いを含む。受信側において、CDP はサービスセルまたは制御セルである受信セルが他の処理から排除されることを規定する。送信側では、CDP はクロスポイントバッファからアンロードされたサービスセルが廃棄されるべきであること及び、代わりに LSC セルが挿入されることを規定する。クロスポイントバッファは“空き”状態に設定される。

【0278】

連鎖的なセルについては、受信側では、CDP がバッファサイズを超えたことによって起動された場合、残りの全ての連鎖的なセルストリームを廃棄する。CDP が変更された PRI / TTI / CBQ や連鎖的なセルストリーム中にサービスセルが無いといった、他の誤りによって起動された場合には、誤りのあるセルが廃棄される。ストリーム中の残りの連鎖的なセルは新しい連鎖的なセルストリームとして見なされる (すなわち、バッファが利用可能か否かによって、バッファにロードされるか廃棄される)。

【0279】

送信側においては、連鎖するセルに対してC D Pはクロスポイントバッファからアンロードされたサービスセルが廃棄されるべきであること及び、代わりにL S Cセルが挿入されることを規定する。バッファ中の引き続く全ての連鎖的なセルは他の処理から排除され、“新たな”セルのロードがまだ開始されていなければ、バッファは“空き”に設定される。

【 0 2 8 0 】

1 1 . 3 中断挿入処理

中断挿入処理 (A I P) は規定されたC B Qにおいてアドレス指定されたクロスポイントバッファ中に、処理を起動させるサービスセルの最初の2バイトに代わって中断信号が挿入されることを規定する。中断信号は16ビット長で、16進数のF E 1 Cである。第1

10

【 0 2 8 1 】

1 1 . 4 セル完全性レジスタ表示誤り

「C I R_x」と言う表記は誤りがセル完全性レジスタの設定ビットb i t_xで表される誤りであることを意味する。このビットはレジスタの読み出し後にクリアされる。

【 0 2 8 2 】

1 2 . クロック分配

全てのポートはシステムクロック用の2つの接続を有している。入力1つと出力1つである。出力源は他のいずれかのポートから入力される。実際の発生源 (ポート番号) はプログラマブルであり、異なる発生源を異なるポートに設定することが可能である。行列ユニット (R C U) 4 0 から送出されるセルの送信速度はセルの受信に用いられるのと同じのクロックにより決定される。このクロックはこのポートに接続される外部ユニットによって供給される。

20

【 0 2 8 3 】

全ポートに入来するシステムクロックは他の全てのR C Uに分配される。R C U内部には半静的なスイッチ (semi-static switch) がある。このスイッチはR C U内のシステムクロックレジスタによって制御される。このスイッチの出力はポートのシステムクロック出力に接続される。図19を参照のこと。全てのポートのシステムクロック出力は全てのポートのシステムクロック入力からトランスペアレントである。

【 0 2 8 4 】

本発明は以下に示す、同時出願された米国特許出願に開示されるA T Mシステムとともに用いることができる。また、これら米国特許出願は本明細書中に参照として組み入れられる。

30

【 0 2 8 5 】

米国特許出願番号第08 / , (代理人整理番号2380-24) 、名称「異なるA A Lプロトコルを取り扱う非同期転送モードシステム (ASYNCHRONOUS TRANSFER MODE SYSTEM HANDLING DIFFERING AAL PROTOCOLS) 」

米国特許出願番号第08 / , (代理人整理番号2380-25) 、名称「A T Mノード用の集約化キューイング (CENTRALIZED QUEUING FOR ATM NODE) 」

米国特許出願番号第08 / , (代理人整理番号2380-26) 、名称「A T Mノード用のセル処理ユニット (CELL HANDLING UNIT FOR ATM NODE) 」

40

米国特許出願番号第08 / , (代理人整理番号2380-27) 、名称「タイムスタンプを付されたA T Mキューイング (ATM TIMESTAMPED QUEUING) 」

米国特許出願番号第08 / , (代理人整理番号2380-28) 、名称「A T Mキューからの調整されたセル放出 (COORDINATED CELL DISCHARGE FROM ATM QUEUE) 」

米国特許出願番号第08 / , (代理人整理番号2380-30) 、名称「A T Mノード用の結合されたヘッダパラメータテーブル (COMBINED HEADER PARAMETER TABLE FOR ATM NODE) 」

米国特許出願番号第08 / , (代理人整理番号2380-46) 、名称「電気通信方法、配置及び装置 (METHOD, ARRANGEMENT, AND APPARATUS FOR TELECOMMUNICATION) 」

50

本発明は現在考え得る最も現実的かつ好ましい実施形態に関連して説明されたが、本発明は開示された実施形態に限定されるべきではなく、反対に、添付された請求範囲の精神及び範囲に含まれる種々の変更や等価構成をカバーすることを意図したものであることを理解すべきである。例えば、本発明はスイッチコア 2 2 中のクロスポイントユニット (X P U) 3 2 の数や、スイッチコア 2 2 中のマトリックスの数によって限定されない。さらに、本発明の多くの様相がハードウェア要素によって実装されているように説明されているが、このような様相は代わりにソフトウェアプログラム技術によって達成することも可能である。

【 0 2 8 6 】

【表 1】

表1-トラフィックタイプ表示、受信サービスセルの符号化

受信TTI	キャスト形式	連鎖
0	ブロードキャスト	NO
1		YES
2		NO
3	マルチキャスト	YES
4		NO
5	ユニキャスト	YES
6		NO
7		NO

10

20

30

40

【 0 2 8 7 】

【 表 2 】

表2-トラフィックタイプ表示、送信サービスセルの符号化
TTI変換

受信TTI	(実際のCBQについて) この列の全てのバッファが空きか？	送信TTI
0	NO	0
0	YES	1
1 or 2	関係なし	2
3 or 4	YES	3
3 or 4	NO	4
5 or 6	YES	5
5 or 6	MP	6
7	関係なし	7

【 0 2 8 8 】

【 表 3 】

表3-セルサイズ（総バイト数）

SCS	セルサイズ
0	8
1	16
2	24
3	32
4	40
5	48
6	56
7	Reserved

10

20

【 0 2 8 9 】

【 表 4 】

表4-コード化LCCセル

名称	使用法
NU, 1 bit	使用されないビット。ゼロに等しい。
ADR, 5 bits	ASCCから読み出し及び/又はASCCへ書き込みされようとしているデータのアドレス。 完全なアドレスマップは表10を参照。
Write 1 bit	コアへ： 1に設定するとアドレス指定されたレジスタがデータをロードされるべきこと、もしくはコマンドが実行されるべきであることを示す。 コアから： 常にゼロに設定
Read 1 bit	コアへ： 1に設定するとアドレスが有効で、データを有する応答LCCセルが必要であることを示す。 コアから： 常にゼロに設定
Data, 8 bits	コアから読み出された及び/又はコアへ書き込む8ビットデータ
使用せず, 3bits	使用されないビット。ゼロに等しい。
CBQ, 2 bits セルバッファキュー	CBQはどのクロスポイントキューデータが関連するかを示す。 有効値は0及び1である。 それ以外の値を有するセルは廃棄される。
RPC, 2 bits レジスタ部分コード	RPCはどのバイトが目標なのかを指し示す。 以下のコードを適用： 0 ビット0～7（最下位バイト） 1 ビット8～15（最上位バイト） 2 無効値 3 無効値

10

20

30

40

【 0 2 9 0 】

【 表 5 】

表5-ビットマップ形式LCCセルにアクセスされるレジスタ

レジスタ	PRI- 値	CBQ	Bits Used	コメント
マルチキャスト	30	X	16	ビットマップ形式LCCセル用ビットマップをASCCへ送信することで書き込まれる。コード化LCCセルを送信することによって、テスト目的で読み返す。
スキャンブロック	28	0	16	
スキャンブロック	28	1	16	
ポーリング状態 のステータス	25	0	16	ポーリング状態ステータスLCCセル。ASCC から出力されるビットマップ形式LCCセル。「ポーリング状態取り出しコマンド」の応答としてASCCが送信。
ポーリング状態 のステータス	25	1	16	
ポーリング状態 の解放	26	0	16	ポーリング状態解放LCCセル。ASCCから出力されるビットマップ形式LCCセル。占有状態から空きに変化したバッファ状態を送信。
ポーリング状態 の解放	26	1	16	

表6-RCUのレジスタ

レジスタ/コマンド	アドレス			使用ビット数	コメント	書き込み	読み出し
	CBQ	ADR	RPC				
ポーリング・イネーブル	x	4	0	2	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
LCCパリティモード	x	5	0	1	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
セル完全性	x	6	0	3	コード化形式LCCセルによって読み出し	No	Yes
スキャンイネーブル	x	7	0	8	コード化形式LCCセルによって書き込み	Yes	No
システムクロック	x	10	0	4	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
有効PRU	x	11	0	4	コード化形式LCCセルによって読み出し	No	Yes
アーティクルNr. & rev.	x	12	0	8	コード化形式LCCセルによって読み出し	No	Yes
ポーリングレート、下位バイト	x	14	0	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
ポーリングレート、上位バイト	x	14	1	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
スキャンレート、下位バイト	x	15	0	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
スキャンレート、上位バイト	x	15	1	8	コード化形式LCCセルによって書き込み及び読み出し	Yes	Yes
クリアコマンド、マトリックス0	0	24	x	5	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No
クリアコマンド、マトリックス1	1	24	x	4	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No
ポーリング状態読み出しコマンド0	0	25	x	0	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No
ポーリング状態読み出しコマンド1	1	25	x	0	書き込み活性を有するコード化形式LCCセルによる活性コマンド	Yes	No
スキャンブロック、下位バイト、マトリックス0	0	28	0	8	コード化形式LCCセルによって読み出し。 ビットマップ形式LCCセルによって書き込み。	No	Yes
スキャンブロック、上位バイト、マトリックス0	0	28	1	8	コード化形式LCCセルによって読み出し。 ビットマップ形式LCCセルによって書き込み。	No	Yes
スキャンブロック、下位バイト、マトリックス1	1	28	0	8	コード化形式LCCセルによって読み出し。 ビットマップ形式LCCセルによって書き込み。	No	Yes
スキャンブロック、上位バイト、マトリックス1	1	28	1	8	コード化形式LCCセルによって読み出し。 ビットマップ形式LCCセルによって書き込み。	No	Yes
マルチキャスト、下位バイト	x	30	0	8	コード化形式LCCセルによって読み出し。 ビットマップ形式LCCセルによって書き込み。	No	Yes
マルチキャスト、上位バイト	x	30	1	8	コード化形式LCCセルによって読み出し。 ビットマップ形式LCCセルによって書き込み。	No	Yes

【 0 2 9 2 】

【 表 7 】

10

20

30

40

表7-制御セル相互動作

受信LCCセル				応答LCCセル				コメント
PRI	ADR	Write	Read	PRI	ADR	Write	Read	
28, 30	na	na	na	応答セルなし				レジスタへ書き込み（マルチキャスト及びスキャン ログ）。ビットマップLCCセル。
31	4,5,6,10,14,15,24	1	0	応答セルなし				レジスタへ書き込み。コード化LCCセル。
31	4,5,6,10,11,12,14,15	0	1	31	4,5,6,10,11,12,14,15	0	0	レジスタから読み出し。 コード化LCCセル。 注：応答セル中のADRは受信LCCセルのADRと同一。
31	4,5,10,14,15	1	1	31	4,5,10,14,15	0	0	レジスタの書き込み及び読み出し。 コード化LCCセル。 注：応答セル中のADRは受信LCCセルのADRと同一。
31	28,30	0	1	31	28,30	0	0	レジスタへ書き込み （マルチキャスト及びスキャン ログ）。 コード化LCCセル。 注：応答セル中のADRは受信LCCセルのADRと同一。
31	25	1	0	25	na	na	na	「ポーリング」状態読み出しコマンドへ書き込み。コへ送信されたコード化LCCセルによつてコからビットマップLCCセルが応答される。ビットマップLCCセルは実際のポーリング状態のステータスを含む。
要求セルなし				26	na	na	na	ポーリング状態解放： コア中のバッファが占有状態から空きに状態変化すると、その結果がビットマップLCCセルに反映される。 このセルは最後の「ポーリング状態解放」以来解放された全てのバッファ情報を運ぶ。

【 0 2 9 3 】

【 表 8 】

10

20

30

40

表8-コントロールセルのチェックと対処

誤り検出チェックスローガン	対処 受信エンティティ	対処 送信エンティティ
FBP, SBP又はLWP誤り	LSP, CIR ₀	
サポートされないPRI (ビットマップLCCセル)	CDP, CIR ₁	
サポートされないCBQ (ビットマップ及びコード化LCCセル)	CDP	
サポートされないADR (コード化LCCセル)	CDP	
サポートされないPRC (コード化LCCセル)	CDP	

【 0 2 9 4 】

【 表 9 】

10

20

30

40

表9-サービスセル（及び連鎖状態トリームの第1セル）のチェック及び対処

誤り検出チェックスローガン	対処 受信エンティティ	対処 送信エンティティ
FBP又はSBP誤り	LSP, CIR ₀	CDP, CIR ₃
サポートされないPRI	CDP, CIR ₁	None
サポートされないCBQ	CDP	None
サポートされないSCS	LSP, CIR ₁	CDP, CIR ₁
クロスポイントバッファ中のセルへの上書き試行。 シングルキャスタ及びマルチキャスタ。 注1	CDP, CIR ₁	
クロスポイントバッファ中のセルへの上書き試行。 ブロードキャスタ。 注1	None	
累積最大セルサイズ超過 （交差点バッファが後続のセルを保持できない場合、 連鎖状態トリームにおける第1セルも含む）	AIP + CDP, CIR ₁	CDP, CIR ₁
XPU中バッファからの中断信号アンロード		CDP

【 0 2 9 5 】

【 表 1 0 】

10

20

30

40

表10-連鎖状セルストリームの後続セル及び最終セルのチェック及び対処

誤り検出チェック (第1セルの処理後に引き続き、マークされた連鎖状セルに おいて発見された誤り。第1セルについては上表を参照)。 スローガン:	対処 受信エンティティ	対処 送信エンティティ
FBP, SBP誤り	LSP, AIP, CIR ₀	CDP, CIR ₃
代わりにLCCセル又はLSCセルが続く場合	AIP + CDP, CIR ₁	対処せず。 上述の表に従って、 連鎖状ストリームの 第1セルのみに対処する。
先行セルに関してPRIが変化している場合		
先行セルに関してTTI値が変化している場合 注1		
先行セルに関してCBQ値が変化している場合		
サポートされないSCS	LSP, CIR ₁	CDP, CIR ₁
累積最大セルサイズを超過した場合	AIP+CDP, CIR ₁	CDP, CIR ₁
XPU中バッファから中断信号をアンロードした場合		CDP

【図面の簡単な説明】

本発明の、前述した目的、特徴及び利点は、添付図面によって図示されているように、好適な実施形態についての前述したより特有の説明から明らかになる。その添付図面では参照記号が異なる観点で同じ構成要素を参照している。その図面は長さを調整する必要はなく、むしろ強調する点は、本発明の原理を図示している点にある。

【図1】 本発明の実施形態に従うATMスイッチングシステムを図形的に示したものである。

【図 2】 図 1 の A T M スイッチングシステムのスイッチコアに含まれるクロスポイントユニット (X P U) の一部を図形的に示したものである。

【図 3】 図 1 の A T M スイッチングシステムのスイッチコアとスイッチポートボード (S P B) との間のセルの流れを図示したものである。

【図 4 A】 図 1 の A T M スイッチングシステムで用いられるサービスセルのフォーマットを図示したものである。

【図 4 B】 図 1 の A T M スイッチングシステムで用いられる制御セルの一般的なフォーマットを図示したものである。

【図 4 B - 1】 ビットマップフォーマットされたリンク接続制御 (L C C) セルのフォーマットを図示したものである。

10

【図 4 B - 2】 コード化されたリンク接続制御 (L C C) セルのフォーマットを図示したものである。

【図 4 B - 3】 リンク状態制御 (L S C) セルのフォーマットを図示したものである。

【図 5】 図 1 の A T M スイッチングシステムに含まれる行列ユニット (R C U) を図形的に示したものである。

【図 5 A】 図 1 の A T M スイッチングシステムに含まれるラインインタフェースユニット (L I U) を図形的に示したものである。

【図 5 B】 図 1 の A T M スイッチングシステムに含まれるセル同期ユニット (C S U) を図形的に示したものである。

【図 5 C】 図 1 の A T M スイッチングシステムに含まれるセル解析ユニット (C A U) を図形的に示したものである。

20

【図 5 D】 図 1 の A T M スイッチングシステムに含まれるセル書込みユニット (C W U) を図形的に示したものである。

【図 5 E】 図 1 の A T M スイッチングシステムに含まれる運用管理ユニット (O M U) を図形的に示したものである。

【図 5 F】 図 1 の A T M スイッチングシステムに含まれるセル読出しユニット (C R U) を図形的に示したものである。

【図 5 G】 図 1 の A T M スイッチングシステムに含まれるセル生成ユニット (C G U) を図形的に示したものである。

【図 5 H - 1】 図 1 の A T M スイッチングシステムのクロスポイント状態ユニットの異なる組み込みを図形的に示したものである。

30

【図 5 H - 2】 図 1 の A T M スイッチングシステムのクロスポイント状態ユニットの異なる組み込みを図形的に示したものである。

【図 5 I】 図 1 の A T M スイッチングシステムに含まれるシステムクロックユニット (S C U) を図形的に示したものである。

【図 6】 図 1 の行列ユニット (R C U s) の要素に C S B の一部を接続する様子を図式的に示したものである。

【図 6 A】 サービスセルが図 1 の A T M スイッチングシステムのコアを通過して運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図 6 B】 サービスセルが図 1 の A T M スイッチングシステムのコアを通過して運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

40

【図 6 C】 サービスセルが図 1 の A T M スイッチングシステムのコアを通過して運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図 6 D】 サービスセルが図 1 の A T M スイッチングシステムのコアを通過して運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図 6 E】 サービスセルが図 1 の A T M スイッチングシステムのコアを通過して運ばれるときにおけるイベントのシーケンスを図形的に示したものである。

【図 7】 図 1 の A T M スイッチングシステムに関する初期化手順に含まれる基本的なステップを示すフローチャートである。

【図 8】 図 1 の A T M スイッチングシステムのセル同期ユニット (C S U) に含まれる

50

状態マシンを図形的に示したものである。

【図 9】 図 8 の状態マシンの動作を図示した時間遷移を示す図である。

【図 10 A】 図 1 の A T M スイッチングシステムにおけるセル伝送を図式的に示したものである。

【図 10 B】 図 1 の A T M スイッチングシステムにおけるセル伝送を図式的に示したものである。

【図 1 1】 ポーリング率レジスタとクロスポイントユニットにおけるビット間の関連を図式的に示したものである。

【図 1 2】 ポーリング率レジスタの設定のシナリオを図式的に示したものである。

【図 1 3】 スキャン率レジスタとクロスポイントユニットにおけるビット間の関連を図式的に示したものである。

【図 1 4】 スキャン率レジスタの設定のシナリオを図式的に示したものである。

【図 1 5】 “占有” から “空き” の状態へ変化するキューを示す指示の送信タイミングについてのポーリングオプションを図式的に示したものである。

【図 1 6】 “空き” から “セル利用可能” の状態へ変化するキューを示す指示の送信タイミングについてのスキャンオプションを図式的に示したものである。

【図 1 7】 スキャンプロセスにおける基本的なステップを示すフローチャートである。

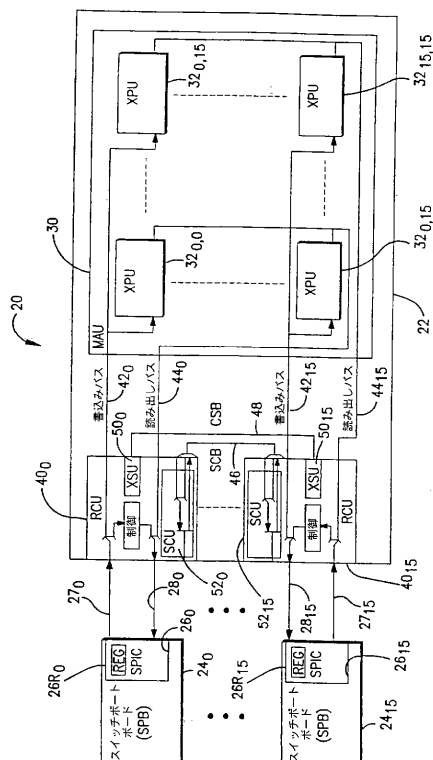
【図 1 8】 サービスセルについての誤りチェック動作を図式的に示したものである。

【図 1 9】 図 1 の A T M スイッチングシステムにおけるシステムクロック分布を図式的に示したものである。

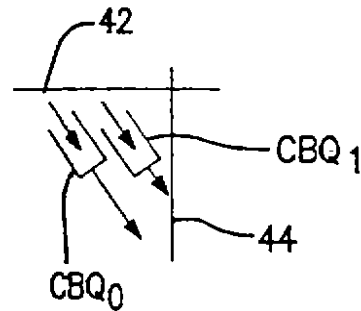
10

20

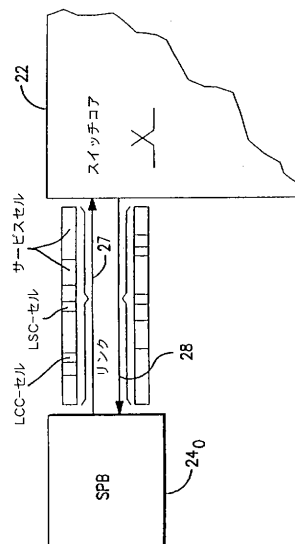
【図 1】



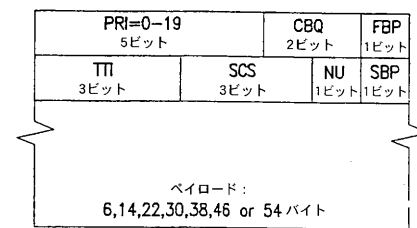
【図 2】



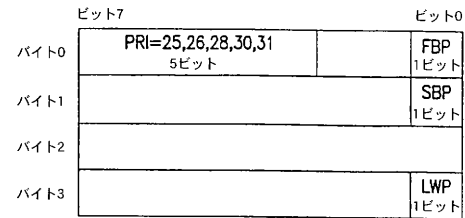
【圖 3】



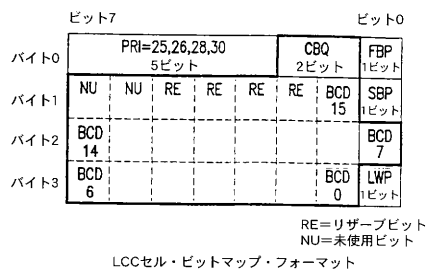
【 図 4 A 】



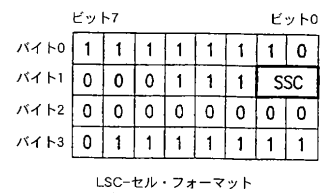
【 図 4 B 】



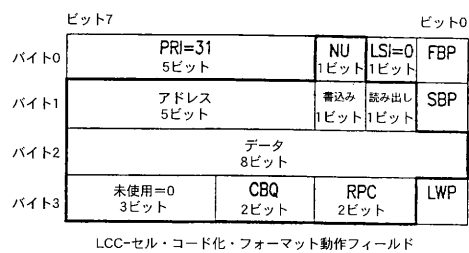
【 図 4 B - 1 】



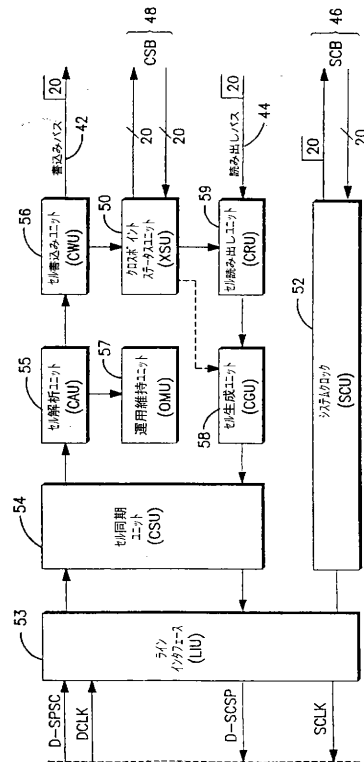
【 図 4 B - 3 】



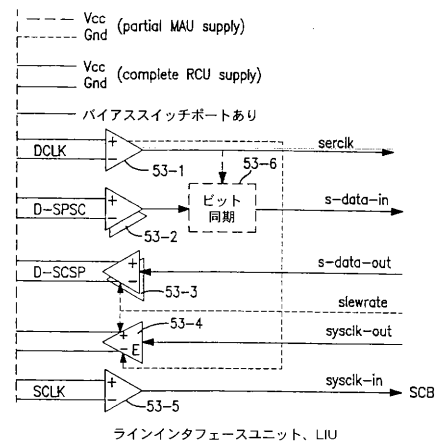
【 図 4 B - 2 】



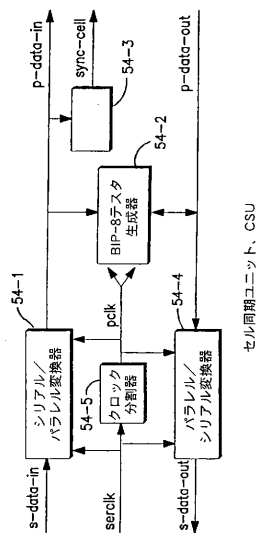
【図 5】



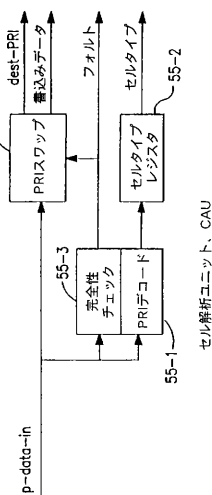
【図 5 A】



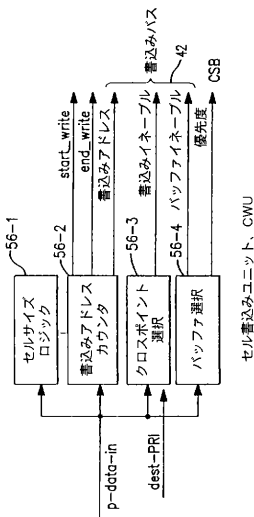
【図 5 B】



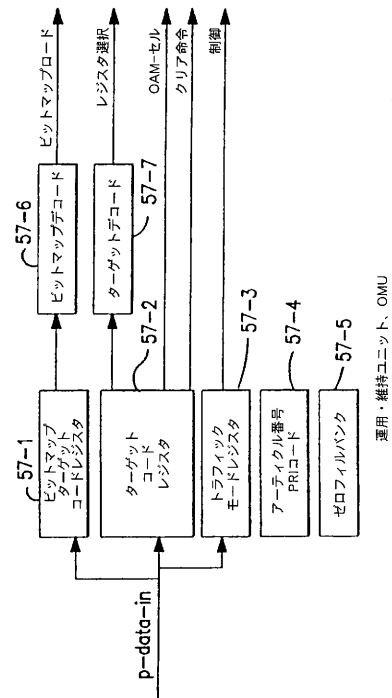
【図 5 C】



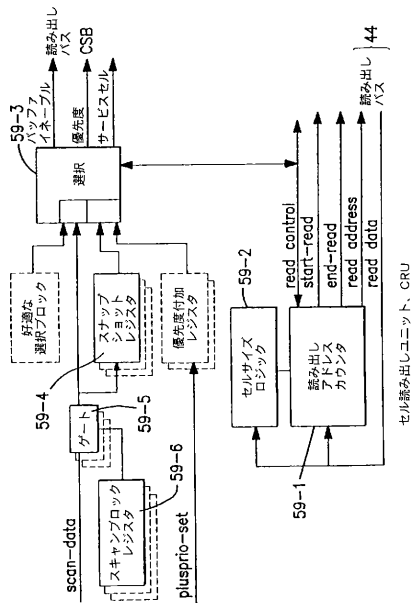
【図 5 D】



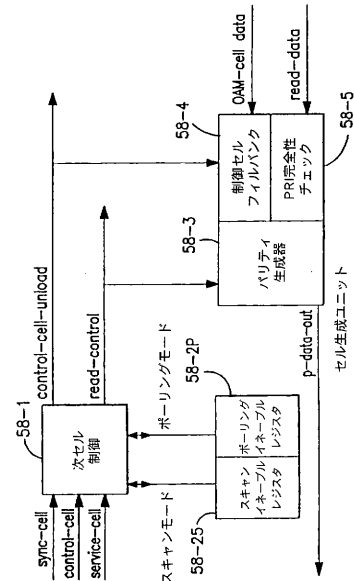
【図 5 E】



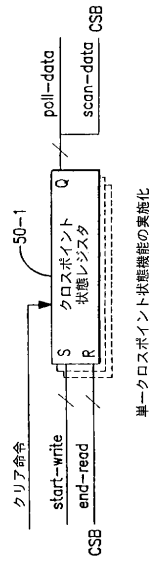
【図 5 F】



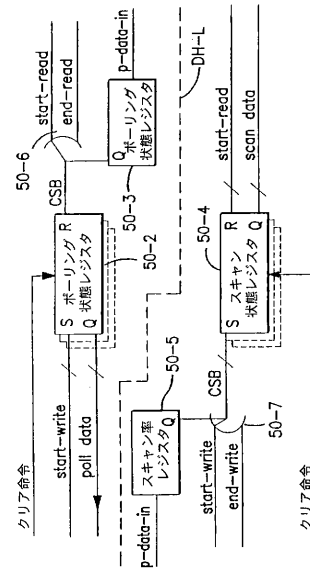
【図 5 G】



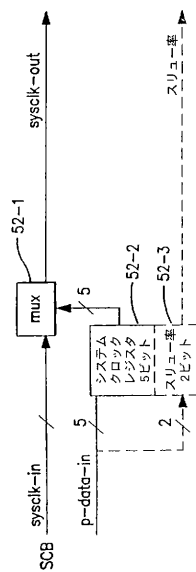
【図 5 H - 1】



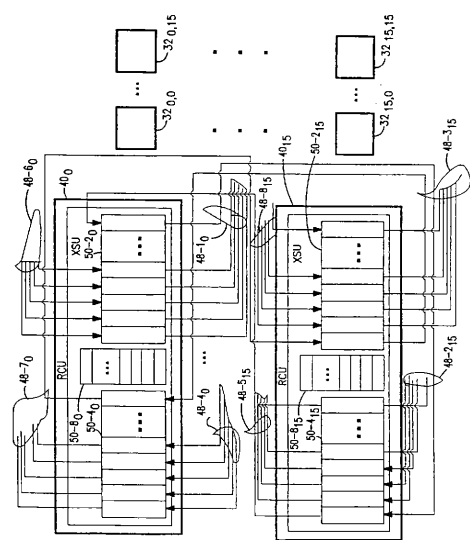
【図 5 H - 2】



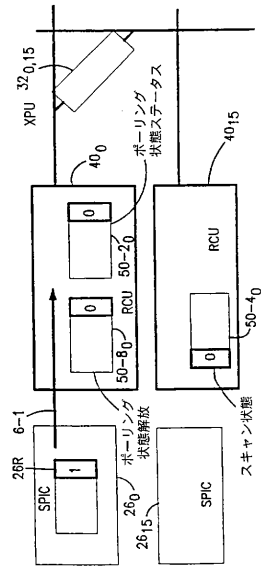
【図 5 I】



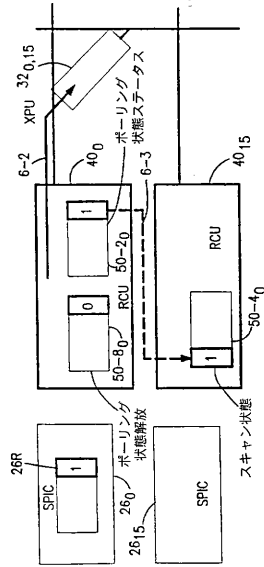
【図 6】



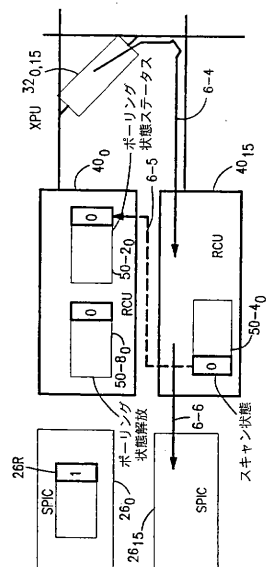
【 図 6 A 】



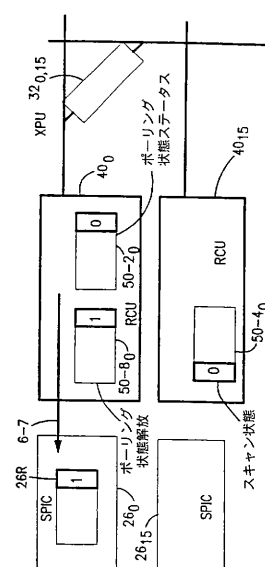
【 図 6 B 】



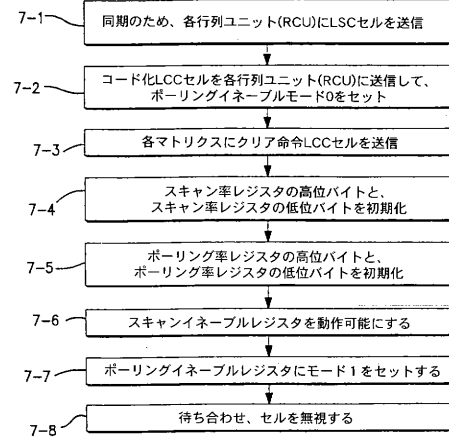
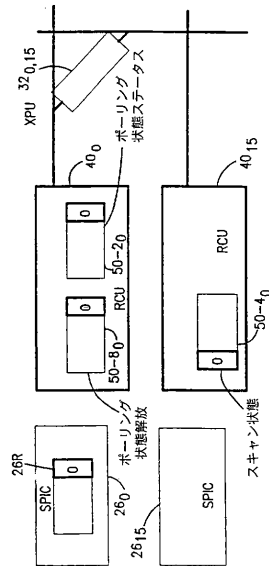
【 図 6 C 】



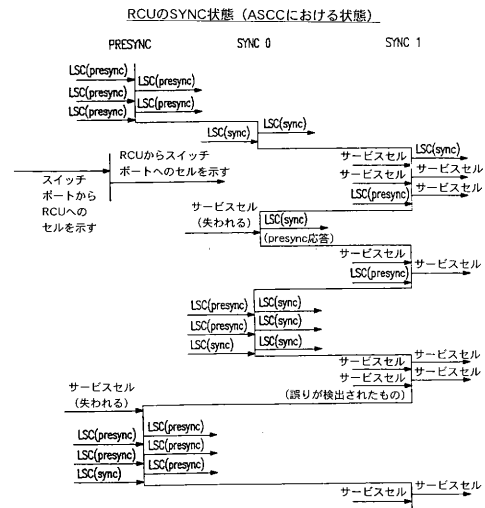
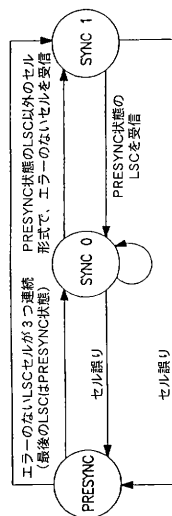
【 図 6 D 】



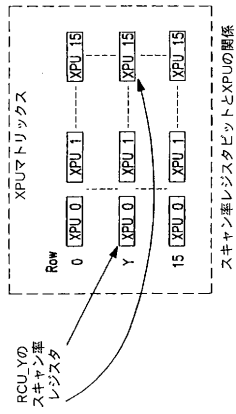
【 図 7 】



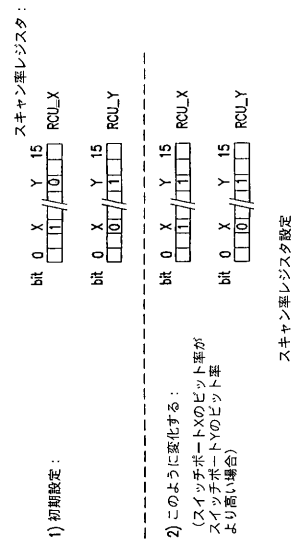
【 図 9 】



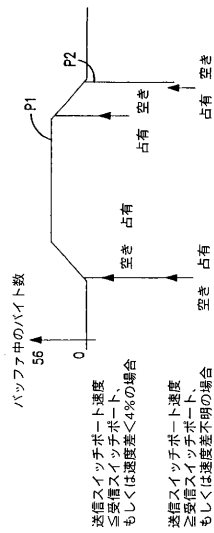
【図 13】



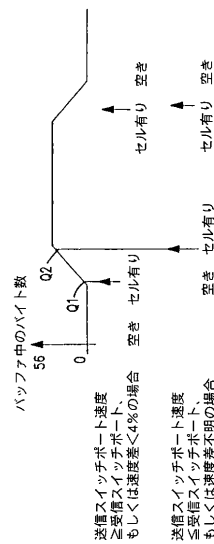
【図 14】



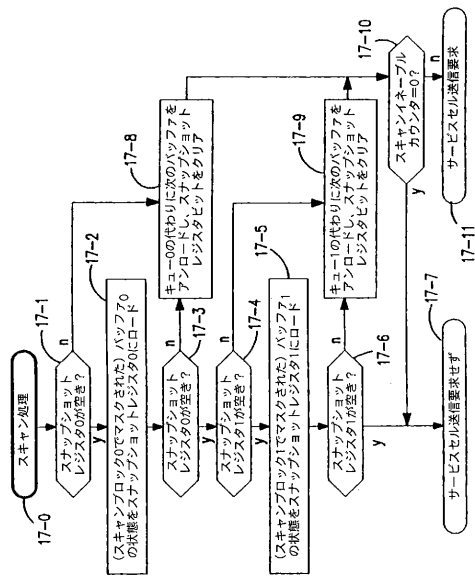
【図 15】



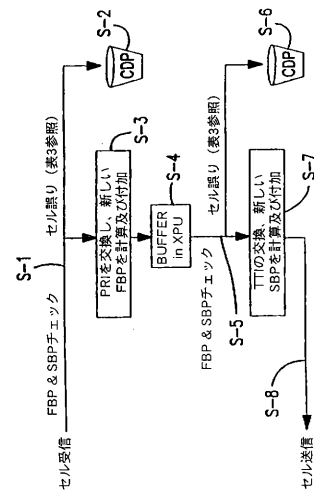
【図 16】



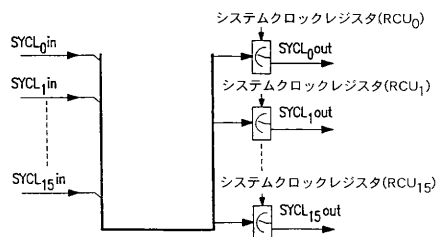
【図 17】



【図 18】



【図 19】



フロントページの続き

(31)優先権主張番号 09/188,101

(32)優先日 平成10年11月9日(1998.11.9)

(33)優先権主張国 米国(US)

(74)代理人 100101306

弁理士 丸山 幸雄

(72)発明者 ペテルセン, ラルス - イェラン

スウェーデン国 トウンバ エス - 1 4 7 4 2 , ヘクブルスヴェーゲン 5

審査官 小曳 満昭

(56)参考文献 特表平09 - 512404 (JP, A)

特開平03 - 038137 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 12/00-12/26、12/50-12/66