

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 29/00 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480022193.5

[43] 公开日 2006年9月6日

[11] 公开号 CN 1830038A

[22] 申请日 2004.8.4

[21] 申请号 200480022193.5

[30] 优先权

[32] 2003.8.5 [33] DE [31] 10335708.4

[86] 国际申请 PCT/EP2004/008748 2004.8.4

[87] 国际公布 WO2005/015569 德 2005.2.17

[85] 进入国家阶段日期 2006.2.5

[71] 申请人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 P·佩赫米勒

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 张志醒

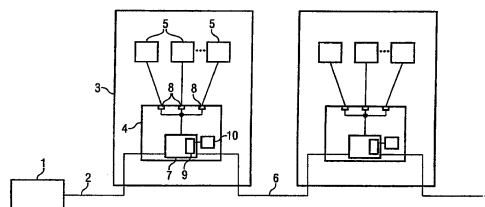
权利要求书 1 页 说明书 5 页 附图 2 页

[54] 发明名称

用于连接一个或多个存储器芯片的集线器模块

[57] 摘要

本发明涉及一种用于连接一个或多个存储器芯片的集线器模块，所述模块具有地址输入端，用于连接到地址总线，以便接收要被寻址的存储区的地址，并且所述模块具有地址输出端，用于连接到另一地址总线，并且所述模块具有地址解码器单元，以便使用被施加到地址输入端的地址来对所连接的存储器芯片中的一个存储器芯片进行寻址，或者以便将所施加的地址施加到地址输出端，其特征在于，地址解码器单元具有冗余单元，以便，在一个或多个所连接的存储器芯片的存储区中检测到缺陷的情况下，代替所寻址的存储区而对冗余存储区进行寻址。



- 1、一种用于连接一个或多个存储器芯片（5）的集线器模块（4），
所述模块具有地址输入端，用于连接到地址总线，以便接收要被寻址的存
5 储区的地址，并且所述模块具有地址输出端，用于连接到另一地址总线，并且
具有地址解码器单元（7），以便使用被施加到地址输入端的地址来对所连接的
存储器芯片（5）中的一个存储器芯片进行寻址，或者以便将所施加的地址施
加到地址输出端，
其特征在于
- 10 地址解码器单元（7）具有冗余单元（9），以便，在一个或多个所连接的
存储器芯片（5）的存储区中检测到缺陷的情况下，代替所寻址的存储区而对
冗余存储区进行寻址。
- 2、如权利要求 1 所述的集线器模块（4），其特征在于，地址解码器单元
（7）具有缺陷地址输入端，以便接收缺陷地址，该地址解码器单元（7）包括
15 比较器单元，以便，将缺陷地址与所施加的地址进行比较，并且在该缺陷地址
和所施加的地址之间确定一致的情况下代替所寻址的存储区而寻址另一冗余存
储区。
- 3、如权利要求 2 所述的集线器模块（4），其特征在于，设置缺陷地址存
储器（10），以便存储缺陷地址并且给地址解码器单元（7）提供所述缺陷地址。
- 20 4、如权利要求 2 或 3 所述的集线器模块（4），其特征在于，冗余存储区
被设置在所连接的存储器芯片（5）中。
- 5、如权利要求 2 或 3 所述的集线器模块（4），其特征在于，集线器模块
（4）包括冗余存储区。

用于连接一个或多个存储器芯片的集线器模块

5 本发明涉及一种用于连接在存储器模块中所使用的一个或多个存储器芯片的集线器模块。

存储器芯片经常被用在个人计算机中，以存储要在个人计算机中进行处理的数据。为此目的，将存储器芯片组合，以形成存储器模块，以便满足高存储容量的要求。为了利用多个存储器模块的存储容量，通常提供地址和数据总线，
10 存储器模块被连接到该地址和数据总线，也就是说每个存储器模块被连接到公共地址和数据总线上。由于存储器模块上的地址和数据总线的对应输入端的线路和输入容量，并且由于信号在支路上被反射，以其传输地址数据和有效数据的最大时钟频率受到限制。

特别是，当使用双数据率（DDR）工艺时，必须以其通过地址和数据总线
15 传输数据的频率非常高。因此，对于未来的 DDR III 或者其它高性能接口工艺，恰当的是不使用公共地址和数据总线来操作存储器模块。

一种可能的可替换的地址和数据总线概念包括在个人计算机中的存储控制器和存储器芯片之间提供所谓的集线器模块，所述模块被用于驱动一个或多个存储器芯片。该集线器模块被连接到存储控制器，该存储控制器控制数据的存
20 储和检索。集线器模块具有针对地址和数据总线的输入端，以便接收地址数据和有效数据并且可能将有效数据传输给该存储控制器。该集线器模块还具有输出端，通过该输出端输出地址和有效数据。针对地址和有效数据的输出端可被连接到另一个下游集线器模块的输入端，存储器芯片依次被连接到该另一个下游集线器模块。

25 该集线器模块具有地址解码器单元，该地址解码器单元接收所施加的地址，并且，以取决于地址的方式，或者对所连接的存储器芯片中的一个进行寻址，或者将所施加的地址施加到地址输出端上，以致可将该地址转发到下一个集线器模块上。以相应的方式，被施加到数据总线的有效数据或者被转发或者被写入到所连接的存储器芯片中。

30 由于生产工艺，存储器芯片不能无缺陷地生产。出现的缺陷可在多个步骤

中、既在晶片修复步骤中又可能在后端修复步骤中在芯片层进行修复。然而，也可出现，先前未检测到的其它缺陷出现在已经以这种方式被修复的存储器芯片中（例如在相对长时间的运行之后存储器单元老化）。这些缺陷可导致，计算机系统不再以稳定的方式运行或者当执行软件时可能出现缺陷。

5 本发明的目的是提供一种集线器模块，该集线器模块可能使计算机系统尽管在所使用的存储器芯片中出现缺陷仍然运行。

该目的通过如权利要求1所述的集线器模块来实现。

本发明的其它有利的改进方案在从属权利要求中被详细说明。

本发明提供一种集线器模块，用于连接一个或多个存储器芯片，其中每个
10 存储器芯片具有至少一个存储区。该集线器模块具有地址输入端，用于连接到地址总线，以便接收要被寻址的存储区的地址，并且该集线器模块具有地址输出端，用于连接到另一地址总线。设置地址解码器单元，以便使用被施加到地址输入端的地址来对所连接的存储器芯片中的一个存储器芯片的存储区进行寻址，或者以便将所施加的地址施加到地址输出端。地址解码器单元具有冗余单
15 元，以便在一个或多个所连接的存储器芯片的存储区中检测到缺陷的情况下寻址冗余存储区而不是寻址所寻址的存储区。

根据本发明，冗余单元因此被设置在集线器模块中，以便当缺陷出现时寻址以冗余形式设置的存储区而不是寻址常规存储区。在存储器芯片已经被完全生产、已经被测试并且已经在晶片修复步骤以及后端修复步骤中被修复之后，
20 即使在存储器芯片中出现缺陷，存储器芯片也能够运行。例如，如果由于缺陷使得存储器模块中的存储器芯片中的一个或多个存储区故障，则因此接着能以其仍然在计算机系统中运行的方式来改变存储器模块（无须操作有问题的存储器芯片或者所使用的存储控制器）。这可通过提供具有冗余单元的集线器模块来实现，该冗余单元能修复该缺陷。

25 可规定，地址解码器单元具有缺陷地址输入端，以便接收缺陷地址。该地址解码器单元包括比较器单元，以便，将缺陷地址与所施加的地址进行比较，并且在缺陷地址和所施加的地址之间确定一致的情况下，寻址另一冗余存储区而不是寻址所寻址的存储区。为此，优选地设置缺陷地址存储器，以便存储缺陷地址并且为该地址解码器单元提供所述缺陷地址。

30 冗余存储区可被设置在所连接的存储器芯片中，或者可提供附加的存储器

芯片，该附加的存储器芯片包括冗余存储区。可替换地，集线器模块可包括冗余存储区。这可以简单的方式为存储器模块提供修复可能性，该存储器模块仅具有一个带有冗余存储区的集线器模块。存储器芯片或者存储控制器不必为此改变。本发明的另一方面提供一种存储器模块，该存储器模块具有集线器模块和所连接的存储器芯片。

下面参考附图更详细地解释本发明的优选实施例，其中：

图 1 示出根据本发明的第一实施例的存储器系统的框图，该存储器系统具有带有根据本发明的集线器模块的存储器模块；并且

图 2 示出根据第二实施例的存储器系统，该存储器系统具有根据本发明的集线器模块的存储器模块。

图 1 示出例如针对计算机系统的存储器系统。该存储器系统具有存储控制器 1，其上连接有数量为 n 的地址线的地址总线 2。例如，该存储控制器 1 能借助 DDR 存储器协议来驱动存储器芯片。地址线被连接到存储器模块 3 的输入端。存储器模块 3 具有集线器模块 4，一个或多个存储器芯片 5 被连接到该集线器模块 4。存储器芯片优选的是 DDR 存储器芯片、特别是 DDR DRAM 存储器芯片。存储器模块 3 的地址输入端被连接到集线器模块 4 的地址输入端。集线器模块 4 具有地址输出端，该地址输出端经由存储器模块 3 的地址输出端与另一地址总线 6 连接。该另一地址总线 6 被连接到另一存储器模块的地址输入端。

集线器模块具有地址解码器单元 7，该地址解码器单元 7 校验被施加到地址总线 2 上的地址，并且依据所施加的地址，通过各个存储器芯片接口 8 寻址对应连接的存储器芯片 5 或者将所施加的地址转发到另一地址总线 6。从该另一地址总线 6，地址然后由下一个存储器模块的集线器模块的地址解码器单元来接收，并且，以相同的方式，或者在那被用于对所连接的存储器芯片 5 中的一个进行寻址或者通过地址输出端转发到另一地址总线。

取代为每个所连接的存储器芯片 5 提供单独的存储器芯片接口 8，也能够提供公共存储器芯片接口 8，该公共存储器芯片接口 8 通过模块内部的地址和数据总线被连接到所有所连接的存储器芯片 5。彼此分离的存储器芯片接口 8 具有的好处是，基本可以并行方式或者以相对高的速度寻址存储器芯片 5，同时，在被设计成公共的芯片接口的情况下，写入的费用减少。

集线器模块 4 的地址解码器单元 7 还具有冗余单元 9，该冗余单元 9 被用于执行地址映射，也就是说在内部用另一地址来替换所施加的、寻址有缺陷的存储区的地址，以致有缺陷的存储区由冗余的存储区来替代。为此，有缺陷的存储区的地址被存储在冗余单元中，并且给所述有缺陷的存储区分别指定另一冗余的存储区，该另一冗余的存储区旨在替换该有缺陷的存储区。缺陷地址通过
5 通过在存储器模块层测试存储器芯片来确定，并且或者通过被集成在集线器模块中的测试功能或者通过外部测试功能进行确定。该缺陷地址可借助集线器芯片上的激光引信或电子保险丝（electrical fuse）或者借助集线器芯片上的外部源、例如 EPROM 被设置在缺陷地址存储器 10 中。存储器芯片 5 的存储区被划分
10 为第一常规存储区部分和第二冗余存储区部分。其中划分存储区的方式是任意的并且基本由集线器模块 4 的地址解码器单元 7 来确定。冗余的存储区因此可被设置在每个冗余存储区 5 中。可替换地，也可规定，用于替换所有所连接的存储器芯片 5 的有缺陷的存储区的冗余存储区仅被设置在所连接的存储器芯片 5 中的一个存储器芯片中。

15 本发明意义上的常规的和冗余的存储区不对应于如在晶片修复方法以及后端修复方法期间出现的、存储器芯片中的常规存储区和冗余存储区。存储器芯片 5 中的一个存储器芯片中的常规的和冗余的存储区仅表示存储器芯片 5 中的存储区（其已经被测试并且被发现将要运行）的逻辑组织。本发明意义上的常规的和冗余的存储区对应于各个存储器芯片 5 中的存储区（其已经被测试并且
20 被发现没有缺陷）。

冗余单元 9 可包括缺陷地址存储器 10 或者可被连接到缺陷地址存储器 10 上，该缺陷地址存储器 10 同样被设置在集线器模块 4 中或者被设置在外部。缺陷地址存储器 10 被用于存储缺陷地址，由于所施加的地址处的常规存储区是有缺陷的，所以该缺陷地址说明哪个所施加的地址必须被分配给冗余存储
25 区。为此，冗余单元 9 优选地具有比较器单元（未示出），该比较器单元将所施加的地址与被存储在缺陷地址存储器 10 中的缺陷地址进行比较并且寻址对应的常规存储区，该常规存储区依据是否已经检测到缺陷来根据所连接的存储器芯片 5 中的一个存储器芯片中的地址或者冗余存储区进行寻址。

图 2 示出根据本发明的集线器模块的另一实施例。除了冗余单元 9 之外，
30 集线器模块 20 具有被集成在集线器模块 20 中的冗余存储区 21。这能够避免提

供具有冗余存储区的、必须被连接到集线器模块 20 上的附加的存储器芯片 5。由于在存储器芯片 5 已经被测试之后存储区的故障率通常非常低，所以能够在集线器模块 20 中提供冗余存储区 21，以致能快速存取冗余存储区 21。附加的冗余存储区 21 可被设置在地址解码器单元 7 中或者被设置在集线器模块 20 中的另一位置处。

附加的冗余存储区 21 可通过多路复用器（未示出）被连接到数据总线（该数据总线未示出并且被连接到存储器模块 3）上，以便，如果要用冗余存储区替代的地址被施加到地址总线 2 上，则可传输有效数据。

