

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 6 日(06.10.2016)



(10) 国際公開番号

WO 2016/157393 A1

- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
- (21) 国際出願番号: PCT/JP2015/060023
- (22) 国際出願日: 2015 年 3 月 30 日(30.03.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENEAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目 2 番
2 4 号 Tokyo (JP).
- (72) 発明者: 三原 竜善(MIHARA, Tatsuyoshi); 〒
1350061 東京都江東区豊洲三丁目 2 番 2 4 号
ルネサスエレクトロニクス株式会社内 Tokyo
(JP).
- (74) 代理人: 特許業務法人筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿
区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階
Tokyo (JP).

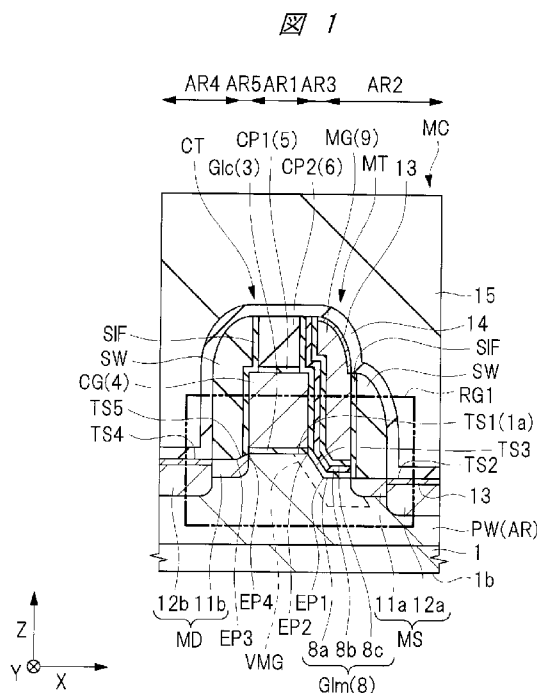
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図1]



(57) Abstract: A semiconductor substrate (1) includes a region (AR3) between a region (AR1) and a region (AR2). A control gate electrode (CG) is formed on the upper surface (TS1) of the region (AR1) and a memory gate electrode (MG) is formed on the upper surface (TS2) of the region (AR2). The upper surface (TS2) is lower than the upper surface (TS1), and the region (AR3) has a connection surface (TS3) connecting the upper surface (TS1) and the upper surface (TS2) to each other. The upper-surface-(TS2)-side end part (EP1) of the connection surface (TS3) is disposed near the memory electrode (MG) relative to the upper-surface-(TS1)-side end part (EP2) of the connection surface (TS3), and is disposed lower than the end part (EP2).

(57) 要約: 半導体基板 (1) は、領域 (AR1) と領域 (AR2) との間の領域 (AR3) を含み、制御ゲート電極 (CG) は、領域 (AR1) の上面 (TS1) 上に形成され、メモリゲート電極 (MG) は、領域 (AR2) の上面 (TS2) 上に形成されている。上面 (TS2) は、上面 (TS1) よりも低く、領域 (AR3) は、上面 (TS1) と上面 (TS2) とを接続する接続面 (TS3) を有する。接続面 (TS3) の上面 (TS2) 側の端部 (EP1) は、接続面 (TS3) の上面 (TS1) 側の端部 (EP2) に対してメモリゲート電極 (MG) 側に配置され、かつ、端部 (EP2) よりも下方に配置されている。

WO 2016/157393 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、例えば、半導体基板に形成された半導体素子を備える半導体装置およびその製造方法に好適に利用できるものである。

背景技術

[0002] 半導体基板上に例えば不揮発性メモリなどのメモリセルなどが形成されたメモリセル領域を有する半導体装置が、広く用いられている。例えば不揮発性メモリとして、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルからなるメモリセルを形成する場合がある。このとき、メモリセルは、制御ゲート電極を有する制御トランジスタと、メモリゲート電極を有するメモリトランジスタとの2つのMISFET (Metal Insulator Semiconductor Field Effect Transistor) により形成される。

[0003] このメモリゲート電極は、制御ゲート電極の側面上に絶縁膜を介して導電膜をサイドウォールスペーサ状に残すことにより形成される。また、メモリゲート電極と制御ゲート電極との間、および、メモリゲート電極と半導体基板との間に、内部に電荷蓄積部を有する絶縁膜が形成される。

[0004] 特開2006-332143号公報（特許文献1）には、半導体基板に形成された不揮発性記憶素子を有する半導体装置であって、不揮発性記憶素子は、コントロールゲート電極と、コントロールゲート電極と隣り合って設けられたメモリゲート電極と、を有する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-332143号公報

発明の概要

発明が解決しようとする課題

- [0006] このようなスプリットゲート型セルからなるメモリセルを有する半導体装置では、例えば絶縁膜の内部の電荷蓄積部に電子を注入することにより、データを書き込む。また、例えば絶縁膜の内部の電荷蓄積部に正孔を注入することにより、データを消去する。
- [0007] ところが、電荷蓄積部の形状によっては、データを書き込む際に電荷蓄積部に注入された電子の分布と、データを消去する際に電荷蓄積部に注入された正孔の分布とが、互いに異なることがある。このような場合、書き込み動作と消去動作を多数回繰り返した場合、電荷蓄積部を含む絶縁膜に残留する正孔の数が増加し、メモリセルの保持特性が低下し、半導体装置の特性を向上させることができない。
- [0008] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

- [0009] 一実施の形態によれば、半導体基板は、第1領域と第2領域との間に配置された第3領域を含み、制御ゲート電極は、第1領域の第1上面上に形成され、メモリゲート電極は、第2領域の第2上面上に形成されている。第2上面は、第1上面よりも低く、第3領域は、第1上面と第2上面とを接続する接続面を有する。メモリゲート電極と制御ゲート電極との間、メモリゲート電極と第2上面との間、および、メモリゲート電極と接続面との間には、内部に電荷蓄積部を有するゲート絶縁膜が形成されている。接続面の第2上面側の第1端部は、接続面の第1上面側の第2端部に対してメモリゲート電極側に配置され、かつ、第2端部よりも下方に配置されている。
- [0010] また、他の実施の形態によれば、半導体装置の製造方法において、第1領域と第2領域との間に配置された第3領域を含む半導体基板を用意する。次に、第1領域の第1上面上に制御ゲート電極を形成する。次に、第2領域および第3領域をエッチングすることにより、第2領域の第2上面を、第1上面よりも低くし、第3領域に、第1上面と第2上面とを接続する接続面を形

成する。次に、半導体基板上、および、制御ゲート電極の表面に、内部に電荷蓄積部を有する絶縁膜を形成し、絶縁膜上に導電膜を形成する。次に、導電膜をエッチバックすることにより、第2上面上にメモリゲート電極を形成し、メモリゲート電極と制御ゲート電極との間、メモリゲート電極と第2上面との間、および、メモリゲート電極と接続面との間の絶縁膜からなるゲート絶縁膜を形成する。接続面の第2上面側の第1端部は、接続面の第1上面側の第2端部に対してメモリゲート電極側に配置され、かつ、第2端部よりも下方に配置されている。

発明の効果

[0011] 一実施の形態によれば、半導体装置の性能を向上させることができる。

図面の簡単な説明

[0012] [図1]実施の形態の半導体装置の要部断面図である。

[図2]実施の形態の半導体装置の要部断面図である。

[図3]実施の形態の半導体装置の要部断面図である。

[図4]実施の形態の半導体装置の要部断面図である。

[図5]実施の形態の半導体装置の製造工程の一部を示すプロセスフロー図である。

[図6]実施の形態の半導体装置の製造工程の一部を示すプロセスフロー図である。

[図7]実施の形態の半導体装置の製造工程中の要部断面図である。

[図8]実施の形態の半導体装置の製造工程中の要部断面図である。

[図9]実施の形態の半導体装置の製造工程中の要部断面図である。

[図10]実施の形態の半導体装置の製造工程中の要部断面図である。

[図11]実施の形態の半導体装置の製造工程中の要部断面図である。

[図12]実施の形態の半導体装置の製造工程中の要部断面図である。

[図13]実施の形態の半導体装置の製造工程中の要部断面図である。

[図14]実施の形態の半導体装置の製造工程中の要部断面図である。

[図15]実施の形態の半導体装置の製造工程中の要部断面図である。

[図16]実施の形態の半導体装置の製造工程中の要部断面図である。

[図17]実施の形態の半導体装置の製造工程中の要部断面図である。

[図18]実施の形態の半導体装置の製造工程中の要部断面図である。

[図19]実施の形態の半導体装置の製造工程中の要部断面図である。

[図20]実施の形態の半導体装置の製造工程中の要部断面図である。

[図21]実施の形態の半導体装置の製造工程中の要部断面図である。

[図22]実施の形態の半導体装置の製造工程中の要部断面図である。

[図23]実施の形態の半導体装置の製造工程中の要部断面図である。

[図24]実施の形態の半導体装置の製造工程中の要部平面図である。

[図25]実施の形態の半導体装置の製造工程中の要部平面図である。

[図26]実施の形態の半導体装置の製造工程中の要部平面図である。

[図27]実施の形態の半導体装置の製造工程中の要部平面図である。

[図28]比較例の半導体装置の要部断面図である。

[図29]比較例の半導体装置の要部断面図である。

[図30]実施例1の半導体装置の要部断面図である。

[図31]実施例2の半導体装置の要部断面図である。

[図32]実施例3の半導体装置の要部断面図である。

[図33]実施例4の半導体装置の要部断面図である。

[図34]実施例5の半導体装置の要部断面図である。

発明を実施するための形態

[0013] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0014] また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0015] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0016] 以下、代表的な実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0017] さらに、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。

[0018] （実施の形態）

＜半導体装置の構造＞

初めに、本実施の形態の半導体装置の構造について説明する。図1～図4は、実施の形態の半導体装置の要部断面図である。図2～図4に示す断面図は、図1に示す断面図のうち二点鎖線で囲まれた領域RG1を拡大して示す。なお、図2～図4では、n-型半導体領域VMG、金属シリサイド層13、絶縁膜14および層間絶縁膜15の図示を省略する。

[0019] 図1～図4に示すように、半導体基板1の主面1a内で互いに交差、好適には直交する2つの方向をX軸方向およびY軸方向とし、半導体基板1の主面1aに垂直な方向、すなわち上下方向をZ軸方向とする。また、本願明細書では、平面視において、とは、半導体基板1の主面1aに垂直な方向から視た場合を意味する。

[0020] 図1に示すように、半導体装置は、半導体基板1を有する。半導体基板1は、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンなど

からなる半導体ウェハである。半導体基板 1 は、主面 1 a と、主面 1 a と反対側の主面 1 b と、を有する。

[0021] 半導体基板 1 は、主面 1 a 側の領域としての活性領域 A R を有する。活性領域 A R は、素子分離領域（図示は省略）により規定、すなわち区画され、この素子分離領域により他の活性領域と電氣的に分離されている。活性領域 A R には、p 型ウェル P W が形成されている。p 型ウェル P W は、p 型の導電性を有する。

[0022] 図 1 に示すように、p 型ウェル P W には、メモリトランジスタ M T および制御トランジスタ C T からなるメモリセル M C が形成されている。なお、実際には複数のメモリセル M C がアレイ状に形成されており、例えば後述する図 2 7 には、2 つのメモリセル M C の断面が示されている。

[0023] メモリセル M C は、スプリットゲート型のメモリセルである。すなわち、図 1 に示すように、メモリセル M C は、制御ゲート電極 C G を有する制御トランジスタ C T と、制御トランジスタ C T に接続され、メモリゲート電極 M G を有するメモリトランジスタ M T と、を有する。

[0024] メモリセル M C は、n 型の半導体領域 M S と、n 型の半導体領域 M D と、制御ゲート電極 C G と、メモリゲート電極 M G と、を有する。n 型の半導体領域 M S および n 型の半導体領域 M D は、p 型の導電型とは反対の導電型である n 型の導電性を有する。制御ゲート電極 C G は、半導体基板 1 の主面 1 a 上に形成され、メモリゲート電極 M G は、半導体基板 1 上に形成されている。また、メモリセル M C は、制御ゲート電極 C G 上に形成されたキャップ絶縁膜 C P 1 および C P 2 を有する。

[0025] さらに、メモリセル M C は、制御ゲート電極 C G と半導体基板 1 との間に形成されたゲート絶縁膜 G l c と、メモリゲート電極 M G と半導体基板 1 との間、および、メモリゲート電極 M G と制御ゲート電極 C G との間に形成されたゲート絶縁膜 G l m と、を有する。

[0026] 制御ゲート電極 C G およびメモリゲート電極 M G は、それらの互いに対向する側面、すなわち側壁の間にゲート絶縁膜 G l m を介した状態で、半導体

基板 1 の主面 1 a に沿って延在し、並んで配置されている。制御ゲート電極 CG およびメモリゲート電極 MG の延在方向は、図 1 の紙面に垂直な方向（図 1 の Y 軸方向）である。制御ゲート電極 CG は、半導体領域 MD と半導体領域 MS との間に位置する部分の p 型ウェル PW 上に、すなわち半導体基板 1 上に、ゲート絶縁膜 G1c を介して形成されている。また、メモリゲート電極 MG は、半導体領域 MD と半導体領域 MS との間に位置する部分の p 型ウェル PW 上に、すなわち半導体基板 1 上に、ゲート絶縁膜 G1m を介して形成されている。また、半導体領域 MS 側にメモリゲート電極 MG が配置され、半導体領域 MD 側に制御ゲート電極 CG が配置されている。制御ゲート電極 CG、ゲート絶縁膜 G1c、メモリゲート電極 MG およびゲート絶縁膜 G1m は、メモリセル MC、すなわち不揮発性メモリとしてのメモリを形成する。

[0027] 制御ゲート電極 CG とメモリゲート電極 MG とは、間にゲート絶縁膜 G1m を介在して互いに隣り合っており、メモリゲート電極 MG は、制御ゲート電極 CG の側面上、すなわち側壁上に、ゲート絶縁膜 G1m を介してサイドウォールスペーサ状に形成されている。また、ゲート絶縁膜 G1m は、メモリゲート電極 MG と半導体基板 1、すなわち p 型ウェル PW との間、および、メモリゲート電極 MG と制御ゲート電極 CG との間に形成されている。

[0028] 制御ゲート電極 CG と p 型ウェル PW との間に形成されたゲート絶縁膜 G1c は、制御トランジスタ CT のゲート絶縁膜として機能する。また、メモリゲート電極 MG と p 型ウェル PW との間に形成されたゲート絶縁膜 G1m は、メモリトランジスタ MT のゲート絶縁膜として機能する。

[0029] なお、本願明細書において、例えばメモリゲート電極 MG が、制御ゲート電極 CG の側面上、すなわち側壁上に形成される、とは、メモリゲート電極 MG が、制御ゲート電極 CG の側面、すなわち側壁に形成されることを意味する。また、本願明細書において、例えばメモリゲート電極 MG が、制御ゲート電極 CG の側面上に形成される、とは、メモリゲート電極 MG が制御ゲート電極 CG の側面に接触して形成されるか、または、メモリゲート電極 M

Gが制御ゲート電極CGの側面を挟んで制御ゲート電極CGと反対側に形成されることを意味する。

[0030] ゲート絶縁膜G1cは、絶縁膜3からなる。絶縁膜3は、酸化シリコン膜、窒化シリコン膜もしくは酸窒化シリコン膜、または、窒化シリコン膜よりも高い比誘電率を有する高誘電率膜、すなわちいわゆるHigh-k膜からなる。なお、本願において、High-k膜または高誘電率膜というときは、窒化シリコンよりも誘電率（比誘電率）が高い膜を意味する。絶縁膜3としては、例えば、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができる。

[0031] ゲート絶縁膜G1mは、絶縁膜8からなる。絶縁膜8は、例えば酸化シリコン膜8aと、酸化シリコン膜8a上の電荷蓄積部としての窒化シリコン膜8bと、窒化シリコン膜8b上の酸化シリコン膜8cと、を含む積層膜からなる。

[0032] なお、メモリゲート電極MGとp型ウェルPWとの間のゲート絶縁膜G1mは、前述したように、メモリトランジスタMTのゲート絶縁膜として機能する。一方、メモリゲート電極MGと制御ゲート電極CGとの間のゲート絶縁膜G1mは、メモリゲート電極MGと制御ゲート電極CGとの間を絶縁、すなわち電氣的に分離するための絶縁膜として機能する。

[0033] 絶縁膜8のうち、窒化シリコン膜8bは、電荷を蓄積するための絶縁膜であり、電荷蓄積部として機能する。すなわち、窒化シリコン膜8bは、絶縁膜8中に形成されたトラップ性絶縁膜である。このため、絶縁膜8は、その内部に電荷蓄積部を有する絶縁膜とみなすことができる。

[0034] 窒化シリコン膜8bの上下に位置する酸化シリコン膜8cおよび酸化シリコン膜8aは、電荷を閉じ込める電荷ブロック層として機能することができる。窒化シリコン膜8bを酸化シリコン膜8cおよび酸化シリコン膜8aで挟んだ構造とすることで、窒化シリコン膜8bへの電荷の蓄積が可能となる。酸化シリコン膜8a、窒化シリコン膜8bおよび酸化シリコン膜8cは、

ONO (Oxide-Nitride-Oxide) 膜とみなすこともできる。

[0035] 制御ゲート電極CGは、導電膜4からなる。導電膜4は、シリコンからなり、例えばn型の不純物を導入した多結晶シリコン膜であるn型ポリシリコン膜などからなる。具体的には、制御ゲート電極CGは、パターニングされた導電膜4からなる。

[0036] メモリゲート電極MGは、導電膜9からなる。導電膜9は、シリコンからなり、例えばn型の不純物を導入した多結晶シリコン膜であるn型ポリシリコン膜などからなる。メモリゲート電極MGは、半導体基板1上に制御ゲート電極CGを覆うように形成された導電膜9を異方性エッチング、すなわちエッチバックし、制御ゲート電極CGの側壁上に絶縁膜8を介して導電膜9を残すことにより形成されている。このため、メモリゲート電極MGは、制御ゲート電極CGの側壁上に、絶縁膜8を介してサイドウォールスペーサ状に形成されている。

[0037] キャップ絶縁膜CP1は、シリコンと酸素とを含有する絶縁膜5からなり、キャップ絶縁膜CP2は、シリコンと窒素とを含有する絶縁膜6からなる。キャップ絶縁膜CP1およびCP2は、制御ゲート電極CGを保護する保護膜であり、導電膜4をパターニングして制御ゲート電極CGを形成する際のハードマスク膜である。または、キャップ絶縁膜CP1およびCP2は、導電膜9をエッチバックしてメモリゲート電極MGを形成する際にメモリゲート電極MGの各々の上面の高さをそれぞれ調整するためのキャップ膜である。

[0038] キャップ絶縁膜CP2のX軸方向すなわちゲート長方向における長さは、制御ゲート電極CGのX軸方向すなわちゲート長方向における長さよりも短くてもよい。これにより、メモリゲート電極MGの上面に形成される金属シリサイド層の面積を増加させることができる。なお、本願明細書において、例えば制御ゲート電極CGのゲート長とは、制御ゲート電極CGが延在する方向（図1のY軸方向）と交差、好適には直交する方向（図1のX軸方向）における、制御ゲート電極CGの長さを意味する。

- [0039] 半導体領域MSは、ソース領域またはド레인領域の一方として機能する半導体領域であり、半導体領域MDは、ソース領域またはド레인領域の他方として機能する半導体領域である。ここでは、半導体領域MSは、例えばソース領域として機能する半導体領域であり、半導体領域MDは、例えばド레인領域として機能する半導体領域である。半導体領域MSおよびMDの各々は、 n 型の不純物が導入された半導体領域からなり、それぞれLDD (lightly doped drain) 構造を備えている。
- [0040] ソース用の半導体領域MSは、 n^- 型半導体領域11aと、 n^- 型半導体領域11aよりも高い不純物濃度を有する n^+ 型半導体領域12aと、を有している。また、ド레인用の半導体領域MDは、 n^- 型半導体領域11bと、 n^- 型半導体領域11bよりも高い不純物濃度を有する n^+ 型半導体領域12bと、を有している。
- [0041] n^+ 型半導体領域12aは、 n^- 型半導体領域11aよりも接合深さが深く、かつ、不純物濃度が高く、また、 n^+ 型半導体領域12bは、 n^- 型半導体領域11bよりも接合深さが深く、かつ、不純物濃度が高い。
- [0042] メモリゲート電極MGおよび制御ゲート電極CGの互いに隣接していない側の側壁上には、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜などの絶縁膜からなるサイドウォールスペーサSWが形成されている。制御ゲート電極CGを挟んでメモリゲート電極MGと反対側で制御ゲート電極CGと隣り合う部分に、サイドウォールスペーサSWが形成されている。そして、メモリゲート電極MGを挟んで制御ゲート電極CGと反対側でメモリゲート電極MGと隣り合う部分に、サイドウォールスペーサSWが形成されている。
- [0043] なお、図1に示すように、制御ゲート電極CGとサイドウォールスペーサSWとの間、および、メモリゲート電極MGとサイドウォールスペーサSWとの間には、例えば酸化シリコンからなる絶縁膜SIFが介在していてもよい。
- [0044] n^- 型半導体領域11aは、メモリゲート電極MGの側面に対して自己整合

的に形成され、 n^+ 型半導体領域 12a は、メモリゲート電極MGの側面上のサイドウォールスペーサSWの側面に対して自己整合的に形成されている。

このため、低濃度の n^- 型半導体領域 11a は、メモリゲート電極MGの側面上のサイドウォールスペーサSWの下に形成され、高濃度の n^+ 型半導体領域 12a は、低濃度の n^- 型半導体領域 11a の外側に形成されている。したがって、高濃度の n^+ 型半導体領域 12a は、低濃度の n^- 型半導体領域 11a に接触するように形成されている。

[0045] n^- 型半導体領域 11b は、制御ゲート電極CGの側面に対して自己整合的に形成され、 n^+ 型半導体領域 12b は、制御ゲート電極CGの側面上のサイドウォールスペーサSWの側面に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域 11b は、制御ゲート電極CGの側面上のサイドウォールスペーサSWの下に形成され、高濃度の n^+ 型半導体領域 12b は、低濃度の n^- 型半導体領域 11b の外側に形成されている。したがって、高濃度の n^+ 型半導体領域 12b は、低濃度の n^- 型半導体領域 11b に接触するように形成されている。なお、後述する図27を用いて説明するように、隣り合う2つのメモリセルMCは、高濃度の n^+ 型半導体領域 12b を共有する。

[0046] 制御ゲート電極CG下のゲート絶縁膜Glcの下に位置する部分のp型ウェルPWの上層部には、制御トランジスタCTのチャネル領域が形成される。

[0047] メモリゲート電極MG下のゲート絶縁膜Glmの下に位置する部分のp型ウェルPWの上層部には、 n^- 型半導体領域VMGが形成されている。 n^- 型半導体領域VMGは、メモリトランジスタMTの閾値電圧 V_{th} を調整するためのものであり、 n^- 型半導体領域 11a に接触するように形成されている。また、 n^- 型半導体領域VMGにおける n 型不純物の濃度は、 n^- 型半導体領域 11a における n 型不純物の濃度よりも低い。

[0048] n^+ 型半導体領域 12a および 12b の各々の上、すなわち n^+ 型半導体領域 12a および 12b の各々の上面には、サリサイド (Salicide : Self Alig

ned Silicide) 技術などにより、金属シリサイド層 13 が形成されている。金属シリサイド層 13 は、例えばコバルトシリサイド層、ニッケルシリサイド層、または、プラチナ添加ニッケルシリサイド層などからなる。金属シリサイド層 13 により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。なお、金属シリサイド層 13 は、メモリゲート電極 MG の上に形成されていてもよい。

[0049] 半導体基板 1 上には、制御ゲート電極 CG、キャップ絶縁膜 CP2、メモリゲート電極 MG および各サイドウォールスペーサ SW を覆うように、絶縁膜 14 が形成されている。絶縁膜 14 は、例えば窒化シリコン膜などからなる。

[0050] 絶縁膜 14 上には、層間絶縁膜 15 が形成されている。層間絶縁膜 15 は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と酸化シリコン膜との積層膜などからなる。層間絶縁膜 15 の上面は平坦化されている。なお、後述する図 27 を用いて説明するように、層間絶縁膜 15 にはコンタクトホール CNT が形成され、コンタクトホール CNT 内に、導電体部として導電性のプラグ PG が埋め込まれていてもよい。

[0051] 本実施の形態では、主面 1a 側の領域としての活性領域 AR は、領域 AR1 ~ AR3 を含む。すなわち、半導体基板 1 は、主面 1a 側の領域としての領域 AR1 ~ AR3 を含む。領域 AR2 は、平面視において、領域 AR1 に対して、X 軸方向における正側に配置され、かつ、領域 AR1 と隣り合い、領域 AR3 は、領域 AR1 と領域 AR2 との間に配置されている。

[0052] 制御ゲート電極 CG は、領域 AR1 の上面 TS1 上に形成されている。メモリゲート電極 MG、および、メモリゲート電極 MG の側面上のサイドウォールスペーサ SW は、領域 AR2 の上面 TS2 上に形成されている。ゲート絶縁膜 GIm は、メモリゲート電極 MG と制御ゲート電極 CG との間、および、メモリゲート電極 MG と上面 TS2 との間に、形成されている。n⁻型半導体領域 11a および n⁺型半導体領域 12a は、領域 AR2 の上層部に形成されている。

- [0053] 領域AR2の上面TS2は、領域AR1の上面TS1よりも低い。すなわち、領域AR2の上面TS2は、Z軸方向において、領域AR1の上面TS1に対して主面1b側に配置されている。
- [0054] 領域AR3は、領域AR1の上面TS1と、領域AR2の上面TS2と、を接続する接続面TS3を有する。ゲート絶縁膜G1mは、メモリゲート電極MGと接続面TS3との間にも形成されている。すなわち、ゲート絶縁膜G1mは、接続面TS3上、および、上面TS2上に形成されている。
- [0055] 接続面TS3の端部EP1は、領域AR2の上面TS2と接続され、接続面TS3の端部EP1と反対側の端部EP2は、領域AR1の上面TS1と接続されている。接続面TS3の端部EP1は、X軸方向において、接続面TS3の端部EP2に対して、X軸方向における正側に配置され、かつ、接続面TS3の端部EP2よりも下方、すなわち、Z軸方向において、端部EP2に対して主面1b側に配置されている。言い換えれば、接続面TS3は、端部EP1が、端部EP2に対してX軸方向における正側に位置し、かつ、Z軸方向において、端部EP2よりも下方に位置するように、上面TS2、および、YZ平面、すなわちX軸方向に垂直な平面のいずれに対しても傾斜している。
- [0056] これにより、図1および図4、ならびに、後述する図28および図29を用いて説明するように、データを書き込む際にゲート絶縁膜G1mに注入された電子の分布と、データを消去する際にゲート絶縁膜G1mに注入された正孔の分布とが、互いに近づくか、または、互いに同じになる。
- [0057] なお、本願明細書では、領域AR1の上面TS1が、半導体基板1の主面1aと同一面であると定義する。
- [0058] また、主面1a側の領域としての活性領域ARは、領域AR4およびAR5を含む。すなわち、半導体基板1は、主面1a側の領域としての領域AR4およびAR5を含む。領域AR4は、平面視において、領域AR1に対して、X軸方向における負側、すなわちX軸方向における正側と反対側に配置され、かつ、領域AR1と隣り合い、領域AR5は、領域AR1と領域AR

4 との間に配置されている。

[0059] 制御ゲート電極CGの側面上のサイドウォールスペーサSWは、領域AR4の上面TS4上に形成されている。n⁻型半導体領域11bおよびn⁺型半導体領域12bは、領域AR4の上層部に形成されている。

[0060] 領域AR4の上面TS4は、領域AR1の上面TS1よりも低い。すなわち、領域AR4の上面TS4は、Z軸方向において、領域AR1の上面TS1に対して主面1b側に配置されている。

[0061] 領域AR5は、領域AR1の上面TS1と、領域AR4の上面TS4と、を接続する接続面TS5を有する。接続面TS5の端部EP3は、領域AR4の上面TS4と接続され、接続面TS5の端部EP3と反対側の端部EP4は、領域AR1の上面TS1と接続されている。接続面TS5の端部EP3は、接続面TS5の端部EP4に対して、X軸方向における負側に配置され、かつ、接続面TS5の端部EP4よりも下方、すなわち、Z軸方向において、端部EP4に対して主面1b側に配置されている。言い換えれば、接続面TS5は、端部EP3が、端部EP4に対してX軸方向における負側に位置し、かつ、Z軸方向において、端部EP4よりも下方に位置するように、上面TS4およびYZ平面のいずれに対しても傾斜している。

[0062] 好適には、領域AR2の上面TS2は、領域AR4の上面TS4よりも低い。すなわち、領域AR2の上面TS2は、Z軸方向において、領域AR4の上面TS4に対して主面1b側に配置されている。これにより、領域AR4の上面TS4を、領域AR1の上面TS1とほとんど同程度の高さに配置することができる。そのため、領域AR4の上面TS4を、領域AR1の上面TS1と等しい高さに配置する場合に比べ、n⁻型半導体領域11bおよびn⁺型半導体領域12bの分布がほとんど変わらないので、制御トランジスタCTに流れるオン電流が低下することを防止または抑制することができる。

[0063] 図2に示すように、接続面TS3が上面TS2となす角度を、鋭角としての角度ANS1と定義する。このとき、接続面TS3と上面TS2との間の鈍角を、角度ANL1により表す。角度ANS1と角度ANL1との和は、

180° に等しい。前述したように、接続面TS3が傾斜している場合、角度ANS1が0° よりも大きく、かつ、90° 未満である。言い換えれば、角度ANL1が180° 未満であり、かつ、90° よりも大きい。

[0064] また、接続面TS5が上面TS4となす角度を、鋭角としての角度ANS2と定義する。このとき、接続面TS5と上面TS4との間の鈍角を、角度ANL2により表す。角度ANS2と角度ANL2との和は、180° に等しい。

[0065] 好適には、接続面TS3が上面TS2となす鋭角の角度ANS1は、接続面TS5が上面TS4となす鋭角の角度ANS2よりも大きい。これによっても、領域AR4の上面TS4を、領域AR1の上面TS1とほとんど同程度の高さに配置することができる。そのため、領域AR4の上面TS4を、領域AR1の上面TS1と等しい高さに配置する場合に比べ、n⁻型半導体領域11bおよびn⁺型半導体領域12bの分布がほとんど変わらないので、制御トランジスタCTに流れるオン電流が低下することを防止または抑制することができる。

[0066] なお、図3に示すように、接続面TS3の上面TS2側の部分と上面TS2の接続面TS3側の部分との間に角部が形成されず、接続面TS3の上面TS2側の部分、および、上面TS2の接続面TS3側の部分が同一曲面を形成する場合がある。このような場合には、接続面TS3の上面TS1側の部分が同一平面として上面TS2側に延長されることにより形成された仮想的な平面TS31が、上面TS2の接続面TS3側と反対側の部分が同一平面として接続面TS3側に延長されることにより形成された仮想的な平面TS21となす角度を、鋭角としての角度ANS1と定義する。このとき、角度ANL1は、平面TS31と平面TS21との間の鈍角であり、角度ANS1と角度ANL1との和が180° に等しくなるような角度である。また、平面TS31の端部EP2と反対側の端部EP11が、平面TS21と接続されている。

[0067] また、図3では図示を省略するが、接続面TS5の上面TS4側の部分と

上面TS4の接続面TS5側の部分との間に角部が形成されず、接続面TS5の上面TS4側の部分、および、上面TS4の接続面TS5側の部分が同一曲面を形成する場合がある。この場合も、接続面TS3と上面TS2との場合と同様に、接続面TS5の上面TS1側の部分が同一平面として上面TS4側に延長されることにより形成された仮想的な平面が、上面TS4の接続面TS5側と反対側の部分が同一平面として接続面TS5側に延長されることにより形成された仮想的な平面となす角度を、鋭角としての角度ANS2と定義できる。このとき、角度ANL2は、それぞれの仮想的な平面の間の鈍角であり、角度ANS2と角度ANL2との和が 180° に等しくなるような角度である。

[0068] 図3および図4に示すように、メモリゲート電極MGは、上面TS2上に形成された電極部MG1と、電極部MG1に対して制御ゲート電極CG側に形成された電極部MG2と、を含む。電極部MG2は、電極部MG1の下面BS1と、電極部MG2の制御ゲート電極CG側の側面BS3とを接続する下面としての接続面BS2を有する。図4に示すように、電極部MG2の接続面BS2の端部EP5は、電極部MG1の下面BS1と接続され、電極部MG2の接続面BS2の端部EP5と反対側の端部EP6は、電極部MG2の側面BS3と接続されている。端部EP5は、端部EP6に対してX軸方向における正側に配置され、かつ、Z軸方向において、端部EP6よりも下方に配置されている。

[0069] また、下面BS1と接続面BS2とにより角部AP1が形成され、接続面BS2と側面BS3とにより角部AP2が形成されている。

[0070] なお、図3に示すように、接続面BS2の下面BS1側の部分と下面BS1の接続面BS2側の部分との間に角部が形成されず、接続面BS2の下面BS1側の部分、および、下面BS1の接続面BS2側の部分が同一曲面を形成する場合がある。この場合は、接続面BS2の側面BS3側の部分が同一平面として下面BS1側に延長されることにより形成された仮想的な平面BS21が、下面BS1の接続面BS2側と反対側の部分が同一平面として

接続面BS2側に延長されることにより形成された仮想的な平面BS11となす角度を、鋭角としての角度ANS1と定義することができる。このとき、角度ANL1は、平面BS21と平面BS11との間の鈍角であり、角度ANS1と角度ANL1との和が 180° に等しくなるような角度である。また、平面BS21の端部EP6と反対側の端部EP51が、平面BS11と接続されている。また、図3では、二点鎖線で囲まれた領域RG2を拡大して示す。

[0071] 次に、メモリセルMCの動作を説明する。本実施の形態では、メモリトランジスタの絶縁膜8中の電荷蓄積部である窒化シリコン膜8bへの電子の注入を「書込」と定義し、ホール、すなわち正孔の注入を「消去」と定義する。さらに、電源電圧Vddを1.5Vとする。

[0072] 書き込み方式は、いわゆるソースサイド注入（Source Side Injection：SSI）方式と呼ばれるホットエレクトロン書き込みを用いることができる。このとき、半導体領域MDに印加される電圧Vdを、例えば電源電圧Vdd程度とし、制御ゲート電極CGに印加される電圧Vcgを、例えば1V程度とし、メモリゲート電極MGに印加される電圧Vmgを、例えば12V程度とする。また、半導体領域MSに印加される電圧Vsを、例えば6V程度とし、p型ウェルPWに印加される電圧Vbを、例えば0V程度とする。そして、上記した各電圧を、書き込みを行うメモリセルMCの各部位に印加する。

[0073] これにより、図4の矢印ELAに示すように、メモリセルMCのゲート絶縁膜Glm中の窒化シリコン膜8b中に、電子ELが注入され、メモリセルMCにデータが書き込まれる。

[0074] ホットエレクトロンは、主としてメモリゲート電極MG下にゲート絶縁膜Glmを介して位置する部分のチャネル領域で発生し、ゲート絶縁膜Glm中の電荷蓄積部である窒化シリコン膜8bに注入される。注入されたホットエレクトロンは、ゲート絶縁膜Glm中の窒化シリコン膜8b中のトラップ準位に捕獲され、その結果、メモリトランジスタの閾値電圧が上昇する。

[0075] 消去方法として、バンド間トンネル (Band-To-Band Tunneling : B T B T) 現象によるホットホールとしての正孔を注入して消去を行う方式を用いることもできるが、直接トンネル現象、すなわちファウラーノルドハイム (Fowler-Nordheim : F N) 型トンネル現象を利用した正孔注入による消去方式を用いることが好ましい。このF N型トンネル現象を利用する場合、直接トンネル現象により正孔を電荷蓄積部、すなわちゲート絶縁膜G l m中の窒化シリコン膜8 bに注入することにより消去を行う。このとき、電圧V dを、例えば0 V程度とし、電圧V c gを、例えば0 V程度とし、電圧V m gを、例えば1 2 V程度とし、電圧V sを、例えば0 V程度とし、電圧V bを、例えば0 V程度とする。そして、上記した各電圧を、消去を行うメモリセルMCの各部位に印加する。

[0076] これにより、図4の矢印H L Aに示すように、メモリゲート電極MG側から正孔H Lが、酸化シリコン膜8 cを介して直接トンネル現象により電荷蓄積部、すなわち窒化シリコン膜8 bに注入され、窒化シリコン膜8 b中の電子を相殺することにより消去が行われる。あるいは、窒化シリコン膜8 bに注入された正孔が窒化シリコン膜8 b中のトラップ準位に捕獲されることにより消去が行われる。これによりメモリトランジスタの閾値電圧が低下し、消去状態となる。

[0077] このようなF N型トンネル現象による消去方法を用いた場合には、B T B T現象による消去方法を用いた場合と比較して、消費電流を低減することができ、メモリセルの特性を向上させることができる。そして、不揮発性メモリの微細化に伴って、メモリゲート電極MGのゲート長が短くなると、F N型トンネル現象による消去方法を用いた場合に、B T B T現象による消去方法を用いた場合と比較して、消費電流を低減し、メモリセルの特性を向上させる効果が顕著になる。

[0078] 読出し時には、電圧V dを、例えば電源電圧V d d程度とし、電圧V c gを、例えば電源電圧V d d程度とし、電圧V m gを、例えば0 V程度とし、電圧V sを、例えば0程度とし、電圧V bを、例えば0 V程度とする。上記

した各電圧を、読出しを行うメモリセルMCの各部位に印加する。読出し時のメモリゲート電極MGに印加する電圧 V_{mg} を、書き込み状態におけるメモリトランジスタの閾値電圧と消去状態におけるメモリトランジスタの閾値電圧との間の値にすることで、書き込み状態と消去状態とを判別することができる。

[0079] <半導体装置の製造方法>

次に、本実施の形態の半導体装置の製造方法について説明する。図5および図6は、実施の形態の半導体装置の製造工程の一部を示すプロセスフロー図である。図7～図27は、実施の形態の半導体装置の製造工程中の要部断面図である。

[0080] 図7～図27は、図27に示す2つのメモリセルMCとしてのメモリセルMC1およびMC2を形成するための製造工程を示す断面図である。2つのメモリセルMC1およびMC2のうち、メモリセルMC1の配置は、図1に示したメモリセルMCの配置と同じであるが、メモリセルMC2の配置は、メモリセルMC1の配置とは左右逆の配置である。すなわち、メモリセルMC1およびMC2は、メモリセルMC1とメモリセルMC2との間のYZ平面に対して対称に配置されている。以下では、2つのメモリセルMC1およびMC2のうち、主としてメモリセルMC1を形成するための製造工程について説明する。

[0081] また、本実施の形態においては、nチャネル型の制御トランジスタCTおよびメモリトランジスタMTを形成する場合について説明する。しかし、導電型を逆にして、pチャネル型の制御トランジスタCTおよびメモリトランジスタMTを形成することもできる。

[0082] 図7に示すように、まず、例えば $1 \sim 10 \Omega \cdot \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体ウェハとしての半導体基板1を用意する(図5のステップS1)。半導体基板1は、主面1aと、主面1aと反対側の主面1bと、を有する。

[0083] 半導体基板1は、主面1a側の領域としての活性領域ARを有する。活性

領域ARは、素子分離領域（図示は省略）により規定、すなわち区画され、この素子分離領域により他の活性領域と電氣的に分離されている。活性領域ARには、p型ウェルPWが形成される。p型ウェルPWは、p型の導電性を有する。

[0084] 本実施の形態では、主面1a側の領域としての活性領域ARは、領域AR1～AR5を含む。すなわち、ステップS1では、主面1a側の領域としての領域AR1～AR5を含む半導体基板1を用意する。メモリセルMC1（後述する図27参照）が形成される領域では、領域AR2は、平面視において、領域AR1に対して、X軸方向における正側に配置され、かつ、領域AR1と隣り合い、領域AR3は、領域AR1と領域AR2との間に配置されている。領域AR4は、平面視において、領域AR1に対して、X軸方向における負側、すなわちX軸方向における正側と反対側に配置され、かつ、領域AR1と隣り合い、領域AR5は、領域AR1と領域AR4との間に配置されている。

[0085] 次に、図7に示すように、活性領域ARにp型ウェルPWを形成する（図5のステップS2）。p型ウェルPWは、例えばホウ素（B）などのp型の不純物を、半導体基板1に、イオン注入法などで導入することにより、形成することができる。p型ウェルPWは、半導体基板1の主面1aから所定の深さにわたって形成される。

[0086] 次に、例えばフッ酸（HF）水溶液を用いたウェットエッチングなどにより半導体基板1の表面の自然酸化膜を除去し、半導体基板1の表面を洗浄することによって、半導体基板1の表面を清浄化する。これにより、半導体基板1の表面、すなわちp型ウェルPWの表面が露出される。

[0087] 次に、図7に示すように、半導体基板1の主面1a全面に、絶縁膜3、導電膜4、ならびに、絶縁膜5および6を形成する（図5のステップS3）。

[0088] このステップS3では、まず、図7に示すように、半導体基板1の主面1aに、絶縁膜3を形成する。前述したように、絶縁膜3として、酸化シリコン膜、窒化シリコン膜もしくは酸窒化シリコン膜、またはHigh-k膜、

すなわち高誘電率膜を用いることができ、絶縁膜 3 として使用可能な材料例は、前述した通りである。また、絶縁膜 3 を、熱酸化法、スパッタリング法、原子層堆積 (Atomic Layer Deposition: A L D) 法または化学的気相成長 (Chemical Vapor Deposition: C V D) 法などを用いて形成することができる。

[0089] このステップ S 3 では、次に、図 7 に示すように、半導体基板 1 の主面 1 a 全面に、すなわち絶縁膜 3 上に、導電膜 4 を形成する。

[0090] 好適には、導電膜 4 は、多結晶シリコン膜、すなわちポリシリコン膜などのシリコン膜からなる。このような導電膜 4 を、C V D 法などを用いて形成することができる。導電膜 4 の膜厚を、絶縁膜 3 を覆うように十分な程度の厚さとすることができる。また、成膜時は導電膜 4 をアモルファスシリコン膜として成膜してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

[0091] 導電膜 4 として、例えばリン (P) またはヒ素 (A s) などの n 型の不純物またはホウ素 (B) などの p 型の不純物を導入して低抵抗率としたものを用いることが、好ましい。不純物は、導電膜 4 の成膜時または成膜後に導入することができる。導電膜 4 の成膜時に不純物を導入する場合には、導電膜 4 の成膜用のガスにドーピングガスを含ませることで、不純物が導入された導電膜 4 を成膜することができる。一方、シリコン膜の成膜後に不純物を導入する場合には、意図的には不純物を導入せずにシリコン膜を成膜した後に、このシリコン膜に不純物をイオン注入法などで導入することで、不純物が導入された導電膜 4 を形成することができる。

[0092] このステップ S 3 では、次に、図 7 に示すように、半導体基板 1 の主面 1 a 全面に、すなわち導電膜 4 上に、絶縁膜 5 を形成する。

[0093] 例えばシリコン膜からなる導電膜 4 の表面を熱酸化することにより、酸化シリコン膜からなる絶縁膜 5 を形成することができる。または、シリコン膜からなる導電膜 4 の表面を熱酸化することに代え、C V D 法を用いて酸化シリコン膜からなる絶縁膜 5 を形成することもできる。

- [0094] また、絶縁膜5の材料については、酸化シリコン膜に代え、他の材料からなる絶縁膜を用いることができる。あるいは、絶縁膜5を形成せず、導電膜4上に絶縁膜6を直接形成することもできる。
- [0095] このステップS3では、次に、図7に示すように、半導体基板1の主面1a全面に、すなわち絶縁膜5上に、シリコンおよび窒素を含有する絶縁膜6を形成する。例えば窒化シリコン膜からなる絶縁膜6を、例えばCVD法などを用いて形成することができる。
- [0096] 次に、図7に示すように、絶縁膜6および5、ならびに、導電膜4をパターンニングする（図5のステップS4）。このステップS4では、例えばフォトリソグラフィおよびエッチングを用いて、絶縁膜6および5、ならびに、導電膜4を、パターンニングする。
- [0097] まず、絶縁膜6上にレジスト膜（図示は省略）を形成する。次いで、制御ゲート電極CGを形成する予定の領域以外の領域で、レジスト膜を貫通して絶縁膜6に達する開口部を形成し、開口部が形成されたレジスト膜からなるレジストパターン（図示は省略）を形成する。
- [0098] このとき、制御ゲート電極CGを形成する予定の領域に配置された部分の絶縁膜6は、レジスト膜に覆われている。
- [0099] 次いで、レジストパターンをエッチングマスクとして用いて、絶縁膜6および5、ならびに、導電膜4を、例えばドライエッチングなどによりエッチングしてパターンニングする。
- [0100] これにより、半導体基板1の主面1a上に、導電膜4からなる制御ゲート電極CGが形成され、制御ゲート電極CGと半導体基板1との間に、制御ゲート電極CGと半導体基板1との間の絶縁膜3からなるゲート絶縁膜G1cが形成される。具体的には、領域AR1の上面TS1上に、制御ゲート電極CGが形成される。
- [0101] また、制御ゲート電極CG上に形成された部分の絶縁膜5からなるキャップ絶縁膜CP1が形成され、キャップ絶縁膜CP1を介して制御ゲート電極CG上に形成された部分の絶縁膜6からなるキャップ絶縁膜CP2が形成さ

れる。その後、レジストパターン、すなわちレジスト膜を除去する。

[0102] なお、制御ゲート電極CGで覆われない部分の絶縁膜3は、ステップS4のドライエッチングを行うことによって、または、ステップS4のドライエッチングの後にウェットエッチングを行うことによって、除去され得る。そして、制御ゲート電極CGが形成されていない部分では、半導体基板1のp型ウェルPWが露出する。

[0103] 次に、図8に示すように、犠牲酸化膜SOF1を形成する（図5のステップS5）。このステップS5では、半導体基板1の主面1a、および、制御ゲート電極CGの側面を酸化し、犠牲酸化膜SOF1を形成する。後述する図9を用いて説明するように、犠牲酸化膜SOF1は、膜7をエッチングする際のエッチングストッパ膜である。犠牲酸化膜SOF1を、例えば熱酸化法またはISSG（In Situ Steam Generation）酸化法により、または、熱酸化法とISSG酸化法とを併用することにより、形成することができる。

[0104] このとき、領域AR4の表面を酸化することにより、領域AR4の上面TS4を、領域AR1の上面TS1よりも低くする。そして、領域AR1と領域AR4との間に配置された領域AR5に、領域AR1の上面TS1と、領域AR4の上面TS4とを接続する接続面TS5を形成する。

[0105] 犠牲酸化膜SOF1を形成した時に、領域AR4のようにごく近くにパターンがない領域、すなわち制御ゲート電極CGから離れた領域では、酸化時の酸素の供給が十分になされるため、領域AR4の表面は、ほぼ一定の厚さで酸化される。一方、制御ゲート電極CGのパターンと隣接する領域AR5においては、制御ゲート電極CGのパターンが半導体基板1上に存在するため、制御ゲート電極CGに近づく程、近くにパターンがない場合に比べて酸化時の酸素の供給が少なくなり、それ故、酸化の進行が遅れる。したがって、領域AR5では、領域AR4側の端部から制御ゲート電極CG側の端部にかけて傾斜した接続面TS5が形成される。

[0106] 接続面TS5の端部EP3は、領域AR4の上面TS4と接続され、接続面TS5の端部EP3と反対側の端部EP4は、領域AR1の上面TS1と

接続される。また、接続面 T S 5 の端部 E P 3 は、接続面 T S 5 の端部 E P 4 に対して、X 軸方向における領域 A R 2 側と反対側に配置され、かつ、Z 軸方向において、接続面 T S 5 の端部 E P 4 よりも下方に配置される。言い換えれば、接続面 T S 5 は、端部 E P 3 が、端部 E P 4 に対して、X 軸方向における領域 A R 2 側と反対側に位置し、かつ、Z 軸方向において、端部 E P 4 よりも下方に位置するように、上面 T S 4 および Y Z 平面のいずれに対しても傾斜する。

[0107] 次に、図 8 に示すように、半導体基板 1 上に、制御ゲート電極 C G を覆うように、膜 7 を形成する（図 5 のステップ S 6）。前述したように、犠牲酸化膜 S O F 1 は、膜 7 をエッチングする際のエッチングストップ膜である。

[0108] 好適には、膜 7 は、例えば多結晶シリコン膜、すなわちポリシリコン膜などのシリコン膜からなる。このような膜 7 を、C V D 法などを用いて形成することができる。また、成膜時は膜 7 をアモルファスシリコン膜として成膜してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

[0109] 膜 7 の膜厚は、後述する図 9 を用いて説明するように、膜 7 の膜厚の分だけ膜 7 をエッチバックしたときも、隣り合う 2 つの制御ゲート電極 C G の間を膜 7 が埋め込むような膜厚であることが好ましい。したがって、膜 7 の膜厚 F T 1 は、例えば隣り合う制御ゲート電極 C G の互いに対向する側面同士の間隔 I T 1 の 2 分の 1 以上であることが好ましい。

[0110] 次に、図 9 に示すように、異方性エッチング技術を用いて膜 7 をエッチバックすることにより、側壁部としてのスペーサ S P 1 1 を形成する（図 5 のステップ S 7）。

[0111] このステップ S 7 では、膜 7 の膜厚の分だけ膜 7 をエッチバックすることにより、例えば制御ゲート電極 C G の両側面に、犠牲酸化膜 S O F 1 を介して膜 7 をサイドウォールスペーサ状に残す。

[0112] これにより、制御ゲート電極 C G の両側面のうち、当該制御ゲート電極 C G と隣り合うメモリゲート電極 M G（後述する図 19 参照）が配置される側

と反対側の側面上に膜 7 をサイドウォールスペーサ状に残すことにより、残された膜 7 からなるスペーサ S P 1 1 を形成する。

[0113] 隣り合う 2 つの制御ゲート電極 C G からなる組において、一方の制御ゲート電極 C G を挟んで他方の制御ゲート電極 C G と反対側に、当該一方の制御ゲート電極 C G と隣り合うメモリゲート電極 M G が配置される。また、前述したように、膜 7 の膜厚が、膜 7 の膜厚の分だけ膜 7 をエッチバックしたときも、隣り合う 2 つの制御ゲート電極 C G の間を膜 7 が埋め込むような膜厚である場合を考える。このような場合には、隣り合う 2 つの制御ゲート電極 C G の各々の両側面のうち、当該制御ゲート電極 C G と隣り合うメモリゲート電極 M G が配置される側と反対側の側面上にそれぞれ形成された 2 つのスペーサ S P 1 1 は、互いに間隔を空けずに配置される。すなわち、2 つのスペーサ S P 1 1 は、一体的に形成される。

[0114] また、制御ゲート電極 C G の両側面のうち、当該制御ゲート電極 C G と隣り合うメモリゲート電極 M G が配置される側の側面に、膜 7 をサイドウォールスペーサ状に残すことにより、残された膜 7 からなるスペーサ S P 1 2 を形成する。

[0115] 次に、図 1 0 ～図 1 2 に示すように、スペーサ S P 1 2 を除去する（図 5 のステップ S 8）。

[0116] このステップ S 8 において、まず、図 1 0 に示すように、フォトリソグラフィを用いて、スペーサ S P 1 1 が覆われ、かつ、スペーサ S P 1 2 が露出されるようなレジストパターン R 1 を半導体基板上に形成する。

[0117] 具体的には、まず、犠牲酸化膜 S O F 1 上、すなわち半導体基板 1 上に、スペーサ S P 1 1 および S P 1 2 を覆うように、マスク膜としてのレジスト膜 R F 1 を形成する。次に、レジスト膜 R F 1 をパターニングし、スペーサ S P 1 1 を覆うレジスト膜 R F 1 からなる、マスクパターンとしてのレジストパターン R 1 を形成し、スペーサ S P 1 2 をレジスト膜 R F 1 から露出させる。

[0118] このステップ S 8 において、次に、図 1 1 に示すように、形成されたレジ

ストパターンR 1をエッチングマスクとしたドライエッチングにより、スペーサS P 1 2を除去する。一方、スペーサS P 1 1は、レジストパターンR 1で覆われていたので、エッチングされずに残される。

[0119] なお、図10に示すように、レジストパターンR 1の一部が、制御ゲート電極C Gの両側面のうち、スペーサS P 1 2側の側面から外側に、はみ出して配置された場合を考える。すなわち、レジストパターンR 1が、平面視において、スペーサS P 1 2の制御ゲート電極C G側の部分と重なる場合を考える。このような場合でも、図11に示すエッチングを行う工程で、等方性エッチング技術を用いてスペーサS P 1 2を除去することにより、スペーサS P 1 2を完全に除去することができる。

[0120] このステップS 8では、その後、図12に示すように、レジストパターンR 1を除去する。

[0121] 次に、図13に示すように、犠牲酸化膜S O F 1を除去する（図5のステップS 9）。このステップS 9では、制御ゲート電極C GおよびスペーサS P 1 1から露出した部分の犠牲酸化膜S O F 1を、例えばドライエッチングなどによりエッチングして除去する。これにより、領域A R 2およびA R 3において、半導体基板1の主面1 aが露出する。

[0122] 次に、図13に示すように、半導体基板1の表面をエッチングする（図5のステップS 10）。このステップS 10では、制御ゲート電極C G、制御ゲート電極C G上のキャップ絶縁膜C P 2、および、スペーサS P 1 1をエッチングマスクとしたドライエッチングにより、半導体基板1のうち、領域A R 2およびA R 3の各々の表面をエッチングする。

[0123] これにより、領域A R 2の上面T S 2を、領域A R 1の上面T S 1よりも低くし、領域A R 1と領域A R 2との間に配置された領域A R 3に、領域A R 1の上面T S 1と、領域A R 2の上面T S 2とを接続する接続面T S 3を形成する。なお、領域A R 2の上面T S 2を、領域A R 4の上面T S 4よりも低くする。

[0124] 接続面T S 3の端部E P 1は、領域A R 2の上面T S 2と接続され、接続

面TS3の端部EP1と反対側の端部EP2は、領域AR1の上面TS1と接続される。また、接続面TS3の端部EP1は、接続面TS3の端部EP2に対して、X軸方向における領域AR4側と反対側に配置され、かつ、Z軸方向において、接続面TS3の端部EP2よりも下方に配置される。言い換えれば、接続面TS3は、端部EP1が、端部EP2に対して、X軸方向における領域AR4側と反対側に位置し、かつ、Z軸方向において、端部EP2よりも下方に位置するように、上面TS2およびYZ平面のいずれに対しても傾斜する。

[0125] したがって、このステップS10におけるエッチングの条件は、例えば窒化シリコン膜などの絶縁膜6からなるキャップ絶縁膜CP2と、例えばシリコンからなる半導体基板1との間の選択比、すなわちキャップ絶縁膜CP2のエッチング速度に対する半導体基板1のエッチング速度の比が、できるだけ高い条件で行うことが、望ましい。

[0126] 領域AR2および領域AR3の各々の表面を低くするためのエッチングでは、実際には表面に堆積物が堆積される工程と、表面をエッチングする工程とを繰り返し、エッチングされる量が堆積物が堆積される量より多くなることでエッチングが進行する。この時、制御ゲート電極CGの端部近傍の領域AR3では、制御ゲート電極CGの側面が存在することにより、堆積物が堆積される量がエッチングされる量よりも多くなる。その結果、領域AR3では、制御ゲート電極CG側の端部から領域AR2側の端部にかけて傾斜した接続面TS3が形成される。この接続面TS3の傾斜角は、エッチング条件における堆積物が堆積される量とエッチングされる量とのバランスを変えることで、ある程度の範囲で調整することが可能である。

[0127] なお、このステップS10において、スペーサSP11の上部が少しエッチングされるので、ステップS10を行った後のスペーサSP11の上面は、ステップS10を行う前のスペーサSP11の上面よりも低くなる。

[0128] また、前述した図2を用いて説明したように、接続面TS3が上面TS2となす鋭角の角度ANS1は、接続面TS5が上面TS4となす鋭角の角度

A N S 2 よりも大きい。

[0129] 次に、図 1 4 ～図 1 6 に示すように、スペーサ S P 1 1 を除去する（図 5 のステップ S 1 1）。

[0130] このステップ S 1 1 において、まず、図 1 4 に示すように、フォトリソグラフィを用いて、領域 A R 2 および A R 3 が覆われ、かつ、スペーサ S P 1 1 が露出されるようなレジストパターン R 2 を半導体基板 1 上に形成する。

[0131] 具体的には、まず、半導体基板 1 上に、スペーサ S P 1 1 を覆うように、マスク膜としてのレジスト膜 R F 2 を形成する。次に、レジスト膜 R F 2 をパターニングし、領域 A R 2 および A R 3 を覆うレジスト膜 R F 2 からなるレジストパターン R 2 を形成し、スペーサ S P 1 1 をレジスト膜 R F 2 から露出させる。

[0132] このステップ S 1 1 において、次に、図 1 5 に示すように、形成されたレジストパターン R 2 をエッチングマスクとしたドライエッチングにより、スペーサ S P 1 1 を除去する。一方、領域 A R 2 および A R 3 は、レジストパターン R 2 で覆われていたので、エッチングされずに残される。

[0133] なお、図 1 4 に示すように、レジストパターン R 2 の一部が、制御ゲート電極 C G の両側面のうち、スペーサ S P 1 1 側の側面から外側に、はみ出して配置された場合を考える。すなわち、レジストパターン R 2 が、平面視において、スペーサ S P 1 1 の制御ゲート電極 C G 側の部分と重なる場合を考える。このような場合でも、図 1 5 に示すエッチングを行う工程で、等方性エッチング技術を用いてスペーサ S P 1 1 を除去することにより、スペーサ S P 1 1 を完全に除去することができる。

[0134] このステップ S 1 1 では、その後、図 1 6 に示すように、レジストパターン R 2 を除去する。

[0135] 次に、図 1 7 に示すように、n-型半導体領域 V M G を形成する（図 6 のステップ S 1 2）。

[0136] このステップ S 1 2 では、まず、図 1 7 に示すように、半導体基板 1 の主面 1 a、および、制御ゲート電極 C G の側面のうち、犠牲酸化膜 S O F 1 が

形成されていない側の側面を酸化し、犠牲酸化膜SOF₂を形成する。犠牲酸化膜SOF₂を、例えば熱酸化法またはISSG酸化法により、または、熱酸化法とISSG酸化法とを併用することにより、形成することができる。

[0137] このステップS12では、次に、図17に示すように、キャップ絶縁膜CP2、および、側面に犠牲酸化膜SOF₁およびSOF₂が形成された制御ゲート電極CGをマスクとして、p型ウェルPWに、例えばリン(P)またはヒ素(As)などのn型の不純物を、イオン注入法により導入する。これにより、制御ゲート電極CGに対してメモリゲート電極MG（後述する図19参照）が配置される側に位置する部分のp型ウェルPWの上層部、すなわち領域AR2およびAR3の各々の上層部に、n⁻型半導体領域VMGが形成される。

[0138] 平面視において、制御ゲート電極CGに対して、当該制御ゲート電極CGと隣り合うメモリゲート電極MG（後述する図19参照）が配置される側に位置する部分のp型ウェルPWの上面に、犠牲酸化膜SOF₂が形成されている。そのため、p型ウェルPWに、n型の不純物をイオン注入法により導入する際に、p型ウェルPWの上面に損傷が加えられることを防止することができる。

[0139] 前述したように、領域AR2の上面TS2は、領域AR1の上面TS1よりも低く、上面TS1と上面TS2との間には、上面TS1と上面TS2とを接続する接続面TS3が形成されている。また、接続面TS3の上面TS2側の端部EP1が、接続面TS3の上面TS1側の端部EP2に対して制御ゲート電極CGと反対側に配置され、かつ、Z軸方向において、端部EP2よりも下方に配置されている。そのため、イオン注入により注入される不純物イオンが、接続面TS3を横切って、制御ゲート電極CG下に位置する部分のp型ウェルPWにまで導入されるので、n⁻型半導体領域VMGを所望の領域に形状精度よく形成することができる。

[0140] なお、n⁻型半導体領域VMGは、制御ゲート電極CGに対して、当該制御

ゲート電極CGと隣り合うメモリゲート電極MGが配置される側と反対側に形成されてもよい。しかし、図17では、制御ゲート電極CGに対して、当該制御ゲート電極CGと隣り合うメモリゲート電極MGが配置される側と反対側に形成されるn-型半導体領域については、図示を省略する。すなわち、n-型半導体領域VMGは、領域AR4およびAR5の各々の上層部にも形成されるが、図17中では図示を省略する。

[0141] 次に、図17に示すように、キャップ絶縁膜CP2をスリミングする（図6のステップS13）。

[0142] 例えば、犠牲酸化膜SOF1およびSOF2、ならびに、キャップ絶縁膜CP1が酸化シリコン膜であり、キャップ絶縁膜CP2が窒化シリコン膜であるとき、例えば140～170℃程度の温度を有するリン酸すなわち熱リン酸をエッチング液として用いてエッチングする。これにより、犠牲酸化膜SOF1およびSOF2、ならびに、キャップ絶縁膜CP1のエッチング速度に対するキャップ絶縁膜CP2のエッチング速度の比すなわち選択比を十分大きくすることができるので、キャップ絶縁膜CP2を選択的にエッチングすることができる。

[0143] これにより、キャップ絶縁膜CP2のX軸方向すなわちゲート長方向における長さを、制御ゲート電極CGのX軸方向すなわちゲート長方向における長さよりも短くすることができる。すなわち、キャップ絶縁膜CP2をスリミングすることができる。

[0144] 次に、図18に示すように、半導体基板1の主面1a全面に、絶縁膜8を形成する（図6のステップS14）。

[0145] このステップS14において、露出した部分の半導体基板1上、すなわち上面TS2上および接続面TS3上、ならびに、制御ゲート電極CGの表面およびキャップ絶縁膜CP2の表面に、絶縁膜8が形成される。すなわち、ステップS14において、絶縁膜8は、半導体基板1上に、制御ゲート電極CGおよびキャップ絶縁膜CP2を覆うように、形成される。

[0146] 絶縁膜8は、内部に電荷蓄積部を有する絶縁膜であり、絶縁膜として、下

から順に形成された酸化シリコン膜 8 a、窒化シリコン膜 8 b および酸化シリコン膜 8 c の積層膜からなる。

[0147] 絶縁膜 8 のうち、酸化シリコン膜 8 a を、例えば熱酸化法または I S S G 酸化法などにより形成することができる。また、絶縁膜 8 のうち、窒化シリコン膜 8 b を、例えば C V D 法により形成することができる。さらに、絶縁膜 8 のうち、酸化シリコン膜 8 c を、例えば C V D 法または I S S G 酸化法により形成することができる。

[0148] まず、露出した部分の半導体基板 1 の主面 1 a、制御ゲート電極 C G の側面、ならびに、キャップ絶縁膜 C P 2 の上面および側面に、例えば熱酸化法または I S S G 酸化法により酸化シリコン膜 8 a を形成する。

[0149] 酸化シリコン膜 8 a の厚みは、例えば 4 n m 程度とすることができる。また、他の形態として、酸化シリコン膜 8 a を A L D 法で形成することもできる。

[0150] 次に、酸化シリコン膜 8 a 上に窒化シリコン膜 8 b を例えば C V D 法で形成し、さらに窒化シリコン膜 8 b 上に酸化シリコン膜 8 c を例えば C V D 法、I S S G 酸化法またはその両方で形成する。これにより、酸化シリコン膜 8 a、窒化シリコン膜 8 b および酸化シリコン膜 8 c の積層膜からなる絶縁膜 8 を形成することができる。

[0151] 絶縁膜 8 は、メモリゲート電極 M G（後述する図 19 参照）のゲート絶縁膜として機能し、電荷保持機能を有する。絶縁膜 8 は、電荷蓄積部としての窒化シリコン膜 8 b を、電荷ブロック層としての酸化シリコン膜 8 a と酸化シリコン膜 8 c とで挟んだ構造を有する。そして、酸化シリコン膜 8 a および 8 c からなる電荷ブロック層のポテンシャル障壁高さが、窒化シリコン膜 8 b からなる電荷蓄積部のポテンシャル障壁高さに比べ、高くなる。

[0152] なお、本実施の形態においては、トラップ準位を有する絶縁膜として、窒化シリコン膜 8 b を用いるが、窒化シリコン膜 8 b を用いた場合、信頼性の面で好適である。しかし、トラップ準位を有する絶縁膜としては、窒化シリコン膜に限定されず、例えば酸化アルミニウム（アルミナ）膜、酸化ハフニ

ウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を用いることができる。

[0153] 次に、図18に示すように、半導体基板1の主面1a全面に、すなわち絶縁膜8上に、導電膜9を形成する（図6のステップS15）。

[0154] 好適には、導電膜9は、例えば多結晶シリコン膜、すなわちポリシリコン膜などのシリコン膜からなる。このような導電膜9を、CVD法などを用いて形成することができる。また、成膜時は導電膜9をアモルファスシリコン膜として成膜してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

[0155] 導電膜9として、例えばリン（P）またはヒ素（As）などのn型の不純物またはホウ素（B）などのp型の不純物を導入して低抵抗率としたものを用いることが、好ましい。不純物は、導電膜9の成膜時または成膜後に導入することができる。導電膜9の成膜後のイオン注入で導電膜9に不純物を導入することもできるが、導電膜9の成膜時に導電膜9に不純物を導入することもできる。導電膜9の成膜時に不純物を導入する場合には、導電膜9の成膜用のガスにドーピングガスを含ませることで、不純物が導入された導電膜9を成膜することができる。

[0156] 次に、図19に示すように、異方性エッチング技術を用いて導電膜9をエッチバックすることにより、メモリゲート電極MGを形成する（図6のステップS16）。

[0157] このステップS16では、導電膜9の膜厚の分だけ導電膜9をエッチバックすることにより、制御ゲート電極CGの両側面に、絶縁膜8を介して導電膜9をサイドウォールスペーサ状に残し、他の領域の導電膜9を除去する。

[0158] これにより、図19に示すように、制御ゲート電極CGの両側面のうち、当該制御ゲート電極CGと隣り合うメモリゲート電極MGが配置される側の側面上に、絶縁膜8を介して導電膜9をサイドウォールスペーサ状に残すことにより、残された導電膜9からなるメモリゲート電極MGを形成する。具体的には、領域AR2の上面TS2上に、メモリゲート電極MGを形成する

。また、制御ゲート電極CGの両側面のうち、当該制御ゲート電極CGと隣り合うメモリゲート電極MGが配置される側と反対側の側面上に、絶縁膜8を介して導電膜9をサイドウォールスペーサ状に残すことにより、残された導電膜9からなるスペーサSP21を形成する。

[0159] メモリゲート電極MGは、絶縁膜8を介して制御ゲート電極CGと隣り合うように形成される。メモリゲート電極MGとスペーサSP21とは、制御ゲート電極CGの互いに反対側となる側面に形成される。

[0160] 制御ゲート電極CG上には、キャップ絶縁膜CP2が形成されている。したがって、メモリゲート電極MGは、キャップ絶縁膜CP2の両側面のうち、当該制御ゲート電極CGと隣り合うメモリゲート電極MGが配置される側の側面上に、絶縁膜8を介してサイドウォールスペーサ状に残された導電膜9からなる。また、スペーサSP21は、キャップ絶縁膜CP2の両側面のうち、当該制御ゲート電極CGと隣り合うメモリゲート電極MGが配置される側と反対側の側面上に、絶縁膜8を介してサイドウォールスペーサ状に残された導電膜9からなる。

[0161] ステップS16で形成されたメモリゲート電極MGと半導体基板1のp型ウェルPWとの間、および、メモリゲート電極MGと制御ゲート電極CGとの間には、絶縁膜8が介在しており、メモリゲート電極MGは、絶縁膜8に接触した導電膜9からなる。

[0162] ステップS16のエッチバック工程を行った段階で、メモリゲート電極MGおよびスペーサSP21のいずれにも覆われていない部分の絶縁膜8が、露出される。メモリゲート電極MG下の絶縁膜8が、メモリトランジスタMTのゲート絶縁膜Glm（後述する図22参照）となる。

[0163] 次に、図20および図21に示すように、スペーサSP21を除去する（図6のステップS17）。

[0164] このステップS17において、まず、図20に示すように、フォトリソグラフィを用いて、メモリゲート電極MGが覆われ、かつ、スペーサSP21が露出されるようなレジストパターンR3を半導体基板1上に形成する。

- [0165] 具体的には、まず、絶縁膜 8 上に、メモリゲート電極 MG およびスペーサ SP 2 1 を覆うように、マスク膜としてのレジスト膜 RF 3 を形成する。
- [0166] 次に、レジスト膜 RF 3 をパターニングし、メモリゲート電極 MG を覆うレジスト膜 RF 3 からなるレジストパターン R 3 を形成する。そして、スペーサ SP 2 1 をレジスト膜 RF 3 から露出させる。
- [0167] このステップ S 1 7 において、次に、図 2 1 に示すように、形成されたレジストパターン R 3 をエッチングマスクとしたドライエッチングにより、スペーサ SP 2 1 を除去する。一方、メモリゲート電極 MG は、レジストパターン R 3 で覆われていたので、エッチングされずに残される。
- [0168] このステップ S 1 7 では、その後、図 2 1 に示すように、レジストパターン R 2 を除去する。
- [0169] 次に、図 2 2 に示すように、メモリゲート電極 MG で覆われていない部分の絶縁膜 8 を、エッチングによって除去する（図 6 のステップ S 1 8）。
- [0170] このとき、メモリゲート電極 MG と p 型ウェル PW との間、および、メモリゲート電極 MG と制御ゲート電極 CG との間に位置する部分の絶縁膜 8 は、除去されずに残され、他の領域に位置する部分の絶縁膜 8 は除去される。そして、メモリゲート電極 MG と p 型ウェル PW すなわち半導体基板 1 との間、および、メモリゲート電極 MG と制御ゲート電極 CG との間の絶縁膜 8 からなるゲート絶縁膜 G 1 m が形成される。
- [0171] なお、ステップ S 1 8 において、絶縁膜 8 のうち、酸化シリコン膜 8 c および窒化シリコン膜 8 b が除去され、酸化シリコン膜 8 a が除去されずに残されるように、エッチングを行うこともできる。
- [0172] 次に、図 2 3 に示すように、n⁻型半導体領域 1 1 a および 1 1 b を、イオン注入法などを用いて形成する（図 6 のステップ S 1 9）。
- [0173] このステップ S 1 9 では、例えばヒ素（As）またはリン（P）などの n 型の不純物を、制御ゲート電極 CG およびメモリゲート電極 MG をマスクとして用いて、半導体基板 1 の p 型ウェル PW に導入する。これにより、p 型ウェル PW の上層部に、n⁻型半導体領域 1 1 a および 1 1 b が形成される。

[0174] この際、 n -型半導体領域 11a は、メモリゲート電極 MG の側面に自己整合して形成され、 n -型半導体領域 11b は、制御ゲート電極 CG の側面に自己整合して形成される。

[0175] なお、ステップ S18 を行った後、ステップ S19 を行う前に、メモリセル MC が形成されるメモリセル領域とは異なる周辺回路領域（図示は省略）で、例えばフォトリソグラフィおよびエッチングを用いて、導電膜 4（図 7 参照）をパターニングし、導電膜 4 からなるゲート電極（図示は省略）を形成してもよい。この際、レジストを塗布する前に、周辺回路領域で導電膜 4 をパターニングする際のメモリセル領域における保護膜として、メモリセル領域で、半導体基板 1 の主面 1a に、例えば酸化シリコン膜からなる絶縁膜 S1F と窒化シリコン膜（図示は省略）を形成してもよい。そして、周辺回路領域でゲート電極を形成した後、窒化シリコン膜を除去してもよい。このような場合、ステップ S19 において、 n -型半導体領域 11a および 11b を形成する際に、メモリセル領域で、制御ゲート電極 CG、キャップ絶縁膜 CP2 およびメモリゲート電極 MG を覆うように、絶縁膜 S1F（後述する図 24 参照）が形成されていることになる。

[0176] 次に、図 24 に示すように、制御ゲート電極 CG の側面、ならびに、メモリゲート電極 MG の側面に、サイドウォールスペーサ SW を形成する（図 6 のステップ S20）。

[0177] まず、半導体基板 1 の主面 1a 全面に、サイドウォールスペーサ SW 用の絶縁膜を形成し、形成された絶縁膜を例えば異方性エッチングによりエッチバックする。

[0178] このようにして、制御ゲート電極 CG を挟んでメモリゲート電極 MG と反対側で制御ゲート電極 CG と隣り合う部分の絶縁膜を残すことにより、サイドウォールスペーサ SW を形成する。また、メモリゲート電極 MG を挟んで制御ゲート電極 CG と反対側でメモリゲート電極 MG と隣り合う部分の絶縁膜を残すことにより、サイドウォールスペーサ SW を形成する。

[0179] これらのサイドウォールスペーサ SW は、酸化シリコン膜、窒化シリコン

膜またはそれらの積層膜などの絶縁膜からなる。

[0180] なお、図24に示す例では、制御ゲート電極CGとサイドウォールスペーサSWとの間、および、メモリゲート電極MGとサイドウォールスペーサSWとの間には、例えば酸化シリコンからなる絶縁膜SIFが介在している。

[0181] 次に、図25に示すように、 n^+ 型半導体領域12aおよび12bを、イオン注入法などを用いて形成する（図6のステップS21）。このステップS21では、例えばヒ素（As）またはリン（P）などの n 型の不純物を、制御ゲート電極CGおよびメモリゲート電極MGと、それらと隣り合うサイドウォールスペーサSWとをマスクとして用いて半導体基板1の p 型ウェルPWに導入する。これにより、 p 型ウェルPWの上層部に、 n^+ 型半導体領域12aおよび12bが形成される。

[0182] この際、 n^+ 型半導体領域12aは、メモリゲート電極MGの側面上のサイドウォールスペーサSWに自己整合して形成され、 n^+ 型半導体領域12bは、制御ゲート電極CGの側面上のサイドウォールスペーサSWに自己整合して形成される。

[0183] このようにして、 n^- 型半導体領域11aとそれよりも高不純物濃度の n^+ 型半導体領域12aとにより、LDD構造を有し、メモリトランジスタMTのソース領域として機能する n 型の半導体領域MSが形成される。また、 n^- 型半導体領域11bとそれよりも高不純物濃度の n^+ 型半導体領域12bとにより、LDD構造を有し、制御トランジスタCTのドレイン領域として機能する n 型の半導体領域MDが形成される。

[0184] その後、 n^- 型半導体領域11aおよび11b、ならびに、 n^+ 型半導体領域12aおよび12bなどに導入された不純物を活性化するための熱処理である活性化アニールを行う。

[0185] これにより、図25に示すように、制御トランジスタCTおよびメモリトランジスタMTが形成され、制御トランジスタCTおよびメモリトランジスタMTにより、不揮発性メモリとしてのメモリセルMCが形成される。すなわち、制御ゲート電極CGと、ゲート絶縁膜GICと、メモリゲート電極M

Gと、ゲート絶縁膜G_{1m}とにより、不揮発性メモリとしてのメモリセルMCが形成される。なお、隣り合う2つのメモリセルMCとしてのメモリセルMC₁およびMC₂は、n⁺型半導体領域1_{2b}を共有する。

[0186] 次に、図26および図27に示すように、金属シリサイド層1₃、絶縁膜1₄、層間絶縁膜1₅およびプラグPGを形成する（図6のステップS₂₂）。

[0187] このステップS₂₂では、まず、図26に示すように、半導体基板1の主面1_a全面に、キャップ絶縁膜CP₂、メモリゲート電極MGおよびサイドウォールスペーサSWを覆うように、金属膜を形成する。金属膜は、例えばコバルト（Co）膜、ニッケル（Ni）膜、または、ニッケル白金合金膜などからなり、スパッタリング法などを用いて形成することができる。そして、半導体基板1に対して熱処理を施すことによって、n⁺型半導体領域1_{2a}および1_{2b}、ならびに、メモリゲート電極MGのそれぞれの上層部を、金属膜と反応させる。これにより、n⁺型半導体領域1_{2a}および1_{2b}、ならびに、メモリゲート電極MGの各々の上に、金属シリサイド層1₃がそれぞれ形成される。

[0188] 金属シリサイド層1₃は、例えばコバルトシリサイド層、ニッケルシリサイド層、または、白金添加ニッケルシリサイド層とすることができる。その後、未反応の金属膜を除去する。このようにいわゆるシリサイドプロセスを行うことによって、図3に示すように、n⁺型半導体領域1_{2a}および1_{2b}、ならびに、メモリゲート電極MGの各々の上に、金属シリサイド層1₃を形成することができる。

[0189] このステップS₂₂では、次に、図27に示すように、キャップ絶縁膜CP₂、ゲート絶縁膜G_{1m}、メモリゲート電極MG、および、サイドウォールスペーサSWを覆うように、絶縁膜1₄を形成する。絶縁膜1₄は、例えば窒化シリコン膜からなる。絶縁膜1₄を、例えばCVD法により形成することができる。

[0190] このステップS₂₂では、次に、図27に示すように、絶縁膜1₄上に、

層間絶縁膜 15 を形成する。層間絶縁膜 15 は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と酸化シリコン膜との積層膜などからなる。層間絶縁膜 15 を、例えば CVD 法により形成した後、層間絶縁膜 15 の上面を平坦化する。

[0191] ステップ S22 では、次に、図 27 に示すように、層間絶縁膜 15 を貫通するプラグ PG を形成する。まず、フォトリソグラフィを用いて層間絶縁膜 15 上に形成したレジストパターン（図示せず）をエッチングマスクとして、層間絶縁膜 15 をドライエッチングすることにより、層間絶縁膜 15 にコンタクトホール CNT を形成する。次に、コンタクトホール CNT 内に、導電体部として、タングステン（W）などからなる導電性のプラグ PG を形成する。

[0192] プラグ PG を形成するには、例えば、コンタクトホール CNT の内部を含む層間絶縁膜 15 上に、例えば、チタン（Ti）膜、窒化チタン（TiN）膜、またはそれらの積層膜からなるバリア導体膜を形成する。それから、このバリア導体膜上にタングステン（W）膜などからなる主導体膜を、コンタクトホール CNT を埋めるように形成し、層間絶縁膜 15 上の不要な主導体膜およびバリア導体膜を CMP（Chemical Mechanical Polishing）法またはエッチバック法などによって除去する。これにより、プラグ PG を形成することができる。なお、図面の簡略化のために、図 27 では、プラグ PG を構成するバリア導体膜および主導体膜を一体化して示してある。

[0193] 図 27 に示すように、コンタクトホール CNT およびそれに埋め込まれたプラグ PG は、 n^+ 型半導体領域 12b 上などに形成される。コンタクトホール CNT の底部では、例えば n^+ 型半導体領域 12b 上の金属シリサイド層 13 が露出する。そして、コンタクトホール CNT に埋め込まれたプラグ PG は、 n^+ 型半導体領域 12b 上に形成された金属シリサイド層 13 と接触することにより、 n^+ 型半導体領域 12b と電氣的に接続される。なお、図 27 では図示を省略するが、プラグ PG は、 n^+ 型半導体領域 12a と電氣的に接続されてもよい。

[0194] 以上のようにして、本実施の形態の半導体装置が製造される。なお、プラグPGが埋め込まれた層間絶縁膜15上に、例えば銅(Cu)を主導電膜とする配線を、例えばダマシン技術を用いて形成することができるが、ここでは、その説明を省略する。

[0195] <電荷蓄積部に注入された電子および正孔の分布>

次に、電荷蓄積部としての窒化シリコン膜8bに注入された電子および正孔の分布について、比較例と対比しながら説明する。

[0196] 図28および図29は、比較例の半導体装置の要部断面図である。図29に示す断面図は、図28に示す断面図のうち二点鎖線で囲まれた領域RG101を拡大して示す。

[0197] 図28および図29に示すように、比較例の半導体装置では、メモリゲート電極MG下の半導体基板1が掘り込まれておらず、領域AR2の上面TS2は、領域AR1の上面TS1と同じ高さ位置に配置されている。また、領域AR1と領域AR2との間に領域AR3(図1参照)が配置されておらず、上面TS1と上面TS2とを接続する接続面TS3(図1参照)も形成されていない。

[0198] なお、領域AR4の上面TS4も、領域AR1の上面TS1と同じ高さ位置に配置されている。また、領域AR1と領域AR4との間に領域AR5(図1参照)が配置されておらず、上面TS1と上面TS4とを接続する接続面TS5(図1参照)も形成されていない。

[0199] 比較例の半導体装置では、メモリゲート電極MGとp型ウェルPWとの間に位置する部分の窒化シリコン膜8bの全てが、半導体基板1の上面に平行である。そのため、メモリトランジスタの絶縁膜8中の電荷蓄積部である窒化シリコン膜8bに、前述したSSI方式を用いてホットエレクトロンとしての電子を注入することにより、データを書き込む場合、電子は、メモリゲート電極MGとp型ウェルPWとの間に位置する部分の窒化シリコン膜8bに一様に注入されやすい。すなわち、電子ELは、図29の矢印ELAに示すように、メモリゲート電極MGとp型ウェルPWとの間に位置する部分の

窒化シリコン膜 8 b のうち、ドレイン領域としての半導体領域 MD 側の部分のみならず、ソース領域としての半導体領域 MS 側の部分にも注入されやすい。

[0200] 一方、比較例の半導体装置では、窒化シリコン膜 8 b に、前述した FN 型トンネル現象を用いて正孔を注入することにより、データを消去する場合、メモリゲート電極 MG と p 型ウェル PW との間の電界は、メモリゲート電極 MG の下面のうち制御ゲート電極 CG 側の端部 EP106 に集中する。そのため、正孔 HL は、図 29 の矢印 HLA に示すように、メモリゲート電極 MG と制御ゲート電極 CG との間に位置する部分の窒化シリコン膜 8 b のうち、p 型ウェル PW 側、すなわち下側の部分に注入されやすい。

[0201] したがって、比較例の半導体装置では、データを書き込む際に窒化シリコン膜 8 b に注入された電子の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布とが、互いに異なるか、または、互いに離れている。そのため、書き込み動作と消去動作を多数回繰り返した場合、窒化シリコン膜 8 b を含めたゲート絶縁膜 G1m に残留する正孔の数が増加し、メモリセルの保持特性（リテンション特性）が低下し、半導体装置の特性を向上させることができない。

[0202] ここで、メモリセルの保持特性とは、書き込み動作と消去動作を多数回、例えば 1000 回程度繰り返した後、室温よりも高温、例えば 150℃ 程度で長時間、例えば 100 時間程度放置する際のメモリトランジスタの閾値電圧の経時変化により、評価することができる。

[0203] 前述したように、不揮発性メモリの微細化に伴って、メモリゲート電極 MG のゲート長が短くなると、FN 型トンネル現象による消去方法を用いた場合に、BTBT 現象による消去方法を用いた場合と比較して、消費電流を低減できる効果が顕著になる。しかし、上記したように、FN 型トンネル現象による消去方法を用いた場合、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布が、データを書き込む際に、窒化シリコン膜 8 b に注入された電子の分布と異なるという課題が顕著になる。そのため、不揮発性

メモリを容易に微細化することができない。

[0204] 一方、本実施の形態の半導体装置では、上面TS2が上面TS1よりも低く、上面TS1と上面TS2との間に、上面TS1と上面TS2とを接続する接続面TS3が形成されている。接続面TS3の上面TS2側の端部EP1が、接続面TS3の上面TS1側の端部EP2に対してX軸方向におけるメモリゲート電極MG側に配置され、かつ、Z軸方向において、端部EP2よりも下方に配置されている。

[0205] 本実施の形態の半導体装置では、メモリゲート電極MGとp型ウェルPWとの間に位置する部分の窒化シリコン膜8bは、上面TS2に沿って形成された部分P1（図4参照）と、接続面TS3に沿って形成された部分P2（図4参照）と、を有する。そのため、窒化シリコン膜8bに、前述したSS1方式を用いてホットエレクトロンとしての電子を注入することにより、データを書き込む場合、図4の矢印ELAに示すように、電子は、接続面TS3を横切って、部分P2に注入されやすく、部分P1には注入されにくい。すなわち、電子ELは、メモリゲート電極MGとp型ウェルPWとの間に位置する部分の窒化シリコン膜8bのうち、ドレイン領域としての半導体領域MD側の部分には注入されやすいが、ソース領域としての半導体領域MS側の部分には注入されにくい。

[0206] 一方、本実施の形態の半導体装置では、前述した図4を用いて説明したように、メモリゲート電極MGは、上面TS2上に形成された電極部MG1と、電極部MG1に対して制御ゲート電極CG側に形成された電極部MG2と、を含む。電極部MG2は、電極部MG1の下面BS1と、電極部MG2の制御ゲート電極CG側の側面BS3とを接続する下面としての接続面BS2を有する。電極部MG2の接続面BS2の端部EP5は、電極部MG1の下面BS1と接続され、電極部MG2の接続面BS2の端部EP6は、電極部MG2の側面BS3と接続されている。端部EP5は、端部EP6に対してX軸方向における正側に配置され、かつ、Z軸方向において、端部EP6よりも下方に配置されている。

[0207] また、下面BS1と接続面BS2とにより角部AP1が形成され、接続面BS2と側面BS3とにより角部AP2が形成されている。

[0208] このような場合、窒化シリコン膜8bに、前述したFN型トンネル現象を用いて正孔を注入することにより、データを消去する場合、メモリゲート電極MGとp型ウェルPWとの間の電界は、端部EP6にも集中するが、端部EP5にも集中する。そのため、図4の矢印HLAに示すように、正孔HLは、メモリゲート電極MGと制御ゲート電極CGとの間に位置する部分の窒化シリコン膜8b、すなわち部分P3のうち、p型ウェルPW側、すなわち下側の部分に加え、部分P2にも注入される。

[0209] このように、本実施の形態の半導体装置では、データを書き込む際にも、窒化シリコン膜8bのうち部分P2に電子が注入され、データを消去する際にも、窒化シリコン膜8bのうち部分P2に正孔が注入される。そのため、本実施の形態の半導体装置では、データを書き込む際に窒化シリコン膜8bに注入された電子の分布と、データを消去する際に窒化シリコン膜8bに注入された正孔の分布とが、互いに近づくか、または、互いに同じになる。そのため、書き込み動作と消去動作を多数回繰り返した場合でも、窒化シリコン膜8bを含めたゲート絶縁膜Glmに残留する正孔の数が増加しないので、メモリセルの保持特性（リテンション特性）が低下することを防止または抑制することができ、半導体装置の特性を向上させることができる。

[0210] なお、上記特許文献1に開示された技術でも、半導体基板は、第1の面と、第1の面から深さ方向に向かって第1の面よりも低い第2の面を有し、コントロールゲート電極は、第1の面上に設けられ、メモリゲート電極は、第2の面上に設けられている。また、上記特許文献1に開示された技術では、第1の面と第2の面との間の接続面は、第1の面および第2の面のいずれに対しても垂直である。

[0211] しかし、上記特許文献1に開示された技術は、メモリゲート電極の幅を縮小した場合、メモリゲート電極下のチャネル長も短くなり、オフリーク電流が増大してしまう、という課題を解決するための技術である。したがって、

上記特許文献 1 に開示された技術において、接続面の第 2 の面側の端部が、接続面の第 1 の面側の端部に対して X 軸方向における正側に位置し、かつ、接続面の第 1 の面側の端部よりも下方に位置するように、接続面を傾斜させることは困難である。なぜなら、メモリゲート電極下のチャンネル長が短くなり、上記特許文献 1 における課題を解決しにくくなるからである。

[0212] <接続面の傾斜角の好適な範囲>

次に、接続面 T S 3 の傾斜角の好適な範囲について、実施例 1 ～実施例 4 を比較しながら説明する。図 3 0 は、実施例 1 の半導体装置の要部断面図であり、図 3 1 は、実施例 2 の半導体装置の要部断面図であり、図 3 2 は、実施例 3 の半導体装置の要部断面図であり、図 3 3 は、実施例 4 の半導体装置の要部断面図である。図 3 0 ～図 3 3 に示す断面図は、図 4 に示す断面図のうち、接続面 T S 3 の周辺を拡大して示す。

[0213] まず、図 3 0 ～図 3 2 に示す実施例 1 ～実施例 3 として、制御ゲート電極 C G の側面 S S 1 が、Y Z 平面に平行であり、Y Z 平面に対して傾斜していない場合について説明する。

[0214] 前述したように、接続面 T S 3 が上面 T S 2 となす角度を、鋭角としての角度 A N S 1 と定義する。このとき、接続面 T S 3 と上面 T S 2 との間の鈍角を、角度 A N S 1 により表す。角度 A N S 1 と角度 A N L 1 との和は、 180° に等しい。

[0215] また、以下では、接続面 T S 3 が制御ゲート電極 C G の X 軸方向における正側の側面 S S 1 となす角度を、鋭角としての角度 A N S 3 と定義する。このとき、接続面 T S 3 と制御ゲート電極 C G の側面 S S 1 との間の鈍角を、角度 A N L 3 により表す。角度 A N S 3 と角度 A N L 3 との和は、 180° に等しい。

[0216] なお、前述したように、制御ゲート電極 C G の側面 S S 1 が、Y Z 平面に平行であるため、角度 A N S 1 は、接続面 T S 3 が Y Z 平面となす角度に等しい。

[0217] 図 3 0 に示す実施例 1 では、角度 A N S 3 が角度 A N S 1 よりも大きい（

$ANS3 > ANS1$ ）、すなわち角度 $ANL3$ が角度 $ANL1$ よりも小さい（ $ANL3 < ANL1$ ）。また、図31に示す実施例2では、角度 $ANS3$ が角度 $ANS1$ と等しい（ $ANS3 = ANS1$ ）、すなわち角度 $ANL3$ が角度 $ANL1$ と等しい（ $ANL3 = ANL1$ ）。また、図32に示す実施例3では、角度 $ANS3$ が角度 $ANS1$ よりも小さい（ $ANS3 < ANS1$ ）、すなわち角度 $ANL3$ が角度 $ANL1$ よりも大きい（ $ANS3 > ANS1$ ）。

[0218] また、以下では、接続面 $TS3$ の傾斜角の影響の比較を容易にするため、図30に示す実施例1、図31に示す実施例2および図32に示す実施例3に示す場合のいずれにおいても、 Z 軸方向における上面 $TS1$ と上面 $TS2$ との距離を等しくしている。

[0219] 図30に示す実施例1では、窒化シリコン膜8bに、 SSI 方式を用いてホットエレクトロンとしての電子を注入することにより、データを書き込む際に、電子 EL は、図30の矢印 ELA に示すように、接続面 $TS3$ を横切って、部分 $P2$ に注入されやすい。また、図30に示す実施例1では、図31に示す実施例2および図32に示す実施例3に比べ、部分 $P2$ の X 軸方向における中心は、 X 軸方向における正側、すなわちメモリゲート電極 MG 側に位置する。したがって、電子 EL は、比較例に比べれば、窒化シリコン膜8bのうち、半導体領域 MD （図4参照）側の部分に注入されやすくなるものの、実施例2および実施例3に比べると、半導体領域 MD （図4参照）側の部分には注入されにくい。

[0220] 一方、図30に示す実施例1では、窒化シリコン膜8bに、前述した FN 型トンネル現象を用いて正孔を注入することにより、データを消去する際に、メモリゲート電極 MG と p 型ウェル PW との間の電界のうち、大部分は、端部 $EP6$ すなわち角部 $AP2$ に集中するものの、一部は、端部 $EP5$ すなわち角部 $AP1$ にも集中する。そのため、図30の矢印 $HLA2$ に示すように、大部分の正孔 HL は、角部 $AP2$ の周辺に位置する部分の窒化シリコン膜8bに注入されるが、一部の正孔 HL は、角部 $AP1$ の周辺に位置する部

分の窒化シリコン膜 8 b にも注入される。

[0221] そのため、図 3 0 に示す実施例 1 では、データを書き込む際に窒化シリコン膜 8 b に注入された電子の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布とは、比較例に比べれば、互いに近づくものの、実施例 2 および実施例 3 に比べると、互いに離れている。

[0222] 次に、図 3 1 に示す実施例 2 では、窒化シリコン膜 8 b に、S S I 方式を用いてホットエレクトロンとしての電子を注入することにより、データを書き込む際に、電子 E L は、図 3 1 の矢印 E L A に示すように、接続面 T S 3 を横切って、部分 P 2 に注入されやすい。また、図 3 1 に示す実施例 2 では、図 3 2 に示す実施例 3 に比べれば、部分 P 2 の X 軸方向における中心は、X 軸方向における正側、すなわちメモリゲート電極 M G 側に位置するものの、図 3 0 に示す実施例 1 に比べると、部分 P 3 の X 軸方向における中心は、X 軸方向における負側、すなわち制御ゲート電極 C G 側に位置する。したがって、電子 E L は、実施例 1 に比べれば、窒化シリコン膜 8 b のうち、半導体領域 M D (図 4 参照) 側の部分に注入されやすくなるものの、実施例 3 に比べると、半導体領域 M D (図 4 参照) 側の部分には注入されにくい。

[0223] 一方、図 3 1 に示す実施例 2 では、窒化シリコン膜 8 b に、前述した F N 型トンネル現象を用いて正孔を注入することにより、データを消去する際に、メモリゲート電極 M G と p 型ウェル P W との間の電界は、端部 E P 5 すなわち角部 A P 1、および、端部 E P 6 すなわち角部 A P 2 に互いに略同程度に集中する。そのため、窒化シリコン膜 8 b に注入される正孔のうち、図 3 1 の矢印 H L A 1 に示すように、角部 A P 1 の周辺に位置する部分の窒化シリコン膜 8 b に注入される正孔 H L の割合は、実施例 1 に比べれば多くなるが、実施例 3 に比べると少なくなる。また、窒化シリコン膜 8 b に注入される正孔のうち、図 3 1 の矢印 H L A 2 に示すように、角部 A P 2 の周辺に位置する部分の窒化シリコン膜 8 b に注入される正孔 H L の割合は、実施例 1 に比べれば少なくなるが、実施例 3 に比べると多くなる。

[0224] そのため、図 3 1 に示す実施例 2 では、データを書き込む際に窒化シリコ

ン膜 8 b に注入された電子の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布とは、実施例 1 に比べれば、互いに近づくものの、実施例 3 に比べると、互いに離れている。

[0225] 次に、図 3 2 に示す実施例 3 では、窒化シリコン膜 8 b に、S S I 方式を用いてホットエレクトロンとしての電子を注入することにより、データを書き込む際に、電子 E L は、図 3 2 の矢印 E L A に示すように、接続面 T S 3 を横切って、部分 P 2 に注入されやすい。また、図 3 2 に示す実施例 3 では、図 3 0 に示す実施例 1 および図 3 1 に示す実施例 2 に比べると、部分 P 2 の X 軸方向における中心は、X 軸方向における負側、すなわち制御ゲート電極 C G 側に位置する。したがって、電子 E L は、実施例 1 および実施例 2 のいずれに比べても、窒化シリコン膜 8 b のうち、半導体領域 M D (図 4 参照) 側の部分に注入されやすくなる。

[0226] 一方、図 3 2 に示す実施例 3 では、窒化シリコン膜 8 b に、前述した F N 型トンネル現象を用いて正孔を注入することにより、データを消去する際に、メモリゲート電極 M G と p 型ウェル P W との間の電界は、端部 E P 6 すなわち角部 A P 2 にはあまり集中せず、端部 E P 5 すなわち角部 A P 1 に集中する。そのため、一部の正孔 H L は角部 A P 2 の周辺に位置する部分の窒化シリコン膜 8 b に注入されるものの、大部分の正孔 H L は、図 3 2 の矢印 H L A 1 に示すように、角部 A P 1 の周辺に位置する部分の窒化シリコン膜 8 b に注入される。

[0227] そのため、図 3 2 に示す実施例 3 では、データを書き込む際に窒化シリコン膜 8 b に注入された電子 E L の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔 H L の分布とは、実施例 1 および実施例 2 のいずれに比べても、互いにより近づくか、または、互いに同じになる。

[0228] すなわち、図 3 0 ~ 図 3 2 に示す実施例 1 ~ 実施例 3 を比べると、データを書き込む際に窒化シリコン膜 8 b に注入された電子の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布とが、実施例 1、実施例 2、実施例 3 の順に、互いにより近づく。そのため、実施例 1、実施例

2、実施例3の順に、メモリセルの保持特性が低下することを防止または抑制する効果が増加し、半導体装置の特性を向上させる効果が増加する。

[0229] ただし、角度 ANS_3 が 0° 、すなわち接続面 TS_3 が YZ 平面に平行になると、制御ゲートトランジスタのオン電流が低下する。したがって、角度 ANS_3 が 0 よりも大きいことが望ましい。すなわち、端部 EP_1 が、端部 EP_2 に対して X 軸方向におけるメモリゲート電極 MG 側に配置され、かつ、 Z 軸方向において、端部 EP_2 よりも下方に配置されることが望ましい。

[0230] また、図30～図32に示す実施例1～実施例3を比べると、データを書き込む際に窒化シリコン膜8bに注入された電子の分布と、データを消去する際に窒化シリコン膜8bに注入された正孔の分布とを、互いに近づけるためには、 X 軸方向において、角部 AP_1 の位置と、角部 AP_2 の位置とを、近づけることが好ましい。角部 AP_1 の位置と、角部 AP_2 の位置とが近づくほど、窒化シリコン膜8bのうち上面 TS_2 に沿って形成された部分 P_1 のうち、角部 AP_1 よりも X 軸方向における負側、すなわち制御ゲート電極 CG 側に位置する部分の割合が多くなる。また、角部 AP_1 の位置と、角部 AP_2 の位置とが近づくと、端部 EP_1 は、メモリゲート電極 MG 下ではなく、ゲート絶縁膜 Glm 下に位置するようになる。

[0231] あるいは、角度 ANS_1 が同じであっても、例えば上面 TS_1 と上面 TS_2 との間の Z 軸方向における距離を短くすることにより、窒化シリコン膜8bのうち上面 TS_2 に沿って形成された部分 P_1 のうち、メモリゲート電極 MG 下ではなく、ゲート絶縁膜 Glm 下に位置する部分の割合を多くすることができる。

[0232] 上面 TS_2 上、接続面 TS_3 上、および、制御ゲート電極 CG の側面 SS_1 上に絶縁膜8を形成する際には、いずれの部分上における絶縁膜8の厚さ、すなわち酸化シリコン膜8a、窒化シリコン膜8bおよび酸化シリコン膜8cの膜厚も、略均一にすることができる。そのため、電極部 MG_1 の下面 BS_1 は、領域 AR_2 の上面 TS_2 と略平行になり、電極部 MG_2 の接続面 BS_2 は、領域 AR_3 の接続面 TS_3 と略平行になる。

[0233] したがって、本実施の形態では、上面TS1、上面TS2および接続面TS3により形成される段差部の形状を調整することにより、メモリゲート電極MGの角部AP1およびAP2の形状を制御することができる。そして、メモリゲート電極MGの角部AP1およびAP2の形状を制御することにより、データを書き込む際に窒化シリコン膜8bに注入された電子の分布と、データを消去する際に窒化シリコン膜8bに注入された正孔の分布とを、互いに近づけることができる。

[0234] なお、図30～図32に示すように、鋭角としての角度ANS1を、接続面BS2が下面BS1となす角度と定義し、鋭角としての角度ANS3を、接続面BS2が側面BS3となす角度と定義しても、実施例1～実施例3の間で、同様の傾向が得られる。すなわち、データを書き込む際に窒化シリコン膜8bに注入された電子の分布と、データを消去する際に窒化シリコン膜8bに注入された正孔の分布とが、実施例1、実施例2、実施例3の順に、互いにより近づく。

[0235] ここで、図33に示す実施例4として、制御ゲート電極CGの側面SS1の上端部が、X軸方向において、側面SS1の下端部に対してメモリゲート電極MGと反対側に位置するように、側面SS1が、YZ平面に対して角度ASだけ傾斜している場合を考える。このときも、接続面TS3が上面TS2となす角度を、鋭角としての角度ANL1と定義し、接続面TS3が制御ゲート電極CGの側面SS1となす角度を、鋭角としての角度ANS3と定義する。また、図33に示す実施例4では、図32に示す実施例3と同様に、角度ANS3が角度ANS1よりも小さい($ANS3 < ANS1$)、すなわち角度ANL3が角度ANL1よりも大きい($ANL3 > ANL1$)場合を示す。

[0236] 図33に示す実施例4では、角度ANS3は、制御ゲート電極CGの側面SS1が、YZ平面に平行な場合に比べ、角度ASだけさらに小さくなる。そのため、図32を用いて説明した最も好適な条件である実施例3の条件、すなわち角度ANS3<角度ANS1が満たされやすくなり、データを書き

込む際に窒化シリコン膜 8 b に注入された電子の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布とが、さらに互いに近くなる。したがって、電荷蓄積部に正孔が残留することをさらに防止または抑制することができ、メモリセルの保持特性をさらに向上させることができる。

[0237] <接続面の長さおよびメモリゲート電極の下面の長さの好適な範囲>

次に、接続面 T S 3 の長さおよびメモリゲート電極 M G の下面の長さの好適な範囲について、実施例 5 を参照しながら説明する。図 3 4 は、実施例 5 の半導体装置の要部断面図である。図 3 4 に示す断面図は、図 4 に示す断面図のうち、接続面 T S 3 の周辺を拡大して示す。

[0238] 図 3 4 に示すように、好適には、Y 軸方向に垂直な断面において、接続面 T S 3 に平行な方向における接続面 T S 3 の長さ L 1、すなわち、端部 E P 1 と端部 E P 2 との距離としての長さ L 1 は、ゲート絶縁膜 G l m 下に位置する部分の上面 T S 2 の、X 軸方向における長さ L 2 よりも長い。

[0239] これにより、データを書き込む際に、窒化シリコン膜 8 b のうち、S S I 方式を用いてホットエレクトロンとして注入される電子が移動してくる方向と交差する部分である部分 P 2 の割合を、当該電子が移動してくる方向に平行な部分である部分 P 1 の割合に比べ、増加させることができる。そのため、窒化シリコン膜 8 b に、S S I 方式を用いて電子を注入することにより、データを書き込む際に、電子が、接続面 T S 3 を横切って、部分 P 2 に注入されやすくなる。すなわち、データの書き込み動作において注入された電子の分布を調整する観点からは、接続面 T S 3 の長さ L 1 を、ゲート絶縁膜 G l m 下に位置する部分の上面 T S 2 の長さ L 2 よりも長くすることが好ましい。

[0240] なお、接続面 T S 3 の長さ L 1 を、ゲート絶縁膜 G l m 下に位置する部分の上面 T S 2 の長さ L 2 よりも長くすることにより、メモリゲート電極 M G のゲート長を短くしやすくなるので、不揮発性メモリの微細化にとって、有利である。

[0241] 一方、図 3 4 に示すように、好適には、Y 軸方向に垂直な断面において、

電極部MG 2の下面としての接続面BS 2に平行な方向における接続面BS 2の長さL 3、すなわち、端部EP 5と端部EP 6との距離としての長さL 3は、X軸方向における電極部MG 1の下面BS 1の長さL 4よりも短い。

[0242] これにより、データを消去する際に、メモリゲート電極MGとp型ウェルPWとの間の電界が集中する部分である、角部AP 1および角部AP 2を、互いに近づけることができる。そのため、窒化シリコン膜8 bに、FN型トンネル現象を用いて正孔を注入することにより、データを消去する際に、窒化シリコン膜8 bの部分P 2に、正孔を確実に注入することができる。すなわち、データの消去動作において注入された正孔の分布を調整する観点からは、接続面BS 2の長さL 3を、下面BS 1の長さL 4よりも短くすることが好ましい。

[0243] なお、前述した図3を用いて説明したように、接続面TS 3と上面TS 2との間に角部が形成されない場合には、長さL 1を、端部EP 2と端部EP 1 1（図3参照）との距離と定義し、長さL 2を、ゲート絶縁膜G 1 mの制御ゲート電極CG側と反対側の端部と、端部EP 1 1との間の、X軸方向における距離と定義することができる。

[0244] また、前述した図3を用いて説明したように、接続面BS 2と下面BS 1との間に角部が形成されない場合には、長さL 3を、端部EP 6と端部EP 5 1（図3参照）との距離と定義し、長さL 4を、メモリゲート電極MGの制御ゲート電極CG側と反対側の端部と、端部EP 5 1との間の、X軸方向における距離と定義することができる。

[0245] <本実施の形態の主要な特徴と効果>

本実施の形態の半導体装置では、半導体基板は、領域AR 1と領域AR 2との間に配置された領域AR 3を含み、制御ゲート電極CGは、領域AR 1の上面TS 1上に形成され、メモリゲート電極MGは、領域AR 2の上面TS 2上に形成されている。上面TS 2は、上面TS 1よりも低く、領域AR 3は、上面TS 1と上面TS 2とを接続する接続面TS 3を有する。メモリゲート電極MGと制御ゲート電極CGとの間、メモリゲート電極MGと上面

T S 2 との間、および、メモリゲート電極 M G と接続面 T S 3 との間には、ゲート絶縁膜 G l m が形成されている。接続面 T S 3 の上面 T S 2 側の端部 E P 1 が、接続面 T S 3 の上面 T S 1 側の端部 E P 2 に対してメモリゲート電極 M G 側に配置され、端部 E P 2 よりも下方に配置されている。

[0246] これにより、データを書き込む際に窒化シリコン膜 8 b に注入された電子の分布と、データを消去する際に窒化シリコン膜 8 b に注入された正孔の分布とが、互いに近づくか、または、互いに同じになる。そのため、書き込み動作と消去動作を多数回繰り返した場合でも、窒化シリコン膜 8 b を含めたゲート絶縁膜 G l m に残留する正孔の数が増加しないので、メモリセルの保持特性を向上させることができ、半導体装置の特性を向上させることができる。

[0247] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

符号の説明

- [0248] 1 半導体基板
- 1 a 主面
- 3、5、6、8、14 絶縁膜
- 4、9 導電膜
- 7 膜
- 8 a、8 c 酸化シリコン膜
- 8 b 窒化シリコン膜
- 11 a、11 b n⁻型半導体領域
- 12 a、12 b n⁺型半導体領域
- 13 金属シリサイド層
- 15 層間絶縁膜
- ANL 1 ~ ANL 3、ANS 1 ~ ANS 3、AS 角度
- AP 1、AP 2 角部

A R 活性領域
A R 1 ～ A R 5 領域
B S 1 下面
B S 1 1、B S 2 1 平面
B S 2 接続面
B S 3 側面
C G 制御ゲート電極
C N T コンタクトホール
C P 1、C P 2 キャップ絶縁膜
C T 制御トランジスタ
E L 電子
E L A、H L A、H L A 1、H L A 2 矢印
E P 1、E P 1 1、E P 2 ～ E P 5、E P 5 1、E P 6 端部
F T 1 膜厚
G l c、G l m ゲート絶縁膜
H L 正孔
I T 1 間隔
L 1 ～ L 4 長さ
M C、M C 1、M C 2 メモリセル
M D、M S 半導体領域
M G メモリゲート電極
M G 1、M G 2 電極部
M T メモリトランジスタ
P 1 ～ P 3 部分
P G プラグ
P W p型ウェル
R 1 ～ R 3 レジストパターン
R F 1 ～ R F 3 レジスト膜

R G 1、R G 2 領域

S I F 絶縁膜

S O F 1、S O F 2 犠牲酸化膜

S P 1 1、S P 1 2、S P 2 1 スペーサ

S S 1 側面

S W サイドウォールスペーサ

T S 1、T S 2、T S 4 上面

T S 2 1、T S 3 1 平面

T S 3、T S 5 接続面

V M G n-型半導体領域

請求の範囲

[請求項1]

半導体基板と、
前記半導体基板の主面上に形成された第1ゲート電極と、
前記第1ゲート電極と前記半導体基板との間に形成された第1ゲート絶縁膜と、
前記半導体基板上に形成され、前記第1ゲート電極と隣り合う第2ゲート電極と、
前記第2ゲート電極と前記半導体基板との間、および、前記第2ゲート電極と前記第1ゲート電極との間に形成され、内部に電荷蓄積部を有する第2ゲート絶縁膜と、
を有し、
前記半導体基板は、前記主面側の第1領域、第2領域および第3領域を含み、
前記第2領域は、平面視において、前記第1領域に対して第1方向における第1の側に配置され、
前記第3領域は、前記第1領域と前記第2領域との間に配置され、
前記第1ゲート電極は、前記第1領域の第1上面上に形成され、
前記第2ゲート電極は、前記第2領域の第2上面上に形成され、
前記第2上面は、前記第1上面よりも低く、
前記第3領域は、前記第1上面と前記第2上面とを接続する第1接続面を有し、
前記第2ゲート絶縁膜は、前記第1接続面上、および、前記第2上面上に形成され、
前記第1接続面の第1端部は、前記第2上面と接続され、
前記第1接続面の前記第1端部と反対側の第2端部は、前記第1上面と接続され、
前記第1端部は、前記第2端部に対して前記第1方向における前記第1の側に配置され、かつ、前記第2端部よりも下方に配置されている。

る、半導体装置。

[請求項2]

請求項1記載の半導体装置において、

前記半導体基板は、前記主面側の第4領域を含み、

前記第4領域は、平面視において、前記第1領域に対して前記第1方向における前記第1の側と反対側に配置され、

前記第4領域の第3上面は、前記第1上面よりも低く、

前記第2上面は、前記第3上面よりも低い、半導体装置。

[請求項3]

請求項2記載の半導体装置において、

前記半導体基板は、前記主面側の第5領域を含み、

前記第5領域は、前記第1領域と前記第4領域との間に配置され、

前記第5領域は、前記第1上面と前記第3上面とを接続する第2接続面を有し、

前記第2接続面の第3端部は、前記第3上面と接続され、

前記第2接続面の前記第3端部と反対側の第4端部は、前記第1上面と接続され、

前記第3端部は、前記第4端部に対して前記第1方向における前記第1の側と反対側に配置され、かつ、前記第4端部よりも下方に配置されている、半導体装置。

[請求項4]

請求項3記載の半導体装置において、

前記第1接続面が前記第2上面となす鋭角の角度は、前記第2接続面が前記第3上面となす鋭角の角度よりも大きい、半導体装置。

[請求項5]

請求項1記載の半導体装置において、

前記第1接続面が、前記第1ゲート電極の前記第1方向における前記第1の側の第1側面となす鋭角の角度は、前記第1接続面が前記第2上面となす鋭角の角度よりも小さい、半導体装置。

[請求項6]

請求項1記載の半導体装置において、

前記第1ゲート電極は、平面視において、前記第1方向と直交する第2方向に延在し、

前記第2方向に垂直な断面において、前記第1端部と前記第2端部との距離は、前記第2ゲート絶縁膜下に位置する部分の前記第2上面の、前記第1方向における長さよりも長い、半導体装置。

[請求項7]

請求項1記載の半導体装置において、
前記第2ゲート電極は、
前記第2上面上に形成された第1電極部と、
前記第1電極部に対して前記第1ゲート電極側に形成された第2電極部と、
を含み、
前記第2電極部は、前記第1電極部の第1下面と、前記第2電極部の前記第1ゲート電極側の第2側面とを接続する第2下面を有し、
前記第2下面の第5端部は、前記第1電極部の前記第1下面と接続され、
前記第2下面の前記第5端部と反対側の第6端部は、前記第2側面と接続され、
前記第5端部は、前記第6端部に対して前記第1方向における前記第1の側に配置され、かつ、前記第6端部よりも下方に配置されており、
前記第1ゲート電極は、平面視において、前記第1方向と直交する第3方向に延在し、
前記第3方向に垂直な断面において、前記第2下面に平行な方向における前記第2下面の長さは、前記第1方向における前記第1下面の長さよりも短い、半導体装置。

[請求項8]

請求項1記載の半導体装置において、
前記第1ゲート電極と前記第1ゲート絶縁膜と前記第2ゲート電極と前記第2ゲート絶縁膜とによりメモリが形成されている、半導体装置。

[請求項9]

(a) 半導体基板を用意する工程、

(b) 前記半導体基板の主面上に第1ゲート電極を形成し、前記第1ゲート電極と前記半導体基板との間に第1ゲート絶縁膜を形成する工程、

(c) 前記半導体基板上、および、前記第1ゲート電極の表面に、内部に電荷蓄積部を有する絶縁膜を形成する工程、

(d) 前記絶縁膜上に、導電膜を形成する工程、

(e) 前記導電膜をエッチバックすることにより、平面視において、前記第1ゲート電極の第1方向における第1の側の第1側面に前記絶縁膜を介して前記導電膜を残して第2ゲート電極を形成し、前記第2ゲート電極と前記半導体基板との間、および、前記第2ゲート電極と前記第1ゲート電極との間の前記絶縁膜からなる第2ゲート絶縁膜を形成する工程、

を有し、

前記(a)工程では、前記主面側の第1領域、第2領域および第3領域を含む前記半導体基板を用意し、

前記第2領域は、平面視において、前記第1領域に対して前記第1方向における前記第1の側に配置され、

前記第3領域は、前記第1領域と前記第2領域との間に配置され、

前記(b)工程では、前記第1領域の第1上面上に前記第1ゲート電極を形成し、

前記(c)工程は、

(c1) 前記第2領域および前記第3領域をエッチングすることにより、前記第2領域の第2上面を、前記第1上面よりも低くし、前記第3領域に、前記第1上面と前記第2上面とを接続する第1接続面を形成する工程、

(c2) 前記(c1)工程の後、前記第2上面上、前記第1接続面上、および、前記第1ゲート電極の表面に、前記絶縁膜を形成する工程、

を含み、

前記（e）工程では、前記第2上面上に前記第2ゲート電極を形成し、

前記第1接続面の第1端部は、前記第2上面と接続され、

前記第1接続面の前記第1端部と反対側の第2端部は、前記第1上面と接続され、

前記第1端部は、前記第2端部に対して前記第1方向における前記第1の側に配置され、かつ、前記第2端部よりも下方に配置される、半導体装置の製造方法。

[請求項10]

請求項9記載の半導体装置の製造方法において、

（f）前記（b）工程の後、前記（c）工程の前に、前記第1ゲート電極の前記第1側面と反対側の第2側面に第1側壁部を形成する工程、

を有し、

前記（f）工程は、

（f1）前記半導体基板上に、前記第1ゲート電極を覆うように、第1膜を形成する工程、

（f2）前記第1膜をエッチバックすることにより、前記第1ゲート電極の前記第2側面に前記第1膜を残して前記第1側壁部を形成する工程、

を含み、

前記（c1）工程では、前記第1ゲート電極および前記第1側壁部をマスクとして前記第2領域および前記第3領域をエッチングすることにより、前記第2上面を、前記第1上面よりも低くし、

前記（c）工程は、さらに、

（c3）前記（c2）工程の後、前記第1側壁部を除去する工程、を含む、半導体装置の製造方法。

[請求項11]

請求項10記載の半導体装置の製造方法において、

前記（f 2）工程では、前記第1膜をエッチバックすることにより、前記第1ゲート電極の前記第2側面に前記第1側壁部を形成し、前記第1ゲート電極の前記第1側面に前記第1膜を残して第2側壁部を形成し、

前記（f）工程は、さらに、

（f 3）前記半導体基板上に、前記第1側壁部および前記第2側壁部を覆うように、マスク膜を形成する工程、

（f 4）前記マスク膜をパターンニングし、前記第1側壁部を覆う前記マスク膜からなるマスクパターンを形成し、前記第2側壁部を前記マスク膜から露出させる工程、

（f 5）前記（f 4）工程の後、前記第2側壁部を除去する工程、

（f 6）前記（f 5）工程の後、前記マスクパターンを除去する工程、

を含む、半導体装置の製造方法。

[請求項12]

請求項9記載の半導体装置の製造方法において、

前記（a）工程では、前記主面側の第4領域を含む前記半導体基板を用意し、

前記第4領域は、平面視において、前記第1領域に対して前記第1方向における前記第1の側と反対側に配置され、

前記半導体装置の製造方法は、さらに、

（g）前記（b）工程の後、前記（c）工程の前に、前記第4領域の表面を酸化することにより、前記第4領域の第3上面を、前記第1領域の前記第1上面よりも低くする工程、

を有し、

前記（c 1）工程では、前記第2領域および前記第3領域をエッチングすることにより、前記第2上面を、前記第3上面よりも低くする、半導体装置の製造方法。

[請求項13]

請求項12記載の半導体装置の製造方法において、

前記（a）工程では、前記主面側の第5領域を含む前記半導体基板を用意し、

前記第5領域は、前記第1領域と前記第4領域との間に配置され、

前記（g）工程では、前記第5領域に、前記第1上面と前記第3上面とを接続する第2接続面を形成し、

前記第2接続面の第3端部は、前記第3上面と接続され、

前記第2接続面の前記第3端部と反対側の第4端部は、前記第1上面と接続され、

前記第3端部は、前記第4端部に対して前記第1方向における前記第1の側と反対側に配置され、かつ、前記第4端部よりも下方に配置される、半導体装置の製造方法。

[請求項14] 請求項13記載の半導体装置の製造方法において、

前記第1接続面が前記第2上面となす鋭角の角度は、前記第2接続面が前記第3上面となす鋭角の角度よりも大きい、半導体装置の製造方法。

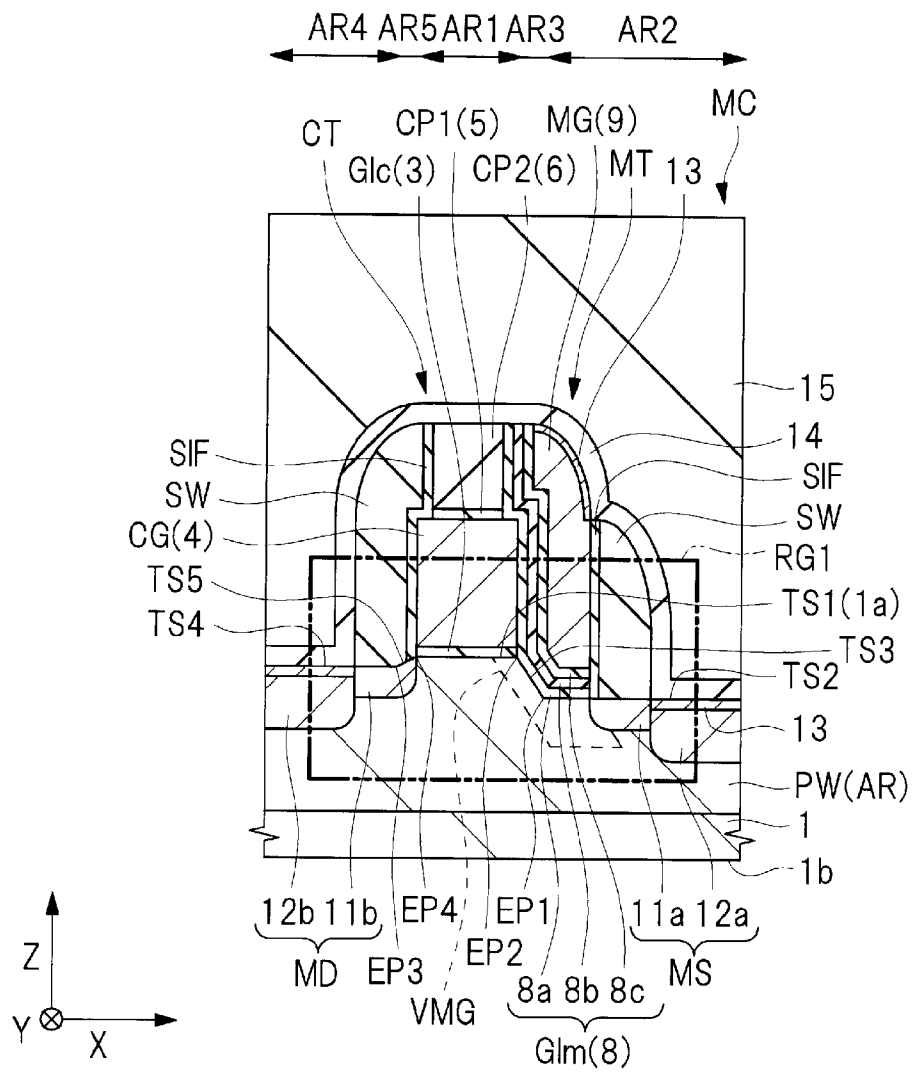
[請求項15] 請求項9記載の半導体装置の製造方法において、

前記（b）工程では、前記第1ゲート電極上にキャップ絶縁膜を形成し、

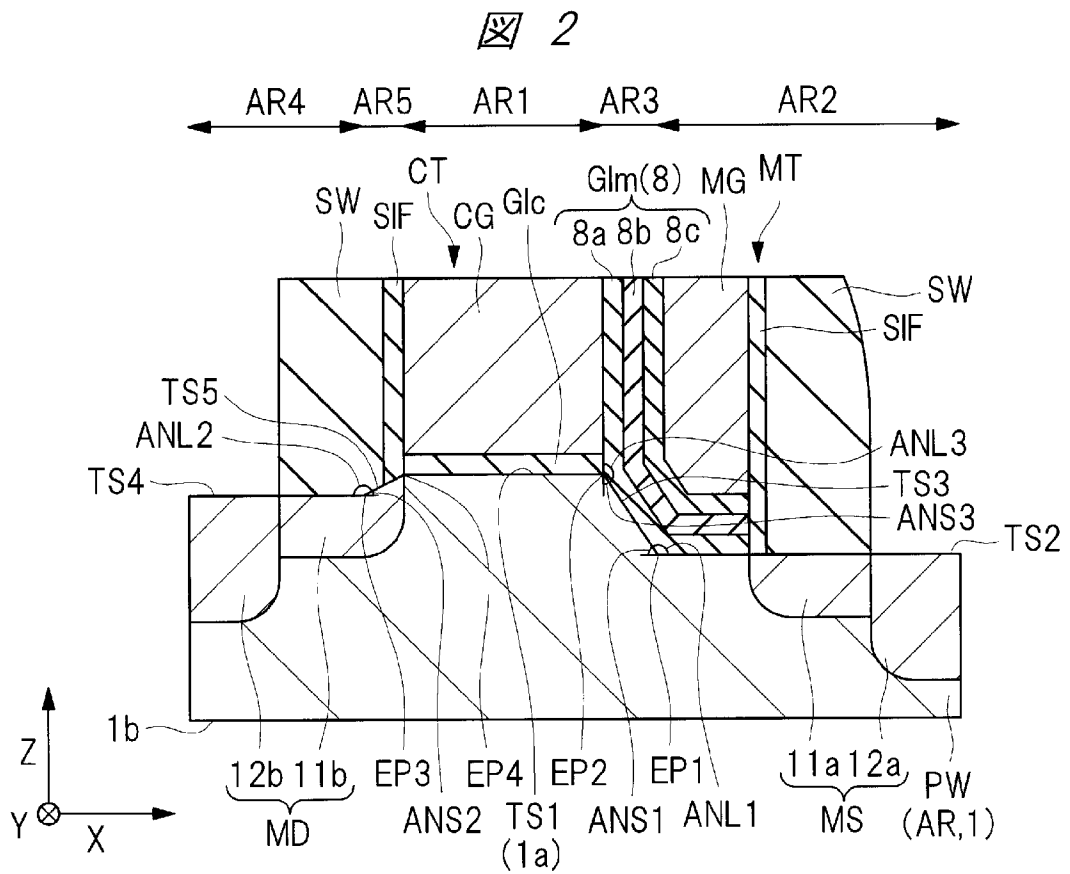
前記（c1）工程では、前記キャップ絶縁膜をマスクとして前記第2領域および前記第3領域をエッチングすることにより、前記第2上面を、前記第1上面よりも低くする、半導体装置の製造方法。

[図1]

図 1

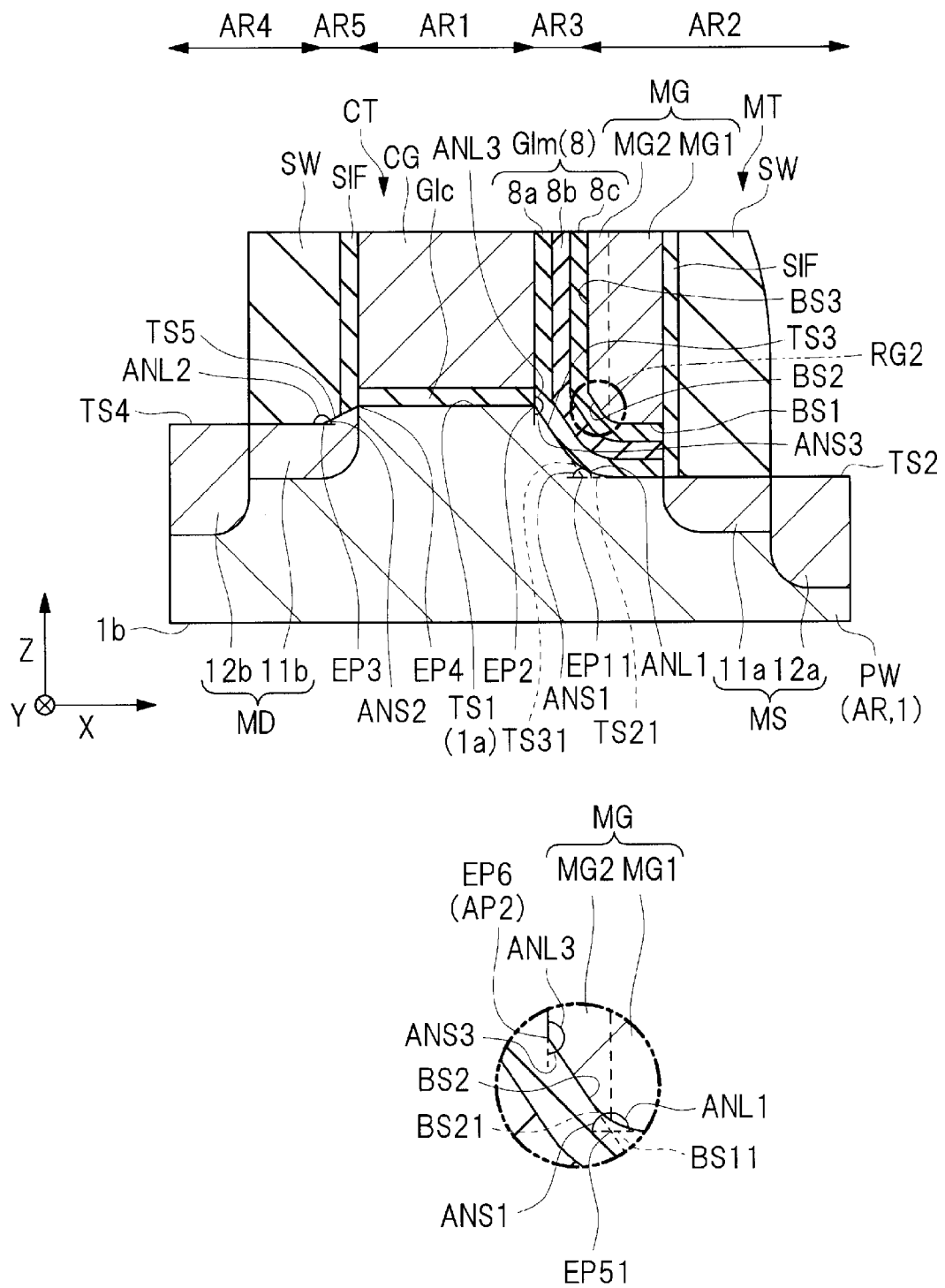


[図2]

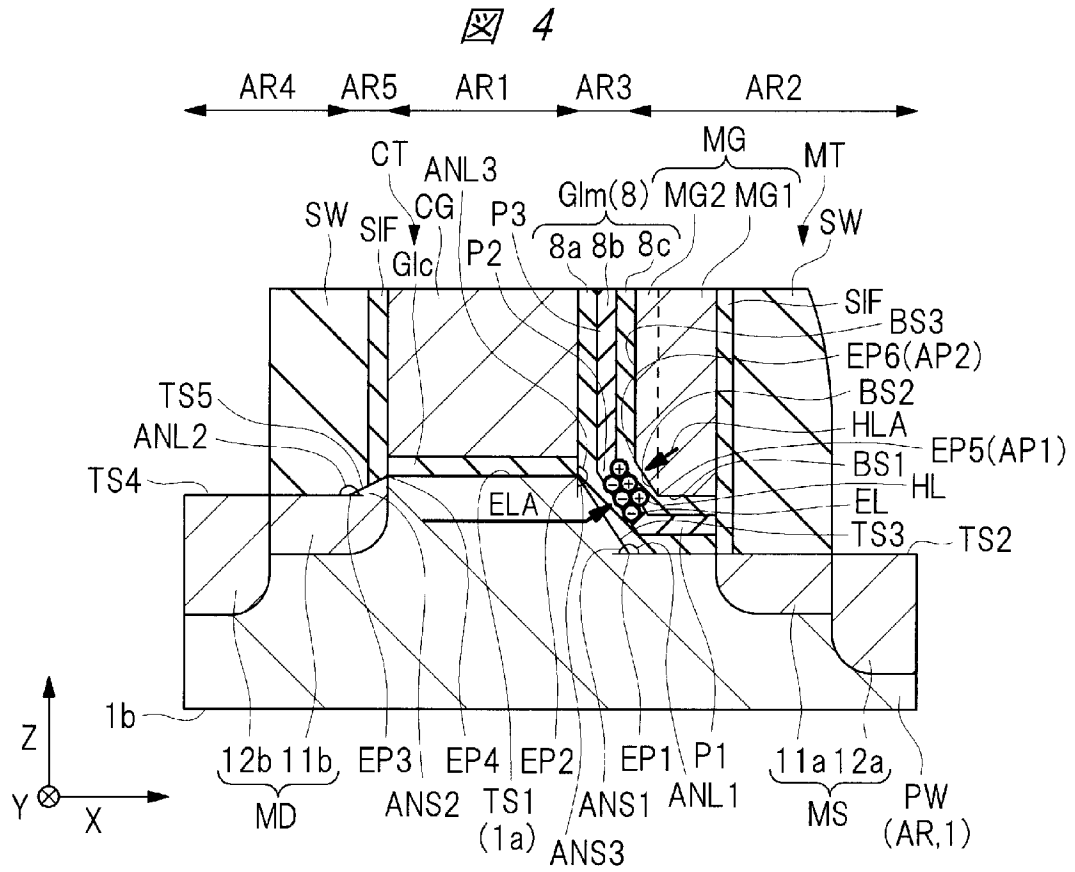


[図3]

図 3

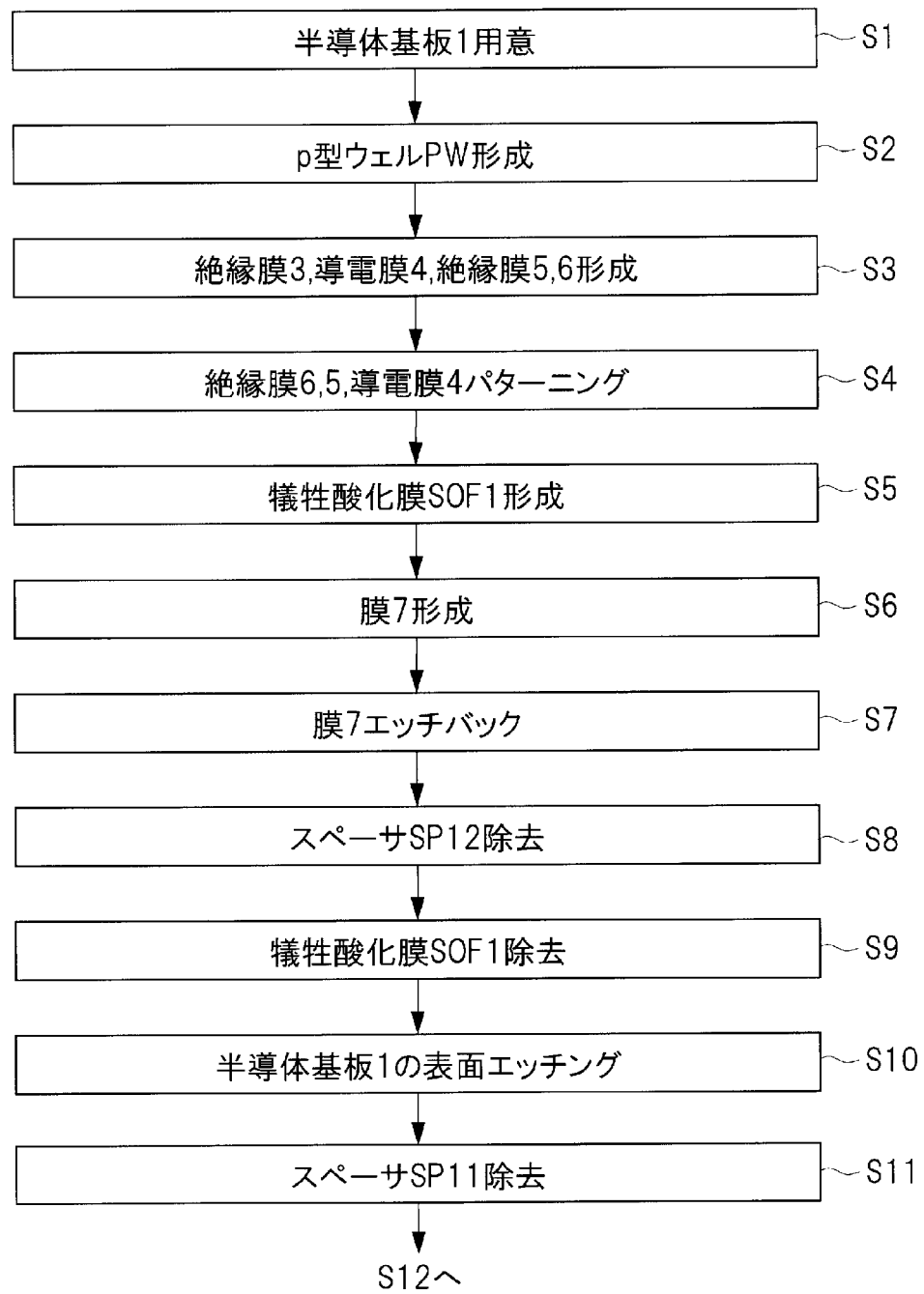


[図4]



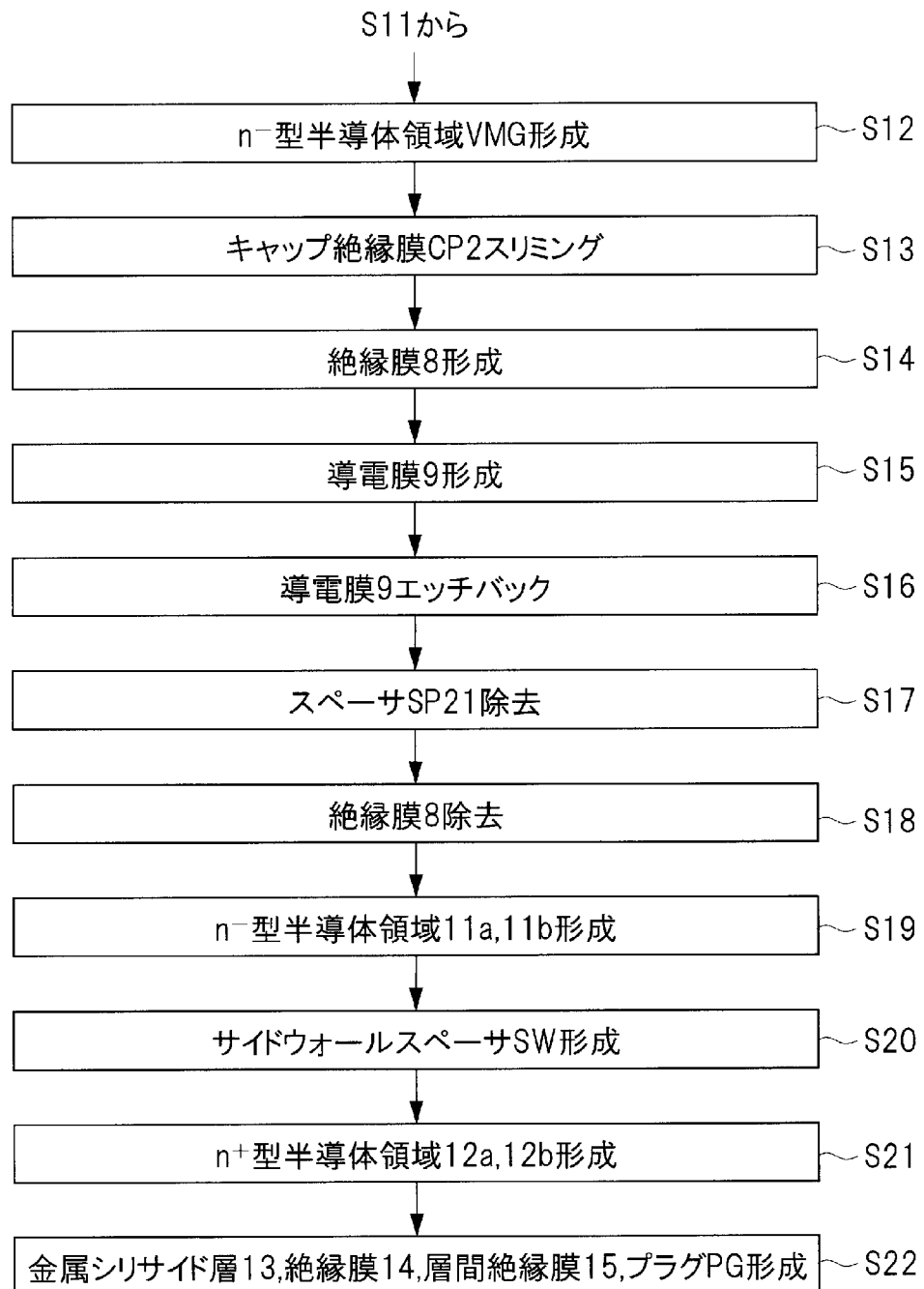
[図5]

図 5

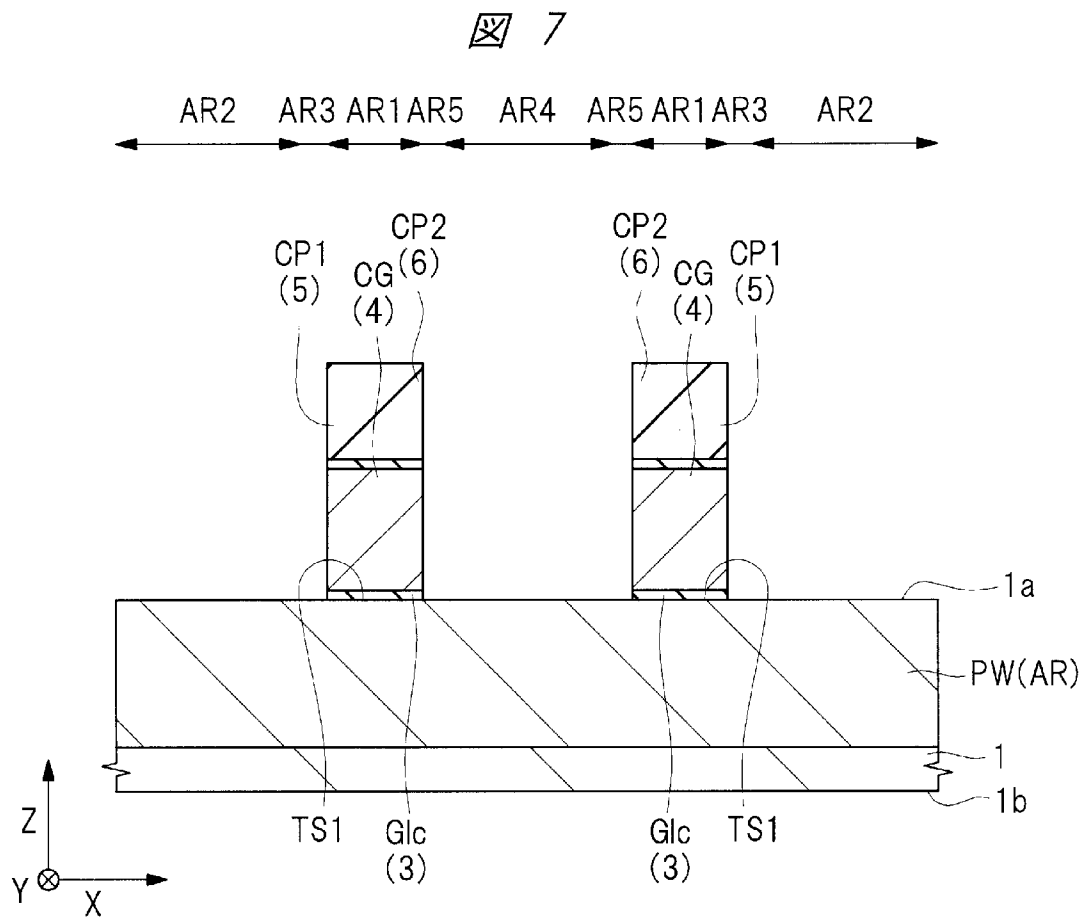


[図6]

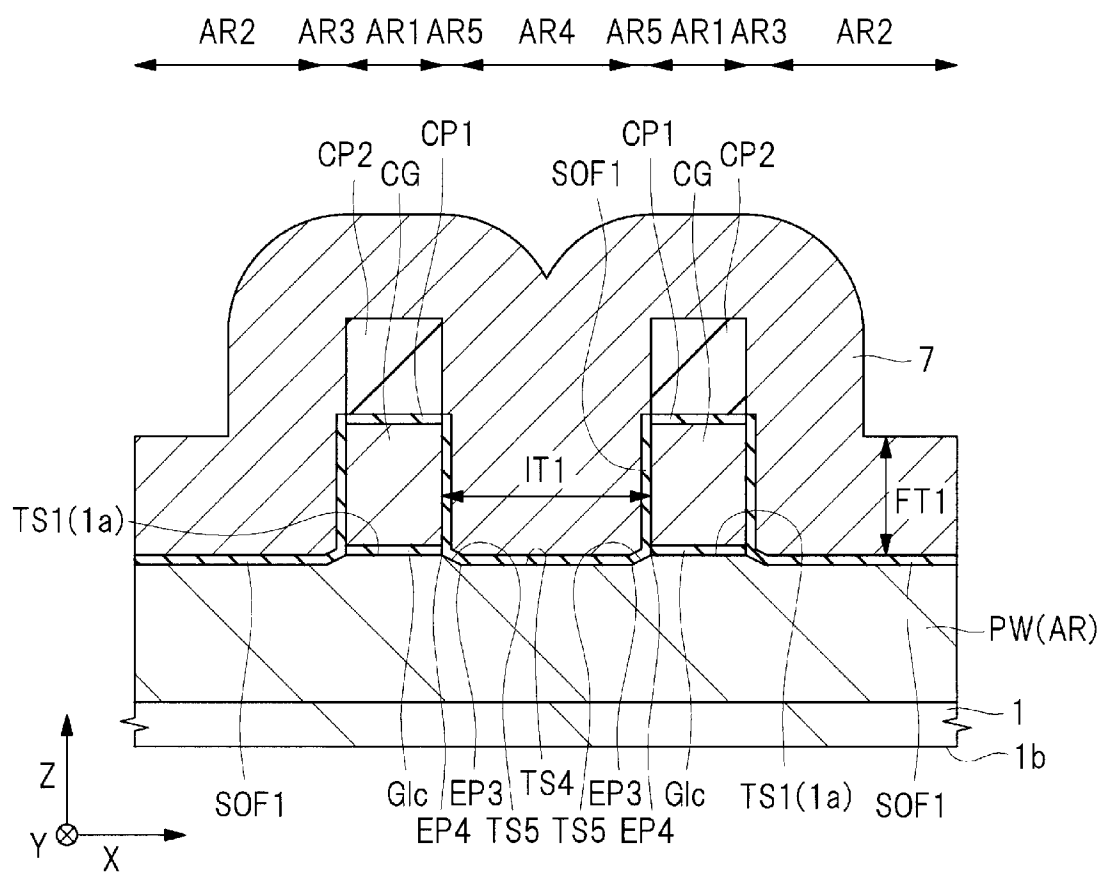
図 6



[図7]

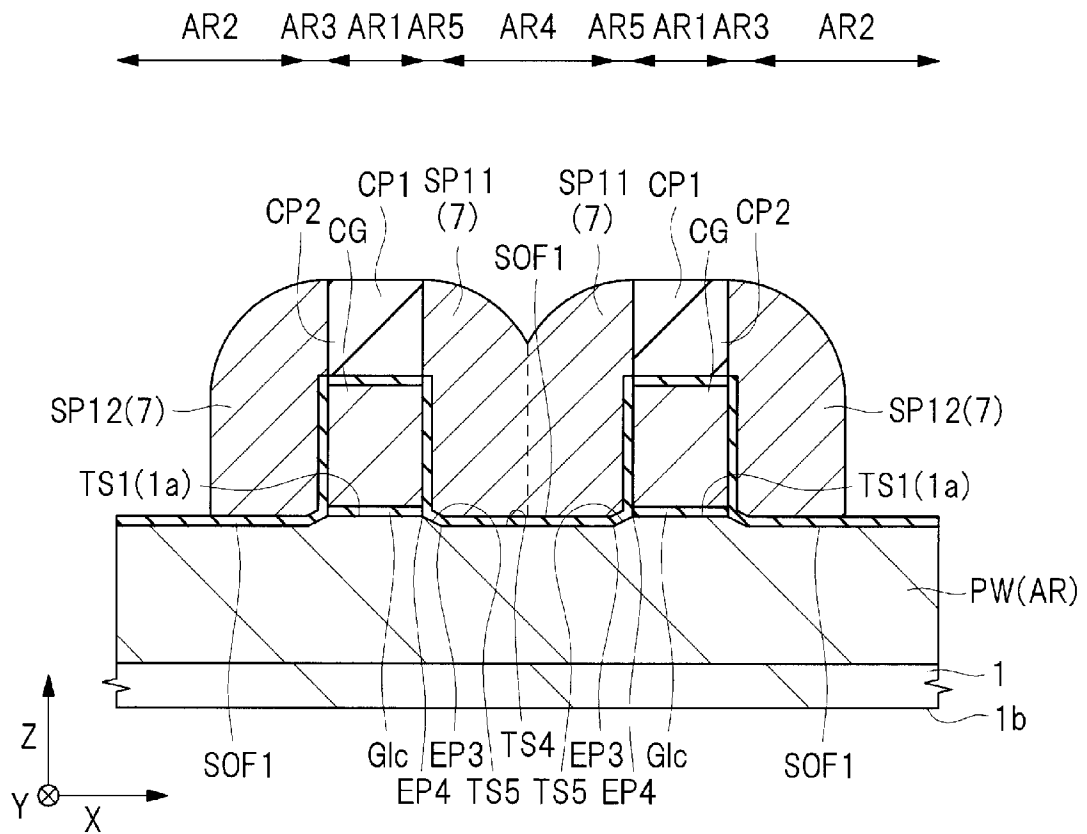


 8



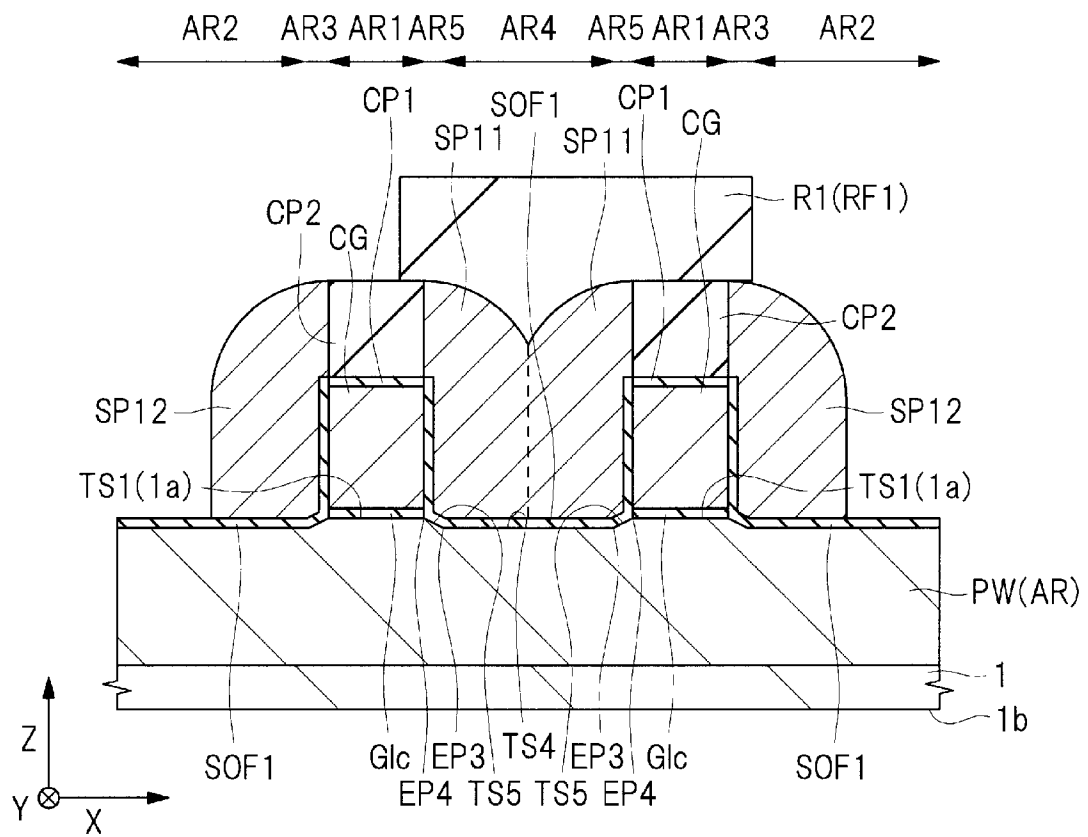
[図9]

図 9



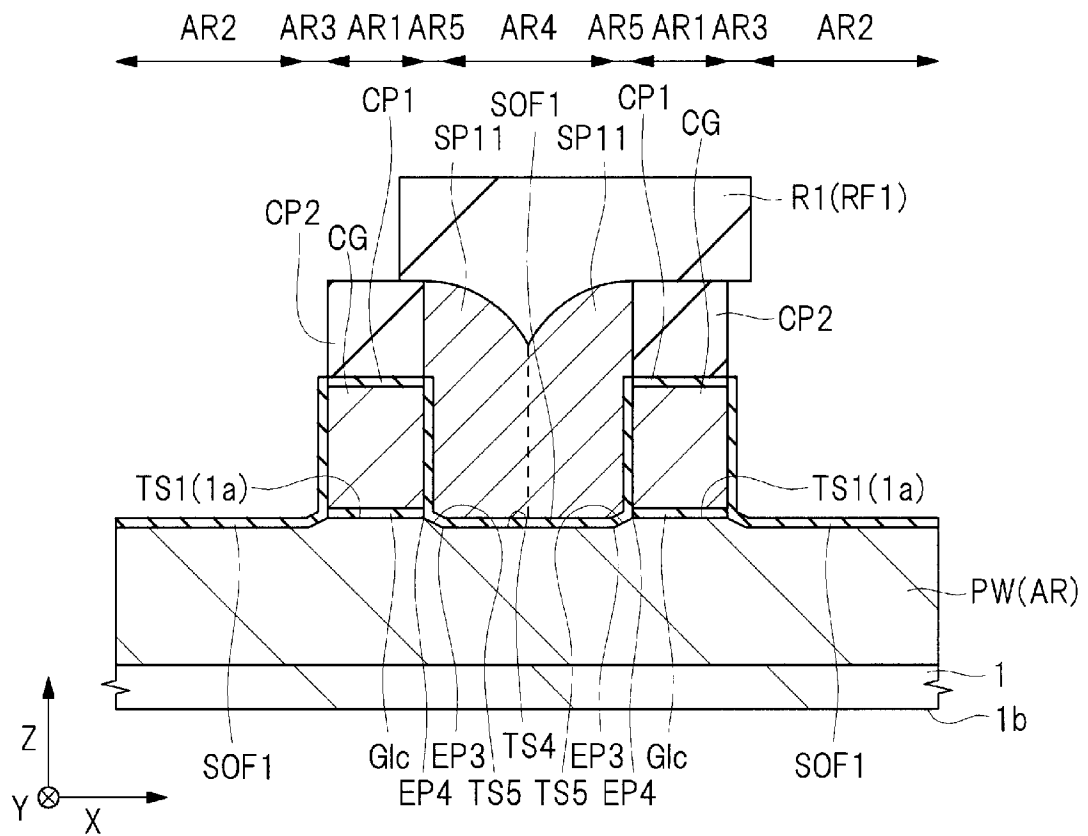
[図10]

図 10



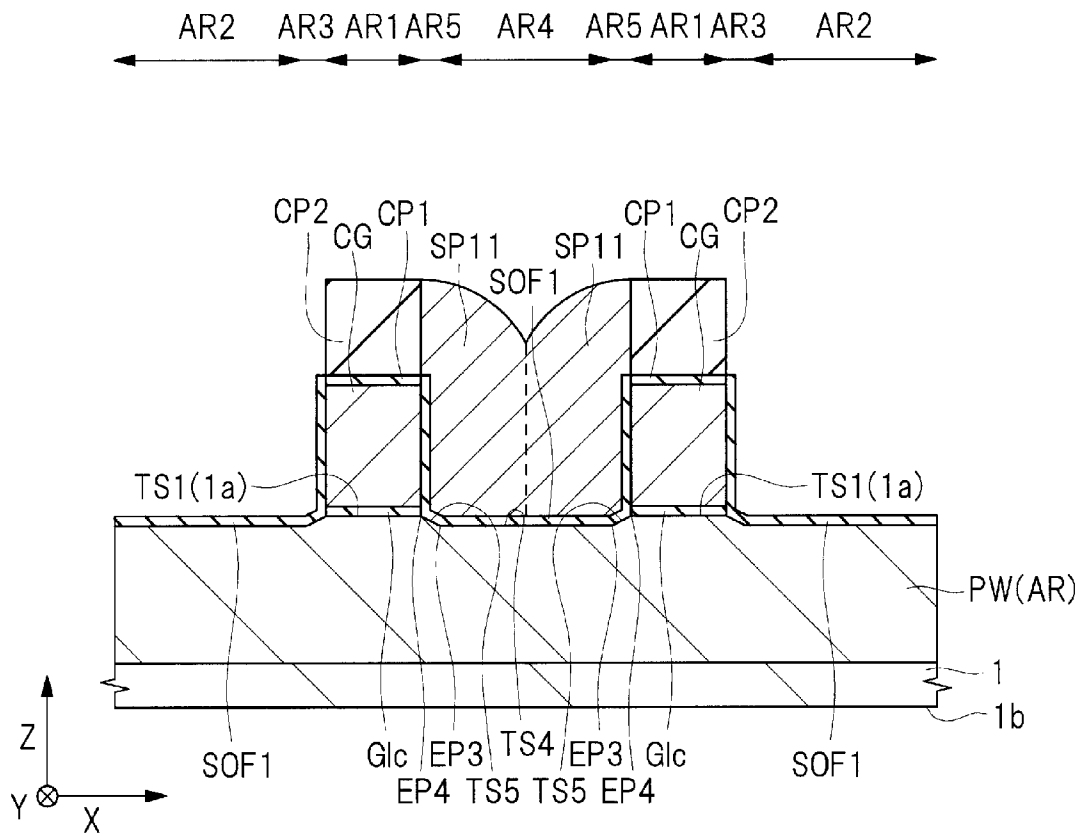
[図11]

図 11



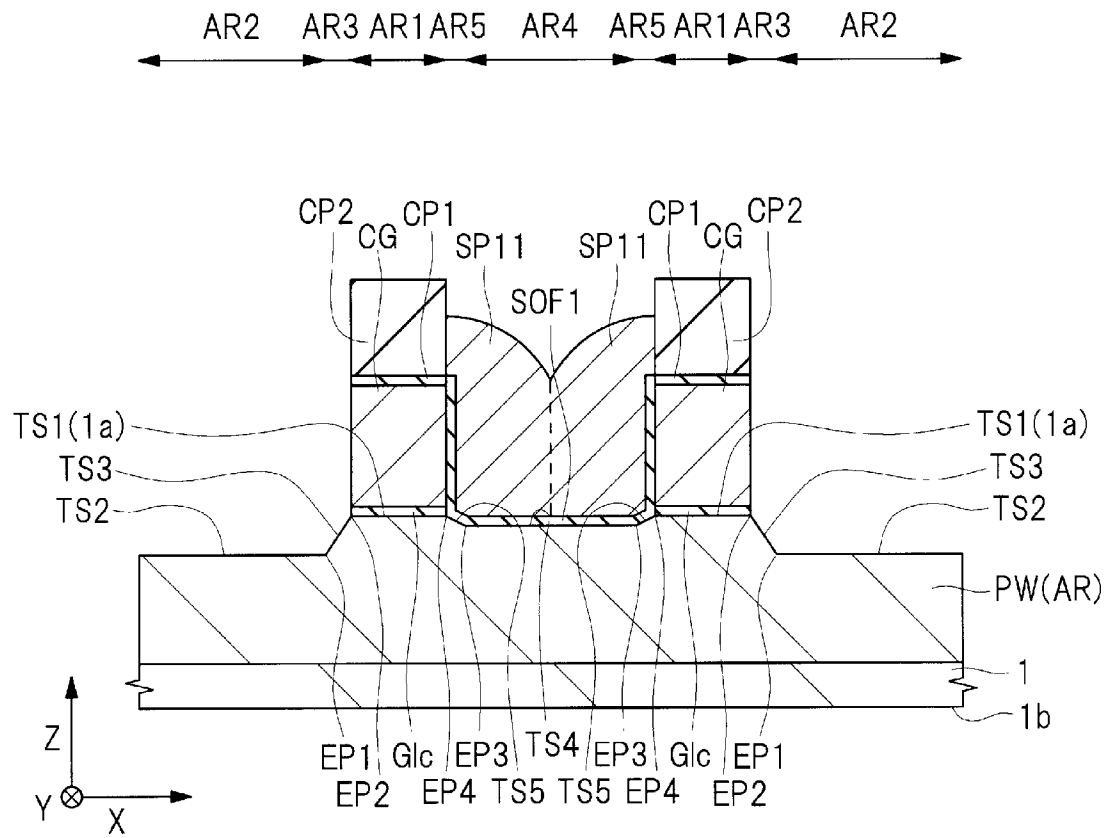
[図12]

図 12



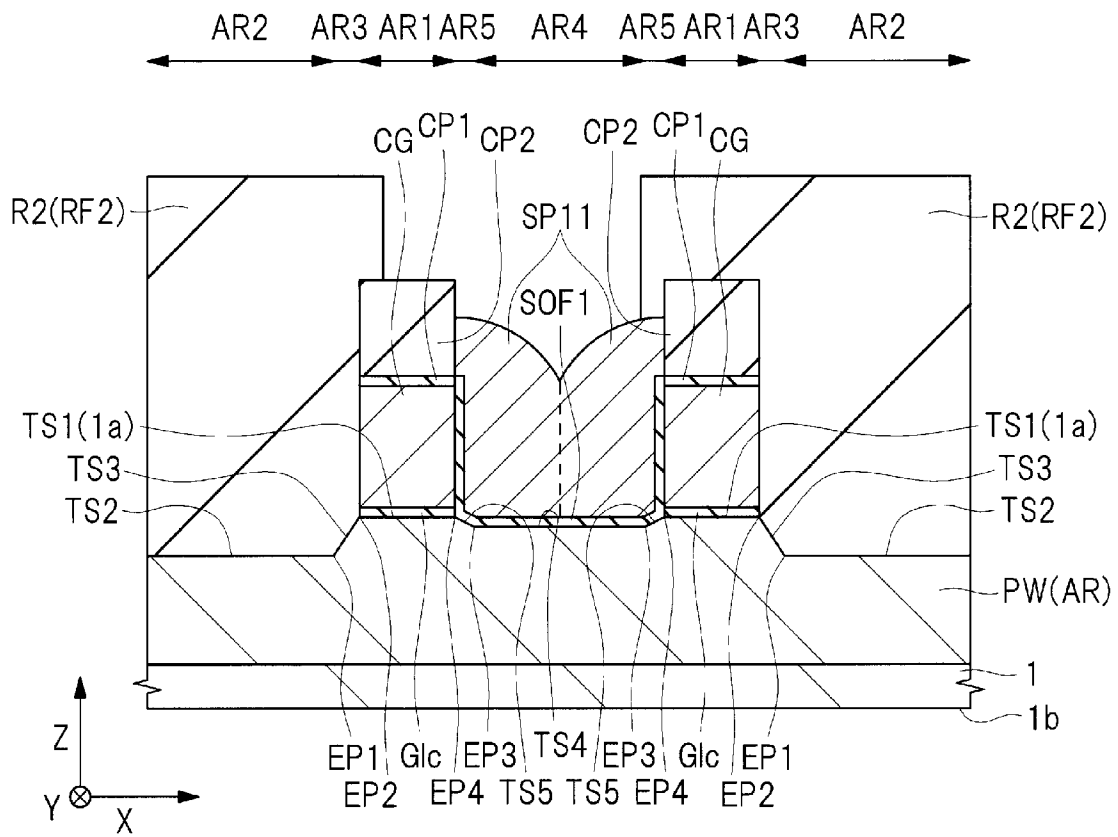
[図13]

図 13



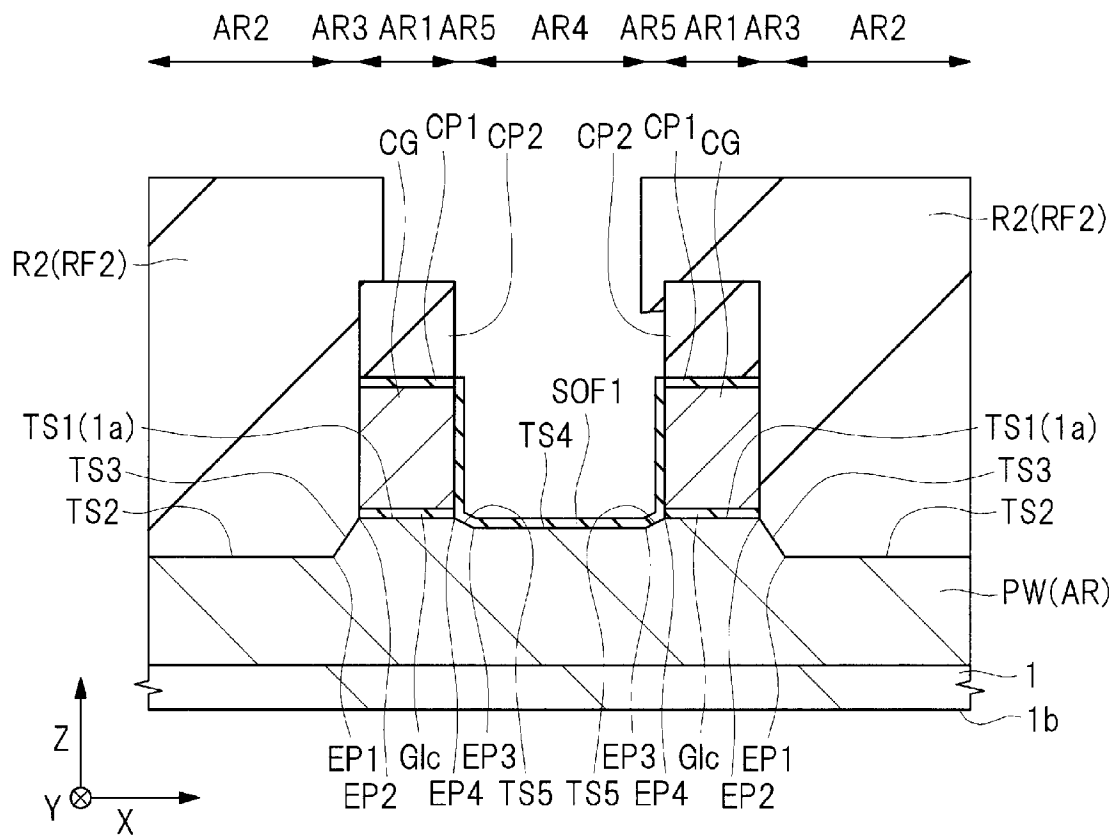
[図14]

図 14



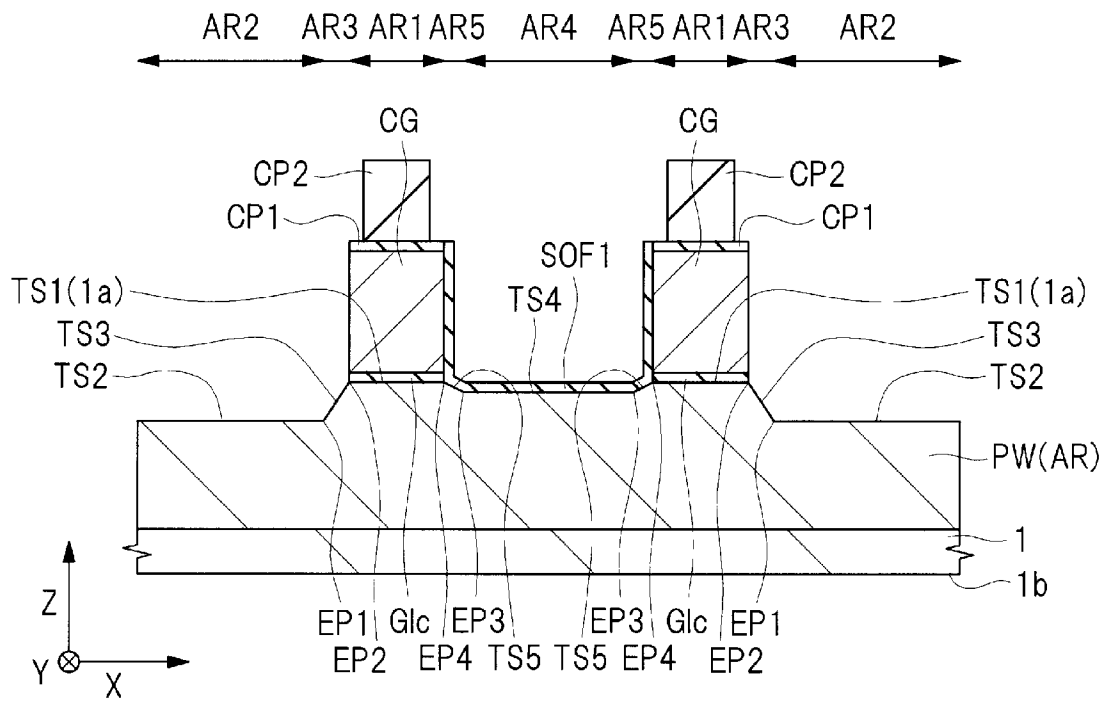
[図15]

図 15



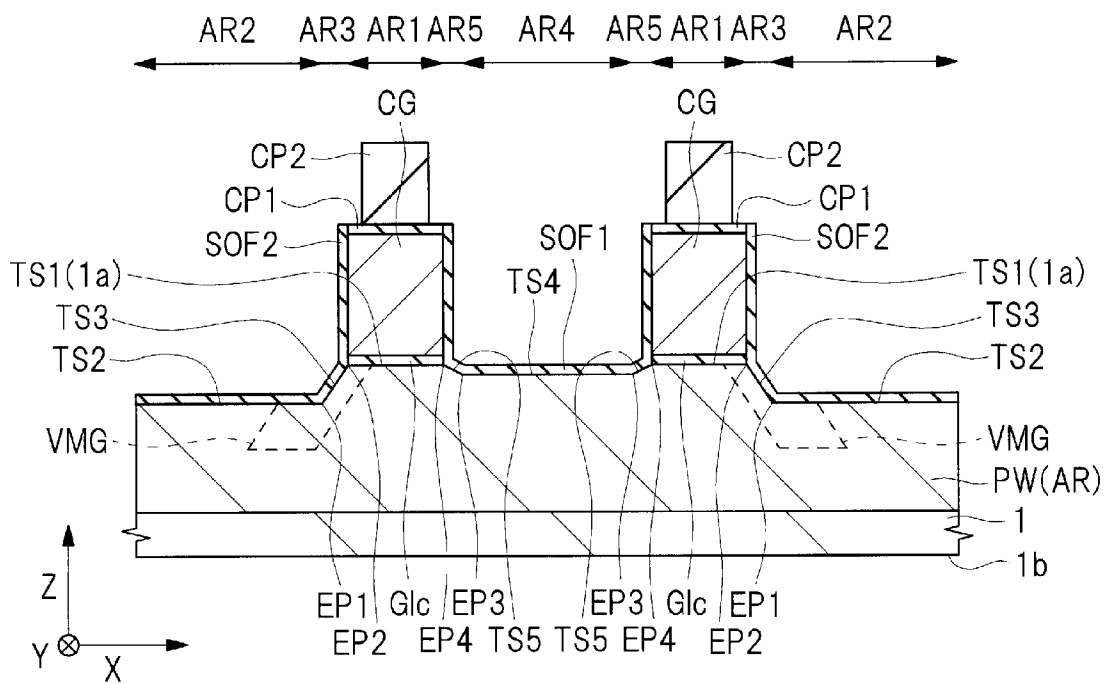
[図16]

図 16

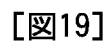


[図17]

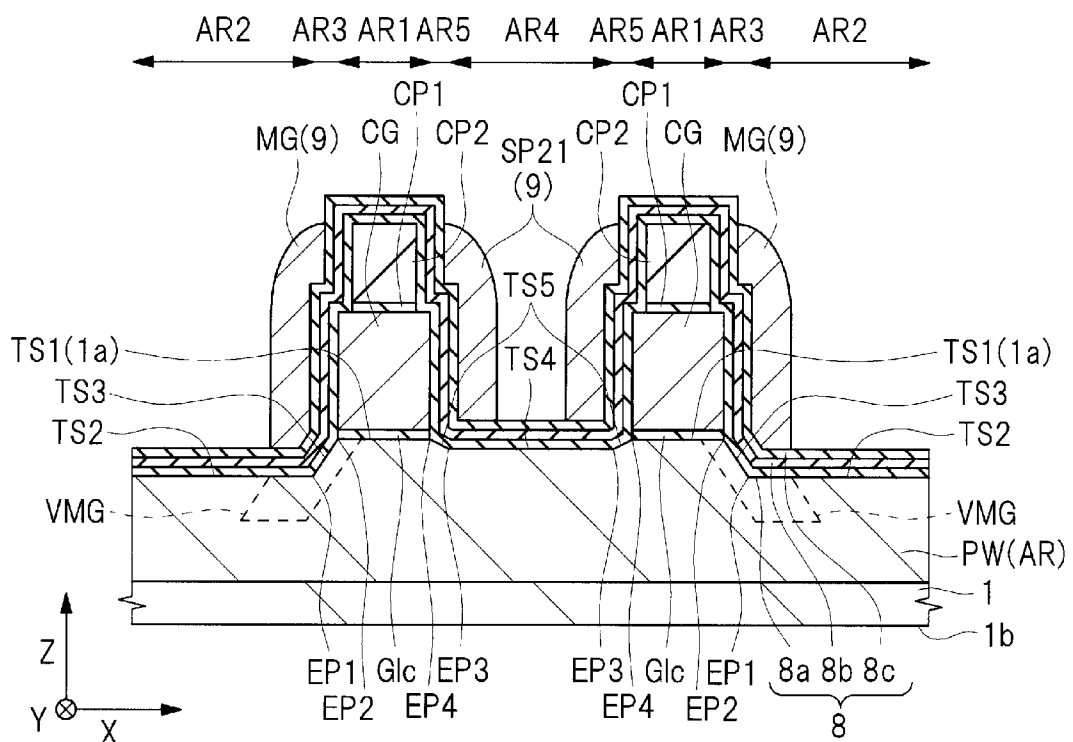
図 17



18

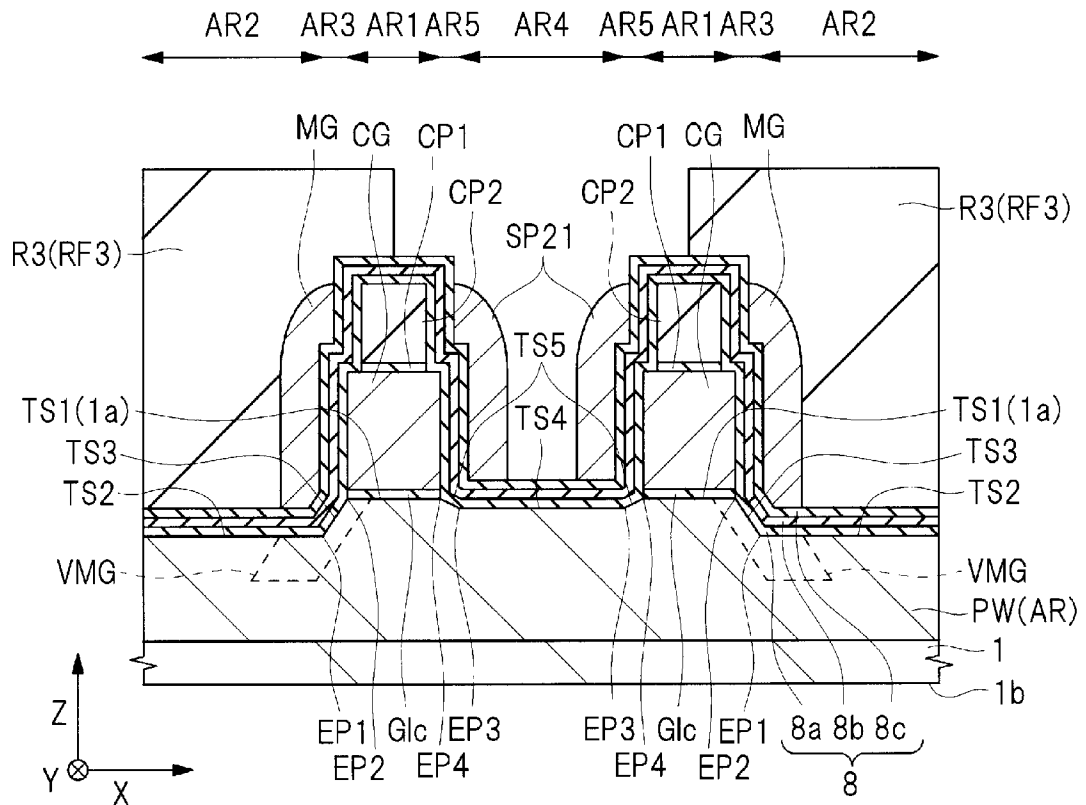


19



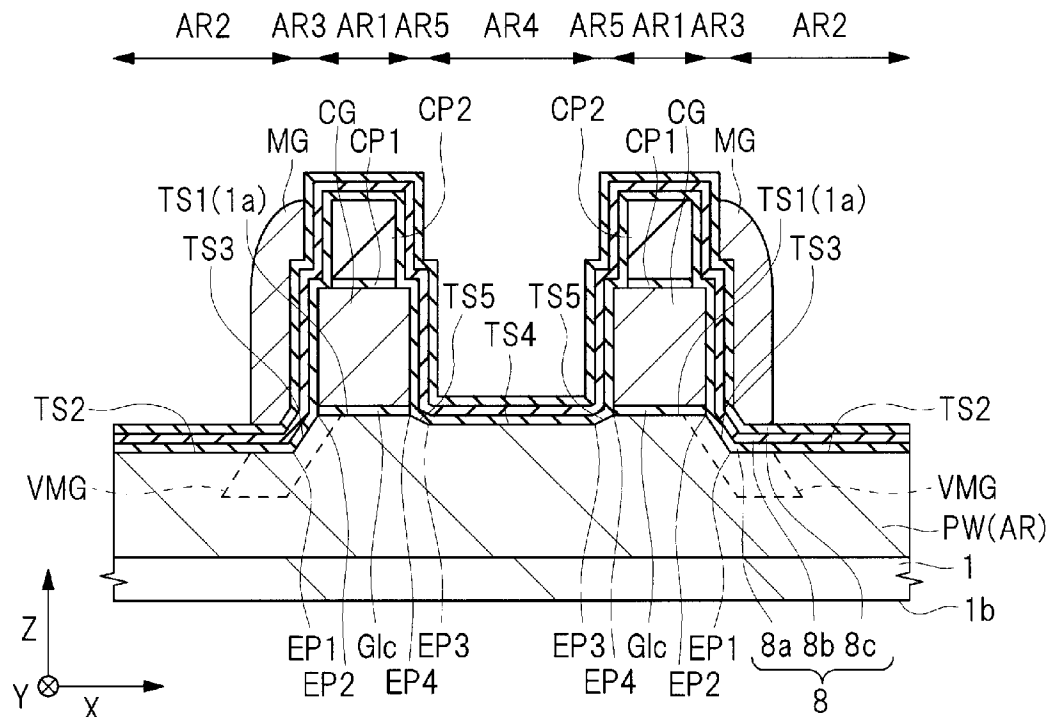
[図20]

図 20



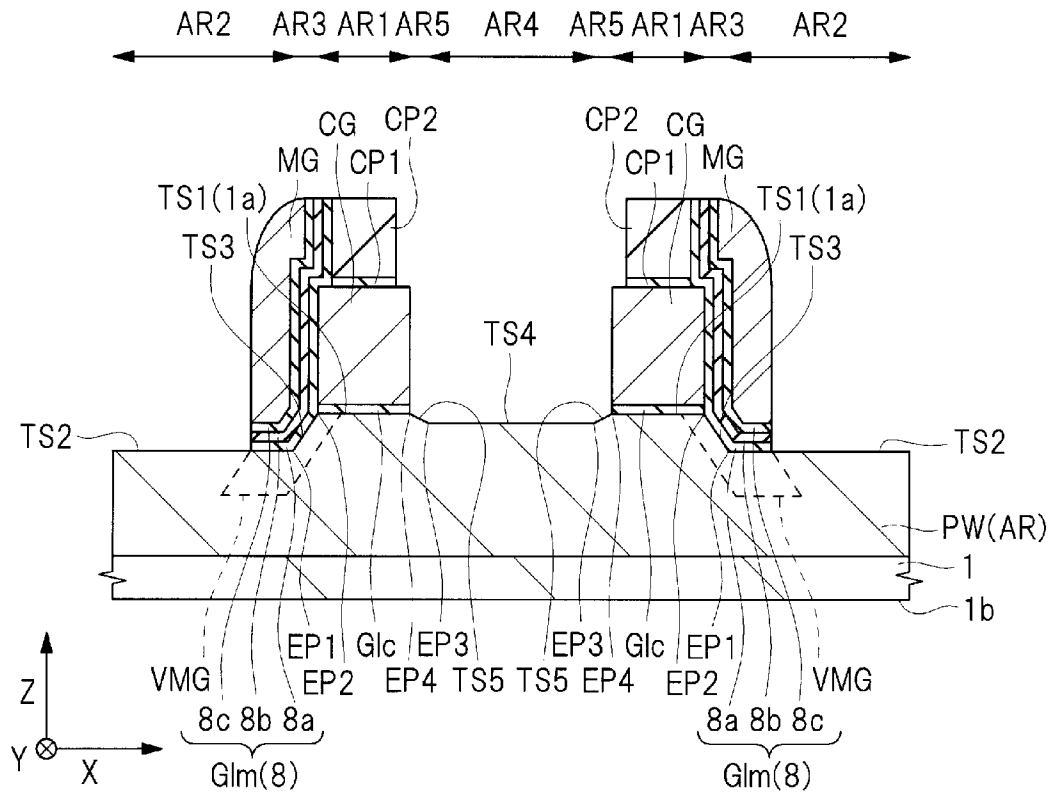
[図21]

図 21



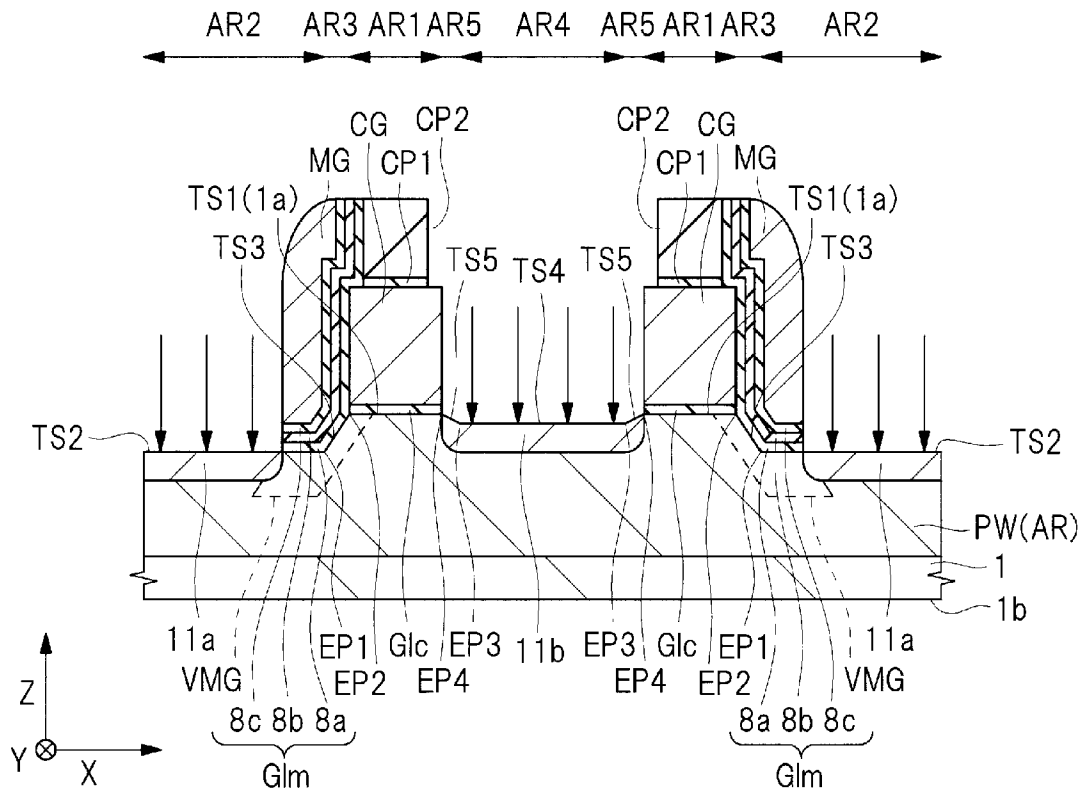
[図22]

図 22



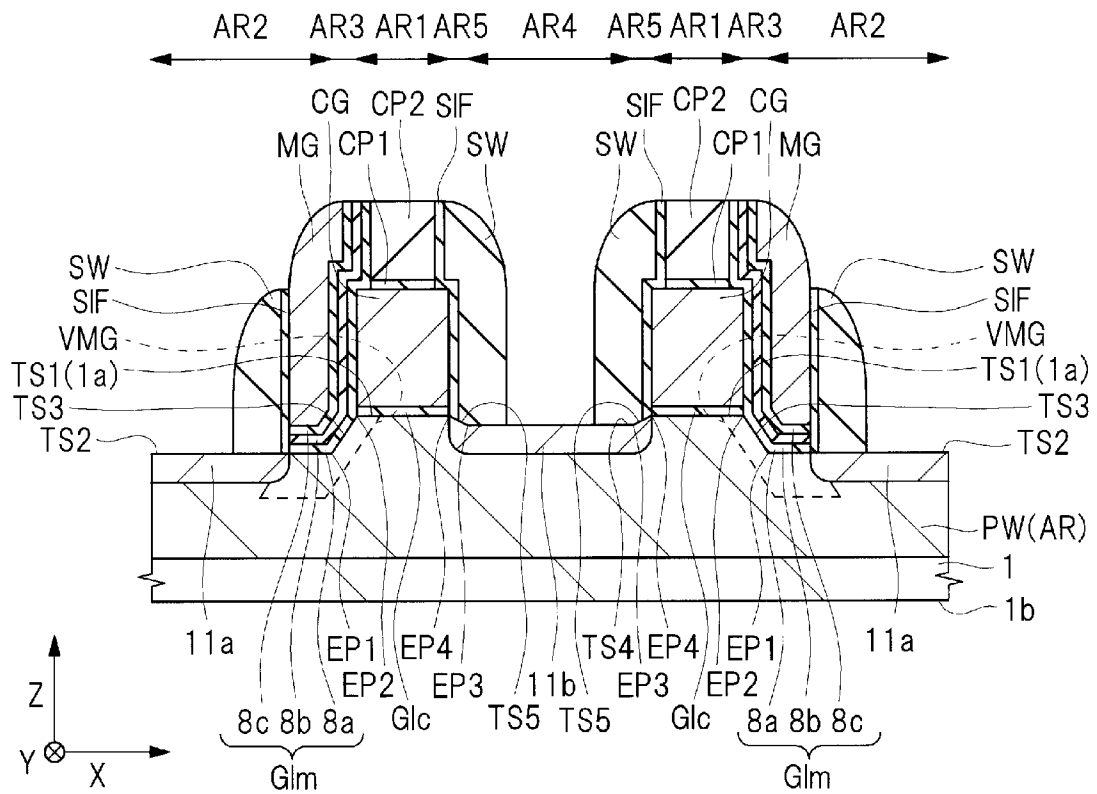
[図23]

図 23



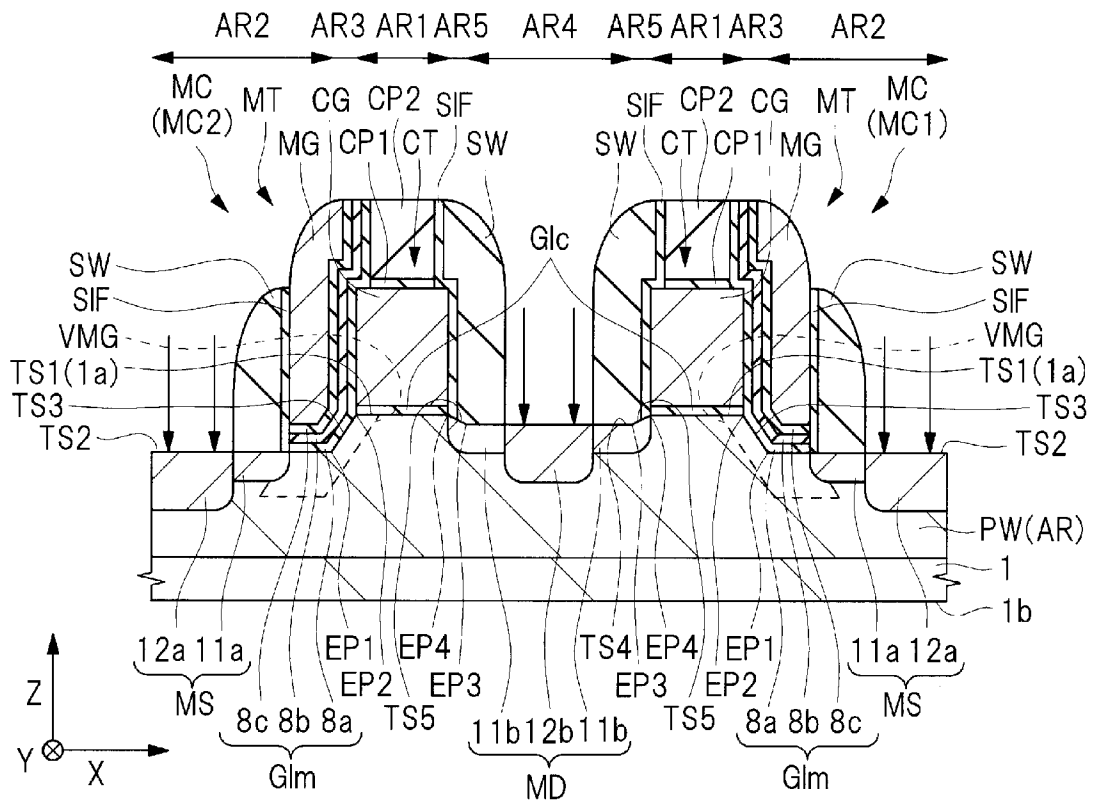
[図24]

図 24



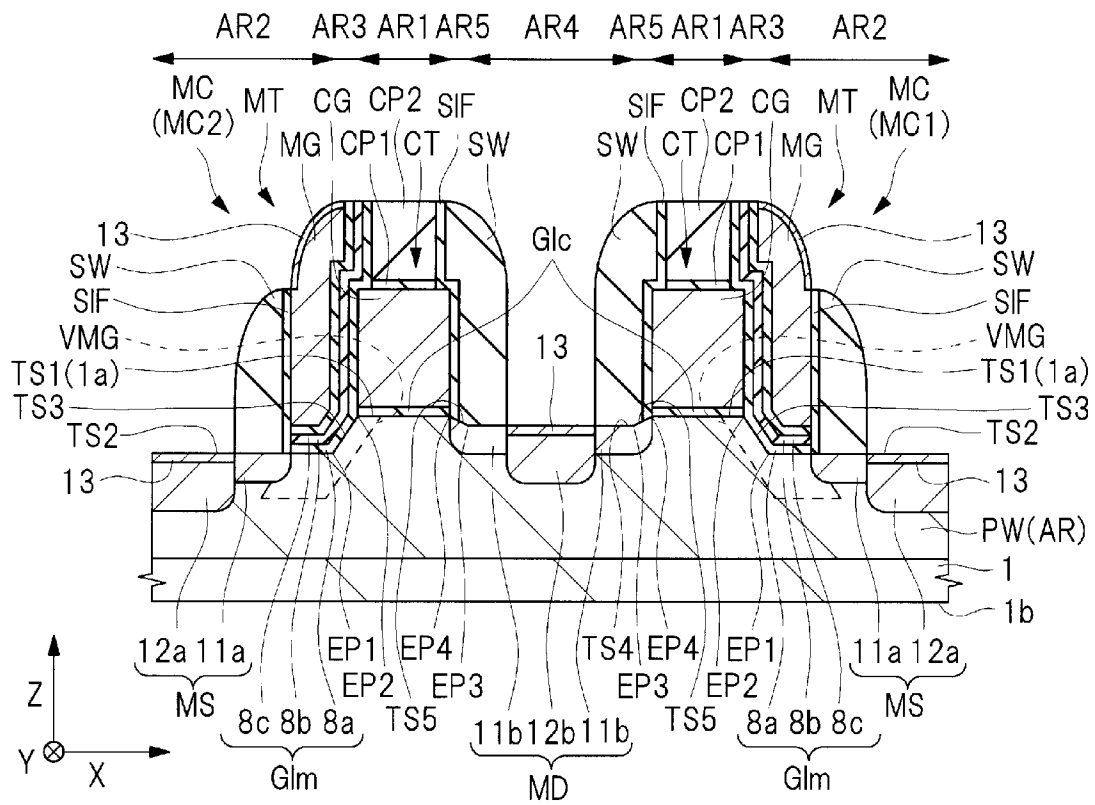
[図25]

図 25



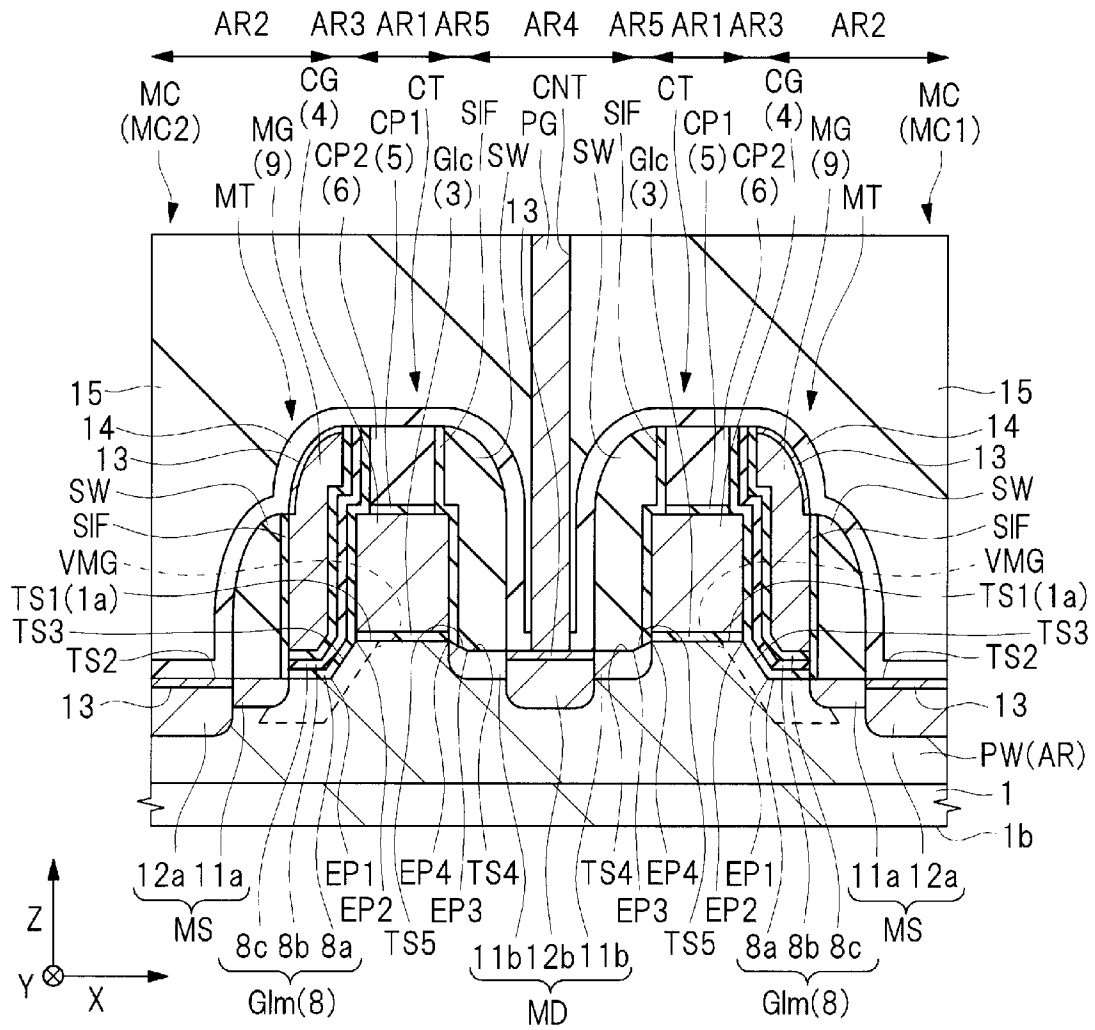
[図26]

図 26



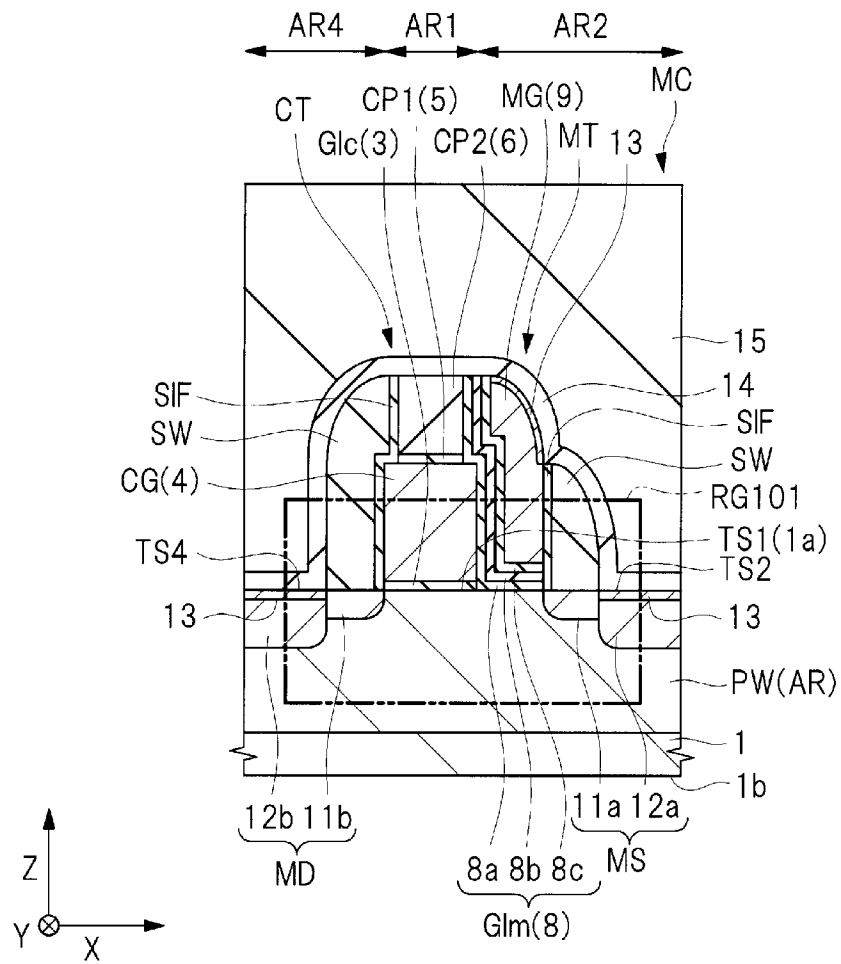
[図27]

図 27

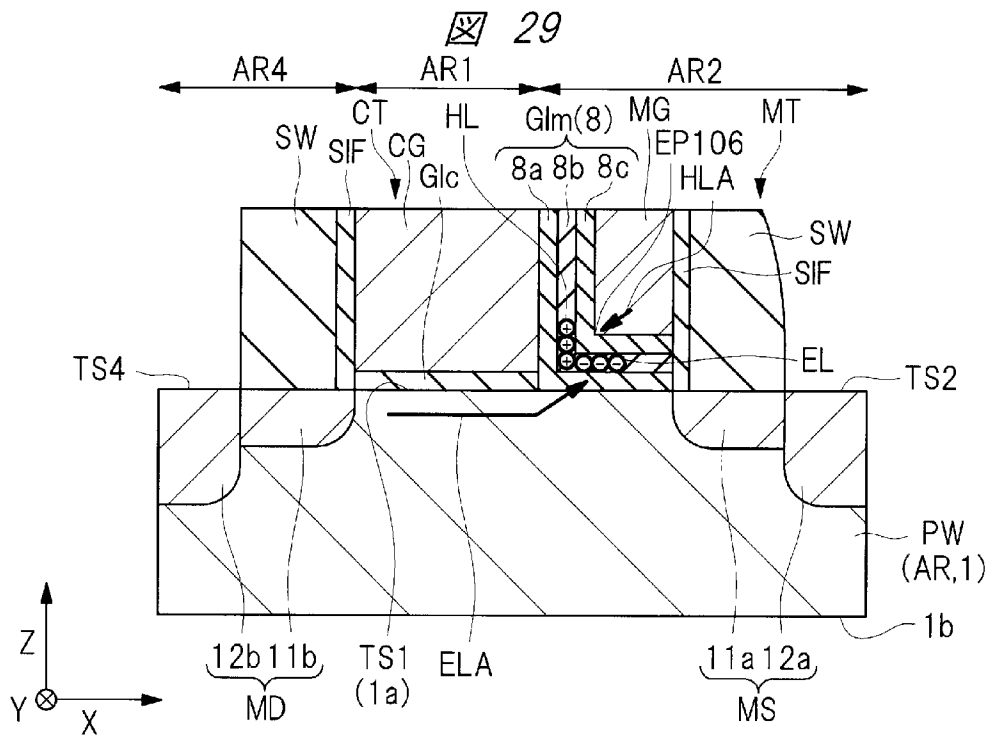


[図28]

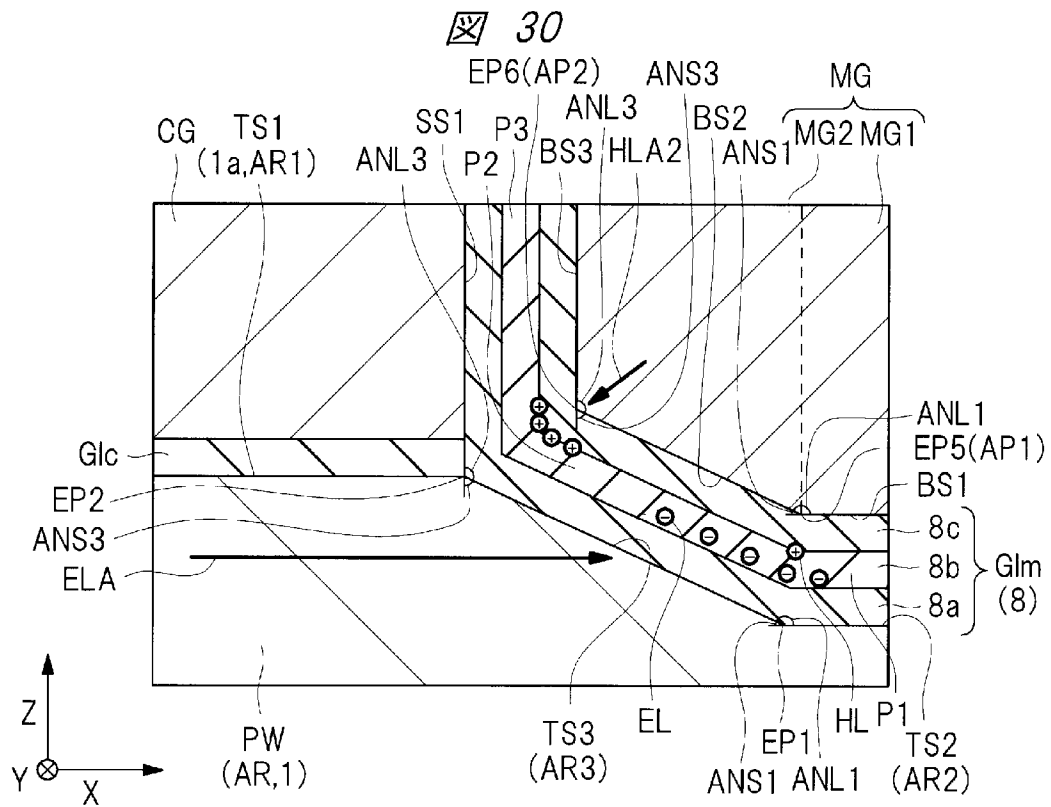
図 28



[図29]

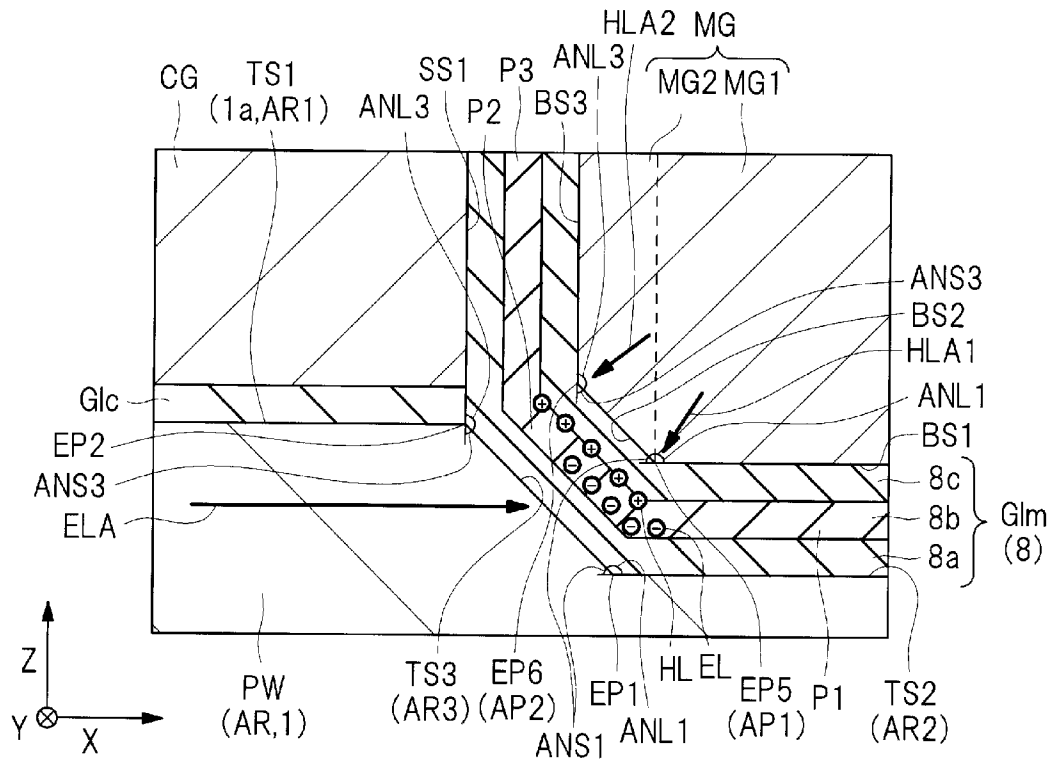


[図30]



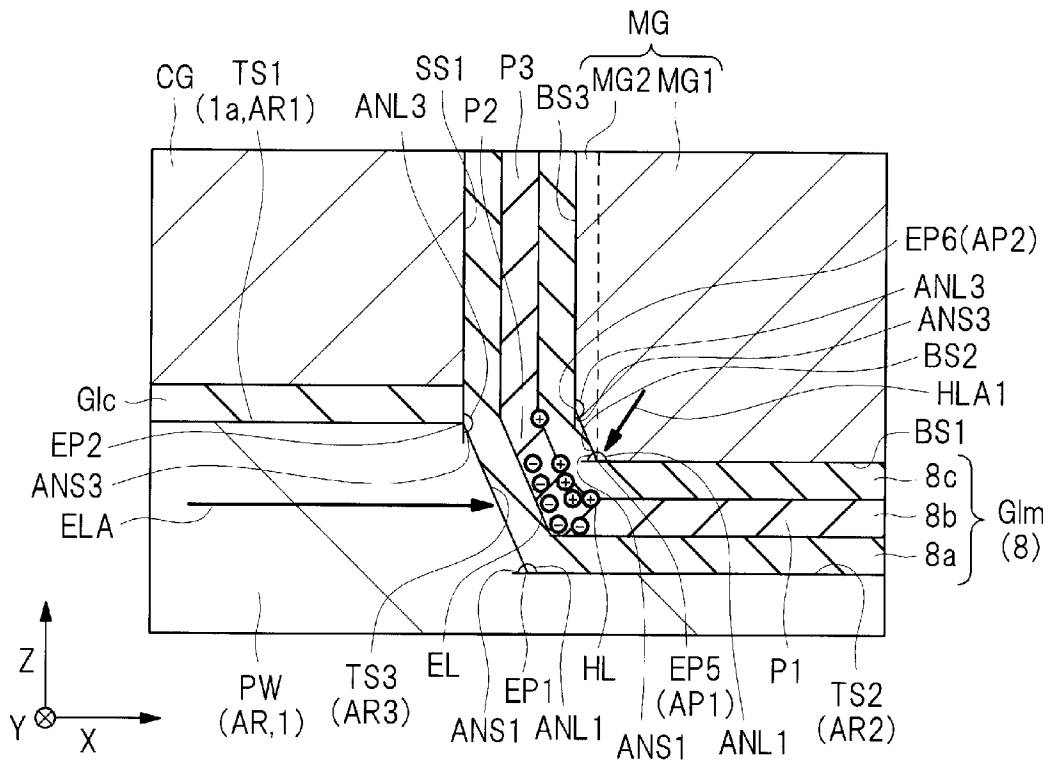
[図31]

図 31



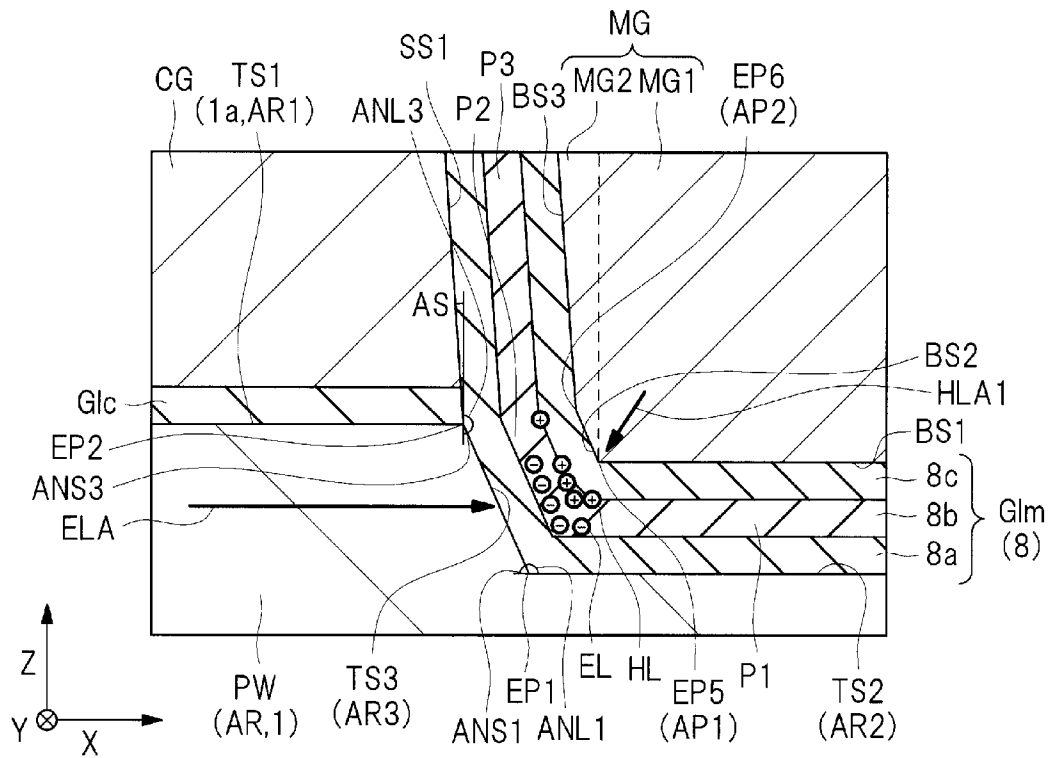
[図32]

図 32



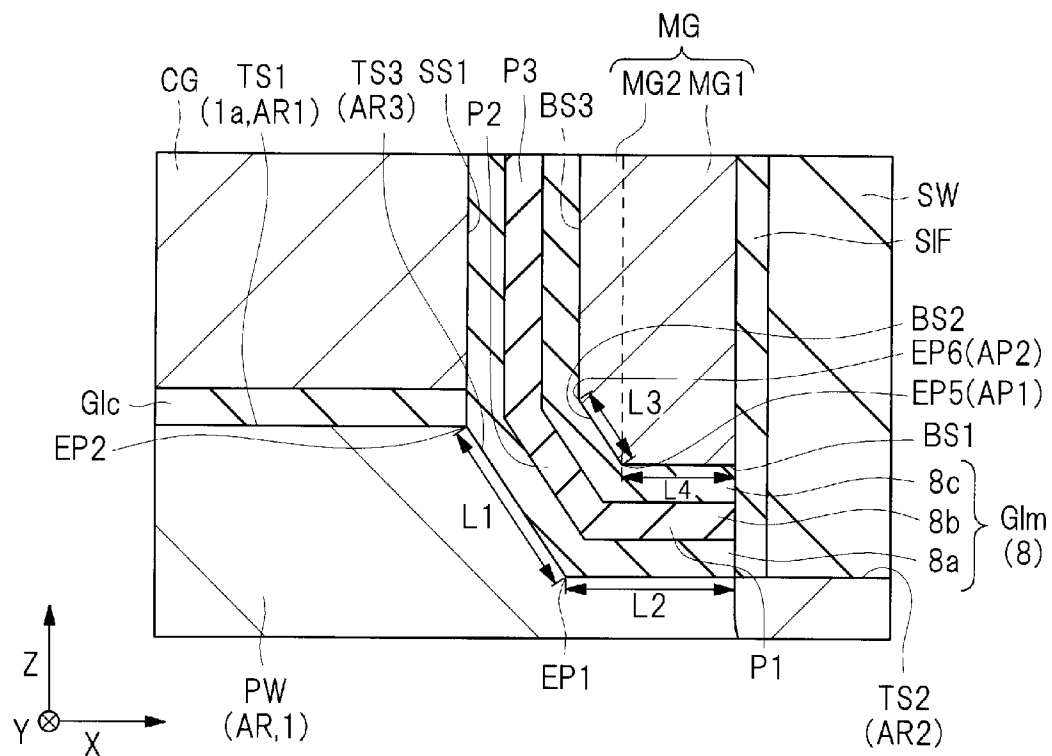
[図33]

図 33



[図34]

図 34



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060023

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L27/115(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-303918 A (Renesas Technology Corp.), 28 October 2004 (28.10.2004), paragraphs [0062] to [0066]; fig. 1 to 85 & US 2004/0188753 A1	1-3, 8, 9 4-7, 10-15
X A	WO 2008/059768 A1 (NEC Corp.), 22 May 2008 (22.05.2008), page 7, line 14 to page 8, line 9; page 13, lines 5 to 27; fig. 1 to 22 & JP 2013-58795 A & US 2010/0025753 A1	1, 8, 9 2-7, 10-15
X A	JP 2001-148434 A (Kabushiki Kaisha New Heiro), 29 May 2001 (29.05.2001), paragraphs [0113], [0132]; fig. 1 to 35 & US 6388293 B1 & WO 2002/080283 A1 & EP 1378944 A1	1, 8 2-7, 9-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 June 2015 (11.06.15)

Date of mailing of the international search report
23 June 2015 (23.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060023

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-53498 A (Renesas Technology Corp.), 06 March 2008 (06.03.2008), paragraphs [0010] to [0067]; fig. 1 to 30 & US 2008/0048249 A1	1-15
A	JP 2001-168219 A (Sony Corp.), 22 June 2001 (22.06.2001), paragraphs [0084] to [0110]; fig. 1 to 20 (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/8247(2006.01)i, H01L27/115(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8247, H01L27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2004-303918 A（株式会社ルネサステクノロジ） 2004.10.28, 段落 0062-0066, 第 1-85 図 & US 2004/0188753 A1	1-3, 8, 9 4-7, 10-15
X A	WO 2008/059768 A1（日本電気株式会社） 2008.05.22, 7 頁 14 行目-8 頁 9 行目, 13 頁 5-27 行目, 第 1-22 図 & JP 2013-58795 A & US 2010/0025753 A1	1, 8, 9 2-7, 10-15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

1 1 . 0 6 . 2 0 1 5

国際調査報告の発送日

2 3 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小山 満

5 0

9 4 5 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2001-148434 A (株式会社ニューヘイロ) 2001.05.29, 段落 0113, 0132, 第 1-35 図 & US 6388293 B1 & WO 2002/080283 A1 & EP 1378944 A1	1, 8 2-7, 9-15
A	JP 2008-53498 A (株式会社ルネサステクノロジ) 2008.03.06, 段落 0010-0067, 第 1-30 図 & US 2008/0048249 A1	1-15
A	JP 2001-168219 A (ソニー株式会社) 2001.06.22, 段落 0084-0110, 第 1-20 図 (ファミリーなし)	1-15