

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-79952  
(P2015-79952A)

(43) 公開日 平成27年4月23日(2015.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C	2 H 1 9 2
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 6 1 7 N	3 K 1 0 7
HO 1 L 29/417 (2006.01)	HO 1 L 29/44 L	4 M 1 0 4
HO 1 L 51/50 (2006.01)	HO 1 L 29/50 M	5 F 1 1 0
HO 5 B 33/14 (2006.01)	HO 5 B 33/14 A	

審査請求 未請求 請求項の数 5 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2014-184839 (P2014-184839)  
 (22) 出願日 平成26年9月11日 (2014.9.11)  
 (31) 優先権主張番号 特願2013-190275 (P2013-190275)  
 (32) 優先日 平成25年9月13日 (2013.9.13)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H192 AA24 CB02 CB08 CB42 CB52  
 CB53 FA73 FB02  
 3K107 AA01 AA05 BB01 BB04 BB06  
 BB08 CC33 CC35 EE04 FF15  
 4M104 AA01 AA03 AA08 AA09 BB02  
 BB04 BB05 BB08 BB13 BB14  
 BB16 BB17 BB18 BB33 BB36  
 CC01 DD37 DD43 FF18 FF26  
 GG08 GG14 HH20  
 最終頁に続く

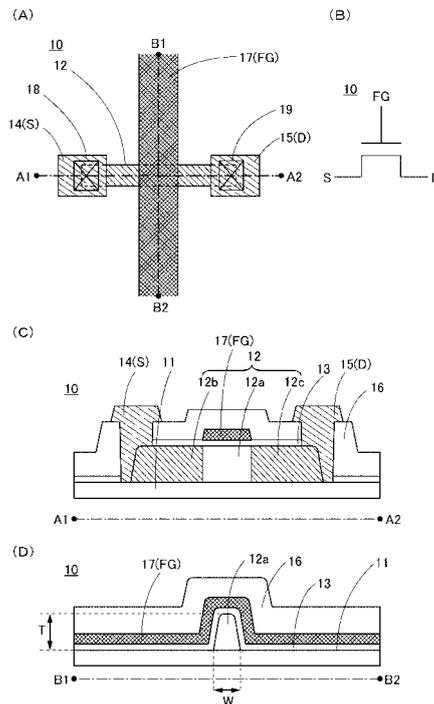
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高速動作を実現することができる半導体装置、または、応力に対する高い強度を有する半導体装置の提供

【解決手段】 第1ゲート電極と、上記第1ゲート電極上の第1絶縁膜と、チャネル形成領域及び上記チャネル形成領域を間に挟んで位置する一対の不純物領域を有し、なおかつ、上記第1絶縁膜を間に挟んで上記チャネル形成領域が上記第1ゲート電極と重なる半導体膜と、上記チャネル形成領域における上記半導体膜の側部及び上部を覆う第2絶縁膜と、上記第2絶縁膜を間に挟んで、上記チャネル形成領域における上記半導体膜の側部及び上部と重なる第2ゲート電極と、一対の上記不純物領域における上記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有する半導体装置。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

チャンネル形成領域及び前記チャンネル形成領域を間に挟んで位置する一对の不純物領域を有する半導体膜と、  
 前記チャンネル形成領域における前記半導体膜の側部及び上部を覆う絶縁膜と、  
 前記絶縁膜を間に挟んで、前記チャンネル形成領域における前記半導体膜の側部及び上部と重なるゲート電極と、  
 一对の前記不純物領域における前記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有し、  
 前記半導体膜のアスペクト比は、 $0.05$ 以上 $10$ 以下であり、  
 前記アスペクト比は、前記半導体膜の底面の短辺の長さに対する前記半導体膜の膜厚の比であることを特徴とする半導体装置。

10

## 【請求項 2】

第 1 ゲート電極と、  
 前記第 1 ゲート電極を覆う第 1 絶縁膜と、  
 チャンネル形成領域及び前記チャンネル形成領域を間に挟んで位置する一对の不純物領域を有し、なおかつ、前記第 1 絶縁膜を間に挟んで前記チャンネル形成領域が前記第 1 ゲート電極と重なる半導体膜と、  
 前記チャンネル形成領域における前記半導体膜の側部及び上部を覆う第 2 絶縁膜と、  
 前記第 2 絶縁膜を間に挟んで、前記チャンネル形成領域における前記半導体膜の側部及び上部と重なる第 2 ゲート電極と、  
 一对の前記不純物領域における前記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有し、  
 前記半導体膜のアスペクト比は、 $0.05$ 以上 $10$ 以下であり、  
 前記アスペクト比は、前記半導体膜の底面の短辺の長さに対する前記半導体膜の膜厚の比であることを特徴とする半導体装置。

20

## 【請求項 3】

第 1 ゲート電極と、  
 前記第 1 ゲート電極を覆う第 1 絶縁膜と、  
 チャンネル形成領域及び前記チャンネル形成領域を間に挟んで位置する一对の不純物領域を有し、なおかつ、前記第 1 絶縁膜を間に挟んで前記チャンネル形成領域が前記第 1 ゲート電極と重なる半導体膜と、  
 前記チャンネル形成領域における前記半導体膜の側部及び上部を覆う第 2 絶縁膜と、  
 前記第 2 絶縁膜を間に挟んで、前記チャンネル形成領域における前記半導体膜の側部及び上部と重なり、なおかつ、前記第 1 絶縁膜及び前記第 2 絶縁膜が有する開口部において前記第 1 ゲート電極と電氣的に接続されている第 2 ゲート電極と、  
 一对の前記不純物領域における前記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有し、  
 前記半導体膜のアスペクト比は、 $0.05$ 以上 $10$ 以下であり、  
 前記アスペクト比は、前記半導体膜の底面の短辺の長さに対する前記半導体膜の膜厚の比であることを特徴とする半導体装置。

30

40

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、  
 前記半導体膜は、シリコン、若しくは、シリコン及びゲルマニウムを含む半導体装置。

## 【請求項 5】

請求項 4 において、  
 前記半導体膜が結晶性を有する半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、半導体特性を利用した半導体装置に関する。

【背景技術】

【0002】

携帯型の電子機器などに用いられる半導体表示装置は、画素部以外の領域を狭くする（狭額縁化する）ことが求められている。駆動回路の一部または全てを画素部と同じ基板上に作製するシステムオンパネルは、狭額縁化を実現するのに有効な手段の一つである。

10

【0003】

下記の特許文献1には、表示部と周辺回路部を同一基板上に形成するシステムオンパネル型の表示装置について開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】2009-151293号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、アクティブマトリクス型の半導体表示装置は、より高精細、高解像度の画像を表示するために、画素数が増える傾向にある。そのため、走査線駆動回路と信号線駆動回路などの駆動回路には、高速での駆動が要求されており、特に、信号線駆動回路は、各ラインの画素が選択されている間に、当該ライン内の全ての画素に画像信号を供給する必要があるため、その駆動周波数は走査線駆動回路に比べて遙かに高い。

20

【0006】

また、半導体装置の基板として、プラスチックなどの可撓性を有する素材（フレキシブルな素材）を用いることで、半導体装置の利用形態の幅を広げることができる。然るに、フレキシブルな基板を用いる場合、ガラス基板などの可撓性に乏しい基板を用いる場合に比べて、応力に対する高い強度が半導体素子に要求される。

30

【0007】

上述したような技術的背景のもと、本発明の一態様では、高速動作を実現することができる半導体装置の提供を、課題の一つとする。または、本発明の一態様では、応力に対する高い強度を有する半導体装置の提供を、課題の一つとする。または、本発明の一態様では、新規な半導体装置の提供を、課題の一つとする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

40

【0008】

本発明の一態様にかかる半導体装置は、チャンネル形成領域及び上記チャンネル形成領域を間に挟んで位置する一对の不純物領域を有する半導体膜と、上記チャンネル形成領域における上記半導体膜の側部及び上部を覆う絶縁膜と、上記絶縁膜を間に挟んで、上記チャンネル形成領域における上記半導体膜の側部及び上部と重なるゲート電極と、一对の上記不純物領域における上記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有する。

【0009】

本発明の一態様にかかる半導体装置は、第1ゲート電極と、上記第1ゲート電極上の第1絶縁膜と、チャンネル形成領域及び上記チャンネル形成領域を間に挟んで位置する一对の不純

50

物領域を有し、なおかつ、上記第 1 絶縁膜を間に挟んで上記チャネル形成領域が上記第 1 ゲート電極と重なる半導体膜と、上記チャネル形成領域における上記半導体膜の側部及び上部を覆う第 2 絶縁膜と、上記第 2 絶縁膜を間に挟んで、上記チャネル形成領域における上記半導体膜の側部及び上部と重なる第 2 ゲート電極と、一对の上記不純物領域における上記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有する。

【 0 0 1 0 】

本発明の一態様にかかる半導体装置は、第 1 ゲート電極と、上記第 1 ゲート電極上の第 1 絶縁膜と、チャネル形成領域及び上記チャネル形成領域を間に挟んで位置する一对の不純物領域を有し、なおかつ、上記第 1 絶縁膜を間に挟んで上記チャネル形成領域が上記第 1 ゲート電極と重なる半導体膜と、上記チャネル形成領域における上記半導体膜の側部及び上部を覆う第 2 絶縁膜と、上記第 2 絶縁膜を間に挟んで、上記チャネル形成領域における上記半導体膜の側部及び上部と重なり、なおかつ、上記第 1 絶縁膜及び上記第 2 絶縁膜が有する開口部において上記第 1 ゲート電極と電気的に接続されている第 2 ゲート電極と、一对の上記不純物領域における上記半導体膜の側部及び上部にそれぞれ接する、ソース電極及びドレイン電極と、を有する。

10

【発明の効果】

【 0 0 1 1 】

本発明の一態様により、高速動作を実現する半導体装置を提供することができる。本発明の一態様により、応力に対する高い強度を有する半導体装置を提供することができる。または、新規な半導体装置、表示装置、または、発光装置、などを提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【図面の簡単な説明】

【 0 0 1 2 】

- 【図 1】トランジスタの構造を示す図。
  - 【図 2】トランジスタの構造を示す図。
  - 【図 3】トランジスタの構造を示す図。
  - 【図 4】トランジスタの構造を示す図。
  - 【図 5】トランジスタの構造を示す図。
  - 【図 6】トランジスタの構造を示す図。
  - 【図 7】トランジスタの構造を示す図。
  - 【図 8】トランジスタの構造を示す図。
  - 【図 9】トランジスタの構造を示す図。
  - 【図 10】半導体装置の作製方法を示す図。
  - 【図 11】半導体装置の作製方法を示す図。
  - 【図 12】半導体装置の作製方法を示す図。
  - 【図 13】半導体装置の作製方法を示す図。
  - 【図 14】半導体表示装置の構成を示す図。
  - 【図 15】画素の上面図。
  - 【図 16】発光装置の断面図。
  - 【図 17】順序回路の構成を示す図。
  - 【図 18】信号線駆動回路の構成を示す図。
  - 【図 19】走査線駆動回路の構成を示す図。
  - 【図 20】発光装置の斜視図。
  - 【図 21】電子機器の図。
- 【発明を実施するための形態】

30

40

【 0 0 1 3 】

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0014】

なお、本発明の一態様は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、マイクロコントローラを含むLSI(Large Scale Integrated Circuit)、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD: Programmable Logic Device)が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、トランジスタを駆動回路に有している半導体表示装置が、その範疇に含まれる。

10

【0015】

なお、本明細書において半導体表示装置とは、液晶素子や発光素子などの表示素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。さらに、本発明の一態様に係る半導体表示装置は、当該半導体表示装置を作製する過程において、表示素子が完成する前の一形態に相当する素子基板をその範疇に含み、当該素子基板は、トランジスタと、表示素子に用いられる画素電極または共通電極などの電極と、容量素子とを、複数の各画素に備える。

20

【0016】

また、本発明の一態様に係る半導体表示装置には、指またはスタイラスなどが指し示した位置を検出し、その位置情報を含む信号を生成することができる位置入力装置であるタッチパネルが、構成要素に含まれていても良い。

【0017】

また、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態にすることができるような回路構成になっている場合に相当する。従って、ある回路とある回路が接続している構成とは、直接接続している構成を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの素子を介して間接的に接続している構成も、その範疇に含む。また、ある素子とある素子が接続している構成とは、直接接続している構成を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの素子を介して間接的に接続している構成も、その範疇に含む。また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

40

【0018】

また、トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、或いは上記半導体膜に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

【0019】

トランジスタが有するソースとドレインは、トランジスタのチャンネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャンネル型トランジ

50

スタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

#### 【0020】

##### トランジスタの構成例1

図1に、本発明の一態様にかかる半導体装置が有するトランジスタ10の構成を、一例として示す。図1(A)に、トランジスタ10の平面図を示す。なお、図1(A)では、トランジスタ10のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図1(B)に、図1(A)に示すトランジスタ10の回路図記号を示す。また、図1(A)に示した平面図の、破線A1-A2における断面図を図1(C)に示し、破線B1-B2における断面図を図1(D)に示す。

10

#### 【0021】

図1(A)、図1(C)、及び図1(D)に示すトランジスタ10は、絶縁表面を有する基板11上に、半導体膜12を有する。半導体膜12は、チャネル形成領域12aと、チャネル形成領域12aを間に挟んで位置する不純物領域12b及び不純物領域12cとを有する。また、トランジスタ10は、ゲート絶縁膜としての機能を有し、なおかつ、チャネル形成領域12aにおける半導体膜12の側部及び上部を覆う絶縁膜13を有する。また、トランジスタ10は、図1(B)の回路図記号に示すゲート電極(FG)としての機能を有し、なおかつ、絶縁膜13を間に挟んでチャネル形成領域12aにおける半導体膜12の側部及び上部と重なる導電膜17を有する。また、トランジスタ10は、図1(B)の回路図記号に示すソース電極(S)またはドレイン電極(D)としての機能を有し、なおかつ、不純物領域12b及び不純物領域12cにおける半導体膜12の側部及び上部にそれぞれ接続された導電膜14及び導電膜15とを有する。

20

#### 【0022】

なお、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部(又は全部)に設けられている。

30

#### 【0023】

または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部(又は全部)と、接触している。または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の少なくとも一部(又は全部)と、接触している。

#### 【0024】

または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部(又は全部)と、電氣的に接続されている。または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の一部(又は全部)と、電氣的に接続されている。

40

#### 【0025】

または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部(又は全部)に、近接して配置されている。または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の一部(又は全部)に、近接して配置されている。

#### 【0026】

または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部(又は全部)の横側に配置されている。または、導電膜14(及び/又は、導電膜15)の、少なくとも一部(又は全部)は、半導体膜12の一部(又は全部)の横側に配置されている。

50

## 【0027】

または、導電膜14（及び/又は、導電膜15）の、少なくとも一部（又は全部）は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部（又は全部）の斜め上側に配置されている。または、導電膜14（及び/又は、導電膜15）の、少なくとも一部（又は全部）は、半導体膜12の一部（又は全部）の斜め上側に配置されている。

## 【0028】

または、導電膜14（及び/又は、導電膜15）の、少なくとも一部（又は全部）は、半導体膜12の、表面、側面、上面、及び/又は、下面の少なくとも一部（又は全部）の上側に配置されている。または、導電膜14（及び/又は、導電膜15）の、少なくとも一部（又は全部）は、半導体膜12の一部（又は全部）の上側に配置されている。

10

## 【0029】

また、図1（A）、図1（C）、及び図1（D）では、半導体膜12、絶縁膜13、導電膜17上に絶縁膜16が設けられており、絶縁膜16上に導電膜14及び導電膜15が設けられている場合を例示している。そして、図1（A）、図1（C）、及び図1（D）では、絶縁膜16に設けられた開口部18及び開口部19において、導電膜14及び導電膜15が不純物領域12b及び不純物領域12cに接続されている場合を例示している。

## 【0030】

図1に示すように、本発明の一態様にかかるトランジスタ10では、チャンネル形成領域12aにおける半導体膜12の側部及び上部と、導電膜17とが重なることで、チャンネル形成領域12aの側部と上部を含めた広い範囲においてキャリアが流れる。そのため、半導体膜12のチャンネル形成領域12aにおける基板上の専有面積を小さく抑えつつ、トランジスタ10におけるキャリアの移動量が増加し、その結果、トランジスタ10のオン電流が大きくなると共に電界効果移動度が高められる。特に、チャンネル形成領域12aにおける半導体膜12のチャンネル幅方向の長さ（チャンネル幅）を $W$ 、チャンネル形成領域12aにおける半導体膜12の膜厚を $T$ とすると、チャンネル幅 $W$ に対する膜厚 $T$ の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ10のオン電流をより大きくすることができ、電界効果移動度もより高められる。なお、本明細書において、アスペクト比とは、半導体膜の底面の短辺の長さ（チャンネル幅 $W$ ）に対する半導体膜の膜厚（ $T$ ）の比（ $T/W$ ）のことを表す。

20

## 【0031】

なお、バルクの半導体基板を用いたトランジスタの場合とは異なり、薄膜の半導体膜12を用いたトランジスタ10の場合、アスペクト比は、半導体膜12において結晶性の高さを確保することができる程度の高さであることが望ましい。半導体膜12がシリコンを含む場合、または、半導体膜12がシリコン及びゲルマニウムを含む場合、半導体膜12の結晶性の高さを確保することを考慮すると、具体的に、膜厚 $T$ は5nm以上150nm以下であることが望ましく、20nm以上100nm以下であることがより望ましい。そして、膜厚 $T$ の値が上記範囲内にあると仮定し、ガラス基板を用いた場合の露光装置の解像度が数 $\mu\text{m}$ 程度であることを考慮すると、具体的なアスペクト比は0.05以上10以下であることが望ましく、0.1以上5以下であることがより望ましい。さらに、アスペクト比が1以上5以下であることがより望ましい。

30

40

## 【0032】

なお、チャンネル長方向とは、不純物領域12bと不純物領域12cの間において、キャリアが最短距離で移動する方向を意味し、チャンネル幅方向は、チャンネル長方向に対して垂直の方向を意味する。

## 【0033】

また、図1に示すように、本発明の一態様にかかるトランジスタ10では、不純物領域12b及び不純物領域12cにおける半導体膜12の側部及び上部に、導電膜14及び導電膜15がそれぞれ接続されている。そのため、導電膜14及び導電膜15が半導体膜12の上部のみに接続されている場合に比べて、導電膜14及び導電膜15と不純物領域12b及び不純物領域12cとがそれぞれ接する面積を、より大きく確保することができる。

50

よって、導電膜 14 及び導電膜 15 と不純物領域 12 b 及び不純物領域 12 c の間の接触抵抗を小さく抑え、その結果、トランジスタ 10 のオン電流を高めることができる。

【0034】

トランジスタの構成例 2

次いで、図 2 に、本発明の一態様にかかる半導体装置が有するトランジスタ 10 の、図 1 とは異なる構成の一例を示す。図 2 (A) に、トランジスタ 10 の平面図を示す。なお、図 2 (A) では、トランジスタ 10 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 2 (B) に、図 2 (A) 示すトランジスタ 10 の回路図記号を示す。また、図 2 (A) に示した平面図の、破線 A1 - A2 における断面図を図 2 (C) に示し、破線 B1 - B2 における断面図を図 2 (D) に示す。

10

【0035】

図 2 (A)、図 2 (C)、及び図 2 (D) に示すトランジスタ 10 は、絶縁表面を有する基板 11 上に、図 2 (B) の回路図記号に示すゲート電極 (BG) としての機能を有する導電膜 20 を有する。また、トランジスタ 10 は、ゲート絶縁膜としての機能を有し、なおかつ、導電膜 20 を覆う絶縁膜 21 を有する。また、トランジスタ 10 は、絶縁膜 21 を間に挟んで導電膜 20 と重なる半導体膜 12 を有する。半導体膜 12 は、チャンネル形成領域 12 a と、チャンネル形成領域 12 a を間に挟んで位置する不純物領域 12 b 及び不純物領域 12 c とを有する。また、トランジスタ 10 は、ゲート絶縁膜としての機能を有し、なおかつ、チャンネル形成領域 12 a における半導体膜 12 の側部及び上部を覆う絶縁膜 13 を有する。また、トランジスタ 10 は、図 2 (B) の回路図記号に示すゲート電極 (FG) としての機能を有し、なおかつ、絶縁膜 13 を間に挟んでチャンネル形成領域 12 a における半導体膜 12 の側部及び上部と重なる導電膜 17 を有する。導電膜 17 は、絶縁膜 13 及び絶縁膜 21 が有する開口部 22 及び開口部 23 において、導電膜 20 に接続されている。また、トランジスタ 10 は、図 2 (B) の回路図記号に示すソース電極 (S) またはドレイン電極 (D) としての機能を有し、なおかつ、不純物領域 12 b 及び不純物領域 12 c における半導体膜 12 の側部及び上部にそれぞれ接続された導電膜 14 及び導電膜 15 とを有する。

20

【0036】

また、図 2 (A)、図 2 (C)、及び図 2 (D) では、半導体膜 12、絶縁膜 13、導電膜 17 上に絶縁膜 16 が設けられており、絶縁膜 16 上に導電膜 14 及び導電膜 15 が設けられている場合を例示している。そして、図 2 (A)、図 2 (C)、及び図 2 (D) では、絶縁膜 16 に設けられた開口部 18 及び開口部 19 において、導電膜 14 及び導電膜 15 が不純物領域 12 b 及び不純物領域 12 c に接続されている場合を例示している。

30

【0037】

また、図 2 (A)、図 2 (C)、及び図 2 (D) では、開口部 22 及び開口部 23 が、半導体膜 12 を間に挟んで向かい合う位置に設けられている場合を例示している。

【0038】

図 2 に示すように、本発明の一態様にかかるトランジスタ 10 では、チャンネル形成領域 12 a における半導体膜 12 の側部及び上部と、導電膜 17 とが重なることで、チャンネル形成領域 12 a の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、半導体膜 12 のチャンネル形成領域 12 a における基板上的専有面積を小さく抑えつつ、トランジスタ 10 におけるキャリアの移動量が増加し、その結果、トランジスタ 10 のオン電流が大きくなると共に電界効果移動度が高められる。特に、チャンネル形成領域 12 a における半導体膜 12 のチャンネル幅方向の長さ (チャンネル幅) を W、チャンネル形成領域 12 a における半導体膜 12 の膜厚を T とすると、チャンネル幅 W に対する膜厚 T の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 10 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

40

【0039】

そして、上述したように、薄膜の半導体膜 12 を用いたトランジスタ 10 の場合、アスペクト比は、半導体膜 12 において結晶性の高さを確保することができる程度の高さである

50

ことが望ましい。半導体膜 12 がシリコンを含む場合、または、半導体膜 12 がシリコン及びゲルマニウムを含む場合、半導体膜 12 の結晶性の高さを確保することを考慮すると、具体的に、膜厚 T は 5 nm 以上 150 nm 以下であることが望ましく、20 nm 以上 100 nm 以下であることがより望ましい。そして、膜厚 T の値が上記範囲内にあると仮定し、ガラス基板を用いた場合の露光装置の解像度が数  $\mu\text{m}$  程度であることを考慮すると、具体的なアスペクト比は 0.05 以上 10 以下であることが望ましく、0.1 以上 5 以下であることがより望ましい。さらに、アスペクト比が 1 以上 5 以下であることがより望ましい。

#### 【0040】

また、図 2 に示すように、本発明の一態様にかかるトランジスタ 10 では、不純物領域 12 b 及び不純物領域 12 c における半導体膜 12 の側部及び上部に、導電膜 14 及び導電膜 15 がそれぞれ接続されている。そのため、導電膜 14 及び導電膜 15 が半導体膜 12 の上部のみに接続されている場合に比べて、導電膜 14 及び導電膜 15 と不純物領域 12 b 及び不純物領域 12 c とがそれぞれ接する面積を、より大きく確保することができる。よって、導電膜 14 及び導電膜 15 と不純物領域 12 b 及び不純物領域 12 c の間の接触抵抗を小さく抑え、その結果、トランジスタ 10 のオン電流を高めることができる。

10

#### 【0041】

また、図 2 に示すトランジスタ 10 では、ゲート電極 (FG) として機能する導電膜 17 から遠い側の、半導体膜 12 の表面近傍の領域 (バックチャネル領域) 側に、ゲート電極 (BG) として機能する導電膜 20 が設けられている。なおかつ、導電膜 20 は導電膜 17 に接続されている。上記構成により、図 2 に示すトランジスタ 10 では、バックチャネル領域に固定電荷が生じるのを防ぎ、オフ電流を小さくすることができる。また、図 2 に示すトランジスタ 10 では、導電膜 20 が導電膜 17 に接続されていることで、図 1 に示すトランジスタ 10 に比べて、キャリアの移動する領域がより広い範囲に跨るため、オン電流をより大きくすることができる。

20

#### 【0042】

また、図 2 に示すトランジスタ 10 では、少なくともチャネル形成領域 12 a と重なるように、半導体膜 12 の下部に導電膜 20 が設けられており、チャネル形成領域 12 a と重なるように、半導体膜 12 の上部に導電膜 17 が設けられている。よって、半導体膜 12 の上下を導電膜 17 及び導電膜 20 により支持されているため、トランジスタ 10 は、図 1 に示すトランジスタ 10 に比べて、応力に対して高い強度を有すると言える。

30

#### 【0043】

##### トランジスタの構成例 3

なお、図 1 及び図 2 に示すトランジスタ 10 では、ソース電極またはドレイン電極として機能する導電膜 14 及び導電膜 15 が絶縁膜 16 上に設けられており、絶縁膜 16 が有する開口部において、導電膜 14 及び導電膜 15 が不純物領域 12 b 及び不純物領域 12 c とそれぞれ接続されている場合を例示している。本発明の一態様にかかるトランジスタ 10 は、導電膜 14 及び導電膜 15 上に絶縁膜 16 が設けられていても良い。

#### 【0044】

図 3 に示すトランジスタ 10 は、導電膜 14 及び導電膜 15 上に絶縁膜 16 が設けられている点において、図 1 に示すトランジスタ 10 と構成が異なる。図 3 (A) に、トランジスタ 10 の平面図を示す。なお、図 3 (A) では、トランジスタ 10 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 3 (B) に、図 3 (A) 示すトランジスタ 10 の回路図記号を示す。また、図 3 (A) に示した平面図の、破線 A1 - A2 における断面図を図 3 (C) に示し、破線 B1 - B2 における断面図を図 3 (D) に示す。

40

#### 【0045】

図 3 (A)、図 3 (C)、及び図 3 (D) に示すトランジスタ 10 は、図 3 (B) の回路図記号に示すソース電極 (S) またはドレイン電極 (D) としての機能を有し、なおかつ、不純物領域 12 b 及び不純物領域 12 c における半導体膜 12 の側部及び上部にそれぞ

50

れ接続された導電膜 14 及び導電膜 15 とを有する。そして、図 3 (A)、図 3 (C)、及び図 3 (D) では、半導体膜 12、絶縁膜 13、導電膜 17、導電膜 14 及び導電膜 15 上に絶縁膜 16 が設けられている。

【0046】

図 4 に示すトランジスタ 10 は、導電膜 14 及び導電膜 15 上に絶縁膜 16 が設けられている点において、図 2 に示すトランジスタ 10 と構成が異なる。図 4 (A) に、トランジスタ 10 の平面図を示す。なお、図 4 (A) では、トランジスタ 10 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 4 (B) に、図 4 (A) 示すトランジスタ 10 の回路図記号を示す。また、図 4 (A) に示した平面図の、破線 A1 - A2 における断面図を図 4 (C) に示し、破線 B1 - B2 における断面図を図 4 (D) に示す。

10

【0047】

図 4 (A)、図 4 (C)、及び図 4 (D) に示すトランジスタ 10 は、図 4 (B) の回路図記号に示すソース電極 (S) またはドレイン電極 (D) としての機能を有し、なおかつ、不純物領域 12b 及び不純物領域 12c における半導体膜 12 の側部及び上部にそれぞれ接続された導電膜 14 及び導電膜 15 とを有する。そして、図 4 (A)、図 4 (C)、及び図 4 (D) では、半導体膜 12、絶縁膜 13、導電膜 17、導電膜 14 及び導電膜 15 上に絶縁膜 16 が設けられている。

【0048】

図 3 及び図 4 に示すトランジスタ 10 も、図 1 及び図 2 に示すトランジスタ 10 と同様に、チャンネル形成領域 12a における半導体膜 12 の側部及び上部と、導電膜 17 とが重なることで、チャンネル形成領域 12a の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、半導体膜 12 のチャンネル形成領域 12a における基板上的専有面積を小さく抑えつつ、トランジスタ 10 におけるキャリアの移動量が増加し、その結果、トランジスタ 10 のオン電流が大きくなると共に電界効果移動度が高められる。特に、チャンネル形成領域 12a における半導体膜 12 のチャンネル幅方向の長さ (チャンネル幅) を  $W$ 、チャンネル形成領域 12a における半導体膜 12 の膜厚を  $T$  とすると、チャンネル幅  $W$  に対する膜厚  $T$  の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 10 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

20

30

【0049】

そして、上述したように、薄膜の半導体膜 12 を用いたトランジスタ 10 の場合、アスペクト比は、半導体膜 12 において結晶性の高さを確保することができる程度の高さであることが望ましい。半導体膜 12 がシリコンを含む場合、または、半導体膜 12 がシリコン及びゲルマニウムを含む場合、半導体膜 12 の結晶性の高さを確保することを考慮すると、具体的に、膜厚  $T$  は 5 nm 以上 150 nm 以下であることが望ましく、20 nm 以上 100 nm 以下であることがより望ましい。そして、膜厚  $T$  の値が上記範囲内にあると仮定し、ガラス基板を用いた場合の露光装置の解像度が数  $\mu\text{m}$  程度であることを考慮すると、具体的なアスペクト比は 0.05 以上 10 以下であることが望ましく、0.1 以上 5 以下であることがより望ましい。さらに、アスペクト比が 1 以上 5 以下であることがより望ましい。

40

【0050】

また、図 3 及び図 4 に示すトランジスタ 10 も、図 1 及び図 2 に示すトランジスタ 10 と同様に、不純物領域 12b 及び不純物領域 12c における半導体膜 12 の側部及び上部に、導電膜 14 及び導電膜 15 がそれぞれ接続されている。そのため、導電膜 14 及び導電膜 15 が半導体膜 12 の上部のみに接続されている場合に比べて、導電膜 14 及び導電膜 15 と不純物領域 12b 及び不純物領域 12c とがそれぞれ接する面積を、より大きく確保することができる。よって、導電膜 14 及び導電膜 15 と不純物領域 12b 及び不純物領域 12c の間の接触抵抗を小さく抑え、その結果、トランジスタ 10 のオン電流を高めることができる。

50

## 【0051】

また、図4に示すトランジスタ10も、バックチャネル領域側に、ゲート電極(BG)として機能する導電膜20が設けられている。なおかつ、導電膜20は導電膜17に接続されている。上記構成により、図4に示すトランジスタ10では、バックチャネル領域に固定電荷が生じるのを防ぎ、オフ電流を小さくすることができる。また、図4に示すトランジスタ10では、導電膜20が導電膜17に接続されていることで、図1に示すトランジスタ10に比べて、キャリアの移動する領域がより広い範囲に跨るため、オン電流をより大きくすることができる。

## 【0052】

また、図4に示すトランジスタ10では、少なくともチャネル形成領域12aと重なるように、半導体膜12の下部に導電膜20が設けられており、チャネル形成領域12aと重なるように、半導体膜12の上部に導電膜17が設けられている。よって、半導体膜12の上下を導電膜17及び導電膜20により支持されているため、トランジスタ10は、図1に示すトランジスタ10に比べて、応力に対して高い強度を有すると言える。

10

## 【0053】

## トランジスタの構成例4

なお、図2及び図4に示すトランジスタ10では、導電膜17が導電膜20に接続されている場合を例示している。本発明の一態様にかかるトランジスタ10は、導電膜17と導電膜20とが電氣的に分離していても良い。

## 【0054】

図5に示すトランジスタ10は、導電膜17と導電膜20とが電氣的に分離している点において、図2に示すトランジスタ10と構成が異なる。図5(A)に、トランジスタ10の平面図を示す。なお、図5(A)では、トランジスタ10のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図5(B)に、図5(A)示すトランジスタ10の回路図記号を示す。また、図5(A)に示した平面図の、破線A1-A2における断面図を図5(C)に示し、破線B1-B2における断面図を図5(D)に示す。

20

## 【0055】

図5(A)、図5(C)、及び図5(D)に示すトランジスタ10は、図5(B)の回路図記号に示すゲート電極(BG)としての機能を有する、導電膜20を有する。また、トランジスタ10は、図5(B)の回路図記号に示すゲート電極(FG)としての機能を有し、なおかつ、絶縁膜13を間に挟んでチャネル形成領域12aにおける半導体膜12の側部及び上部と重なる導電膜17を有する。そして、図5(A)、図5(C)、及び図5(D)に示すように、導電膜17と導電膜20とは、電氣的に分離している。

30

## 【0056】

図5に示すトランジスタ10も、図2及び図4に示すトランジスタ10と同様に、チャネル形成領域12aにおける半導体膜12の側部及び上部と、導電膜17とが重なることで、チャネル形成領域12aの側部と上部を含めた広い範囲においてキャリアが流れる。そのため、半導体膜12のチャネル形成領域12aにおける基板上の専有面積を小さく抑えつつ、トランジスタ10におけるキャリアの移動量が増加し、その結果、トランジスタ10のオン電流が大きくなると共に電界効果移動度が高められる。特に、チャネル形成領域12aにおける半導体膜12のチャネル幅方向の長さ(チャネル幅)をW、チャネル形成領域12aにおける半導体膜12の膜厚をTとすると、チャネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ10のオン電流をより大きくすることができ、電界効果移動度もより高められる。

40

## 【0057】

そして、上述したように、薄膜の半導体膜12を用いたトランジスタ10の場合、アスペクト比は、半導体膜12において結晶性の高さを確保することができる程度の高さであることが望ましい。半導体膜12がシリコンを含む場合、または、半導体膜12がシリコン及びゲルマニウムを含む場合、半導体膜12の結晶性の高さを確保することを考慮すると、具体的に、膜厚Tは5nm以上150nm以下であることが望ましく、20nm以上1

50

00nm以下であることがより望ましい。そして、膜厚Tの値が上記範囲内にあると仮定し、ガラス基板を用いた場合の露光装置の解像度が数 $\mu\text{m}$ 程度であることを考慮すると、具体的なアスペクト比は0.05以上10以下であることが望ましく、0.1以上5以下であることがより望ましい。さらに、アスペクト比が1以上5以下であることがより望ましい。

#### 【0058】

また、図5に示すトランジスタ10も、図2及び図4に示すトランジスタ10と同様に、不純物領域12b及び不純物領域12cにおける半導体膜12の側部及び上部に、導電膜14及び導電膜15がそれぞれ接続されている。そのため、導電膜14及び導電膜15が半導体膜12の上部のみに接続されている場合に比べて、導電膜14及び導電膜15と不純物領域12b及び不純物領域12cとがそれぞれ接する面積を、より大きく確保することができる。よって、導電膜14及び導電膜15と不純物領域12b及び不純物領域12cの間の接触抵抗を小さく抑え、その結果、トランジスタ10のオン電流を高めることができる。

10

#### 【0059】

また、図5に示すトランジスタ10は、バックチャネル領域側に、ゲート電極(BG)として機能する導電膜20が設けられている。よって、図5に示すトランジスタ10では、導電膜20に所定の電位を供給することで、バックチャネル領域に固定電荷が生じるのを防ぎ、オフ電流を小さくすることができる。また、図5に示すトランジスタ10では、導電膜17に供給する電位により、トランジスタ10の閾値電圧が所望の値になるよう制御することができる。

20

#### 【0060】

また、図5に示すトランジスタ10では、少なくともチャネル形成領域12aと重なるように、半導体膜12の下部に導電膜20が設けられており、チャネル形成領域12aと重なるように、半導体膜12の上部に導電膜17が設けられている。よって、半導体膜12の上下を導電膜17及び導電膜20により支持されているため、トランジスタ10は、図1に示すトランジスタ10に比べて、応力に対して高い強度を有すると言える。

#### 【0061】

なお、図5では、図2に示すトランジスタ10と同様に、ソース電極またはドレイン電極として機能する導電膜14及び導電膜15が絶縁膜16上に設けられており、絶縁膜16が有する開口部において、導電膜14及び導電膜15が不純物領域12b及び不純物領域12cとそれぞれ接続されているトランジスタ10の構成を例示している。ただし、本発明の一態様では、図5に示すトランジスタ10において、図4に示すトランジスタ10と同様に、導電膜14及び導電膜15上に絶縁膜16が設けられていても良い。

30

#### 【0062】

##### トランジスタの構成例5

次いで、導電膜17と同じ層に、導電膜20と電気的に接続された導電膜が設けられた、トランジスタ10の構成を、図6に一例として示す。図6(A)に、トランジスタ10の平面図を示す。なお、図6(A)では、トランジスタ10のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図6(B)に、図6(A)示すトランジスタ10の回路図記号を示す。また、図6(A)に示した平面図の、破線A1-A2における断面図を図6(C)に示し、破線B1-B2における断面図を図6(D)に示す。

40

#### 【0063】

図6(A)、図6(C)、及び図6(D)に示すトランジスタ10は、絶縁表面を有する基板11上に、図6(B)の回路図記号に示すゲート電極(BG)としての機能を有する、導電膜20を有する。また、トランジスタ10は、ゲート絶縁膜としての機能を有し、なおかつ、導電膜20を覆う絶縁膜21を有する。また、トランジスタ10は、絶縁膜21を間に挟んで導電膜20と重なる半導体膜12を有する。半導体膜12は、チャネル形成領域12aと、チャネル形成領域12aを間に挟んで位置する不純物領域12b及び不純物領域12cとを有する。また、トランジスタ10は、ゲート絶縁膜としての機能を有

50

し、なおかつ、チャンネル形成領域 12 a における半導体膜 12 の側部及び上部を覆う絶縁膜 13 を有する。また、トランジスタ 10 は、図 6 ( B ) の回路図記号に示すゲート電極 ( F G ) としての機能を有し、なおかつ、絶縁膜 13 を間に挟んでチャンネル形成領域 12 a における半導体膜 12 の側部及び上部と重なる導電膜 17 を有する。また、トランジスタ 10 は、図 6 ( B ) の回路図記号に示すソース電極 ( S ) またはドレイン電極 ( D ) としての機能を有し、なおかつ、不純物領域 12 b 及び不純物領域 12 c における半導体膜 12 の側部及び上部にそれぞれ接続された導電膜 14 及び導電膜 15 と、導電膜 17 に接続された導電膜 24 とを有する。

【 0064 】

また、図 6 ( A )、図 6 ( C )、及び図 6 ( D ) では、半導体膜 12、絶縁膜 13、導電膜 17 上に絶縁膜 16 が設けられており、絶縁膜 16 上に導電膜 14、導電膜 15、及び導電膜 24 が設けられている場合を例示している。そして、絶縁膜 16 に設けられた開口部 18 及び開口部 19 において、導電膜 14 及び導電膜 15 が不純物領域 12 b 及び不純物領域 12 c に接続され、絶縁膜 16 に設けられた開口部 25 において、導電膜 24 が導電膜 17 に接続されている場合を例示している。

10

【 0065 】

また、図 6 ( A )、図 6 ( C )、及び図 6 ( D ) では、開口部 28 及び開口部 29 が、半導体膜 12 を間に挟んで向かい合う位置に設けられている場合を例示している。

【 0066 】

また、図 6 ( A )、図 6 ( C )、及び図 6 ( D ) では、導電膜 17 と同じ層に、具体的には絶縁膜 13 上に、導電膜 26 及び導電膜 27 を有する。導電膜 26 及び導電膜 27 は、絶縁膜 13 及び絶縁膜 21 が有する開口部 28 及び開口部 29 において、導電膜 20 に接続されている。

20

【 0067 】

図 6 に示すように、本発明の一態様にかかるトランジスタ 10 では、チャンネル形成領域 12 a における半導体膜 12 の側部及び上部と、導電膜 17 とが重なることで、チャンネル形成領域 12 a の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、半導体膜 12 のチャンネル形成領域 12 a における基板上の専有面積を小さく抑えつつ、トランジスタ 10 におけるキャリアの移動量が増加し、その結果、トランジスタ 10 のオン電流が大きくなると共に電界効果移動度が高められる。特に、チャンネル形成領域 12 a における半導体膜 12 のチャンネル幅方向の長さ ( チャンネル幅 ) を  $W$ 、チャンネル形成領域 12 a における半導体膜 12 の膜厚を  $T$  とすると、チャンネル幅  $W$  に対する膜厚  $T$  の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 10 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

30

【 0068 】

そして、上述したように、薄膜の半導体膜 12 を用いたトランジスタ 10 の場合、アスペクト比は、半導体膜 12 において結晶性の高さを確保することができる程度の高さであることが望ましい。半導体膜 12 がシリコンを含む場合、または、半導体膜 12 がシリコン及びゲルマニウムを含む場合、半導体膜 12 の結晶性の高さを確保することを考慮すると、具体的に、膜厚  $T$  は 5 nm 以上 150 nm 以下であることが望ましく、20 nm 以上 100 nm 以下であることがより望ましい。そして、膜厚  $T$  の値が上記範囲内にあると仮定し、ガラス基板を用いた場合の露光装置の解像度が数  $\mu\text{m}$  程度であることを考慮すると、具体的なアスペクト比は 0.05 以上 10 以下であることが望ましく、0.1 以上 5 以下であることがより望ましい。さらに、アスペクト比が 1 以上 5 以下であることがより望ましい。

40

【 0069 】

また、図 6 に示すように、本発明の一態様にかかるトランジスタ 10 では、不純物領域 12 b 及び不純物領域 12 c における半導体膜 12 の側部及び上部に、導電膜 14 及び導電膜 15 がそれぞれ接続されている。そのため、導電膜 14 及び導電膜 15 が半導体膜 12 の上部のみに接続されている場合に比べて、導電膜 14 及び導電膜 15 と不純物領域 12

50

b及び不純物領域12cとがそれぞれ接する面積を、より大きく確保することができる。よって、導電膜14及び導電膜15と不純物領域12b及び不純物領域12cの間の接触抵抗を小さく抑え、その結果、トランジスタ10のオン電流を高めることができる。

【0070】

また、図6に示すトランジスタ10では、バックチャネル領域側に、ゲート電極(BG)として機能する導電膜20が設けられている。よって、図6に示すトランジスタ10では、導電膜20に接続された導電膜26または導電膜27を介して、導電膜20に所定の電位を供給することで、バックチャネル領域に固定電荷が生じるのを防ぎ、オフ電流を小さくすることができる。また、図6に示すトランジスタ10では、導電膜17に供給する電位により、トランジスタ10の閾値電圧が所望の値になるよう制御することができる。

10

【0071】

また、図6に示すトランジスタ10では、少なくともチャネル形成領域12aと重なるように、半導体膜12の下部に導電膜20が設けられており、チャネル形成領域12aと重なるように、半導体膜12の上部に導電膜17が設けられている。よって、半導体膜12の上下を導電膜17及び導電膜20により支持されているため、トランジスタ10は、図1に示すトランジスタ10に比べて、応力に対して高い強度を有すると言える。

【0072】

トランジスタの構成例6

なお、図2に示すトランジスタ10では、半導体膜12を間に挟んで向かい合う位置に設けられた、開口部22及び開口部23において、導電膜17が導電膜20に接続されている場合を例示している。本発明の一態様にかかるトランジスタ10は、半導体膜12の片側に存在する開口部において、導電膜17が導電膜20に接続されていても良い。

20

【0073】

図7に示すトランジスタ10は、半導体膜12の片側に存在する開口部22において、導電膜17が導電膜20に接続されている点において、図2に示すトランジスタ10と構成が異なる。図7(A)に、トランジスタ10の平面図を示す。なお、図7(A)では、トランジスタ10のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図7(B)に、図7(A)示すトランジスタ10の回路図記号を示す。また、図7(A)に示した平面図の、破線A1-A2における断面図を図7(C)に示し、破線B1-B2における断面図を図7(D)に示す。

30

【0074】

具体的に、図7(A)、図7(C)、及び図7(D)に示すトランジスタ10では、絶縁膜13及び絶縁膜21が有する開口部22において、図7(B)の回路図記号に示すゲート電極(FG)としての機能を有する導電膜17が、図7(B)の回路図記号に示すゲート電極(BG)としての機能を有する導電膜20に接続されている。

【0075】

なお、図7では、図2に示すトランジスタ10と同様に、ソース電極またはドレイン電極として機能する導電膜14及び導電膜15が絶縁膜16上に設けられており、絶縁膜16が有する開口部において、導電膜14及び導電膜15が不純物領域12b及び不純物領域12cとそれぞれ接続されているトランジスタ10の構成を例示している。ただし、本発明の一態様では、図7に示すトランジスタ10において、図4に示すトランジスタ10と同様に、導電膜14及び導電膜15上に絶縁膜16が設けられていても良い。

40

【0076】

図7に示すトランジスタ10も、図1及び図2に示すトランジスタ10と同様に、チャネル形成領域12aにおける半導体膜12の側部及び上部と、導電膜17とが重なることで、チャネル形成領域12aの側部と上部を含めた広い範囲においてキャリアが流れる。そのため、半導体膜12のチャネル形成領域12aにおける基板上的専有面積を小さく抑えつつ、トランジスタ10におけるキャリアの移動量が増加し、その結果、トランジスタ10のオン電流が大きくなると共に電界効果移動度が高められる。特に、チャネル形成領域12aにおける半導体膜12のチャネル幅方向の長さ(チャネル幅)をW、チャネル形成

50

領域 12 a における半導体膜 12 の膜厚を T とすると、チャネル幅 W に対する膜厚 T の比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 10 のオン電流をより大きくすることができ、電界効果移動度もより高められる。

【0077】

そして、上述したように、薄膜の半導体膜 12 を用いたトランジスタ 10 の場合、アスペクト比は、半導体膜 12 において結晶性の高さを確保することができる程度の高さであることが望ましい。半導体膜 12 がシリコンを含む場合、または、半導体膜 12 がシリコン及びゲルマニウムを含む場合、半導体膜 12 の結晶性の高さを確保することを考慮すると、具体的に、膜厚 T は 5 nm 以上 150 nm 以下であることが望ましく、20 nm 以上 100 nm 以下であることがより望ましい。そして、膜厚 T の値が上記範囲内にあると仮定し、ガラス基板を用いた場合の露光装置の解像度が数  $\mu\text{m}$  程度であることを考慮すると、具体的なアスペクト比は 0.05 以上 10 以下であることが望ましく、0.1 以上 5 以下であることがより望ましい。さらに、アスペクト比が 1 以上 5 以下であることがより望ましい。

10

【0078】

また、図 7 に示すトランジスタ 10 も、図 1 及び図 2 に示すトランジスタ 10 と同様に、不純物領域 12 b 及び不純物領域 12 c における半導体膜 12 の側部及び上部に、導電膜 14 及び導電膜 15 がそれぞれ接続されている。そのため、導電膜 14 及び導電膜 15 が半導体膜 12 の上部のみに接続されている場合に比べて、導電膜 14 及び導電膜 15 と不純物領域 12 b 及び不純物領域 12 c とがそれぞれ接する面積を、より大きく確保することができる。よって、導電膜 14 及び導電膜 15 と不純物領域 12 b 及び不純物領域 12 c の間の接触抵抗を小さく抑え、その結果、トランジスタ 10 のオン電流を高めることができる。

20

【0079】

また、図 7 に示すトランジスタ 10 も、図 2 に示すトランジスタ 10 と同様に、バックチャネル領域側に、ゲート電極 (BG) として機能する導電膜 20 が設けられている。なおかつ、導電膜 20 は導電膜 17 に接続されている。上記構成により、図 7 に示すトランジスタ 10 では、バックチャネル領域に固定電荷が生じるのを防ぎ、オフ電流を小さくすることができる。また、図 7 に示すトランジスタ 10 では、導電膜 20 が導電膜 17 に接続されていることで、図 1 に示すトランジスタ 10 に比べて、キャリアの移動する領域がより広い範囲に跨るため、オン電流をより大きくすることができる。

30

【0080】

また、図 7 に示すトランジスタ 10 では、少なくともチャネル形成領域 12 a と重なるように、半導体膜 12 の下部に導電膜 20 が設けられており、チャネル形成領域 12 a と重なるように、半導体膜 12 の上部に導電膜 17 が設けられている。よって、半導体膜 12 の上下を導電膜 17 及び導電膜 20 により支持されているため、トランジスタ 10 は、図 1 に示すトランジスタ 10 に比べて、応力に対して高い強度を有すると言える。

【0081】

なお、図 1 乃至図 7 に示すトランジスタ 10 と基板 11 の間には、各種の半導体素子が設けられていても良い。この場合、半導体素子を覆う絶縁膜上に、トランジスタ 10 を設ければ良い。

40

【0082】

また、図 1 乃至図 7 に示すトランジスタ 10 において、導電膜 14 及び導電膜 15 と、不純物領域 12 b 及び不純物領域 12 c とが接続された状態とは、導電膜 14 及び導電膜 15 と、不純物領域 12 b 及び不純物領域 12 c とが直接接している状態だけを意味するものではない。例えば、電氣的な接続を確保できる程度に小さい膜厚を有する、自然酸化膜などの絶縁膜が、導電膜 14 及び導電膜 15 と、不純物領域 12 b 及び不純物領域 12 c との間に設けられた状態も、接続された状態に含まれる。

【0083】

また、図 1 乃至図 7 に示すトランジスタ 10 では、半導体膜 12 が、チャネル形成領域 1

50

2 a、不純物領域 1 2 b 及び不純物領域 1 2 c に加えて、一導電型を半導体に付与する不純物を、不純物領域 1 2 b 及び不純物領域 1 2 c よりも低濃度を含む L D D ( L i g h t l y D o p e d D r a i n ) 領域を有していても良い。L D D 領域は、チャンネル形成領域 1 2 a と不純物領域 1 2 b の間、もしくは、不純物領域 1 2 c とチャンネル形成領域 1 2 a の間に設けることができる。

【 0 0 8 4 】

また、図 1 乃至図 7 に示すトランジスタ 1 0 では、チャンネル長方向の断面図、すなわち破線 A 1 - A 2 における断面図にて、チャンネル形成領域 1 2 a と、不純物領域 1 2 b 及び不純物領域 1 2 c との境界が、導電膜 1 7 の端部と重なっている場合を例示している。ただし、本発明の一態様では、チャンネル形成領域 1 2 a と不純物領域 1 2 b の境界、もしくはチャンネル形成領域 1 2 a と不純物領域 1 2 c の境界が、導電膜 1 7 と重なるように位置していても良い。この場合、不純物領域 1 2 b の一部または不純物領域 1 2 c の一部が、絶縁膜 1 3 を間に挟んで導電膜 1 7 と重なる。或いは、本発明の一態様では、導電膜 1 7 の端部がチャンネル形成領域 1 2 a と重なるように位置していても良い。この場合、チャンネル形成領域 1 2 a の一部は、絶縁膜 1 3 を間に挟んで導電膜 1 7 と重ならない。また、L D D 領域を半導体膜 1 2 に設ける場合は、L D D 領域の一部が、絶縁膜 1 3 を間に挟んで導電膜 1 7 と重なっていても良い。

10

【 0 0 8 5 】

トランジスタの構成例 7

次いで、図 2 で示したトランジスタ 1 0 が複数直列に接続されている場合の、複数のトランジスタ 1 0 の平面図を、図 8 に一例として示す。

20

【 0 0 8 6 】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第 1 のトランジスタのソース及びドレインの一方のみが、第 2 のトランジスタのソース及びドレインの一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタのソース及びドレインの一方が第 2 のトランジスタのソース及びドレインの一方に接続され、第 1 のトランジスタのソース及びドレインの他方が第 2 のトランジスタのソース及びドレインの他方に接続されている状態を意味する。

【 0 0 8 7 】

具体的に、図 8 では、トランジスタ 1 0 a 乃至トランジスタ 1 0 c で示される 3 つのトランジスタ 1 0 が、直列に接続されている様子を示している。ただし、図 8 では、トランジスタ 1 0 のレイアウトを明確にするために、各種の絶縁膜を省略している。

30

【 0 0 8 8 】

トランジスタ 1 0 a 乃至トランジスタ 1 0 c は、半導体膜 1 2 を共有している。そして、トランジスタ 1 0 a は、ソース電極またはドレイン電極として機能する導電膜 3 0 及び導電膜 3 1 を有する。トランジスタ 1 0 b は、ソース電極またはドレイン電極として機能する導電膜 3 1 及び導電膜 3 2 を有する。トランジスタ 1 0 c は、ソース電極またはドレイン電極として機能する導電膜 3 2 及び導電膜 3 3 を有する。なお、導電膜 3 0 乃至導電膜 3 3 のそれぞれは、図 2 で示すトランジスタ 1 0 が有する導電膜 1 4 及び導電膜 1 5 のい

40

【 0 0 8 9 】

そして、トランジスタ 1 0 a のゲート電極として機能する導電膜 1 7 a は、開口部 1 8 a 及び開口部 1 9 a を介して、ゲート電極 ( B G ) として機能する導電膜 2 0 に接続されている。また、トランジスタ 1 0 b のゲート電極として機能する導電膜 1 7 b は、開口部 1 8 b 及び開口部 1 9 b を介して、ゲート電極 ( B G ) として機能する導電膜 2 0 に接続されている。また、トランジスタ 1 0 c のゲート電極として機能する導電膜 1 7 c は、開口部 1 8 c 及び開口部 1 9 c を介して、ゲート電極 ( B G ) として機能する導電膜 2 0 に接続されている。

【 0 0 9 0 】

50

図 9 に、図 8 に示したトランジスタ 10 a 乃至トランジスタ 10 c の斜視図を示す。ただし、図 9 では、トランジスタ 10 a 乃至トランジスタ 10 c の形状を明確にするために、ゲート絶縁膜として機能する絶縁膜のうち、導電膜 17 a 乃至導電膜 17 c と半導体膜 12 の間にそれぞれ存在する部分を、絶縁膜 13 a 乃至絶縁膜 13 c として示しており、絶縁膜 13 a 乃至絶縁膜 13 c 以外の各種の絶縁膜は省略している。また、図 9 では、導電膜 30 乃至導電膜 33 は省略している。

【0091】

なお、図 8 及び図 9 では、直列に接続されたトランジスタ 10 a 乃至トランジスタ 10 c がそれぞれ有する導電膜 17 a 乃至導電膜 17 c が、全て導電膜 20 に接続されている場合を例示しているが、導電膜 17 a 乃至導電膜 17 c が、互いに電氣的に分離している複数の導電膜 20 に、それぞれ接続されていても良い。

10

【0092】

作製方法

次いで、図 2 に示すトランジスタ 10 と同じ構造を有し、なおかつ n チャンネル型であるトランジスタ 10 N と、図 2 に示すトランジスタ 10 と同じ構造を有し、なおかつ p チャンネル型であるトランジスタ 10 P とを例に挙げて、トランジスタ 10 の具体的な作製方法について、図 10 乃至図 13 を用いて説明する。なお、図 10 乃至図 13 では、トランジスタ 10 P が形成される領域の、チャンネル長方向における断面図を破線 C1 - C2 の範囲内に示し、トランジスタ 10 N が形成される領域の、チャンネル長方向における断面図を破線 C3 - C4 の範囲内に示し、チャンネル幅方向における断面図を破線 C5 - C6 の範囲内に示す。

20

【0093】

まず、図 10 (A) に示すように、耐熱性を有する基板 300 上に絶縁膜 301 を形成した後、ゲート電極 (BG) として機能する導電膜 302 及び導電膜 303 を絶縁膜 301 上に形成する。

【0094】

基板 300 としては、後の作製工程において耐えうる程度の耐熱性を有する基板が望ましく、例えば、ガラス基板、石英基板、セラミック基板、サファイア基板等が用いられる。

【0095】

絶縁膜 301 は、基板 300 中に含まれるアルカリ金属やアルカリ土類金属が、後に形成される半導体膜 306 及び半導体膜 307 中に拡散するのを抑え、トランジスタ 10 P 及びトランジスタ 10 N の電氣的特性に悪影響を及ぼすのを防ぐ機能を有する。絶縁膜 301 は、CVD 法やスパッタリング法を用いて、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等の絶縁性を有する材料を用いて形成する。

30

【0096】

導電膜 302 及び導電膜 303 として、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電性材料でなる膜を 1 層または 2 層以上積層させて用いるとよい。例えば、導電膜 302 及び導電膜 303 として、窒化タングステン膜上に銅膜を積層した導電膜や、単層のタングステン膜を用いることができる。本実施の形態では、導電膜 302 及び導電膜 303 として、膜厚 200 nm のタングステン膜を用いるものとする。

40

【0097】

次いで、図 10 (B) に示すように、導電膜 302 及び導電膜 303 上に絶縁膜 304 を形成した後、絶縁膜 304 上に半導体膜 305 を形成する。

【0098】

絶縁膜 304 は、プラズマ CVD 法またはスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素または酸化窒化珪素を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、基板 300 側から酸化珪素膜、窒化珪素膜、酸化珪素膜の 3 層構造とするのが好ましい。

50

## 【0099】

半導体膜305は、絶縁膜304を形成した後、大気に曝さずに形成することが望ましい。半導体膜305の膜厚は5nm以上150nm以下が望ましく、20nm以上100nm以下がより望ましい。なお、半導体膜305は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01atomic%以上4.5atomic%以下程度であることが好ましい。

## 【0100】

半導体膜305は、様々な技術により結晶化しても良い。様々な結晶化方法として、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板300として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950程度

10

## 【0101】

なお、半導体膜305に対して、p型を付与する不純物元素又はn型を付与する不純物元素を低濃度に添加するチャネルドーピングを行っても良い。p型を付与する不純物元素として、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。n型を付与する不純物元素として、リン(P)やヒ素(As)等を用いることができる。例えば、不純物元素としてボロン(B)を用いる場合、当該ボロンが $1 \times 10^{16}$  atoms/cm<sup>3</sup>以上、 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下の濃度で半導体膜305に含まれるよう、チャネルドーピングを行う。

20

## 【0102】

次いで、図11(A)に示すように、半導体膜305の形状をエッチング等に加工することで、島状の半導体膜306及び半導体膜307を絶縁膜304上に形成する。半導体膜306は、絶縁膜304を間に挟んで導電膜302と重なっており、半導体膜307は、絶縁膜304を間に挟んで導電膜303と重なっている。

## 【0103】

次いで、図11(B)に示すように、半導体膜306及び半導体膜307を覆うように、絶縁膜308を形成する。絶縁膜308は、プラズマCVD法またはスパッタリング法などを用い、窒化珪素、酸化珪素、窒化酸化珪素または酸化窒化珪素を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、基板300側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。

30

## 【0104】

絶縁膜308は、高密度プラズマ処理を行うことにより半導体膜306及び半導体膜307の表面を酸化または窒化することで形成しても良い。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化または窒化することにより、1nm以上、20nm以下、代表的には5nm以上、10nm以下の絶縁膜が半導体膜に接するように形成される。この5nm以上、10nm以下の絶縁膜を絶縁膜308として用いる。

40

## 【0105】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜と半導体膜の界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化

50

が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0106】

次いで、図12(A)に示すように、絶縁膜308上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、島状の半導体膜306及び半導体膜307の上方に導電膜309及び導電膜310を形成する。導電膜309及び導電膜310として、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電性材料でなる膜を1層または2層以上積層させて用いるとよい。導電膜309及び導電膜310の形成にはCVD法、スパッタリング法等を用いることができる。

10

【0107】

次いで、図12(B)に示すように、半導体膜306を覆うようにレジスト311を形成し、レジスト311と導電膜310とをマスクとして、半導体膜307にn型を付与する不純物元素(代表的にはPまたはAs)を添加する。上記不純物元素の添加は、例えば、半導体膜307に含まれる不純物の濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下になるように、加速電圧を60keV以上、100keV以下としてイオン注入法で行うことができる。上記不純物の添加により、半導体膜307に、一对の不純物領域312が形成される。

20

【0108】

次いで、図13(A)に示すように、半導体膜307覆うようにレジスト313を形成し、レジスト313と導電膜309とをマスクとして、半導体膜306にp型を付与する不純物元素(代表的にはB)を添加する。上記不純物元素の添加は、例えば、半導体膜306に含まれる不純物の濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下になるように、加速電圧を20keV以上40keV以下としてイオン注入法で行うことができる。上記不純物の添加により、半導体膜306に、一对の不純物領域314が形成される。

30

【0109】

次いで、図13(B)に示すように、基板300を覆うように絶縁膜320を形成してから、絶縁膜320に開口部を形成し、その後、開口部において不純物領域312に接する導電膜321と、開口部において不純物領域314に接する導電膜322とを形成する。

30

【0110】

絶縁膜320は、プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成する。本実施の形態では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。

【0111】

導電膜321及び導電膜322として、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを一種以上含む導電性材料からなる膜を1層または2層以上積層させて用いるとよい。

40

【0112】

次いで、不純物領域の加熱処理による活性化を行っても良い。例えば、550℃、4時間、窒素雰囲気中において加熱処理を行うことで、上記活性化を実施することができる。

【0113】

また、水素を含む窒化珪素膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気中において加熱処理を行ない、半導体膜306及び半導体膜307を水素化する工程を行なっても良い。或いは、水素を含む雰囲気中で、300℃以上、450℃以下で1時間以上、12時間以下の加熱処理を行ない、半導体膜306及び半導体膜307を水素化する工程を行なっても良い。加熱処理には、熱アニール、レーザーアニール法または

50

R T A法などを用いることができる。加熱処理により、水素化のみならず、半導体膜に添加された不純物元素の活性化も行うことができる。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。この水素化の工程により、熱的に励起された水素によりダングリングボンドを終端することができる。

【0114】

上述した一連の工程により、pチャネル型のトランジスタ10Pと、nチャネル型のトランジスタ10Nとが形成される。

【0115】

なお、上記方法を用いて作製されたトランジスタ10P及びトランジスタ10Nを、別途用意されたプラスチックなどの可撓性を有する基板に移しても良い。半導体素子を別の基板に移し替えるには、様々な方法を用いることができる。例えば、基板と半導体素子の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して半導体素子を剥離し、移す方法、基板と半導体素子の間に水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッチングにより該非晶質珪素膜を除去することで基板と半導体素子とを剥離し、移す方法、半導体素子が形成された基板を機械的に削除または溶液やガスによるエッチングで除去することで半導体素子を基板から切り離し、移す方法等が挙げられる。

10

【0116】

この場合、プラスチック基板として、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ナイロン、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

20

【0117】

半導体表示装置の構成例

次いで、本発明の半導体装置の一形態に相当する、半導体表示装置の構成例について説明する。

【0118】

図14（A）に示す半導体表示装置70には、画素部71に、複数の画素55と、画素55を行毎に選択するための、配線GL1乃至配線GLy（yは2以上の自然数）で示される配線GLと、選択された画素55に画像信号を供給するための、配線SL1乃至配線SLx（xは2以上の自然数）で示される配線SLとが、設けられている。配線GLへの信号の供給は、走査線駆動回路72により制御されている。配線SLへの画像信号の供給は、信号線駆動回路73により制御されている。複数の画素55は、配線GLの少なくとも一つと、配線SLの少なくとも一つとに、それぞれ接続されている。

30

【0119】

なお、画素部71に設けられる配線の種類及びその数は、画素55の構成、数及び配置によって決めることができる。具体的に、図14（A）に示す画素部71の場合、x列×y行の画素55がマトリクス状に配置されており、配線SL1乃至配線SLx、配線GL1乃至配線GLyが、画素部71内に配置されている場合を例示している。

40

【0120】

なお、図14（A）では、走査線駆動回路72及び信号線駆動回路73が、画素部71とともに一の基板上に形成されている場合を例示しているが、信号線駆動回路73の一部または全てが、画素部71と異なる基板上に形成されていても良い。図1乃至図7に示したトランジスタ10は、走査線駆動回路72、信号線駆動回路73、または画素部71に用いることができる。

【0121】

また、図14（B）に、画素55の構成を一例として示す。各画素55は、液晶素子60と、当該液晶素子60への画像信号の供給を制御するトランジスタ56と、液晶素子60

50

の画素電極と共通電極間の電圧を保持するための容量素子 57 とを有する。液晶素子 60 は、画素電極と、共通電極と、画素電極と共通電極の間の電圧が印加される液晶材料を含んだ液晶層と、を有している。

【0122】

トランジスタ 56 は、液晶素子 60 の画素電極に、配線 SL の電位を与えるか否かを制御する。液晶素子 60 の共通電極には、所定の電位が与えられている。

【0123】

以下、トランジスタ 56 と液晶素子 60 の具体的な接続構成について説明する。図 14 (B) では、トランジスタ 56 のゲートが、配線 GL1 から配線 GLy のいずれか 1 つに接続されている。トランジスタ 56 のソース及びドレインの一方は、配線 SL1 から配線 SLx のいずれか 1 つに接続され、トランジスタ 56 のソース及びドレインの他方は、液晶素子 60 の画素電極に接続されている。

10

【0124】

液晶素子 60 では、画素電極と共通電極の間に与えられる電圧の値に従って、液晶層に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子 60 は、画素電極に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。そして、画素部 71 が有する複数の画素 55 のそれぞれにおいて、液晶素子 60 の階調が画像情報を有する画像信号に従って調整されることで、画素部 71 に画像が表示される。

【0125】

図 14 (B) では、画素 55 において、画像信号の画素 55 への供給を制御するスイッチとして、一のトランジスタ 56 を用いる場合を例示している。しかし、一のスイッチとして機能する、複数のトランジスタを、画素 55 に用いても良い。

20

【0126】

図 1 乃至図 7 に示したトランジスタ 10 はオン電流を大きくすることができる。よって、図 1 乃至図 7 に示したトランジスタ 10 をトランジスタ 56 として用いることで、画素 55 への画像信号の供給を高速に行うことができるので、画素 55 の画質を高めることができる。また、図 2、図 4 乃至図 7 に示したトランジスタ 10 はオフ電流を小さくすることができる。よって、図 2、図 4 乃至図 7 に示したトランジスタ 10 をトランジスタ 56 として用いることで、トランジスタ 56 を介して電荷がリークするのを防ぐことができ、液晶素子 60 及び容量素子 57 に与えられた画像信号の電位をより確実に保持することができる。その結果、1 フレーム期間内において電荷のリークにより液晶素子 60 の透過率が変化するのを防ぎ、それにより、表示する画像の質を向上させることができる。

30

【0127】

次いで、図 14 (C) に、画素 55 の別の一例を示す。画素 55 は、画素 55 への画像信号の供給を制御するトランジスタ 95 と、発光素子 98 と、画像信号に従って発光素子 98 に供給する電流値を制御するトランジスタ 96 と、画像信号の電位を保持するための容量素子 97 と、を有する。

【0128】

発光素子 98 は、LED (Light Emitting Diode) や OLED (Organic Light Emitting Diode) などの、電流または電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、OLED は、EL 層と、アノードと、カソードとを少なくとも有している。EL 層はアノードとカソードの間に設けられた単層または複数の層で構成されており、これらの層の中に、発光性の物質を含む発光層を少なくとも含んでいる。

40

【0129】

なお、EL 層は、カソードとアノード間の電位差が、発光素子 98 の閾値電圧以上になったときに供給される電流により、エレクトロルミネッセンスが得られる。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とが含まれる。

50

## 【0130】

発光素子98のアノードとカソードのいずれか一方は、画素55に供給される画像信号に従ってその電位が制御される。アノードとカソードのうち、画像信号に従ってその電位が制御される電極を画素電極とし、もう一方の電極を共通電極とする。発光素子98の共通電極には、所定の電位が与えられており、発光素子98の輝度は、画素電極と共通電極間の電位差によって定まる。よって、発光素子98は、画像信号の電位に従ってその輝度が制御されることで、階調を表示することができる。そして、画素部が有する複数の画素55のそれぞれにおいて、発光素子98の階調が画像情報を有する画像信号に従って調整されることで、画素部71に画像が表示される。

## 【0131】

次いで、画素55が有する、トランジスタ95、トランジスタ96、容量素子97、発光素子98の接続構成について説明する。

## 【0132】

トランジスタ95は、ソースまたはドレインの一方が配線SLに接続され、ソースまたはドレインの他方がトランジスタ96のゲートに接続されている。トランジスタ95のゲートは、配線GLに接続されている。トランジスタ96は、ソースまたはドレインの一方が電源線VLに接続され、ソースまたはドレインの他方が発光素子98に接続されている。具体的に、トランジスタ96のソースまたはドレインの他方は、発光素子98のアノードとカソードのいずれか一方に接続されている。発光素子98のアノードとカソードのいずれか他方には、所定の電位が与えられる。

## 【0133】

図1乃至図7に示したトランジスタ10はオン電流を大きくすることができる。よって、図1乃至図7に示したトランジスタ10をトランジスタ95として用いることで、画素55への画像信号の供給を高速に行うことができるので、画素55の画質を高めることができる。また、図2、図4乃至図7に示したトランジスタ10はオフ電流を小さくすることができる。よって、図2、図4乃至図7に示したトランジスタ10をトランジスタ95として用いることで、トランジスタ95を介して電荷がリークするのを防ぐことができ、容量素子97に与えられた画像信号の電位をより確実に保持することができる。その結果、1フレーム期間内において電荷のリークにより発光素子98の輝度が変化するのを防ぎ、それにより、表示する画像の質を向上させることができる。

## 【0134】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置の一例としては、EL(エレクトロルミネセンス)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子)、LED(白色LED、赤色LED、緑色LED、青色LEDなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、IMOD(インターフェアレンス・モジュレーション)素子、エレクトロウエッチング素子、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどが

10

20

30

40

50

ある。

【0135】

画素の構成

次いで、図14(A)に示した半導体表示装置70の一つである発光装置を例に挙げて、画素55の構成例について説明する。図15に、図14(C)に示した画素55の上面図を、一例として示す。なお、図15では、画素55のレイアウトを明確にするために、各種の絶縁膜と、発光素子98とを省略している。

【0136】

図15に示す画素55は、トランジスタ95と、トランジスタ96と、容量素子97とを有する。なお、図15では、図1に示したトランジスタ10と同じ構造を採用したトランジスタ95及びトランジスタ96を、発光装置に用いた場合を例示しているが、本発明の一態様では、図1乃至図7にそれぞれ示したトランジスタ10のいずれであっても、発光装置に用いることができる。

【0137】

トランジスタ95は、ゲート電極としての機能を有する導電膜501と、半導体膜502と、半導体膜502に接続され、ソース電極またはドレイン電極としての機能を有する導電膜503とを有する。導電膜501は、図14(C)に示す配線GLとしての機能を有する。また、導電膜503は、図14(C)に示す配線SLとしての機能を有する。

【0138】

容量素子97は、半導体膜502と、導電膜504と、半導体膜502と導電膜504の間に設けられた絶縁膜(図示せず)とを有する。導電膜504は導電膜503と同じ層に配置された導電膜505に、接続されている。

【0139】

トランジスタ96は、ゲート電極としての機能を有する導電膜506と、半導体膜507と、半導体膜507に接続され、ソース電極またはドレイン電極としての機能を有する導電膜508及び導電膜509とを有する。また、導電膜509は、図14(C)に示す発光素子98の画素電極に接続される。導電膜506は、導電膜510を介して半導体膜502に接続されている。導電膜508は、導電膜511に接続されており、導電膜511は、図14(C)に示す配線VLとしての機能を有する。

【0140】

なお、アノードまたはカソードとなる電極には、金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、酸化インジウム-酸化スズ(ITO: Indium Tin Oxide)、珪素若しくは酸化珪素を含有した酸化インジウム-酸化スズ、酸化インジウム-酸化亜鉛(Indium Zinc Oxide)、酸化タングステン及び酸化亜鉛を含有した酸化インジウム、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、チタン(Ti)の他、元素周期表の第1族または第2族に属する元素、すなわちリチウム(Li)やセシウム(Cs)等のアルカリ金属、およびカルシウム(Ca)、ストロンチウム(Sr)等のアルカリ土類金属、マグネシウム(Mg)およびこれらを含む合金(MgAg、AlLi)、ユーロピウム(Eu)、イッテルビウム(Yb)等の希土類金属およびこれらを含む合金、その他、グラフェン等を用いることができる。そして、上記材料を適宜選択し、その膜厚を最適な値に設定することで、トップエミッション構造、ボトムエミッション構造、またはデュアルエミッション構造を作り分けることが可能となる。

【0141】

また、本発明の一態様では、発光装置が、白色などの単色の光を発する発光素子と、カラーフィルタを組み合わせることで、フルカラー画像の表示を行うカラーフィルタ方式を採用していても良い。或いは、互いに異なる色相の光を発する複数の発光素子を用いて、フルカラー画像の表示を行う方式を採用することもできる。この方式は、発光素子が有する一对の電極間に設けられるEL層を、対応する色ごとに塗り分けるため、塗り分け方式と

10

20

30

40

50

呼ばれる。

【0142】

塗り分け方式の場合、EL層の塗り分けは、通常、メタルマスクなどのマスクを用いて、蒸着法で行われる。そのため、画素のサイズは蒸着法によるEL層の塗り分け精度に依存する。一方、カラーフィルタ方式の場合、塗り分け方式とは異なり、EL層の塗り分けを行う必要がない。よって、塗り分け方式の場合よりも、画素サイズの縮小化が容易であり、高精細の画素部を実現することができる。

【0143】

また、トップエミッション構造の場合、発光素子から発せられる光を、配線、トランジスタ、容量素子などの各種素子によって遮られることがないため、ボトムエミッション構造に比べて、画素からの光の取り出し効率を高めることができる。よって、トップエミッション構造は、発光素子に供給する電流値を低く抑えても、高い輝度を得ることができるため、発光素子の長寿命化に有利である。

10

【0144】

また、本発明の一態様では、発光装置が、EL層から発せられる光を発光素子内で共振させる、マイクロキャビティ（微小光共振器）構造を有していても良い。マイクロキャビティ構造により、特定の波長の光について、発光素子からの取り出し効率を高めることができるので、画素部の輝度と色純度を向上させることができる。

【0145】

発光装置の断面構造

図16に、本発明の半導体装置の一形態に相当する、発光装置の画素部の断面構造を一例として示す。

20

【0146】

具体的に、図16に示す発光装置は、基板400上にトランジスタ42を有する。なお、図16では、図2に示したトランジスタ10と同じ構造を採用したトランジスタ42を、発光装置に用いた場合を例示しているが、本発明の一態様では、図1乃至図7にそれぞれ示したトランジスタ10のいずれであっても、発光装置に用いることができる。

【0147】

トランジスタ42上には絶縁膜420が設けられており、絶縁膜420上には導電膜424が設けられている。導電膜424は、絶縁膜420に設けられた開口部において、トランジスタ42のソース電極またはドレイン電極として機能する導電膜404に接続されている。

30

【0148】

絶縁膜420及び導電膜424上には絶縁膜425が設けられている。絶縁膜425は、導電膜424と重なる位置に開口部を有する。また、絶縁膜425上において、絶縁膜425の開口部とは異なる位置に、絶縁膜426が設けられている。そして、絶縁膜425及び絶縁膜426上には、EL層427及び導電膜428が、順に積層するように設けられている。導電膜424及び導電膜428が、EL層427を間に挟んで重なり合う部分が、発光素子43として機能する。そして、導電膜424及び導電膜428は、一方がアノード、他方がカソードとして機能する。

40

【0149】

また、発光装置は、発光素子43を間に挟んで基板400と対峙する、基板430を有する。基板430上、すなわち、基板430の発光素子43に近い側の面上には、光を遮蔽する機能を有する遮蔽膜431が設けられている。そして、遮蔽膜431は、発光素子43と重なる領域に開口部を有している。発光素子43に重なる開口部において、基板430上には特定の波長範囲の可視光を透過する着色層432が設けられている。

【0150】

順序回路の構成例

次いで、図1乃至図7に示すトランジスタ10を用いた、順序回路の構成例について説明する。

50

## 【 0 1 5 1 】

図 1 7 ( A ) に、順序回路 8 0 に接続された各種配線の位置を、模式的に示す。また、図 1 7 ( B ) に、順序回路 8 0 の回路構成を一例として示す。図 1 7 ( B ) に示す順序回路 8 0 は、p チャンネル型のトランジスタ 8 1 乃至トランジスタ 8 5 と、n チャンネル型のトランジスタ 8 6 乃至トランジスタ 9 0 とを有する。トランジスタ 8 1 乃至トランジスタ 9 0 には、図 1 乃至図 7 に示すトランジスタ 1 0 の構造を適用することができる。

## 【 0 1 5 2 】

順序回路 8 0 において、トランジスタ 8 1、トランジスタ 8 2、トランジスタ 8 6、及びトランジスタ 8 7 は、配線 c 1 及び配線 c 2 に供給される信号に従って信号の出力の有無が制御されるクロックインバータを構成している。

10

## 【 0 1 5 3 】

具体的に、トランジスタ 8 1 は、ゲートが配線 c 2 に接続され、ソース及びドレインの一方が配線 7 4 に接続され、ソース及びドレインの他方がトランジスタ 8 2 のソース及びドレインの一方に接続されている。トランジスタ 8 2 は、ゲートが配線 i n に接続され、ソース及びドレインの他方がトランジスタ 8 5 及びトランジスタ 9 0 のゲートに接続されている。トランジスタ 8 7 は、ゲートが配線 c 1 に接続され、ソース及びドレインの一方が配線 7 5 に接続され、ソース及びドレインの他方がトランジスタ 8 6 のソース及びドレインの一方に接続されている。トランジスタ 8 6 は、ゲートが配線 i n に接続され、ソース及びドレインの他方がトランジスタ 8 5 及びトランジスタ 9 0 のゲートに接続されている。

20

## 【 0 1 5 4 】

また、順序回路 8 0 において、トランジスタ 8 3、トランジスタ 8 4、トランジスタ 8 8、及びトランジスタ 8 9 は、配線 c 1 及び配線 c 2 に供給される信号に従って信号の出力の有無が制御されるクロックインバータを構成している。

## 【 0 1 5 5 】

具体的に、トランジスタ 8 3 は、ゲートが配線 c 1 に接続され、ソース及びドレインの一方が配線 7 6 に接続され、ソース及びドレインの他方がトランジスタ 8 4 のソース及びドレインの一方に接続されている。トランジスタ 8 4 は、ゲートが配線 o u t に接続され、ソース及びドレインの他方がトランジスタ 8 5 及びトランジスタ 9 0 のゲートに接続されている。トランジスタ 8 9 は、ゲートが配線 c 2 に接続され、ソース及びドレインの一方が配線 7 7 に接続され、ソース及びドレインの他方がトランジスタ 8 8 のソース及びドレインの一方に接続されている。トランジスタ 8 8 は、ゲートが配線 o u t に接続され、ソース及びドレインの他方がトランジスタ 8 5 及びトランジスタ 9 0 のゲートに接続されている。

30

## 【 0 1 5 6 】

また、順序回路 8 0 において、トランジスタ 8 5 及びトランジスタ 9 0 はインバータを構成している。

## 【 0 1 5 7 】

具体的に、トランジスタ 8 5 は、ソース及びドレインの一方が配線 7 8 に接続され、ソース及びドレインの他方が配線 o u t に接続されている。トランジスタ 9 0 は、ソース及びドレインの一方が配線 7 9 に接続され、ソース及びドレインの他方が配線 o u t に接続されている。

40

## 【 0 1 5 8 】

また、配線 7 5、配線 7 7、及び配線 7 9 には、ローレベルの電位 V S S が与えられ、配線 7 4、配線 7 6、及び配線 7 8 には、ハイレベルの電位 V D D が与えられる。

## 【 0 1 5 9 】

図 1 乃至図 7 に示したトランジスタ 1 0 はオン電流を大きくすることができる。よって、図 1 乃至図 7 に示したトランジスタ 1 0 を順序回路 8 0 のトランジスタ 8 1 乃至トランジスタ 9 0 のいずれかに用いることで、順序回路 8 0 を高速に動作させることができる。また、図 2、図 4 乃至図 7 に示したトランジスタ 1 0 はオフ電流を小さくすることができる。

50

。よって、図 2、図 4 乃至図 7 に示したトランジスタ 10 を順序回路 80 のトランジスタ 81 乃至トランジスタ 90 のいずれかに用いることで、配線 75、配線 77、及び配線 79 と、配線 74、配線 76、及び配線 78 の間に流れるリーク電流を小さく抑えることができ、順序回路 80 の消費電力を低減させることができる。

【0160】

駆動回路の構成例

次いで、図 17 に示した順序回路 80 を用いた信号線駆動回路の構成を、図 18 に一例としてブロック図で示す。なお、ブロック図では、構成要素を機能ごとに分類し、互いに独立したブロックとして示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

10

【0161】

図 18 に示す信号線駆動回路では、複数の順序回路 80 を用いてシフトレジスタが構成されている。そして、複数の順序回路 80 では、スタートパルス信号 SSP、または前段の順序回路 80 に接続された配線 out の信号が、配線 in に入力される。配線 c1 及び配線 c2 の一方には、クロック信号 SCK が入力され、配線 c1 及び配線 c2 の他方には、クロック信号 SCK の論理値が反転されたクロック信号 SCKb が入力される。

【0162】

複数の順序回路 80 の配線 in に入力される信号と、配線 out に入力される信号は、複数の NAND40 が有する一対の入力端子に、それぞれ入力される。複数の NAND40 が有する出力端子から出力される信号は、複数の NOR41 が有する一対の入力端子の一方に、それぞれ入力される。また、複数の NOR41 が有する一対の入力端子の他方には、複数の NAND40 が有する出力端子から出力される信号が、バッファ 44 を介して入力される。複数の NOR41 が有する出力端子から出力される信号は、バッファ 45 を介して、複数のトランスマッションゲート 47 が有する第 1 端子に入力される。また、複数の NOR41 が有する出力端子から出力される信号は、インバータ 46 を介して、複数のトランスマッションゲート 47 が有する第 2 端子に入力される。

20

【0163】

トランスマッションゲート 47 は、第 1 端子及び第 2 端子に入力される信号に従って、入力端子に入力される画像信号 Video の配線 SL への供給を制御する機能を有する。

【0164】

次いで、図 17 に示した順序回路 80 を用いた走査線駆動回路の構成を、図 19 に一例としてブロック図で示す。

30

【0165】

図 19 に示す走査線駆動回路では、複数の順序回路 80 を用いてシフトレジスタが構成されている。そして、複数の順序回路 80 では、スタートパルス信号 GSP、または前段の順序回路 80 に接続された配線 out の信号が、配線 in に入力される。配線 c1 及び配線 c2 の一方には、クロック信号 GCK が入力され、配線 c1 及び配線 c2 の他方には、クロック信号 GCK の論理値が反転されたクロック信号 GCKb が入力される。

【0166】

複数の順序回路 80 の配線 in に入力される信号と、配線 out に入力される信号は、複数の NAND48 が有する一対の入力端子に、それぞれ入力される。複数の NAND48 が有する出力端子から出力される信号は、複数の NOR49 が有する一対の入力端子の一方に、それぞれ入力される。また、複数の NOR49 が有する一対の入力端子の他方には、信号 PWC がそれぞれ入力される。具体的に、図 19 では、一の NAND48 が有する出力端子から出力される信号が、6 つの NOR49 が有する一対の入力端子の一方に、それぞれ入力される場合を例示している。そして、上記 6 つの NOR49 が有する一対の入力端子の他方には、信号 PWC1 乃至信号 PWC6 がそれぞれ入力される場合を例示している。複数の NOR49 が有する出力端子から出力される信号は、バッファ 50 を介して、複数の配線 GL にそれぞれ入力される。

40

【0167】

50

なお、図1乃至図7に示したトランジスタ10は、順序回路80のみならず、図18に示す信号線駆動回路を構成する各種回路、或いは、図19に示す走査線駆動回路を構成する各種回路に、用いることができる。図1乃至図7に示したトランジスタ10はオン電流を大きくすることができる。よって、図1乃至図7に示したトランジスタ10を、信号線駆動回路または走査線駆動回路を構成する各種回路に用いることで、信号線駆動回路または走査線駆動回路を高速に動作させることができる。また、図2、図4乃至図7に示したトランジスタ10はオフ電流を小さくすることができる。よって、図2、図4乃至図7に示したトランジスタ10を信号線駆動回路または走査線駆動回路を構成する各種回路に用いることで、信号線駆動回路または走査線駆動回路の消費電力を低減させることができる。

#### 【0168】

##### 発光装置の外観

図20は、本発明の半導体装置の一形態に相当する、発光装置の外観の一例を示す、斜視図である。図20に示す発光装置は、パネル1601と、コントローラ、電源回路、画像処理回路、画像メモリ、CPUなどが設けられた回路基板1602と、接続部1603とを有している。パネル1601は、画素が複数設けられた画素部1604と、複数の画素を行ごとに選択する駆動回路1605と、選択された行内の画素への画像信号Sigの供給を制御する駆動回路1606とを有する。

#### 【0169】

回路基板1602から、接続部1603を介して、各種信号と、電源の電位とが、パネル1601に入力される。接続部1603には、FPC(Flexible Printed Circuit)などを用いることができる。また、接続部1603にCOFテープを用いる場合、回路基板1602内の一部の回路、或いはパネル1601が有する駆動回路1605や駆動回路1606の一部などを別途用意したチップに形成しておき、COF(Chip On Film)法を用いて当該チップをCOFテープに接続しておいても良い。

#### 【0170】

##### 電子機器の構成例

本発明の一態様に係る半導体装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図21に示す。

#### 【0171】

図21(A)は表示装置であり、筐体5001、表示部5002、支持台5003等を有する。本発明の一態様に係る半導体装置は、表示部5002またはその他の各種回路に用いることができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

#### 【0172】

図21(B)は携帯情報端末であり、筐体5101、表示部5102、操作キー5103等を有する。本発明の一態様に係る半導体装置は、表示部5102またはその他の各種回路に用いることができる。

#### 【0173】

図21(C)は表示装置であり、曲面を有する筐体5701、表示部5702等を有する。本発明の一態様に係る半導体装置は、表示部5702またはその他の各種回路に用いることができる。本発明の一態様に係る半導体装置に可撓性を有する基板を用いることで、

10

20

30

40

50

曲面を有する筐体 5701 に支持された表示部 5702 に、当該半導体装置を用いることができ、フレキシブルかつ軽くて使い勝手の良い表示装置を提供することができる。

【0174】

図 21 (D) は携帯型ゲーム機であり、筐体 5301、筐体 5302、表示部 5303、表示部 5304、マイクロホン 5305、スピーカー 5306、操作キー 5307、スタイラス 5308 等を有する。本発明の一態様に係る半導体装置は、表示部 5303、表示部 5304、またはその他の各種回路に用いることができる。なお、図 21 (D) に示した携帯型ゲーム機は、2つの表示部 5303 と表示部 5304 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0175】

図 21 (E) は電子書籍であり、筐体 5601、表示部 5602 等を有する。本発明の一態様に係る半導体装置は、表示部 5602 またはその他の各種回路に用いることができる。そして、可撓性を有する基板を用いることで、表示部に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い電子書籍を提供することができる。

【0176】

図 21 (F) は携帯電話であり、筐体 5901 に、表示部 5902、マイク 5907、スピーカー 5904、カメラ 5903、外部接続部 5906、操作用のボタン 5905 が設けられている。本発明の一態様に係る半導体装置は、表示部 5902、またはその他の各種回路に用いることができる。また、本発明の一態様に係る半導体装置を、可撓性を有する基板に形成した場合、図 21 (F) に示すような曲面を有する表示部 5902 に当該半導体装置を適用することが可能である。

【符号の説明】

【0177】

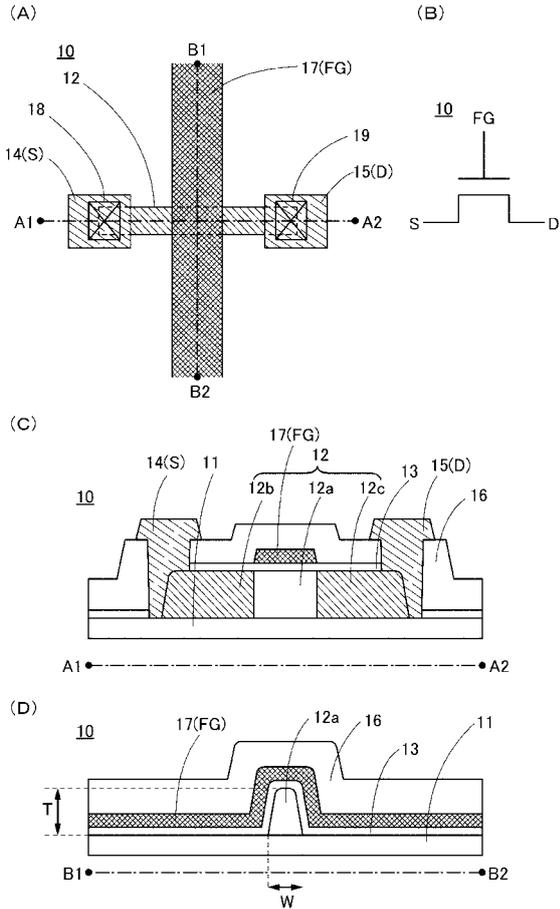
- |     |           |    |
|-----|-----------|----|
| 1   | 構成例       |    |
| 2   | 構成例       |    |
| 3   | 構成例       |    |
| 4   | 構成例       |    |
| 5   | 構成例       |    |
| 6   | 構成例       |    |
| 7   | 構成例       | 30 |
| 10  | トランジスタ    |    |
| 10a | トランジスタ    |    |
| 10b | トランジスタ    |    |
| 10c | トランジスタ    |    |
| 10N | トランジスタ    |    |
| 10P | トランジスタ    |    |
| 11  | 基板        |    |
| 12  | 半導体膜      |    |
| 12a | チャンネル形成領域 |    |
| 12b | 不純物領域     | 40 |
| 12c | 不純物領域     |    |
| 13  | 絶縁膜       |    |
| 13a | 絶縁膜       |    |
| 13c | 絶縁膜       |    |
| 14  | 導電膜       |    |
| 15  | 導電膜       |    |
| 16  | 絶縁膜       |    |
| 17  | 導電膜       |    |
| 17a | 導電膜       |    |
| 17b | 導電膜       | 50 |

1 7 c	導電膜	
1 8	開口部	
1 8 a	開口部	
1 8 b	開口部	
1 8 c	開口部	
1 9	開口部	
1 9 a	開口部	
1 9 b	開口部	
1 9 c	開口部	
2 0	導電膜	10
2 1	絶縁膜	
2 2	開口部	
2 3	開口部	
2 4	導電膜	
2 5	開口部	
2 6	導電膜	
2 7	導電膜	
2 8	開口部	
2 9	開口部	
3 0	導電膜	20
3 1	導電膜	
3 2	導電膜	
3 3	導電膜	
4 0	N A N D	
4 2	トランジスタ	
4 3	発光素子	
4 4	バッファ	
4 5	バッファ	
4 6	インバータ	
4 7	トランスマッションゲート	30
4 8	N A N D	
5 0	バッファ	
5 5	画素	
5 6	トランジスタ	
5 7	容量素子	
6 0	液晶素子	
7 0	半導体表示装置	
7 1	画素部	
7 2	走査線駆動回路	
7 3	信号線駆動回路	40
7 4	配線	
7 5	配線	
7 6	配線	
7 7	配線	
7 8	配線	
7 9	配線	
8 0	順序回路	
8 1	トランジスタ	
8 2	トランジスタ	
8 3	トランジスタ	50

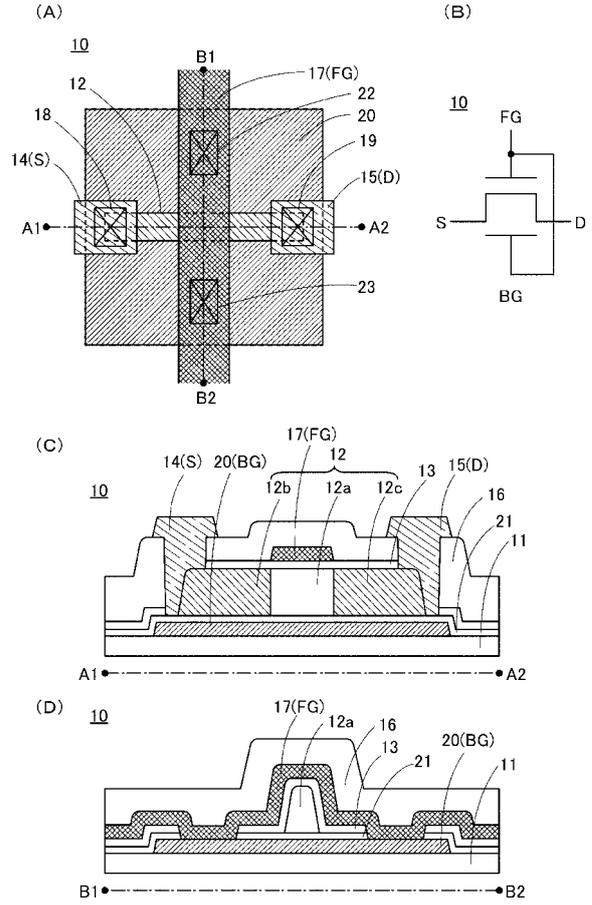
8 4	トランジスタ	
8 5	トランジスタ	
8 6	トランジスタ	
8 7	トランジスタ	
8 8	トランジスタ	
8 9	トランジスタ	
9 0	トランジスタ	
9 5	トランジスタ	
9 6	トランジスタ	
9 7	容量素子	10
9 8	発光素子	
3 0 0	基板	
3 0 1	絶縁膜	
3 0 2	導電膜	
3 0 3	導電膜	
3 0 4	絶縁膜	
3 0 5	半導体膜	
3 0 6	半導体膜	
3 0 7	半導体膜	
3 0 8	絶縁膜	20
3 0 9	導電膜	
3 1 0	導電膜	
3 1 1	レジスト	
3 1 2	不純物領域	
3 1 3	レジスト	
3 1 4	不純物領域	
3 2 0	絶縁膜	
3 2 1	導電膜	
3 2 2	導電膜	
4 0 0	基板	30
4 0 4	導電膜	
4 2 0	絶縁膜	
4 2 4	導電膜	
4 2 5	絶縁膜	
4 2 6	絶縁膜	
4 2 7	E L 層	
4 2 8	導電膜	
4 3 0	基板	
4 3 1	遮蔽膜	
4 3 2	着色層	40
5 0 1	導電膜	
5 0 2	半導体膜	
5 0 3	導電膜	
5 0 4	導電膜	
5 0 5	導電膜	
5 0 6	導電膜	
5 0 7	半導体膜	
5 0 8	導電膜	
5 0 9	導電膜	
5 1 0	導電膜	50

5 1 1	導電膜	
1 6 0 1	パネル	
1 6 0 2	回路基板	
1 6 0 3	接続部	
1 6 0 4	画素部	
1 6 0 5	駆動回路	
1 6 0 6	駆動回路	
5 0 0 1	筐体	
5 0 0 2	表示部	
5 0 0 3	支持台	10
5 1 0 1	筐体	
5 1 0 2	表示部	
5 1 0 3	操作キー	
5 3 0 1	筐体	
5 3 0 2	筐体	
5 3 0 3	表示部	
5 3 0 4	表示部	
5 3 0 5	マイクロホン	
5 3 0 6	スピーカー	
5 3 0 7	操作キー	20
5 3 0 8	スタイラス	
5 6 0 1	筐体	
5 6 0 2	表示部	
5 7 0 1	筐体	
5 7 0 2	表示部	
5 9 0 1	筐体	
5 9 0 2	表示部	
5 9 0 3	カメラ	
5 9 0 4	スピーカー	
5 9 0 5	ボタン	30
5 9 0 6	外部接続部	
5 9 0 7	マイク	

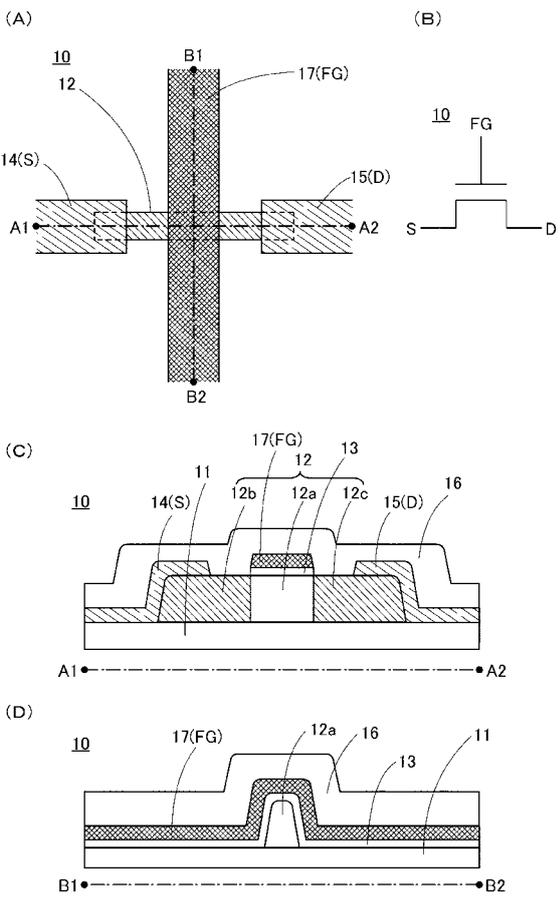
【 図 1 】



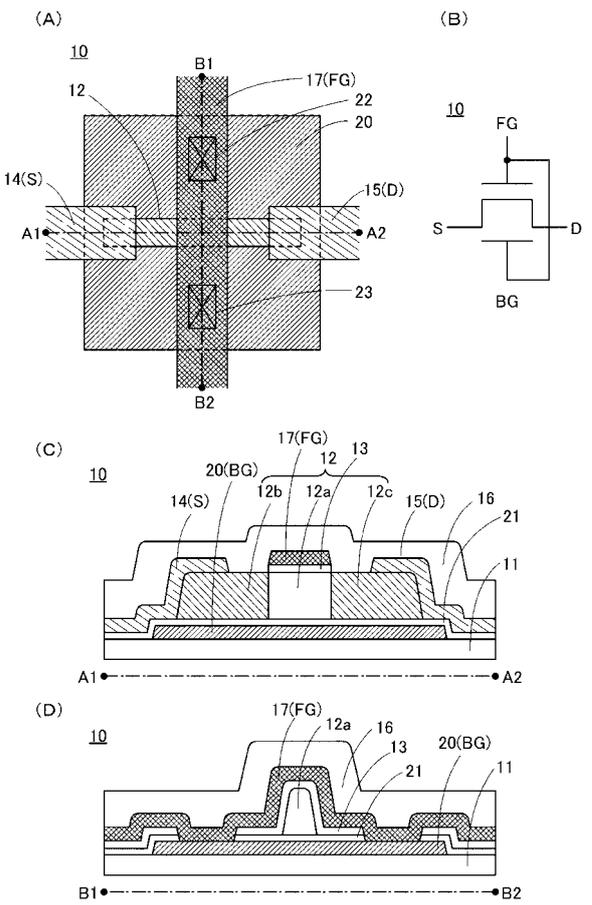
【 図 2 】



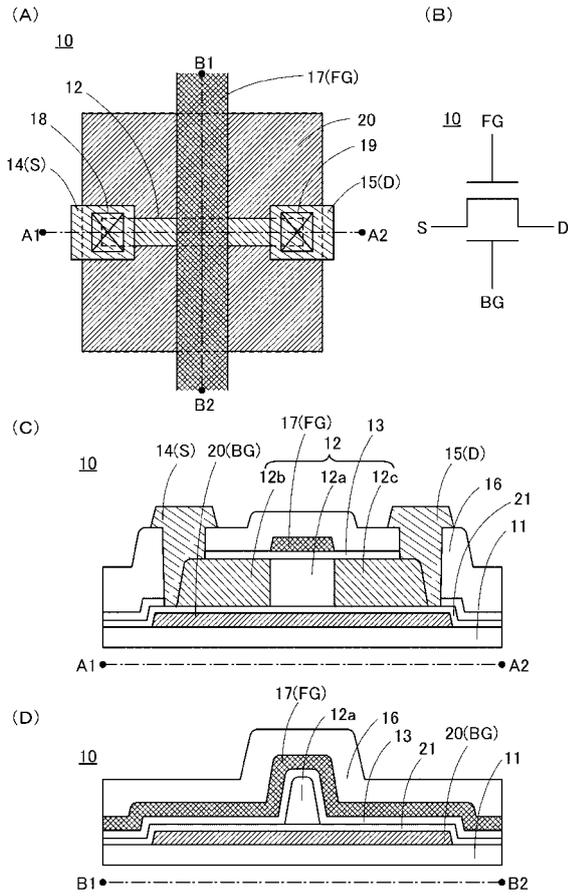
【 図 3 】



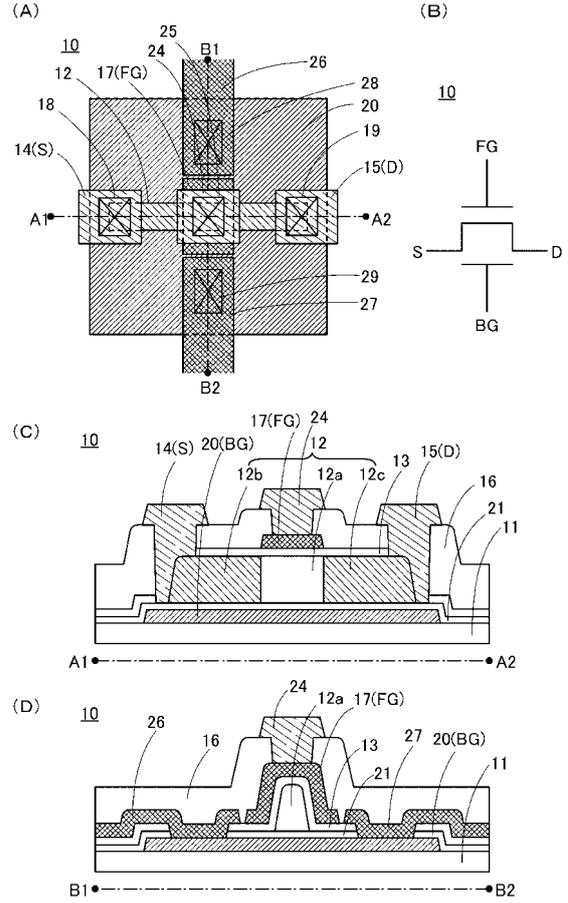
【 図 4 】



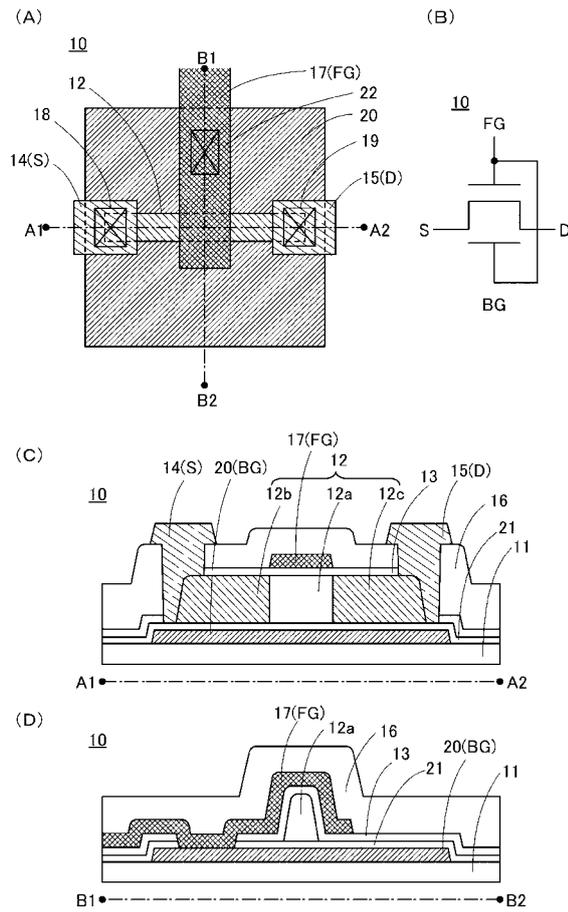
【 図 5 】



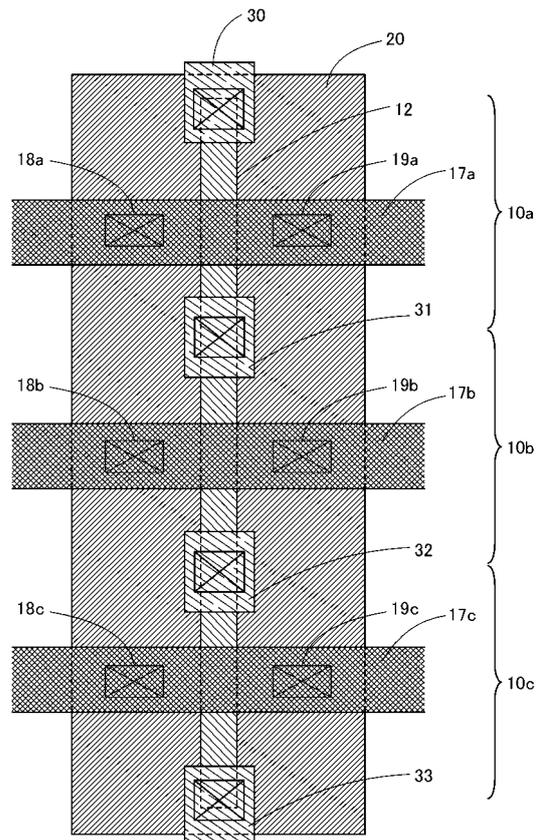
【 図 6 】



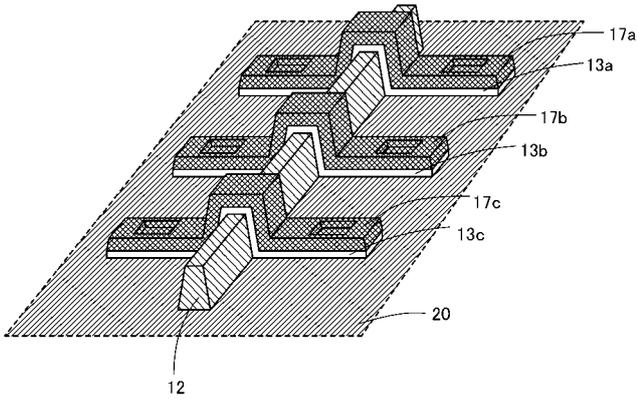
【 図 7 】



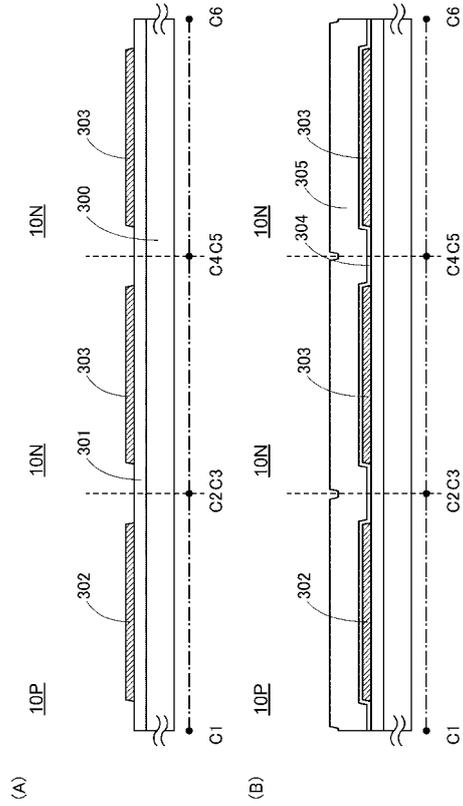
【 図 8 】



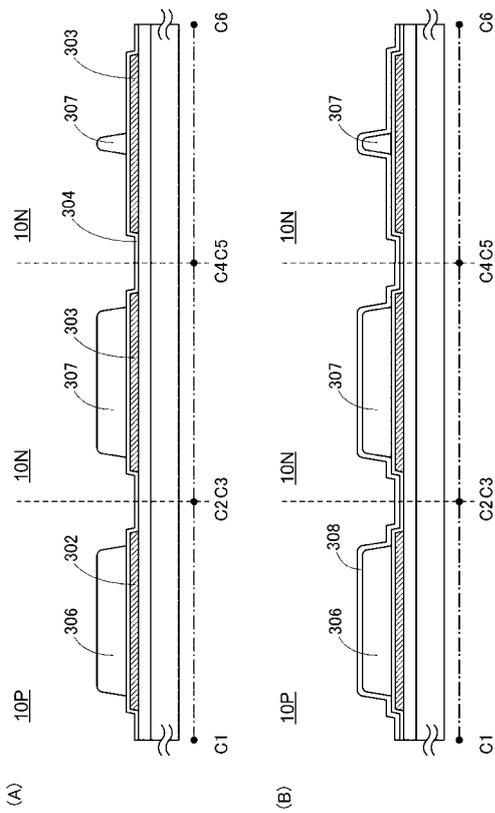
【 図 9 】



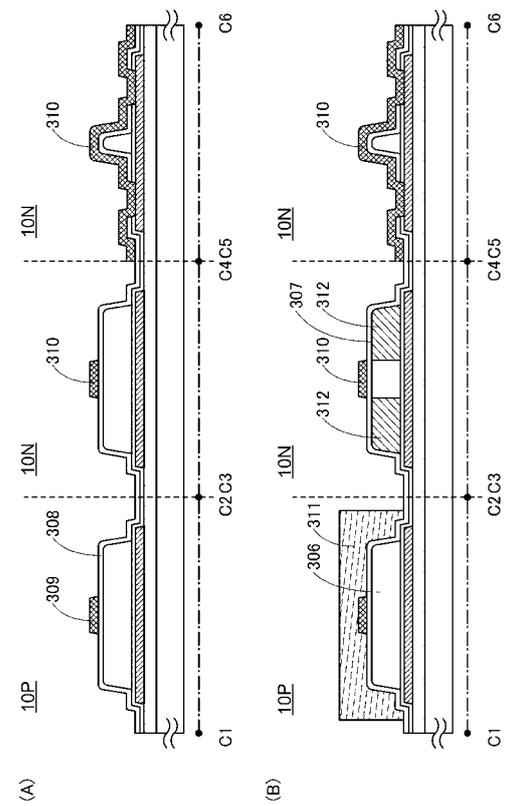
【 図 1 0 】



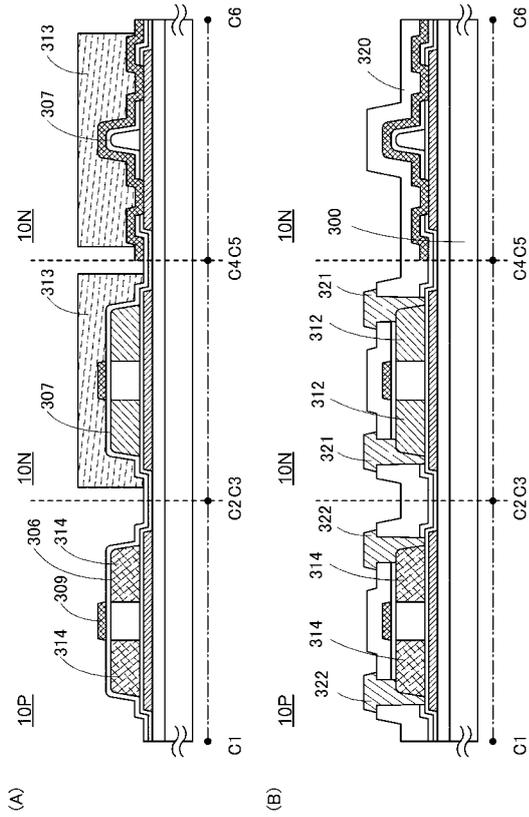
【 図 1 1 】



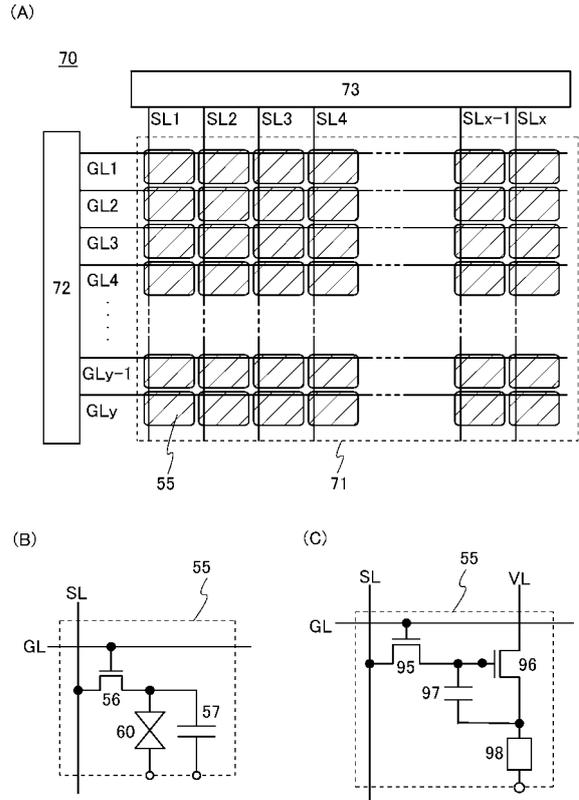
【 図 1 2 】



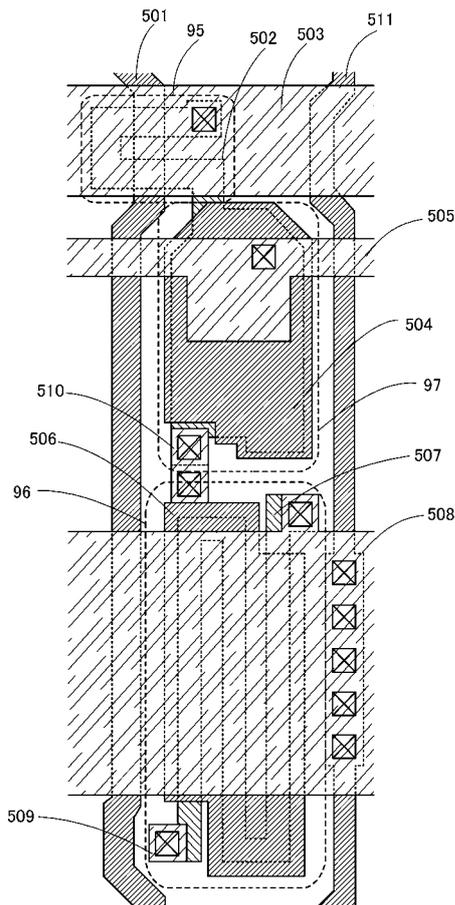
【 図 1 3 】



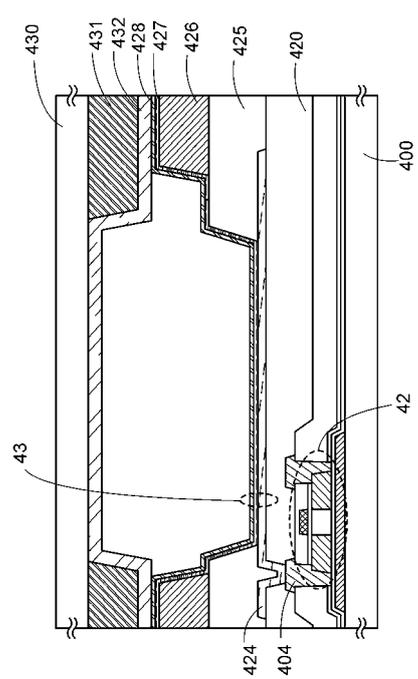
【 図 1 4 】



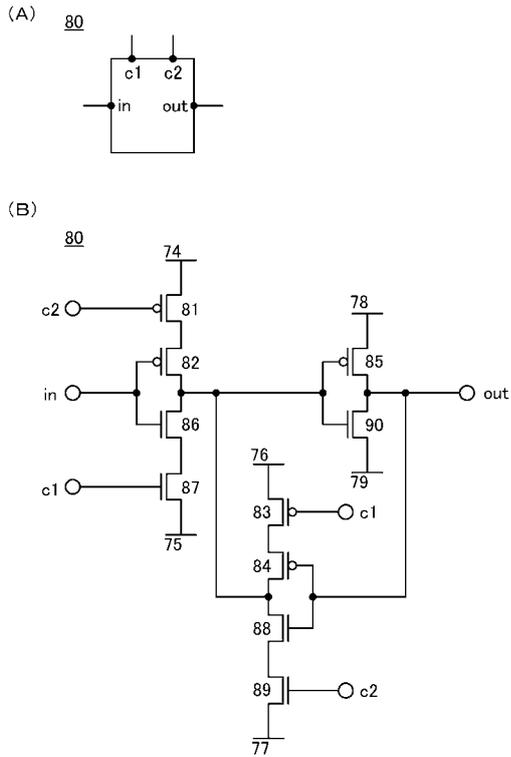
【 図 1 5 】



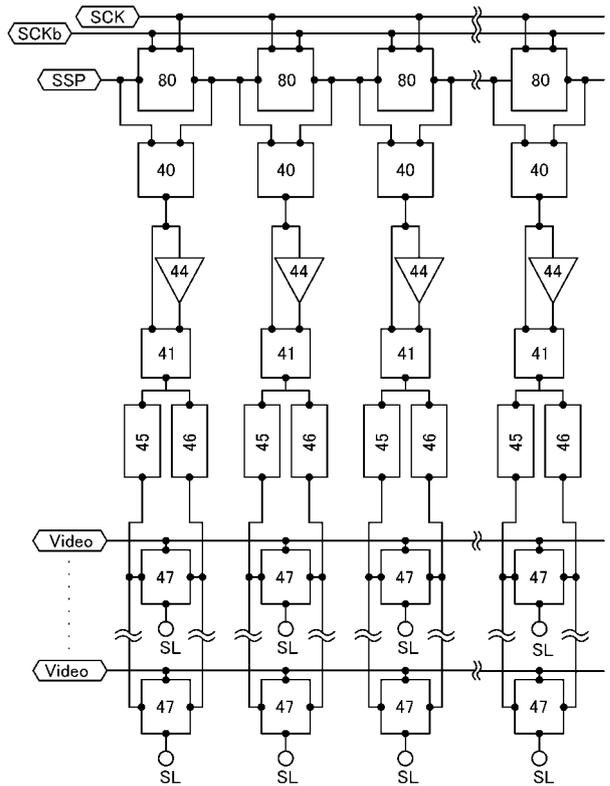
【 図 1 6 】



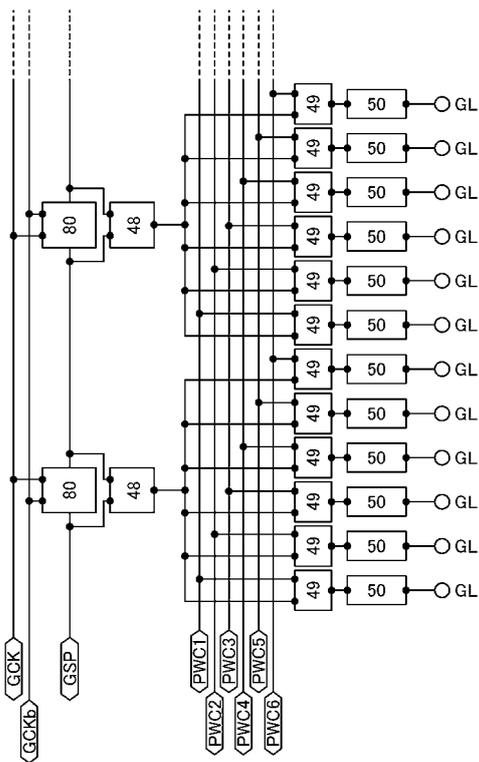
【 図 1 7 】



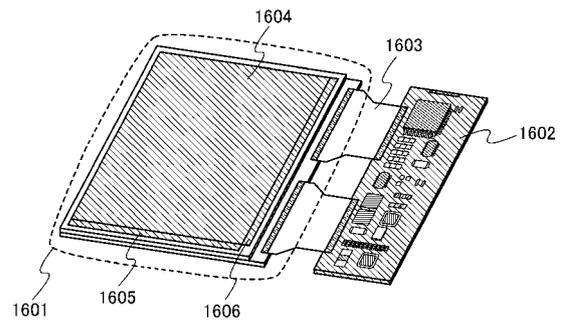
【 図 1 8 】



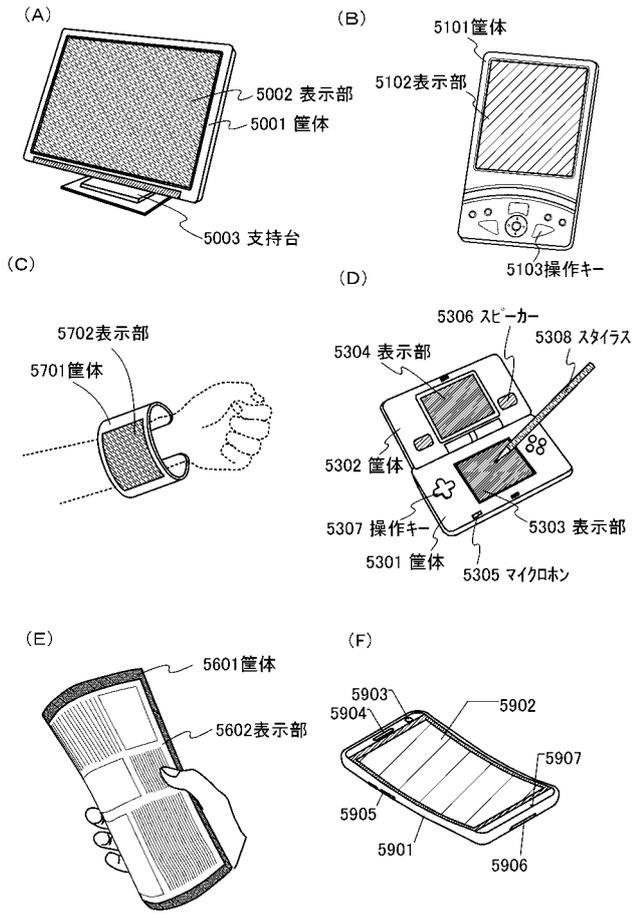
【 図 1 9 】



【 図 2 0 】



【図 2 1】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**G 0 2 F 1/1368 (2006.01)** H 0 5 B 33/14 Z  
G 0 2 F 1/1368

Fターム(参考) 5F110 AA01 BB02 BB04 CC02 CC10 DD01 DD02 DD03 DD04 DD13  
DD14 DD15 EE02 EE03 EE04 EE14 EE15 EE28 EE30 EE44  
EE45 FF02 FF03 FF04 FF09 FF10 FF25 FF26 FF28 FF30  
GG01 GG02 GG04 GG13 GG15 GG25 HJ01 HJ04 HJ13 HJ23  
NN03 NN22 NN23 NN27 NN34 NN35 NN40 NN72 PP02 PP03  
QQ16