

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5986172号
(P5986172)

(45) 発行日 平成28年9月6日 (2016.9.6)

(24) 登録日 平成28年8月12日 (2016.8.12)

(51) Int. Cl. F I
H 0 4 L 7 / 0 2 (2006.01) H 0 4 L 7 / 0 2

請求項の数 5 (全 7 頁)

(21) 出願番号	特願2014-231377 (P2014-231377)	(73) 特許権者	593121379
(22) 出願日	平成26年11月14日 (2014.11.14)		エルエス産電株式会社
(65) 公開番号	特開2015-142377 (P2015-142377A)		LSIS CO., LTD.
(43) 公開日	平成27年8月3日 (2015.8.3)		大韓民国京畿道安養市東安区LS路LSタワー127
審査請求日	平成26年11月14日 (2014.11.14)		127 LS Tower, LS-ro,
(31) 優先権主張番号	10-2014-0009486		Dongan-gu, Anyang-si
(32) 優先日	平成26年1月27日 (2014.1.27)		, Gyeonggi-Do, 14119,
(33) 優先権主張国	韓国 (KR)		Republic of Korea
		(74) 代理人	100099759
			弁理士 青木 篤
		(74) 代理人	100092624
			弁理士 鶴田 準一
		(74) 代理人	100114018
			弁理士 南山 知広

最終頁に続く

(54) 【発明の名称】 上昇エッジ動作システム用クロック生成方法

(57) 【特許請求の範囲】

【請求項 1】

入力クロックを変換して出力クロックを生成し、所定システムに前記出力クロックを提供する上昇エッジ動作システム用のクロック生成方法であって、

入力クロック周波数より小さい出力クロック周波数及び変数周波数を設定し、前記入力クロックが上昇エッジであるか否かを判断するステップと、

前記入力クロックが上昇エッジである場合、前記出力クロック周波数と前記変数周波数とを加算して算出周波数を演算するステップと、

前記算出周波数と前記入力クロック周波数とを比較するステップと、

前記比較の結果、前記算出周波数が前記入力クロック周波数以上である場合、前記出力クロックを論理状態「1」として出力し、前記算出周波数から前記入力クロック周波数を減算した値を前記変数周波数として設定するステップと、

を含み、

前記比較の結果、前記算出周波数が前記入力クロック周波数より小さい場合、前記変数周波数を前記算出周波数として設定した後、前記入力クロックが上昇エッジであるか否かを確認する、方法。

【請求項 2】

前記入力クロックが上昇エッジであるか否かを判断するステップは、前記入力クロックが上昇エッジではない場合、前記入力クロックに関して上昇エッジの有無を確認し続ける、請求項 1 に記載の方法。

10

20

【請求項 3】

前記算出周波数が前記入力クロック周波数以上である場合、前記出力クロックは論理状態「1」が出力され、次に前記入力クロックの下降エッジで論理状態「0」が出力される、請求項 1 に記載の方法。

【請求項 4】

前記変数周波数は最初に 0 として設定され、この場合、前記出力クロックは論理状態「0」に設定される、請求項 1 に記載の方法。

【請求項 5】

前記変数周波数として設定するステップの後、前記入力クロックが上昇エッジであるか否かを判断するステップが更に行われる、請求項 1 に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、上昇エッジで動作するシステム用のクロックを生成する方法に関するものであり、単純な構造、かつ高い精度でクロック信号を生成する方法に関するものである。

【背景技術】

【0002】

クロック信号は論理状態「1」と論理状態「0」とが周期的に現れる矩形波信号である。一般的なシステムにおいてクロックは一定のデューティ比を有し、システムはクロックに同期して各種信号を処理する。

20

【0003】

クロック生成装置は、システムで使用する一定のデューティ比を有するクロックを生成する装置であって、PLL回路であってよい。しかし、PLL回路は論理が複雑で多数のトランジスタを使用しなければならない短所がある。

【0004】

図1は、一定デューティ比のクロックを必要とするシステムにクロックを提供する構成を示す図である。

【0005】

図1を参照すると、PLL回路11は入力クロックを調整してシステム12で使用するために適した出力クロックを生成する。この際、PLL回路はハードウェア及びソフトウェア双方で具現できるが、ハードウェアのPLL構造は、精度は高いが複雑な論理構造のため多数のトランジスタを必要とする。一方、ソフトウェアタイプのPLL構造は出力クロックの精度を保証することができない問題がある。

30

【0006】

また、一定のデューティ比を有するクロックをシステムに提供するためにはPLL回路によるクロック調整が必要であるが、クロックの上昇エッジ又は下降エッジだけで動作するシステムの場合には複雑な構造のPLL回路を必要としない。よって、一定のデューティ比を有するクロックが要求されないシステムでは精密にクロックを生成することが要求される。

【発明の概要】

40

【発明が解決しようとする課題】

【0007】

本発明は、クロックの上昇エッジで動作するシステムの場合、単純な構造であっても高い精度でクロック生成する方法を提案する。

【課題を解決するための手段】

【0008】

本発明のクロック生成方法は、入力クロックを変換して出力クロックを生成し、所定システムで出力クロックを提供するクロック生成方法であって、所望のクロック値及び変数値を設定し、入力クロックが上昇エッジであるか否かを判断するステップと、入力クロックが上昇エッジである場合、出力クロック値と変数値とを加算して算出値を演算するステ

50

ップと、算出値と入力クロック値とを比較するステップと、比較の結果、算出値が入力クロック値以上である場合、出力クロックを論理状態「1」として出力し、算出値から入力クロック値を減算した値を変数値として設定するステップと、を含む。

【0009】

そして、出力クロックの値は入力クロックの周波数より小さい値として設定される。

【0010】

そして、比較の結果、算出値が入力クロック値より小さい場合には、変数値を算出値として設定した後、入力クロックが上昇エッジであるか否かを確認する。

【0011】

そして、算出値が入力クロック値以上である場合、出力クロックは論理状態「1」が出力され、次に入力クロックの下降エッジで論理状態「0」が出力される。

10

【0012】

提案されるクロック生成装置及びその生成方法において、一定のデューティ比を必要とせずに、クロックの上昇エッジで動作するシステム用のクロックを精密に生成することができる。

【0013】

よって、複雑なPLL回路を使用しなくてもクロックを生成することができるため、ソフトウェアタイプのPLL構造では保証できない出力クロックの精度を確保することができる。

【図面の簡単な説明】

20

【0014】

【図1】一定デューティ比のクロックを必要とするシステムにクロックを提供する構成を示す図である。

【図2】本実施例によるクロック生成装置が使用される例を示す図である。

【図3】本実施例による上昇エッジ動作システム用クロック生成装置の構成を示す図である。

【図4】本実施例による上昇エッジ動作システム用クロック生成装置の動作を示す順序図である。

【図5】本実施例による上昇エッジ動作システム用クロック生成方法によって生成された出力クロックを示す一例の波形図である。

30

【発明を実施するための形態】

【0015】

図2は本実施例によるクロック生成装置が使用される例を示す図であり、図3は本実施例による上昇エッジ動作システム用クロック生成装置の構成を示す図である。

【0016】

図2及び図3を参照すると、実施例のクロック生成装置は上昇エッジによって動作が行われるシステムに適用される。そして、クロック生成装置110に入力される入力クロックをシステム120に適合するように変更し、生成された出力クロックを前記システム120に提供する。

【0017】

40

そして、クロック生成装置110は出力クロック設定部111と、出力クロック生成部113とを含む。

【0018】

出力クロック設定部111はシステム120に提供する出力クロックを設定するためのものであり、ユーザが出力クロックを設定可能なユーザインタフェースを提供する。例えば、出力クロック値を入力するように表示装置上に表示される入力画面と、キーボードのような入力手段とで構成される。

【0019】

すなわち、ユーザは、キーボードを使用して表示装置上に表示される入力画面に所望の出力クロック値を入力することによって出力クロックを設定する。

50

【0020】

この際、本発明の実施例では入力クロックの上昇エッジを利用して出力クロックを生成するため、出力クロック値は入力クロックの周波数より小さい範囲内に設定する。そして、出力クロック設定部111に設定される値の単位は周波数である。

【0021】

一方、出力クロック生成部113は、出力クロック設定部111によって設定される設定値に基づいて入力クロックの周波数を変化させて出力クロックを生成する。出力クロック生成部113の動作については図4及び図5を参照して説明する。

【0022】

図4は、本実施例による上昇エッジ動作システム用クロック生成装置の動作を示す順序図である。

10

【0023】

図4を参照すると、まず所望の出力クロック値Nと変数値N'とを設定する(S110)。この際、出力クロック値Nは入力クロック値Mより小さい範囲に設定される。そして、出力クロック設定部111を介して出力クロック値が設定され、変数値N'は最初、「0」として設定される。

【0024】

次に、出力クロック生成部113は出力クロック設定部111によって設定された出力クロック値及び入力クロック値を受信し、出力クロック値に基づいて入力クロックの周波数を変換してから、出力クロックを生成及び出力する。

20

【0025】

詳しくは、入力クロックが上昇エッジであるかを判断し(S120)、上昇エッジでない場合には、持続的に入力クロックが上昇エッジであるか否かを確認する。この際、出力クロックは最初、論理状態「0」として出力される。

【0026】

入力クロックが上昇エッジであると判断されたとき、出力クロック生成部113は出力クロック値Nに変数値N'を加算して算出値N''を生成する(S130)。

【0027】

次に、入力クロック値Mと算出値N''とを比較し(S140)、算出値N''が入力クロック値Mより小さいとき(S140-No)、変数値N'を算出値N''として設定する(S150)。そして、入力クロックが上昇エッジであるか否かを更に判断する(S120)。

30

【0028】

算出値N''が入力クロック値M以上のときは(S140-Yes)、出力クロック生成部113は一定期間、論理状態「1」の出力クロックを発生し、算出値N''から入力クロック値Mを減算した値を変数値N'として設定する(S160)。

【0029】

次に、入力クロックが上昇エッジであるか否かを判断し(S120)、それと同じ動作を繰り返し行うことによって、出力設定値として設定された周波数に変換された出力クロックが生成される。

40

【0030】

一方、出力クロックが論理状態「1」を維持する時間は、入力クロックの論理状態「1」の幅と同じである。すなわち、出力クロックの出力状態は論理状態「1」を維持した後、入力クロックの下降エッジで論理状態「0」に変換される。

【0031】

よって、出力クロック生成部113は出力クロックを論理状態「1」に維持した後、入力クロックの下降エッジで出力クロックを論理状態「0」で出力する(S170)。

【0032】

図5は、本実施例による上昇エッジ動作システム用クロック生成方法によって生成された出力クロックを示す一例の波形図である。

50

【0033】

図5を参照すると、入力クロック値Mが300MHzであり、出力クロック値Mが100MHzである場合が示されている。初期に出力クロック値Nは100に、変数値N'は0に設定された状態で(S110)、入力クロックの第1上昇エッジE_{up1}が入力されると(S120-Yes)、出力クロック値N 100と変数値N' 0とを加算して算出値N" 100を算出する(S130)。

【0034】

次に、入力クロック値M 300と算出値N" 100とを比較し(S140)、入力クロック値Mが算出値N"より大きいとき(S140-No)、変数値N'を算出値N"として設定する(S150)。よって、変数値N'は100になり、次に入力クロックが上

10

【0035】

次に、入力クロックの第2上昇エッジE_{up2}が入力されると、出力クロック値N 100と変数値N' 100とを加算して算出値N" 200を算出する(S130)。

【0036】

次に、入力クロック値M 300と算出値N" 200とを比較し(S140)、入力クロック値Mが算出値N"より大きいとき(S140-No)、変数値N'に算出値N"を設定し(S150)、変数値N'は200となり、次に入力クロックが上昇エッジであるか否かを判断する(S120)。

【0037】

次に、入力クロックの第3上昇エッジE_{up3}が入力されると、出力クロック値N 100と変数値N' 200とを加算して算出値N" 300を算出する(S130)。そして、入力クロック値M 300と算出値N" 300とを比較し(S140)、入力クロック値Mが算出値N"が同じであるとき(S140-Yes)、出力クロックを論理状態「1」として出力し、算出値N" 300から入力クロック値M 300を減算した値である0が、変数値N'として設定される(S160)。

20

【0038】

次に、入力クロックが上昇エッジであるかを更に判断し(S120)、それと同じ過程が繰り返されることによって出力クロックが生成される。

【0039】

一方、出力クロックは論理状態「1」を維持してから、入力クロックの下降エッジE_{down3}で論理状態「0」を維持する(S170)。

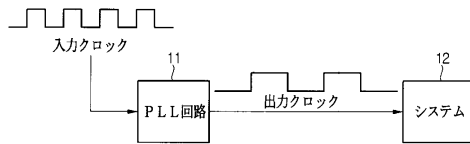
30

【0040】

このような方法によって、一定のデューティ比を必要とせずに、クロックの上昇エッジだけを使用する上昇エッジ動作システム用のクロックを生成するために適用される場合、複雑なPLLを使用しなくてもクロックを生成することができる。そして、ソフトウェアタイプのPLL構造では保証できない出力クロックの精度を保証することができる。

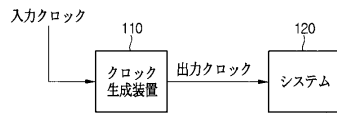
【図 1】

図1



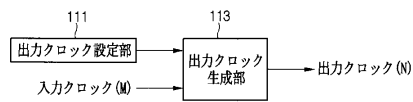
【図 2】

図2



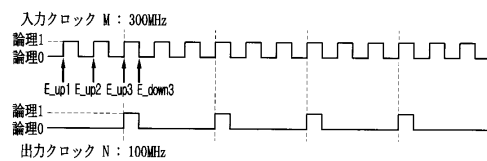
【図 3】

図3



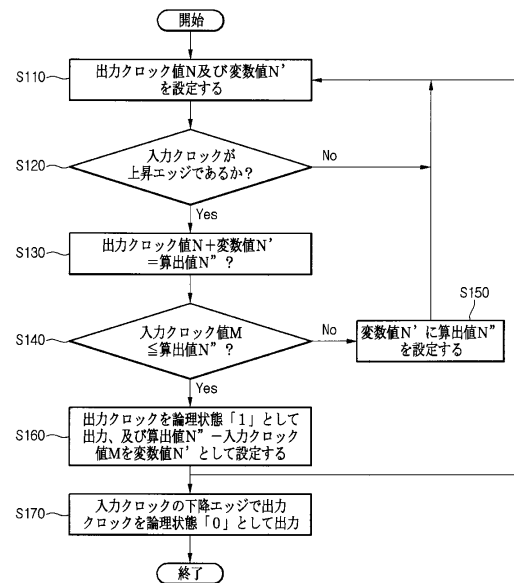
【図 5】

図5



【図 4】

図4



フロントページの続き

(74)代理人 100165191

弁理士 河合 章

(74)代理人 100151459

弁理士 中村 健一

(72)発明者 リ ジ ゴン

大韓民国, ソウル, クローク, クイルーロ 4ーギル, 65, ジュゴン アパートメント, 105
ー1208

審査官 白井 亮

(56)参考文献 特開平09ー223959 (JP, A)

特開2000ー307419 (JP, A)

特開2005ー045507 (JP, A)

特開平10ー079650 (JP, A)

特開2009ー118334 (JP, A)

特開平04ー227330 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/02