(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/72

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0192629
(24) 등록일자 1999년01월29일

(21) 출원번호 10-1994-0035333
(22) 출원일자 1994년12월20일
(65) 공개번호 특1995-0021347
(43) 공개일자 1995년07월26일
(30) 우선권주장 93-320576 1993년12월20일 일본(JP)

(73) 특허권자 가부시기가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72
(72) 발명자 고이케 히데토시
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
이시마루 가즈나리
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
고조보리 히로시
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
마츠오카 후미토모
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이세진

심사관 : 김용정

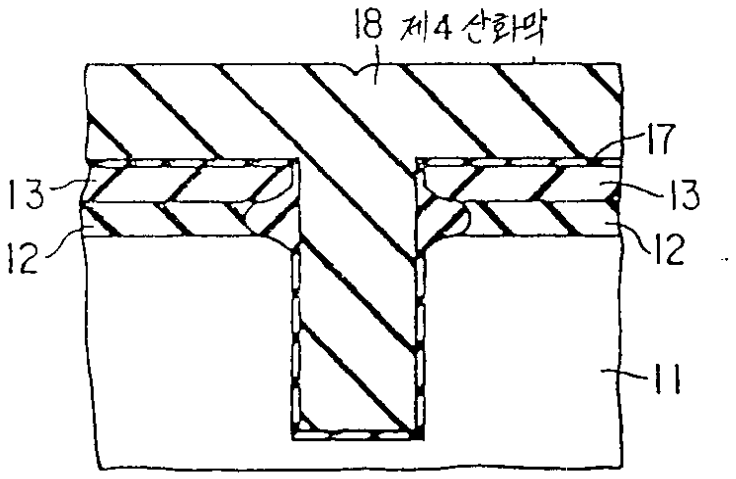
(54) 반도체장치의 제조방법

요약

본 발명은, 매립소자분리영역의 에지부분에서의 전계의 집중을 완화할 수 있는 매립소자분리영역의 형성방법을 제공하는 것이다.

본 발명에 있어서는, 실리콘 기판(11)상에 제1산화막(12)과 다결정 실리콘막(13)및 제2산화막(14)을 순차 형성하고, 실리콘 기판(11)에 매립소자분리영역으로 되는 도랑부(16)를 형성한다. 제1산화막(12)을 사이드 에칭한 후, 열산화법을 이용하여 제3산화막(17)을 형성한다. 그 산화시에 실리콘 기판(11)의 코너가 둥그렇게 된다. 다음에, 도랑부(16)에 제4산화막(18)을 매립하고, 그 후 에치백을 실시하여 매립소자분리영역을 형성한다.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 제1실시예를 도시한 제1공정 단면도.

제2도는 본 발명에 따른 제1실시예를 도시한 제2공정 단면도.

제3도는 본 발명에 따른 제1실시예를 도시한 제3공정 단면도.

제4도는 본 발명에 따른 제1실시예를 도시한 제4공정 단면도.

제5도는 본 발명에 따른 제1실시예를 도시한 제5공정 단면도.

제6도는 본 발명에 따른 제1실시예를 도시한 제6공정 단면도.

제7도는 본 발명에 따른 제1실시예를 도시한 제7공정 단면도.

제8도는 본 발명의 방법에 의해 형성된 소자분리영역을 갖춘 반도체 기판과, 그것을 이용해 형성된 MOSFET의 게이트 산화막 및 게이트 전극층부분을 도시한 단면도.

제9도는 본 발명에 따른 제2실시예에서의 특징적인 부분을 도시한 단면도.

제10도는 본 발명에 따른 제3실시예를 도시한 제1공정 단면도.

제11도는 본 발명에 따른 제3실시예를 도시한 제2공정 단면도.

제12도는 본 발명에 따른 제3실시예를 도시한 제3공정 단면도.

제13도는 본 발명에 따른 제3실시예를 도시한 제4공정 단면도.

제14도는 본 발명에 따른 제3실시예를 도시한 제5공정 단면도.

제15도는 본 발명에 따른 제4실시예에서의 특징적인 부분을 도시한 단면도.

제16도는 본 발명에 따른 MOSFET 및 종래에서의 MOSFET의 게이트폭에 대한 임계치전압의 변화를 나타낸 그래프.

제17도는 종래의 매립 소자분리영역의 형성방법을 도시하는 (a)~(c)로 이루어진 공정 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 실리콘 기판 12 : 제1산화막

13 : 다결정 실리콘막 14 : 제2산화막

15 : 레지스트 패턴 16 : 도랑부

17 : 제3산화막 18 : 제4산화막

19 : 게이트 산화막 20 : 게이트 전극층

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 매립소자분리영역의 형성방법에 관한 것이다.

[종래의 기술 및 그 문제점]

집적회로의 미세화에 따라 소자분리간 거리도 축소되어 있고, 그것에 대응하는 방법으로서 매립소자분리가 제안되어 있다. 이하, 제17도를 참조하여 매립소자분리영역의 형성방법을 설명한다.

우선, 실리콘 기판(101)상에 산화막(102)을 100nm 정도 열산화법에 의해 형성한다. 산화막(102)상에 레지스트를 도포하고, 리소그래피법을 이용하여 레지스트 패턴(103)을 형성한다. 레지스트 패턴(103)을 마스크로 하여 산화막(102)을 에칭한 후, 더욱이 실리콘 기판(101)을 예컨대 500nm 정도 애칭하여 매립소자분리영역으로 되는 도랑부(104)를 형성한다(동 도면(a)).

다음에, 레지스트 패턴(103)을 제거한 후, 애칭에 의한 손상을 제거하기 위해 산화막(105)을 도랑부(104)를 포함한 전면에 열산화법을 이용하여 20nm정도 형성한다. 그 후, 산화막(106)을 전면에 1μm 정도 퇴적시켜 도랑부(104)를 매립한다(동 도면(b)).

더욱이, 산화막(106)을 이방성 에칭이나 연마 등에 의해 에치백하여 도랑부(104)만을 매립하는 산화막(106a)을 형성한다. 그 후, MOSFET의 임계치를 맞춰 넣기 위한 이온주입 등의 공정(도시하지 않음)을 행하고, 게이트 산화막(107)을 열산화법을 이용하여 10nm 정도 형성하며, 다결정 실리콘으로 이루어진 게이트 전극층(108)을 300nm 정도 형성한다(동 도면(c)).

이와 같은 방법에 의해 형성된 매립소자분리영역은, 에칭공정에 대해 프로세스적인 마진을 예상할 필요가 있기 때문에, 소정의 오버 에칭이 필요하게 된다. 그 결과, 산화막(106a)의 표면은 실리콘 기판(101)의 표면에 비해 약간 패인 형상으로 된다. 따라서, 게이트 산화막(107)은 동 도면(c)중의 원표시 h에 있어서 거의 직각에 가까운 단차가 있는 형상으로 형성된다.

상술한 바와 같은 매립소자분리방법이면, 매립소자분리영역의 표면과 실리콘 기판의 표면에 단차가 생기기 때문에, 그 단차부분(에지부분)에 전계가 집중한다. 그 때문에, 특히 게이트폭이 좁은 MOSFET에 있어

서 임계치전압의 저하를 초래하는 문제가 있다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 매립소자분리영역의 에지부분에서의 전계의 집중을 완화하여 MOSFET의 임계치 저하를 방지할 수 있는 매립소자분리영역의 형성방법을 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위해 본 발명에 따른 반도체장치의 제조방법은, 반도체 기판상에 제1산화막을 형성하는 공정과, 이 제1산화막상에 반도체 막 및 제2산화막을 순차 형성하는 공정, 이 제2산화막과 상기 반도체막 및 상기 제1산화막을 선택적으로 제거하는 공정, 상기 반도체 기판을 에칭하여 도랑부를 형성하는 공정, 상기 제1산화막에 사이드 에칭을 실시하여 상기 반도체 기판의 각부(角部)를 노출시키는 공정, 상기 도랑부를 포함한 전면에 제3산화막을 형성함과 더불어 상기 각부를 산화시켜 둥그렇게 하는 공정, 상기 도랑부를 매립하도록 전면에 제4산화막을 형성하는 공정, 상기 반도체 막 위의 상기 제4산화막 및 상기 제3산화막을 제거하는 공정 및, 상기 반도체 기판상의 상기 반도체막 및 상기 제1산화막을 제거하는 공정을 포함한다.

[작용]

상기 방법에 의하면, 상기 제1산화막을 사이드 에칭하여 상기 각부를 노출시킨다. 그에 따라, 상기 제3산화막을 형성할 때에 상기 각부가 산화되어 둥그렇게 된다. 따라서, 상기 도랑부가 상기 제4산화막을 이용해서 매립되었을 때, 상기 제4산화막의 표면과 상기 반도체 기판의 표면은 직각의 단차가 없이 완만한 형상으로 된다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 실시예를 상세히 설명한다.

본 발명에 따른 제1실시예를 제1도 내지 제7도를 참조하여 설명한다.

우선, 실리콘 기판(11)상에 열산화법에 의해 제1산화막(12)을 25nm 정도 형성하고, 다결정 실리콘막(13)을 화학기상성장법을 이용하여 200nm 정도 형성하며, 제2산화막(14)을 화학기상성장법을 이용하여 200nm 정도 형성한다. 그 후, 제2산화막(14)상에 레지스트를 도포하고, 리소그래피법에 의해 소정 형상의 레지스트 패턴(15)을 형성한다(제1도).

다음에, 레지스트 패턴(15)을 에칭 마스크로 하여 제2산화막(14)과 다결정실리콘막(13) 및 제1산화막(12)을 순차 이방성 에칭을 실시하고, 레지스트 패턴(15)을 제거한다. 그 후, 제2산화막(14)을 에칭 마스크로 하여 실리콘 기관(11)을 예컨대 700nm 정도 이방성 에칭법을 이용해 제거하여 매립소자분리영역으로 되는 도랑부(16)를 형성한다(제2도).

그 후, 제1산화막(12)을 등방적으로 에칭하여 횡방향으로 소정량 예컨대 50nm정도 후퇴시킨다. 원표시 a부분으로 표시한 바와 같이, 도랑부(16)의 벽면에 비해 깍여 있다. 에칭방법으로서는, NH_4F나 HF를 이용한 습식에칭법 혹은 CDE법이 있고, 어느 방법이라도 가능하다. 한편, 제2산화막(14)은 제1산화막(12)을 에칭할 때 동시에 에칭제거된다(제3도).

다음에, 도랑부(16)를 형성했을 때 실리콘 기판(11)에 생기는 결함 등을 제거하기 위해 열산화법을 이용하여 제3산화막(17)을 35nm 정도 형성한다. 이 때, 실리콘 기판(11)의 에지부분이 노출되어 있기 때문에 열산화에 의해 코너가 산화되고, 다결정 실리콘막(13)이 산화에 의해서 퇴적팽창하는 효과에 의해, 원표시 b와 같이 실리콘 기판(11)의 코너가 둥그렇게 된다(제4도).

그 후, 도랑부(16)를 포함한 전면에 화학기상성장법을 이용하여 제4산화막(18)을 1㎛ 정도 형성한다(제5도). 다음에, 제4산화막(18)을 연마 및 이방성 에칭법 등을 이용해 에치백하여 도랑부(16)만을 매립하는 산화막(18a)을 형성한다. 이때, 다결정 실리콘막(13)은 에치백시의 스토퍼막으로 되고 있다(제6도).

그 후, 다결정 실리콘막(13)을 제거하고, 더욱이 제1산화막(12)을 제거한다. 그에 따라, 매립소자분리영역이 형성된다. 실리콘 기판(11)의 표면과 산화막(18)의 표면은 수직단차가 없는 완만한 형상으로 형성된다(제7도).

다음에, 제8도를 참조하여 상기 매립소자분리영역을 갖춘 실리콘 기판(11)을 이용한 MOSFET를 설명한다. 매립소자분리영역을 형성한 후, 소정의 임계치로 맞춰 넣기 위해 이온주입 등을 행한다. 그 후, 게이트 산화막(19)을 열산화법에 의해 10nm정도 형성하고, 다결정 실리콘으로 이루어진 게이트 전극층(20)을 예컨대 300nm 정도 형성한다. 게이트 산화막(19)은 실리콘 기판(11)과 매립소자분리영역인 산화막(18a)의 경계부분(원표시 c)에 있어서, 완만한 형상으로 형성되어 있다. 그에 따라, 실리콘 기판(11)의 단부에서의 전계집중을 완화할 수 있다.

제9도를 참조하여 본 발명에 따른 제2실시예를 설명한다. 단, 제1실시에와 다른 것만을 설명한다. 먼저, 제1실시예의 제1도 내지 제3도에 도시되어 있는 공정까지 행한다. 다음에, 제9도에 도시한 바와 같이 실리콘 기판(11)에 이방성 에칭을 실시하여 실리콘 기판(11)의 코너 부분(원표시 d)을 둥그렇게 한다. 그 후 제1실시예의 제4도와 같이 제3산화막(17)을 형성하고, 이후 마찬가지로 행한다.

이와 같이 본 실시예에서는, 실리콘 기판(11)의 코너 부분을 노출시킨 후, 이방성 에칭을 실시하여 미리 코너 부분을 둥그렇게 하고, 그 후 제3산화막(17)을 형성한다. 그에 따라, 코너 부분은 2번 둥그렇게 됨으로써, 제1실시예에 비해 코너의 둥그러짐이 커져서 전계집중을 완화하는 효과를 더욱 크게 할 수 있다.

다음에는 본 발명에 따른 제3실시예를 제10도 내지 제14도에 의거 설명한다. 단 제1실시예와 다른 것만을 설명한다.

실리콘 기판(11)상에 열산화법에 의해 제1산화막(12)을 25nm 정도 형성하고, 다결정 실리콘막(13)을 화학

기상성장법을 이용하여 200nm 정도 형성하며, 제2산화막(14)을 화학기상성장법을 이용하여 200nm 정도 형성한다. 그 후, 레지스트를 도포하고, 리소그래피법에 의해 소정 형상의 레지스트 패턴(15)을 형성한다(제10도).

다음에, 이방성 에칭법에 의해 레지스트 패턴(15)을 마스크로 이용하여 제2산화막(14)과 다결정 실리콘막(13) 및 제1산화막(12)을 순차 에칭한다(제11도).

그 후, 제1산화막(12)을 등방성 에칭하여 횡방향으로 예컨대 50nm 정도 후퇴시킨다. 등방성 에칭으로서는, NH_4F나 HF에 의한 습식 에칭법 혹은 CDE법 등이 있다. 이때, 등방성 에칭시에 제2산화막(14)도 제1산화막(12)과 마찬가지로 에칭되지만 상관없다. 원표시 e로 표시된 바와 같이 제1산화막(12) 및 제2산화막(14)은 횡방향으로 에칭되어 있다(제12도).

레지스트 패턴(15)을 에칭 마스크로 하여 실리콘 기판(11)을 예컨대 700nm 정도 이방성 에칭하여 매립소자분리영역으로 되는 도랑부(16)를 형성한다(제13도).

그 후, 레지스트 패턴(15)을 제거한다. 열산화법을 이용하여 도랑부(16)를 포함한 전면에 제3산화막(17)을 36nm 정도 형성한다. 이때, 실리콘 기판(11)의 에지부분이 노출하고 있기 때문에 열산화에 의해 코너가 산화되고, 다결정 실리콘막(13)이 산화에 의해서 퇴적팽창하는 효과에 의해 원표시 f로 표시한 바와 같이 실리콘 기판(11)의 코너가 둥그렇게 된다(제14도). 그 후, 제1실시예의 제5도 이후의 공정과 마찬가지로 행한다.

본 실시예에 있어서도, 제2실시예와 마찬가지로 제1산화막(12)을 횡방향으로 에칭함으로써, MOSFET가 형성되는 면의 실리콘 기판(11)의 에지부분을 노출시키고 있다. 그 상태에서, 열산화함으로써 다결정 실리콘막이 산화에 의해 퇴적팽창하는 효과에 의해 실리콘 기판(11)의 코너를 둥그렇게 할 수 있다.

다음에는 본 발명에 따른 제4실시예를 제15도를 참조하여 설명한다. 단, 제3실시예와 다른 것만을 설명한다. 먼저, 제3실시예의 제10도 내지 제13도에 도시된 공정까지 행한다. 다음에, 제15도에 도시한 바와 같이, 실리콘 기판(11)에 등방성 에칭을 실시하여 실리콘 기판(11)의 코너 부분(원표시 g)을 둥그렇게 한다. 그 후, 제3실시예의 제14도와 같이 제3산화막(17)을 형성하고, 이후 마찬가지로 행한다. 이와 같이 본 실시예는 제2실시예의 제1실시예에 대한 효과와 마찬가지로, 실리콘 기판(11)의 코너 부분을 2번 둥그렇게 함으로써, 보다 둥그러짐을 크게 할 수 있다.

상술한 바와 같은 방법에 의해 형성된 매립소자분리영역을 갖춘 실리콘 기판을 이용하여 MOSFET를 형성했을 때의 임계치전압 특성을 제16도에 의거 설명한다. 횡축은 게이트쪽([μm]), 종축은 임계치전압([V])을 나타낸다. 종래의 방법이라면, 게이트폭이 0.2μm일 때의 임계치전압은 게이트폭이 1.2μm인 경우에 비해 현저하게 저하하고 있다. 한편, 본 발명에 의하면, 게이트폭이 0.2μm이어도 게이트폭이 1.2μm인 경우와 같은 임계치전압을 유지할 수 있다.

또한, 본 발명의 실시예에 있어서, 도랑부(16)로의 충전재로 되는 재료를 에치백할 때의 스토퍼로서 다결정 실리콘막(13)을 이용하고 있고, 도랑부(16)를 형성할 때의 에칭 마스크로서 제2산화막(SiO_2)을 이용하고 있다. 그들에 한정되는 것은 아니고, 상기 스토퍼는 산화에 의해 퇴적이 팽창하는 재료로 하면 좋다. 예컨대, 상기 스토퍼로서 WSi막, MoSi막, TiSi막 등을 이용할 수 있고, 상기 에칭 마스크를 상기 스토퍼와 다른 재료를 조합시키는 것이라면, TiN막,카본막,SiN막 등을 이용할 수 있다.

또, 도랑부(16)로의 충전재로서 제4산화막(SiO_2)을 이용하고 있지만, 이에 한정되는 것은 아니고, SiN, Si, PSG, BPSG 등을 매립재료로서 이용하는 것도 가능하다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 매립소자분리영역의 표면과 실리콘 기판의 표면을 직각의 단차가 없이 완만하게 할 수 있다. 따라서, MOSFET를 형성할 때에 매립소자분리영역과 실리콘 기판의 에지부분에 전계가 집중하는 일 없이 게이트폭이 좁은 경우에 있어서도 임계치 전압을 일정하게 유지할 수 있다.

(57) 청구의 범위

청구항 1

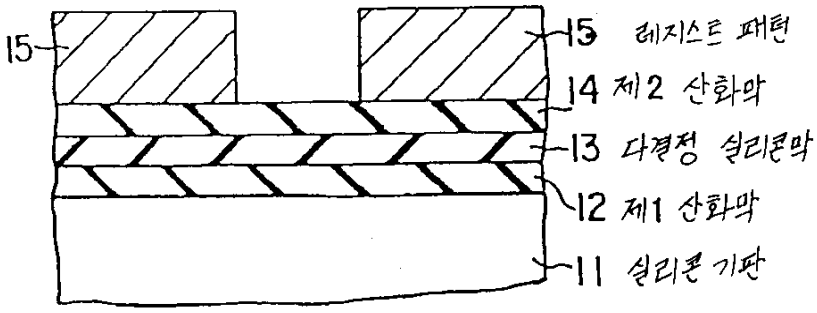
반도체 기판에 매립소자분리영역을 형성함에 있어서, 상기 반도체 기판상에 제1산화막을 형성하는 공정과, 이 제1산화막상에 반도체막 및 제2산화막을 순차 형성하는 공정, 이 제2산화막과 상기 반도체막 및 상기 제1산화막을 선택적으로 제거하는 공정, 상기 반도체 기판을 에칭하여 도랑부를 형성하는 공정, 상기 제1산화막에 사이드 에칭을 실시하여 상기 반도체 기판의 각부를 노출시키는 공정 및, 상기 도랑부를 포함하는 전면에 제3산화막을 형성함과 더불어 상기 각부를 산화시켜 둥그렇게 하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

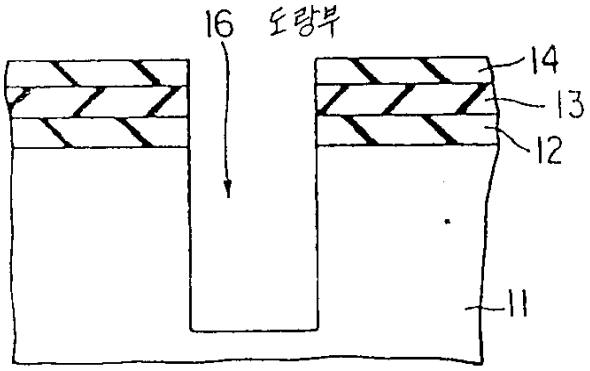
반도체 기판에 매립소자분리영역을 형성함에 있어서, 상기 반도체 기판상에 제1산화막을 형성하는 공정과, 이 제1산화막상에 반도체막 및 제2산화막을 순차 형성하는 공정, 이 제2산화막과 상기 반도체막 및 상기 제1산화막을 선택적으로 제거하는 공정, 상기 제1산화막을 사이드 에칭하는 공정, 상기 반도체 기판을 에칭하여 도랑부를 형성함과 더불어 상기 반도체 기판의 각부를 노출시키는 공정 및, 상기 도랑부를 포함하는 전면에 제3산화막을 형성함과 더불어 상기 각부를 산화시켜 둥그렇게 하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

도면

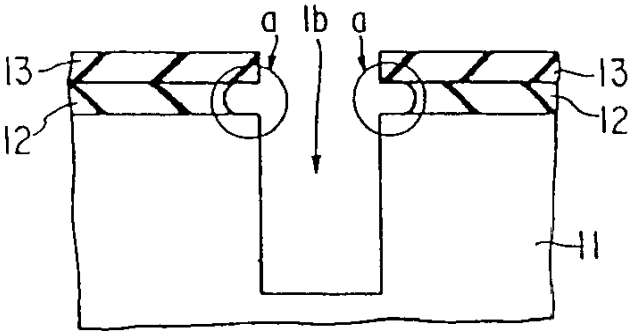
도면1


15
15 레지스트 패턴
14 제2 산화막
13 다결정 실리콘막
12 제1 산화막
11 실리콘 기판

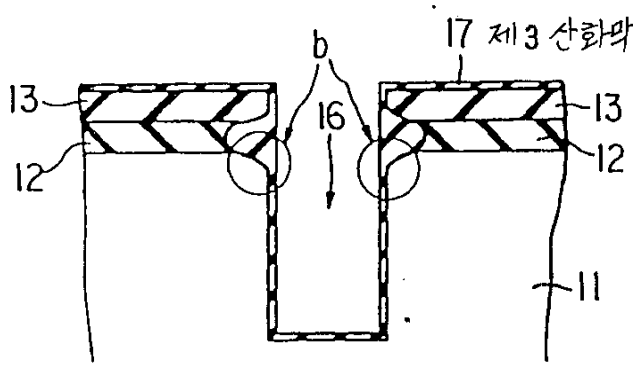
도면2


16 도랑부
14
13
12
11

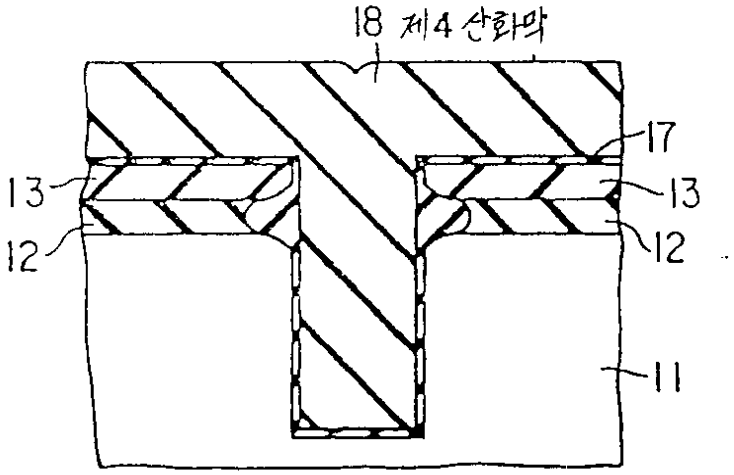
도면3


a
1b
a
13
12
13
12
11

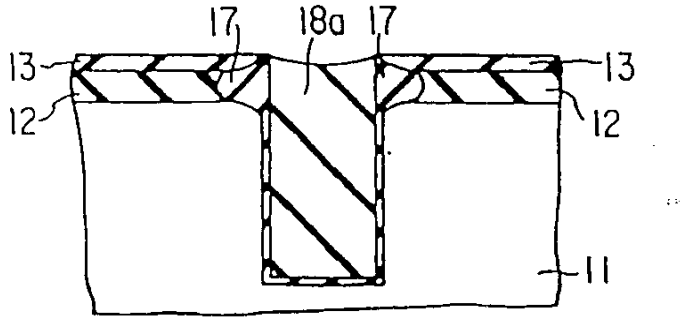
도면4


b
17 제3 산화막
13
16
13
12
12
11

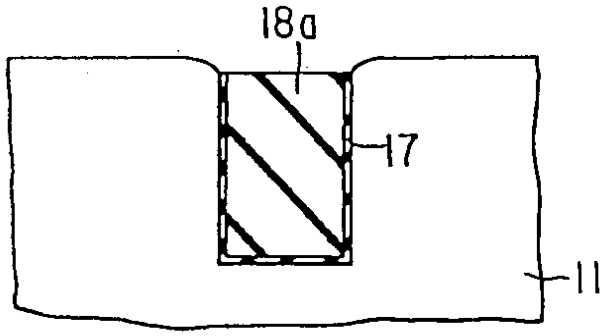
도면5


18 제4 산화막
17
13
13
12
12
11

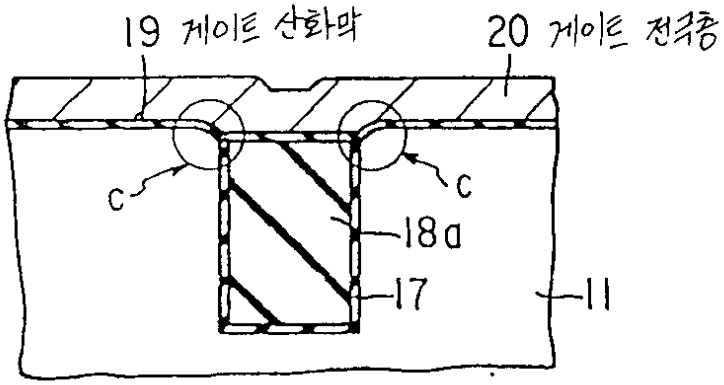
도면6


17
18a
17
13
13
12
12
11

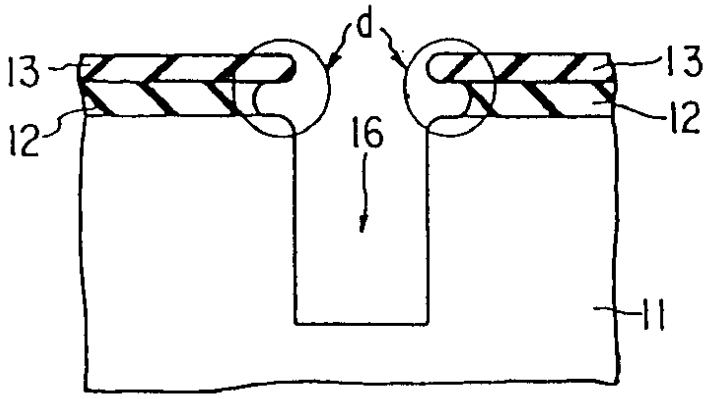
도면7



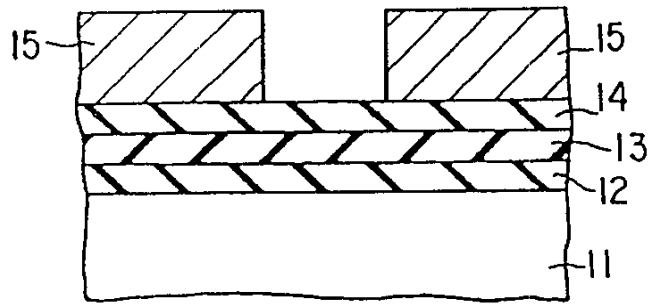
도면8



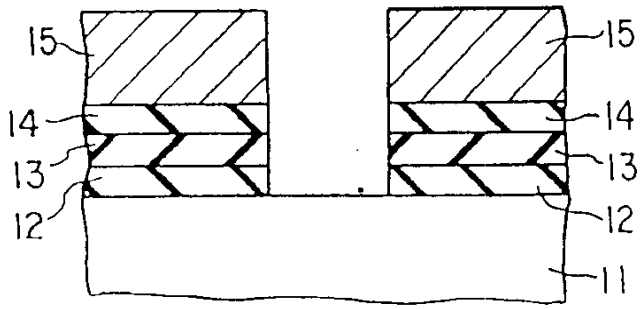
도면9



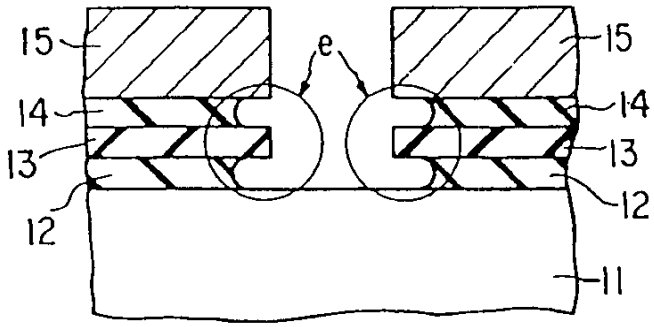
도면10



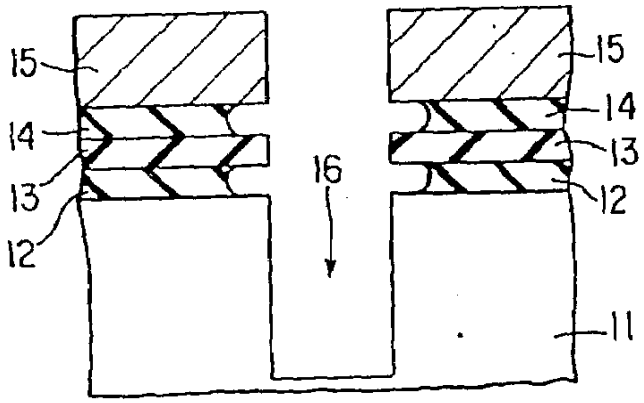
도면11



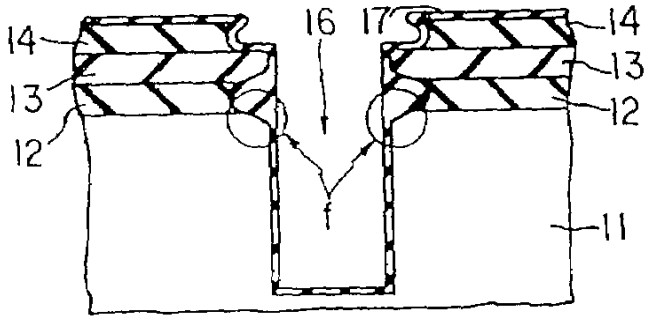
도면12



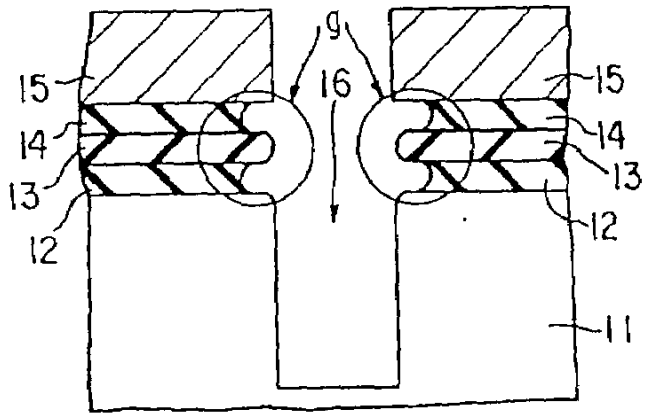
도면13



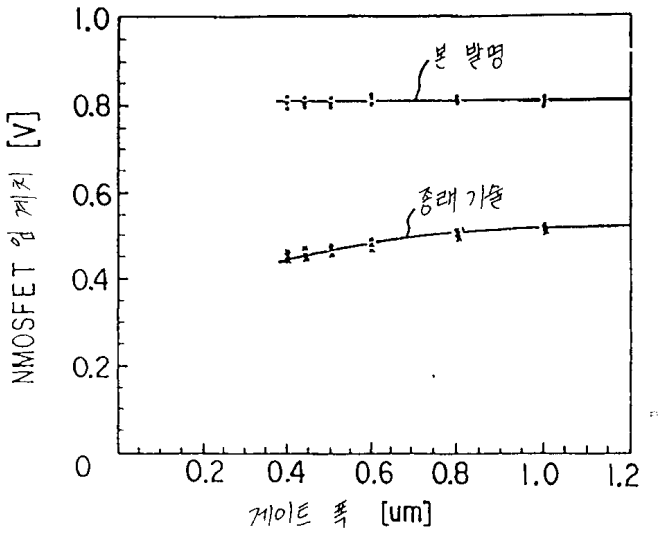
도면14



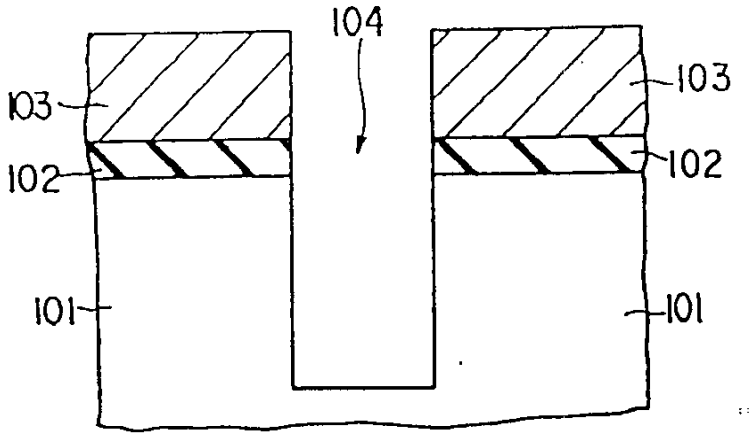
도면15



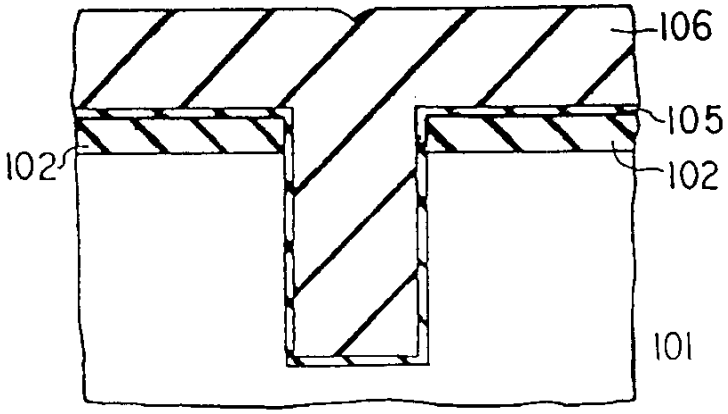
도면16



도면17a



도면17b



도면17c

