



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월28일
(11) 등록번호 10-2116486
(24) 등록일자 2020년05월22일

(51) 국제특허분류(Int. Cl.)
H03K 19/003 (2006.01) H03K 3/03 (2006.01)
(52) CPC특허분류
H03K 19/00361 (2013.01)
H03K 3/0315 (2013.01)
(21) 출원번호 10-2019-0152648
(22) 출원일자 2019년11월25일
심사청구일자 2019년11월25일
(56) 선행기술조사문헌
JP2005269079 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이형민
서울특별시 성북구 길음로 16, 509동 801호(길음동, 길음뉴타운)
엄민성
서울특별시 노원구 성발로 5, 102동 702호(공릉동, 탑스빌아파트)
노덕훈
서울특별시 성북구 안암로9가길 2, 302호(안암동4가)
(74) 대리인
윤귀상

전체 청구항 수 : 총 4 항

심사관 : 최규돈

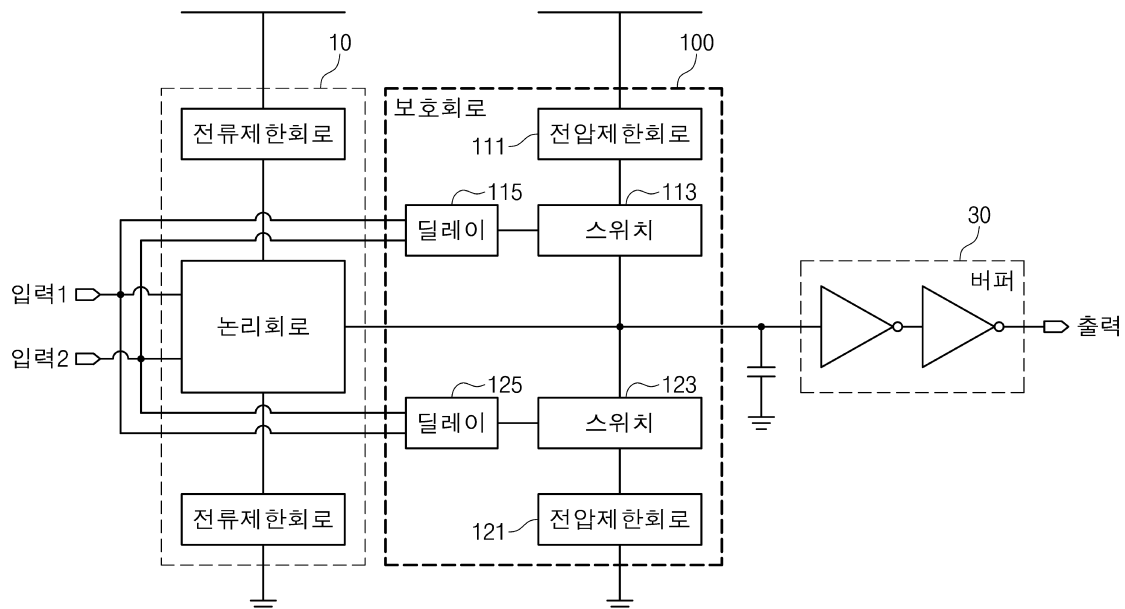
(54) 발명의 명칭 외부 간섭에 견고한 디지털 로직 회로 및 이를 포함하는 장치

(57) 요약

외부 간섭에 견고한 디지털 로직 회로는, 1 또는 0의 결과를 출력하는 논리 회로와 출력단 사이에 서로 대응되게 형성되는 제1 보호회로 및 제2 보호회로를 포함하고, 상기 제1 보호회로는, 상기 논리 회로의 출력 노드에 1의 결과가 세팅된 후에 상기 제1 보호회로가 작동하게 하는 제1 딜레이, 상기 논리 회로에서 출력되는 1의 결과가

(뒷면에 계속)

대표도 - 도6



외부 간섭으로 인해 바뀌는 경우를 감지하고 1의 결과를 유지하기 위해 온(on)되는 제1 스위치 및 상기 제1 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 제1 전압제한회로를 포함하고, 상기 제2 보호회로는, 상기 논리 회로의 출력 노드에 0의 결과가 세팅된 후에 상기 제2 보호회로가 작동하게 하는 제2 딜레이, 상기 논리 회로에서 출력되는 0의 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 0의 결과를 유지하기 위해 온(on)되는 제2 스위치 및 상기 제2 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 제2 전압제한회로를 포함한다. 이에 따라, 외부 간섭에는 견고하여, 정확하고 안정성 있는 회로 설계 기술을 제공할 수 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호 1711081825

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 핵융합기초연구(R&D)

연구과제명 내방사선 전반부 측정회로 설계 및 실시간 적응형 회로보상 기술 개발

기 여 율 1/1

주관기관 고려대학교

연구기간 2019.01.01 ~ 2019.12.31

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

디지털 결과를 출력하는 하나 이상의 논리 소자;

상기 논리 소자의 출력 노드에 결과가 세팅된 후에 작동하게 하는 딜레이, 상기 논리 소자에서 출력되는 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 결과를 유지하기 위해 온(on)되는 스위치 및 상기 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 전압제한회로를 각각 포함하는 한 쌍(pair)의 보호 회로; 및

상기 보호 회로와 출력단 사이에 형성되는 하나 이상의 버퍼;를 포함하며,

상기 한 쌍(pair)의 보호 회로는,

각 논리 소자의 출력 노드 마다 서로 대응되게 형성되고, 어느 하나의 논리 소자의 출력 노드에 SEE(Single Event Effect)가 들어오면 작동되는 제1 보호회로 및 제2 보호회로를 포함하고,

상기 제1 보호회로는,

상기 논리 소자의 출력 노드에 1의 결과가 세팅된 후에 상기 제1 보호회로가 작동하게 하는 제1 딜레이, 상기 논리 소자에서 출력되는 1의 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 1의 결과를 유지하기 위해 온(on)되는 제1 스위치 및 상기 제1 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 제1 전압제한회로를 포함하고,

상기 제2 보호회로는,

상기 논리 소자의 출력 노드에 0의 결과가 세팅된 후에 상기 제2 보호회로가 작동하게 하는 제2 딜레이, 상기 논리 소자에서 출력되는 0의 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 0의 결과를 유지하기 위해 온(on)되는 제2 스위치 및 상기 제2 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 제2 전압제한회로를 포함하며,

상기 제1 딜레이 및 상기 제2 딜레이는 각각 저항 소자 또는 MOSFET 소자로 구성되고, 상기 제1 스위치 및 상기 제2 스위치는 각각 MOSFET 소자로 구성되되,

상기 제1 스위치 및 상기 제2 스위치의 기생 캐패시터와 상기 제1 딜레이 및 상기 제2 딜레이의 저항 소자가 RC 딜레이를 형성하며,

상기 제1 전압제한회로 및 상기 제2 전압제한회로는 각각 다이오드 연결 트랜지스터(Diode-Connected

Transistor)로 구성되는, 외부 간섭에 견고한 디지털 로직 회로를 포함하는 장치.

청구항 7

삭제

청구항 8

제6항에 있어서,

상기 딜레이 및 상기 스위치는 각각 복수개로 형성되는, 외부 간섭에 견고한 디지털 로직 회로를 포함하는 장치.

청구항 9

제6항에 있어서,

상기 전압제한회로는 MOSFET 소자인, 외부 간섭에 견고한 디지털 로직 회로를 포함하는 장치.

청구항 10

제6항에 있어서,

상기 한 쌍의 보호회로 중 하나가 동작하는 경우, 다른 하나는 동작하지 않는, 외부 간섭에 견고한 디지털 로직 회로를 포함하는 장치.

발명의 설명

기술 분야

[0001] 본 발명은 외부 영향을 받거나 반도체 소자 성능이 변할 때 이에 견고한 디지털 로직 회로(Digital Logic Circuit) 설계 기술에 관한 것이며, 보다 상세하게는 방사선 영향에 견고한 전류 제한 로직회로 설계 기술에 관한 것이다.

배경 기술

[0003] 제어 시스템에서 연산, 명령, 해석 등의 처리기능 및 통신, 저장 같은 부가기능까지 하는 System on Chip(SoC)은 반도체 공정 기술의 발달로 보편화 되었으며, 사람의 두뇌 역할을 하는 핵심 전자부품이다.

[0004] 일반적으로 SoC는 크게 프로세서, 메모리, 소프트웨어 및 버스 등이 하나의 칩 안에 들어가기 때문에 규모가 크고 기능도 다양하며 복잡도도 증가하고 있다. SoC의 모든 구성 요소들은 세부적으로 아날로그 회로, 디지털 회로, RF 회로 등으로 구성되어 있으며, 그 중 디지털 회로에는 0, 1로 표현되는 데이터를 처리하고 전달하기 위해 로직 게이트들이 사용된다.

[0005] 디지털 로직 회로에서 다양한 외부 영향 때문에 출력값이 변하게 된다면 SoC가 제대로 동작하지 못하는 자명한 일이며 이는 제어 시스템의 정확도, 효율뿐 아니라 안정성에도 심각한 영향을 끼치게 된다.

[0006] 한편, 디지털 로직 회로는 전기장, 자기장, 내방사선, 온도 등의 순간적인 외부 간섭으로 인해 영향을 받아 성능 저하 현상이 발생할 수 있다. 특히 우주, 항공, 극한환경 차량용 반도체, 원자력 등 방사선 환경에 노출된 반도체 시스템은 방사선에 의한 성능 저하 및 오동작에 취약할 수 있다.

[0007] 우주방사선은 태양계 외부로부터 발생하는 고에너지의 입자이며, 대기권과 반응하여 낮은 에너지를 가진 방사선 입자들도 생성한다. 우주방사선량은 고도에 따라 증가하고, 전자부품들은 이러한 방사선에 항상 노출되어 있다. 따라서, 우주나 항공에서 쓰는 전자부품들이 방사선 간섭 때문에 성능 저하가 발생한다.

- [0008] 또한, 자율주행 자동차 및 드론은 아주 높은 신뢰성이 보장되어야 하는데, 북극과 높은 고산지대 같은 극한 환경에 가면 더 강한 방사선 영향에 노출되어 시스템 동작 문제를 야기할 수 있다. 이와 같은 사례로 인해서 반도체 회로에 성능 저하 및 오작동 현상이 일어날 수 있고, 유지보수에도 문제가 발생하여 경제적으로 큰 손실이 나타날 수 있다. SoC 내부의 회로, 그 중에서도 디지털 로직 회로에 성능을 유지하기 위해서는 전기적 특성의 변화를 좀 더 세밀하게 지켜봐야 할 필요가 있다.
- [0009] 전하량을 가지고 있지 않은 중성자가 대기권으로 들어오지만 이를 물리적으로 모두 차단하는 것은 불가능하다. 이것은 즉, 모든 SoC 회로에 방사선 영향을 피할 수 없다는 말과 동일하다. 특히 CMOS 공정을 이용한 반도체 시스템은 중성자를 포함한 알파선, 베타선, 감마선, 양성자 등과 같은 입자들에 의해 영향을 받으며, 대표적으로 반도체 회로 내에서 TID (Total Ionized Dose, 누적방사선량), SEE (Single Event Effect, 단일이벤트효과)와 같은 현상이 발생한다.
- [0010] 이로 인해 생기는 SoC의 성능 저하의 예는 도 1로 나타낼 수 있다. SEE는 단일 입자가 순간적으로 반도체 소자와 충돌하여 전압 변화를 발생시키는 것이다. 순간적인 변화를 주는 SEE와 반대로 TID는 절연체 및 산화막에 지속적으로 영향을 가함으로써 축적이 되어 소자 성능을 변화시킨다.
- [0011] 구체적으로, TID는 전하 입자가 소자에 침투하여 전자-정공 쌍을 형성하고 추가 정공들이 산화막에 갇혀 누적되어 반도체 소자의 문턱전압값 (threshold voltage)을 변화시킨다. 따라서 TID, SEE로 인해서 SoC에 악영향을 끼치는 것을 방지하기 위해서는 내방사선 기술 및 성능 보상기술에 대한 연구가 필수적이다.
- [0012] 선행기술문헌의 특허문헌 1 내지 3은 차폐 및 공정 기술에 대한 종래 특허이다. 특허문헌 1(KR 10-2016-0142634 A)은 주로 시트의 내구성과 감마선 차폐성능이 향상된 방사선 차폐용 조성물 및 그의 제조방법에 중점을 두었다.
- [0013] 특허문헌 2(KR 10-1492807 B1)도 특허문헌 1과 유사하게 공정 및 차폐 기술에 대한 연구이다. 구체적으로, 내방사선 모조 게이트를 이용한 단위 모스펫의 레이아웃을 이용해서 누설 전류 경로를 차단하여 방사선 환경에서도 정상적으로 동작할 수 있도록 하는 연구이다.
- [0014] 특허문헌 3(KR 10-1984109 B1)은 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성되는 상용공정의 로직 셀(Logic Cell) 채널 사이즈와 동일한 채널 사이즈를 가지는 것을 특징으로 방사선 환경 속에서도 견고한 MOSFET을 형성하는 내용을 함축하고 있다. N 레이어와 P 레이어 사이를 물리적으로 격리시키기 위해서 I 게이트를 이용하였는데, 이 내용 또한 공정 기술로 방사선에 견고하게 만들어지는 기술이다.
- [0015] 선행기술문헌의 특허문헌 4 및 5는 디지털 로직회로에 대한 종래 특허이다.
- [0016] 특허문헌 4(KR 10-1528164 B1)는 전류 제한 PFET과 방사능 경화 인버터 NFET을 이용해서 방사능 경화 인버터를 구성하였다. 여기서 방사능 경화 인버터 NFET는 BJT(Bipolar Junction Transistor)를 사용하여 방사능에 견고하게 만들어지는 기술이다.
- [0017] 특허문헌 5(KR 10- 2009456 B1)는 내방사선 플립플롭 회로, 이를 포함하는 반도체 장치 및 전자 장치에 관한 것이다. 디지털 논리 회로에 대한 내방사선 연구가 이루어져 있는 것은 대부분 플립플롭(Flip-Flop, FF)에 대한 내용이다. 디지털 회로에서 최소 단위를 FF를 이용해 방사선에 견고하게 만들어지는 기술이다.
- [0018] 보편적인 디지털 논리 회로는 성능을 높여 설계해 왔지만, 외부 간섭에 견고한 설계에 있어서는 아직 부족한 상황이다. 그 중에서도 방사선에 견고한 회로 설계 연구는 미약한 상태이다. 회로 관점에서 보는 내방사선 연구는 공정 및 차폐기술 개발을 통해 발전해 온 내방사선 연구보다도 부족하여 그것을 보완해 나가야 한다.
- [0019] 따라서, 내방사선 특성을 가지는 전자부품 및 SoC에 대한 연구가 회로 관점으로도 필요하다. 내방사선 특성을 가지는 전자부품 및 기존 회로들에 관한 특허는 공정 및 차폐 기술로 방사선에 견고하게 만들거나, 특정 모듈에 대한 디지털 혹은 아날로그 회로에 대한 특허이지, 세부적이고 작은 단위의 논리 회로에 대한 특허는 거의 존재하지 않는다.

선행기술문헌

특허문헌

- [0021] (특허문헌 0001) KR 10-2016-0142634 A

(특허문헌 0002) KR 10-1492807 B1

(특허문헌 0003) KR 10-1984109 B1

(특허문헌 0004) KR 10-1528164 B1

(특허문헌 0005) KR 10- 2009456 B1

발명의 내용

해결하려는 과제

- [0022] 이에, 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로 본 발명의 목적은 논리 회로 단위로 이루어져 방사선 영향이 있을 때 오류를 감지하는 동시에 해결할 수 있는 외부 간섭에 견고한 디지털 로직 회로를 제공하는 것이다.
- [0023] 본 발명의 다른 목적은 상기 외부 간섭에 견고한 디지털 로직 회로를 포함하는 장치를 제공하는 것이다.

과제의 해결 수단

- [0025] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 외부 간섭에 견고한 디지털 로직 회로는, 1 또는 0의 결과를 출력하는 논리 회로와 출력단 사이에 서로 대응되게 형성되는 제1 보호회로 및 제2 보호회로를 포함하고, 상기 제1 보호회로는, 상기 논리 회로의 출력 노드에 1의 결과가 세팅된 후에 상기 제1 보호회로가 작동하게 하는 제1 딜레이, 상기 논리 회로에서 출력되는 1의 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 1의 결과를 유지하기 위해 온(on)되는 제1 스위치 및 상기 제1 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 제1 전압제한회로를 포함하고, 상기 제2 보호회로는, 상기 논리 회로의 출력 노드에 0의 결과가 세팅된 후에 상기 제2 보호회로가 작동하게 하는 제2 딜레이, 상기 논리 회로에서 출력되는 0의 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 0의 결과를 유지하기 위해 온(on)되는 제2 스위치 및 상기 제2 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 제2 전압제한회로를 포함한다.
- [0026] 본 발명의 실시예에서, 상기 제1 보호회로 및 상기 제2 보호회로는 각 논리 회로의 출력노드마다 형성될 수 있다.
- [0027] 본 발명의 실시예에서, 상기 제1 딜레이, 상기 제2 딜레이, 상기 제1 스위치 및 상기 제2 스위치는 복수개로 형성될 수 있다.
- [0028] 본 발명의 실시예에서, 상기 제1 딜레이 및 상기 제2 딜레이는 각각 저항 소자, MOSFET 소자 및 캐패시터 소자 중 적어도 하나를 포함하고, 상기 제1 스위치 및 상기 제2 스위치는 각각 MOSFET 소자를 포함하고, 상기 제1 전압제한회로 및 상기 제2 전압제한회로는 각각 저항 소자 및 MOSFET 소자 중 적어도 하나를 포함할 수 있다.
- [0029] 본 발명의 실시예에서, 상기 제1 보호회로 및 상기 제2 보호회로는 중 하나가 동작하는 경우, 다른 하나는 동작하지 않을 수 있다.
- [0030] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 외부 간섭에 견고한 디지털 로직 회로를 포함하는 장치는, 디지털 결과를 출력하는 하나 이상의 논리 소자; 상기 논리 소자의 출력 노드에 결과가 세팅된 후에 작동하게 하는 딜레이, 상기 논리 소자에서 출력되는 결과가 외부 간섭으로 인해 바뀌는 경우를 감지하고 결과를 유지하기 위해 온(on)되는 스위치 및 상기 스위치를 온/오프(on/off)하기 위해 전압을 제공하는 전압제한회로를 각각 포함하는 한 쌍(pair)의 보호 회로; 및 상기 보호 회로와 출력단 사이에 형성되는 하나 이상의 버퍼;를 포함한다.
- [0031] 본 발명의 실시예에서, 상기 한 쌍의 보호회로는 각 논리 소자의 출력노드마다 형성될 수 있다.
- [0032] 본 발명의 실시예에서, 상기 딜레이 및 상기 스위치는 각각 복수개로 형성될 수 있다.
- [0033] 본 발명의 실시예에서, 상기 딜레이는 저항 소자, MOSFET 소자 및 캐패시터 소자 중 적어도 하나를 포함하고, 상기 스위치는 MOSFET 소자를 포함하고, 전압제한회로는 저항 소자 및 MOSFET 소자 중 하나를 포함할 수 있다.
- [0034] 본 발명의 실시예에서, 상기 한 쌍의 보호회로 중 하나가 동작하는 경우, 다른 하나는 동작하지 않을 수 있다.

발명의 효과

- [0036] 이와 같은 외부 간섭에 견고한 디지털 로직 회로 및 이를 포함하는 장치에 따르면, 디지털 회로에 SEE 방사선 영향과 같은 외부 간섭이 발생할 경우, 그 오류를 감지하는 동시에 해결해나가는 보호회로를 제공한다. 보호 회로는 논리 회로 단위로 구성되어 있으며, 논리 회로의 결과에 문제가 발생하는 것을 감지하여 결과값이 뒤집히는 현상을 억제시킨다.
- [0037] 이에 따라, 디지털 회로(예, 디지털 회로를 구동시키기 위해 필요한 전류 제한 링 발진기, Current Starved Ring Oscillator)에 문제를 야기하는 방사선을 방지해주는 보호회로를 전류 제한 링 발진기에 적용시켜 외부 간섭에는 견고하여, 정확하고 안정성 있는 회로 설계 기술을 제공할 수 있다.

도면의 간단한 설명

- [0039] 도 1은 방사선 효과에 따른 집적회로 내의 CMOS 트랜지스터의 성능 변화를 보여주는 그래프이다.
- 도 2는 디지털 논리 회로의 기호 및 진리표이다.
- 도 3은 전류제한방식이 적용된 종래의 논리회로 구조를 보여주는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 보호 회로를 추가한 논리회로 구조를 보여주는 도면이다.
- 도 5는 도 3과 도 4의 논리회로의 입출력을 비교한 파형도이다.
- 도 6은 본 발명의 일 실시예에 따른 보호 회로의 자세한 회로도이다.
- 도 7은 도 6을 트랜지스터 레벨(Transistor Level)로 표현한 도면이다.
- 도 8은 종래의 전류 제한 링 발진기의 기본 구조를 보여주는 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 보호 회로를 추가한 전류 제한 링 발진기 구조를 보여주는 도면이다.
- 도 10은 도 8의 전류 제한 링 발진기의 시뮬레이션 결과를 보여주는 파형도이다.
- 도 11은 본 발명에 따른 보호 회로가 적용된 도 9의 전류 제한 링 발진기의 시뮬레이션 결과를 보여주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.
- [0041] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.
- [0042] 도 2는 디지털 논리 회로의 기호 및 진리표이다. 도 3은 전류제한방식이 적용된 종래의 논리회로 구조를 보여주는 도면이다. 도 4는 본 발명의 일 실시예에 따른 보호 회로를 추가한 논리회로 구조를 보여주는 도면이다. 도 5는 도 3과 도 4의 논리회로의 입출력을 비교한 파형도이다.
- [0043] 도 2를 참조하면, 논리 회로의 종류에는 NOT, AND, OR, BUFFER, NAND, NOR, XOR, XNOR 등 여러 가지가 존재한다. 모든 디지털 회로는 0이나 1의 2진법으로 나타낸다. 2진법은 0과 1 외에도 Low와 High 또는 Off와 On으로도 표현할 수 있다.
- [0044] 논리 회로의 출력에는 0 혹은 1 두 가지의 결과만이 존재하기 때문에 정상적으로 작동할 때에는 논리에 맞게 결과를 도출해낸다. 논리 회로 각각 자신의 역할이 존재하므로, 입력에 맞춰서 결과도 정확하게 나타내어야 한다.
- [0045] 예를 들어, NOT 게이트에 입력으로 0을 주어졌을 때, 출력으로는 1이 나타나야 하지만 순간적인 외부 간섭으로

인해서 출력으로 순간적으로 0으로 나와 NOT 게이트의 역할을 수행하지 못할 경우가 나타난다.

- [0046] 본 발명이 해결하고자 하는 과제는 디지털 회로에 SEE 방사선 영향과 같은 외부 간섭이 발생할 경우, 그 오류를 감지하는 동시에 해결해나가는 보호회로를 제공하는 것이다. 보호 회로는 논리 회로 단위로 구성되어 있으며, 논리 회로의 결과에 문제가 발생하는 것을 감지하여 결과값이 뒤집히는 현상을 억제시킨다.
- [0047] 구체적으로, 디지털 회로(예, 디지털 회로를 구동시키기 위해 필요한 전류 제한 링 발진기, Current Starved Ring Oscillator)에 문제를 야기하는 방사선을 방지해주는 보호회로를 전류 제한 링 발진기에 적용시켜 외부 간섭에는 견고하여, 정확하고 안정성 있는 회로 설계 기술을 제공한다.
- [0048] 특히, 방사선 환경에서 견고한 디지털 논리 회로 설계 기술이 필연적인 현재, 본 발명은 회로 설계 기술을 제안한다. 이를 통해 방사선 환경에서의 논리 회로의 정확성을 개선하여 증가시키고, 전자부품 및 SoC에 안정성을 보장하고 수명을 향상시키게 된다.
- [0049] 본 발명이 제안하는 디지털 논리 회로는 방사선에 견고하여 결과값이 0과 1을 정확하게 나타낼 수 있게 된다. 크게는 전류 제한 인버터를 이용하여 정확한 클록 주기를 생성하여 SoC에 존재하는 모든 디지털 회로에 작동에 문제가 없도록 제어하게 되어 가혹한 방사선 환경에 노출되는 핵심전자부품도 무리 없이 사용할 수 있게 된다.
- [0050] 결론적으로, 디지털 회로에 존재하는 모든 논리 회로들이 방사선 환경에 노출되는 순간에도 방사선에 견고하고 수명도 증가하게 되므로 인해서 유지보수 측면에서도 많은 경제적 비용을 줄일 수 있게 된다.
- [0051] 뿐만 아니라, SoC 내부의 디지털 논리 회로의 정확성을 극대화하고, 가혹한 방사선 환경에서 안정적이고 보편적으로 사용할 수 있게 디지털 논리 회로를 개발함과 동시에 정확한 클록을 제공하기 위한 전류 제한 인버터를 생성하여 핵심 전자부품 관련 기술력 확보에 큰 기여를 할 것이다.
- [0052] 본 발명에서는 디지털 논리 회로가 원하는 결과값을 얻기 위해서 외부 간섭인 SEE에 견고하도록 설계해야 한다는 것을 확인 할 수 있다. 도 3은 임의의 논리 회로(10)와 버퍼(20)로 구성된 디지털 회로를 보여준다. 전기적 성질이 다른 다음 단계 버퍼는 연결되어야 하는 회로 사이를 전기적 문제가 생기지 않도록 결합해주는 역할을 한다.
- [0053] 하지만, 논리 회로와 버퍼 사이에 SEE와 같은 외부 간섭이 들어오게 되면 버퍼는 다음 회로에 잘못된 결과를 출력할 것이다. 여기서, 전류제한회로는 논리회로에 사용되는 전류의 양을 조절하는 역할을 한다.
- [0054] 이를 해결하기 위해 본 발명은 도 4와 같이 도 3의 임의의 논리 회로(10)와 버퍼(20) 사이에 보호회로(100)를 추가하여 SEE와 같은 외부 간섭에 견고하게 만들었다. SEE가 2번 노드에 영향을 가하면, 원하는 출력이 나오지 않고 뒤집힌 결과를 출력으로 얻을 경우가 존재한다.
- [0055] 평소에 보호회로(100)는 논리 회로 작동에 영향을 주지 않다가 2번 노드에 SEE가 들어올 시 그것을 감지하고 수정해주는 역할을 한다. 보호회로(100)는 출력 1을 유지할 수 있게 보호해주는 역할을 하는 상단 보호회로(110)와 출력 0을 보호해주는 역할을 하는 하단 보호회로(130)로 나눌 수 있다.
- [0056] 예를 들어, 출력으로 1이 나와야 하는데 SEE로 인해서 0으로 바뀌려는 순간 상단 보호회로(110)가 감지하여 출력을 1로 유지시키려고 동작한다. 이때, 하단 보호회로(130)는 작동하지 않는다.
- [0057] 도 5는 도 3과 도 4의 결과 파형을 보여준다.
- [0058] 도 5를 참조하면, 똑같은 논리 회로를 가지고 있는 도 3과 도 4의 차이는 보호회로의 존재 유무이다. 1번 노드에 SEE가 영향을 주면 1번 노드 파형에서 확인할 수 있는 바와 같이, 논리 회로의 결과가 문턱전압을 넘어가게 된다. 반대로 2번 노드에 SEE를 가하면 논리 회로가 원하는 결과로 돌아가기 위해 보호회로가 작동하여 빠르게 복원시킨다.
- [0059] 정상적인 출력은 1과 0을 일정 주기마다 반복하여 나오는 것을 출력 파형을 보고 알 수 있다. 정상 출력과 동일하게 나와야 하지만, 보호회로가 존재하지 않는 도 3의 회로는 SEE로 인해 결과가 중간에 뒤집히는 현상이 나타나고, 보호회로가 존재하는 도 4의 회로는 SEE가 가해져도 정상 출력과 동일한 결과를 도출한다는 것을 알 수 있다. 즉, 논리 회로가 외부 간섭에 문제없이 작동하기 위해서 보호회로가 필요하다는 사실을 도 5의 결과를 통해 확인할 수 있다.
- [0060] 도 6은 본 발명의 일 실시예에 따른 보호 회로의 자세한 회로도이다. 도 7은 도 6을 트랜지스터 레벨

(Transistor Level)로 표현한 도면이다.

- [0061] 도 6을 참조하면, 도 4의 회로를 세분화하여 나타내었다. 보호회로(100)는 전압제한회로(111, 121), 스위치(113, 123), 딜레이 회로(115, 125)를 포함한다.
- [0062] 상기 보호회로(100)는 도 4와 같이 상단 보호회로(110)와 하단 보호회로(130)가 동일한 구성으로 서로 대응되도록 쌍(pair)으로 형성될 수 있다. 상기 상단 보호회로(110)는 제1 전압제한회로(111), 제1 스위치(113), 제1 딜레이 회로(115)를 포함하고, 상기 하단 보호회로(130)는 제2 전압제한회로(121), 제2 스위치(123), 제2 딜레이 회로(125)를 포함한다.
- [0063] 상기 제1 딜레이 회로(115) 및 상기 제2 딜레이 회로(125)는 각각 저항 소자, MOSFET 소자 또는 캐패시터 소자로 구성될 수 있고, 상기 제1 스위치(113) 및 상기 제2 스위치(123)는 각각 MOSFET 소자로 구성될 수 있다. 또한, 상기 제1 전압제한회로(111) 및 상기 제2 전압제한회로(121)는 각각 저항 소자 또는 MOSFET 소자로 구성될 수 있다.
- [0064] 상기 전압제한회로(111, 121)는 스위치(113, 123)를 ON/OFF 해주기 위해 전압을 제공하고, 스위치는 논리 회로에서 나오는 결과가 1 또는 0에서 순간적인 외부 간섭으로 인해 0 또는 1로 바뀌는 경우를 감지하고 뒤집히는 상황을 방지하기 위해 켜진다.
- [0065] 상기 딜레이 회로(115, 125)는 논리 회로(10)에서 출력이 나오고 출력 노드에서 결과가 setting이 된 후에 보호회로가 작동이 되도록 한다. 다시 말하면, 논리 회로(10)가 결과를 출력하지 않았는데 스위치가 작동하면 더 큰 오류를 발생할 수 있으므로, 순서를 정확하게 배치하는 역할을 한다고 볼 수 있다. 논리 회로(10)에 따라 딜레이(115, 125)와 스위치는 한 개 또는 복수로 구현이 가능하다.
- [0066] 도 6의 회로를 Transistor Level로 다시 그리면 도 7과 같이 표현할 수 있다. 기본적으로 대표적인 논리 회로는 인버터이므로 도 7에는 M1, M2를 이용하여 인버터로 구현하였고, 전류제한회로는 전류원, 저항과 MOSFET으로 구현이 가능하지만, 도 7의 예에서는 전류원으로 표현하였다.
- [0067] 본 발명의 실시예에 따른 보호회로(100)는 R1, R2, M3, M4, M5 및 M6의 총 6개의 소자로 구성되어 있고, 각각의 소자마다 역할이 있다. M4와 M5의 기생 캐패시터와 딜레이 회로 R1과 R2를 이용해서 RC 딜레이를 형성할 수 있다. RC 딜레이로 인해서 인버터에서 나오는 출력이 setting 된 후에 스위치의 ON/OFF 여부가 정해진다.
- [0068] 여기서, 딜레이 회로를 저항 소자(R1과 R2)가 아닌 캐패시터 소자 또는 MOSFET 소자를 Triode 영역에서 대체하여 사용할 수도 있다. M3과 M6는 전압제한회로로 다이오드 연결 트랜지스터(Diode-Connected Transistor)로 구성하였다. 전압제한회로는 M4와 M5가 동작할 수 있는 영역을 결정해주고, 전류가 흐를 수 있는 양도 조절해준다. 마지막으로, 버퍼(30)는 디지털에서 관습적으로 사용하는 인버터를 두 개 이어서 구현하였다.
- [0069] 도 8은 종래의 전류 제한 링 발진기의 기본 구조를 보여주는 도면이다. 도 9는 본 발명의 일 실시예에 따른 보호 회로를 추가한 전류 제한 링 발진기 구조를 보여주는 도면이다.
- [0070] 본 발명이 적용될 수 있는 구체적인 디지털 회로의 예로 일정하고 안정적인 클록(Clock)을 만들어주는 전류 제한 링 발진기(Current Starved Ring Oscillator)를 생각할 수 있다. 기존의 SoC나 많은 전자부품에서 클록을 생성하기 위해 사용되는 전류 제한 링 발진기는 3개의 인버터(40, 50, 60)를 가진 예로 도 8과 같이 표현된다.
- [0071] 이와 같이 디지털 회로 전체 동작에 영향을 주는 전류 제한 링 발진기에 외부 간섭이 가해져서 클록의 주기를 조금이라도 바꾸면 디지털 회로의 동작에 큰 문제가 발생한다. 상기 설명한 바와 같이, SEE가 디지털 논리 회로 한 부분에 영향을 끼치면 원하는 결과를 가져오지 못한다는 것을 알 수 있다. 디지털 회로는 클록의 의존도가 굉장히 커서 신호 왜곡으로 인한 클록 주기의 변화를 최대한 방지해야 한다.
- [0072] 따라서, 본 발명에는 이러한 디지털 회로에 있어서 핵심인 전류 제한 링 발진기의 동작을 외부 간섭으로부터 견고하게 만들어야 한다.
- [0073] 외부 간섭으로부터 견고하게 만들기 위해서 도 9와 같이 구성할 수 있다. 도 9를 참조하면, 본 발명에 따라 각 인버터(40, 50, 60)의 출력 노드에 각각 한 쌍으로 형성된 보호회로(200, 400, 600)를 갖는다.
- [0074] 본 발명에 따르면, 인버터와 인버터 사이에 보호회로를 배치시켜 SEE로부터 견고하게 만들 수 있다. 클록을 생성하는 도중에 SEE가 어떤 노드로 들어오든 간에 보호회로(200, 400, 600)가 작동하여 클록 주기를 안정적이고 정상적으로 만들어준다.

- [0075] 결론적으로, 디지털 회로를 구동시키기 위해서는 클록이 필요하다. 그 클록을 생성하기 위해 가장 많이 사용되는 구조 중의 하나가 전류 제한 링 발진기이며, 그것은 모두 논리 회로로 구성되어있기 때문에 논리 회로가 외부 간섭에 견고해야 한다.
- [0076] 본 발명에 따른 보호회로는 그런 점을 보완해주며, 평상시 동작에는 영향을 끼치지 않아서 매우 효율적이다. 외부 간섭이 있더라도 디지털 회로가 안정적이고, 정상적인 동작을 하게 보호회로를 추가하여 해결하였다.
- [0077] 도 10은 도 8의 전류 제한 링 발진기의 시뮬레이션 결과를 보여주는 파형도이다. 도 11은 본 발명에 따른 보호회로가 적용된 도 9의 전류 제한 링 발진기의 시뮬레이션 결과를 보여주는 파형도이다.
- [0078] 도 10을 참조하면, 도 8의 전류 제한 링 발진기에 SEE의 영향을 가할 때 나온 시뮬레이션 결과 파형이다. 도 8에서 SEE에 노출되어 있는 1번 노드 파형, 출력 파형, SEE 파형 순으로 파형을 표현하였다.
- [0079] 1번 노드가 SEE로 인한 파형 일그러짐 현상이 나타나고, 출력 파형의 주기를 변하게 만든다는 것을 알 수 있다. 결과적으로, 정확하고, 안정적인 클록을 뒷단에 있는 디지털회로에 제공하지 못하여 문제가 있다.
- [0080] 도 10에서 나타난 문제점을 보완하기 위해서 보호회로를 적용한 전류 제한 링 발진기 시뮬레이션 결과 파형은 도 11에 나타내었다. 마찬가지로 도 9에서 SEE에 노출되어 있는 2번 노드 파형, 출력 파형, SEE 파형 순으로 파형을 표현하였다.
- [0081] 2번 노드에서 SEE가 들어올 경우, 보호회로가 그것을 인지하여 최대한 결과에 문제가 없게 복구시키게 된다. 따라서 도 10에 나타난 출력 파형의 문제점을 보완할 수 있고, 출력 파형에 문제가 없어 정확하고 안전한 클록을 뒷단에 있는 디지털 회로에 제공할 수 있다는 것을 확인할 수 있다.
- [0082] 본 발명에 따라, 외부 영향을 받거나 반도체 소자 성능이 변할 때 이에 견고한 디지털 논리 회로(Digital Logic Circuit) 또는 방사선 영향에 견고한 디지털 논리 회로를 제공할 수 있다.
- [0083] 이는, 딜레이 소자를 이용하여 스위치 타이밍을 조절해서 SEE(Single Event Effect, 단일이벤트효과)에 견고한 전류 제한 링 발진기(Current Starved Ring Oscillator) 등의 디지털 소자에 적용 가능하다. 또한, Diode-connected transistor를 이용하여 전압 강하를 이용해 switched-transistor를 사용해서 SEE에 견고하도록 설계한 디지털 로직 회로 및 TID(Total Ionized Dose, 누적방사선량) 효과에 견고한 디지털 논리 회로 또는 MOSFET의 문턱전압값 변화에 견고한 디지털 논리 회로를 제공할 수 있다.
- [0084] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

산업상 이용가능성

- [0086] 본 발명은 외부 영향을 받거나 반도체 소자 성능이 변할 때 이에 견고한 디지털 논리 회로 (Digital Logic Circuit) 설계 기술에 적용될 수 있으며, 방사선 영향에 견고해야 하는 우주, 항공, 차량용 반도체, 자율주행차, 원전 등의 환경에서 사용되는 디지털 논리 회로 설계 기술에 적용될 수 있다.
- [0087] 또한, 방사선이 존재하는 환경에서 안정적인 제어 시스템을 필요로 하는 우주, 항공, 차량용 반도체, 자율주행차, 원전 시장에 적용될 수 있으며, 그 외에도 외부 영향을 받거나 반도체 소자 성능이 변하는 환경에서 안정적인 제어시스템을 위한 핵심 기술로 사용될 수 있다.
- [0088] 나아가, 시스템 반도체를 개발, 판매하는 삼성, SK 하이닉스, 인텔, 퀄컴 등 국내외 반도체 회사들의 다양한 제품에 사용될 수 있다. 또한 차량용 반도체 및 자율주행차를 개발하는 전장 부품 기업에서도 활용될 수 있다.

부호의 설명

- [0090] 10: 논리 회로
20, 30, 70: 버퍼
100, 200, 400, 600: 보호회로
110: 상단 보호회로
130: 하단 보호회로

111, 121: 전압제한회로

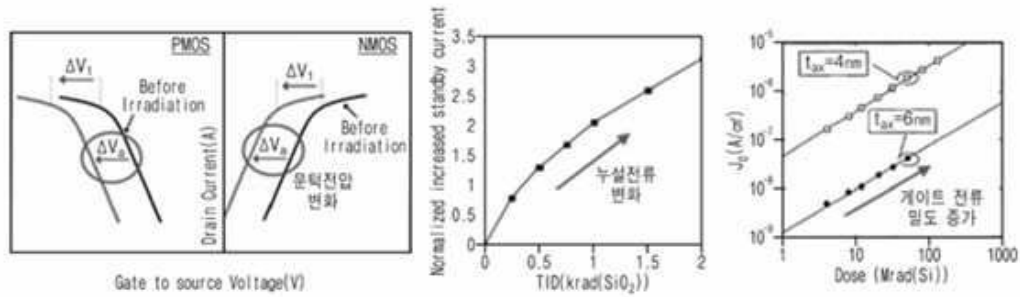
113, 123: 스위치

115, 125: 딜레이

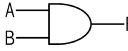
40, 50, 60: 인버터

도면

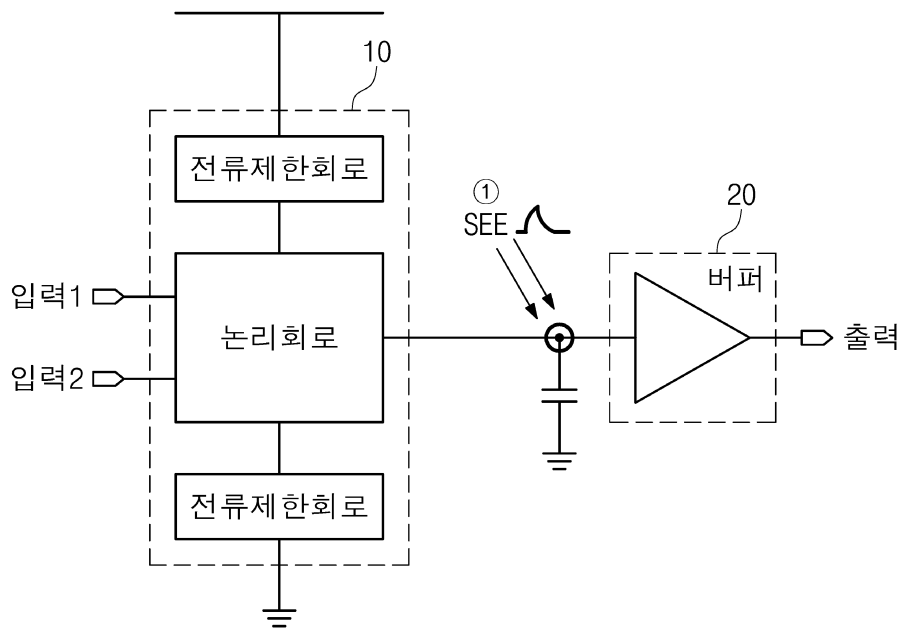
도면1



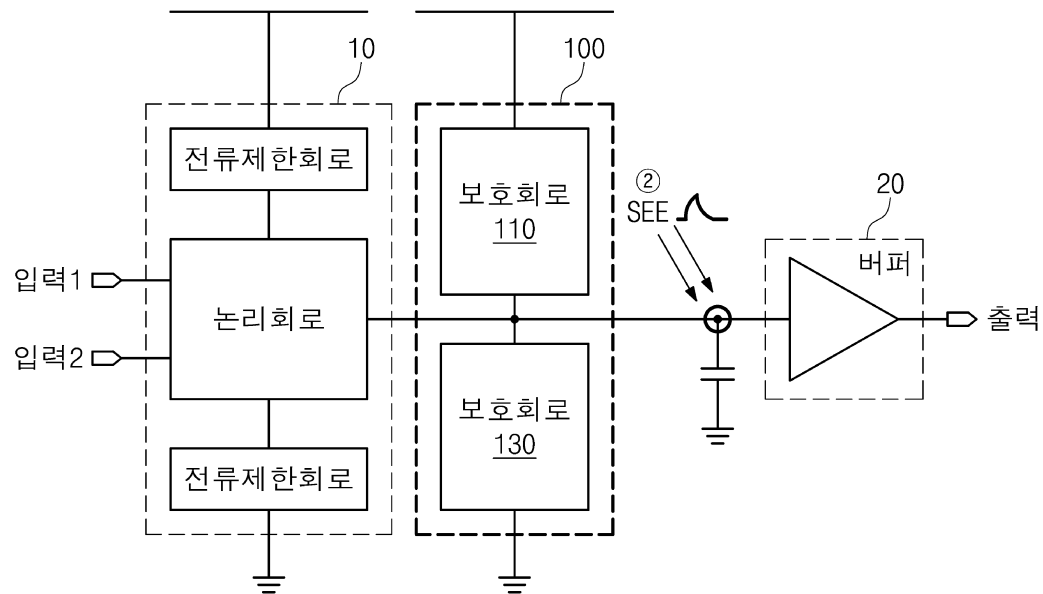
도면2

게이트	기호	논리식	진리표	의미															
AND		$F = A * B$	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	F	0	0	0	0	1	0	1	0	0	1	1	1	입력신호가 모두 1일때 1출력
A	B	F																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
OR		$F = A + B$	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	F	0	0	0	0	1	1	1	0	1	1	1	1	입력신호 중 1개만 1이어도 1출력
A	B	F																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
NOT		$F = \bar{A}$	<table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	F	0	1	1	0	입력된 정보를 반대로 변환하여 출력									
A	F																		
0	1																		
1	0																		
BUFFER		$F = A$	<table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	A	F	0	0	1	1	입력된 정보를 그대로 출력									
A	F																		
0	0																		
1	1																		
NAND		$F = \overline{A * B}$	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	F	0	0	1	0	1	1	1	0	1	1	1	0	NOT + AND, 즉 AND의 부정
A	B	F																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
NOR		$F = \overline{A + B}$	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	F	0	0	1	0	1	0	1	0	0	1	1	0	NOT + OR, 즉 OR의 부정
A	B	F																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
XOR		$F = A \oplus B$	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	F	0	0	0	0	1	1	1	0	1	1	1	0	입력신호가 모두 같으면 0, 한 개라도 틀리면 1출력
A	B	F																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	
XNOR		$F = A \odot B$	<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	F	0	0	1	0	1	0	1	0	0	1	1	1	NOT + XOR, 즉 XOR의 부정
A	B	F																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	1																	

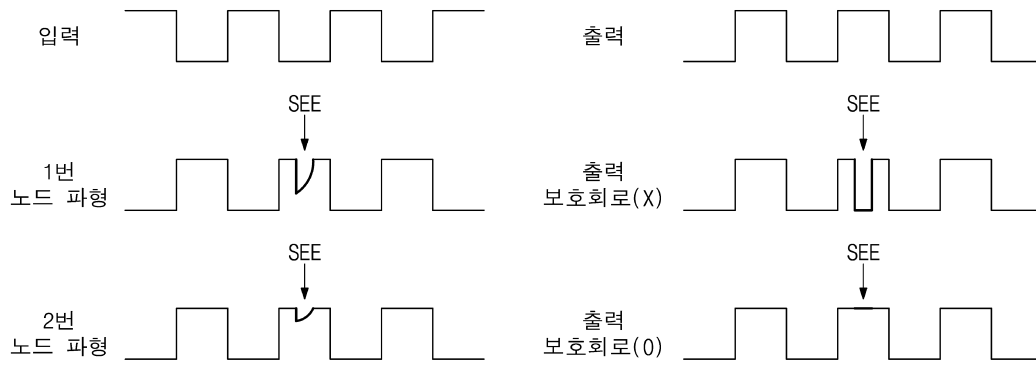
도면3



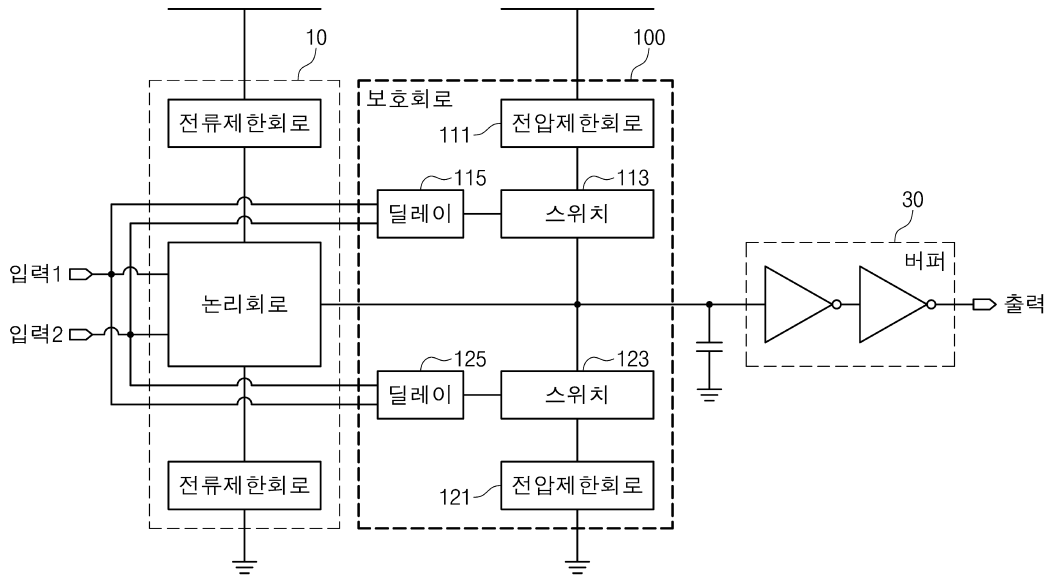
도면4



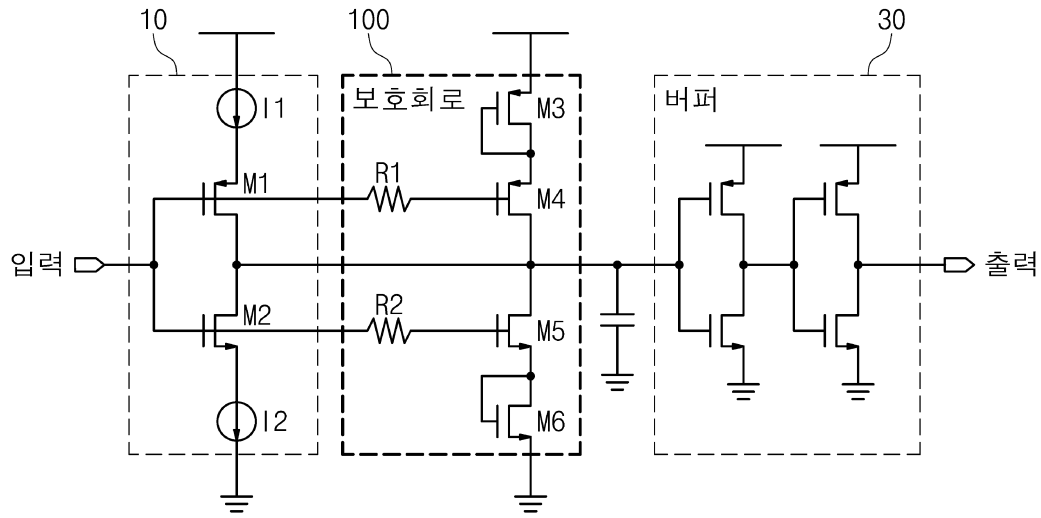
도면5



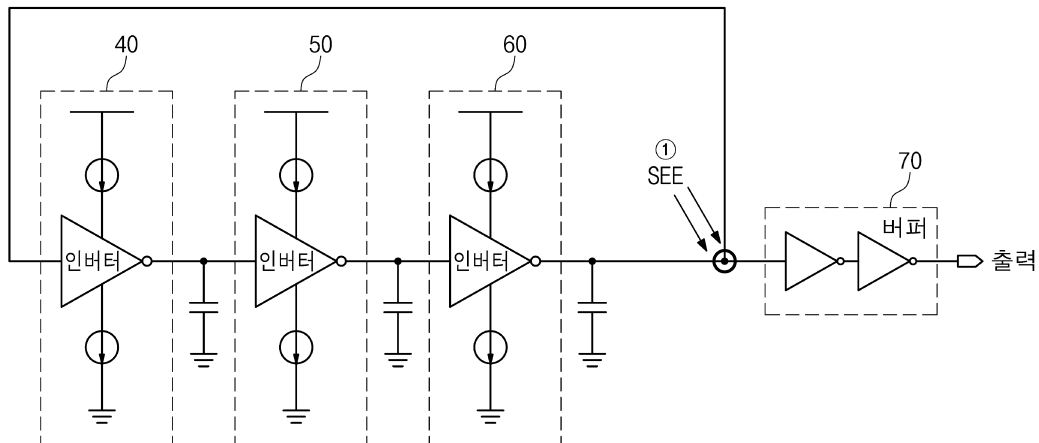
도면6



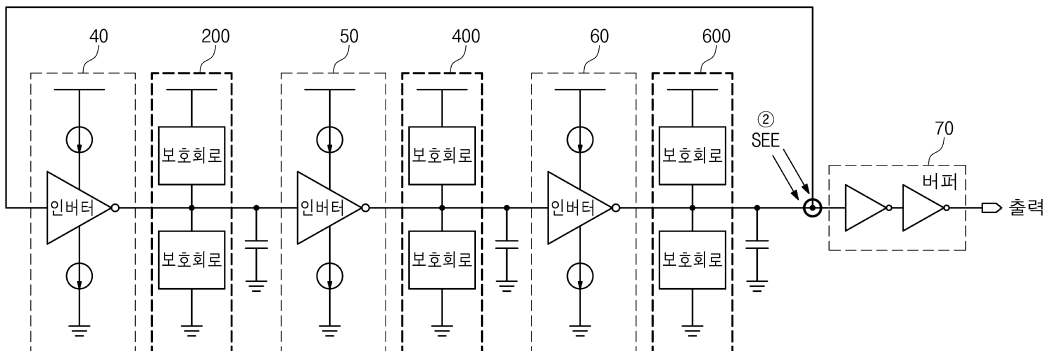
도면7



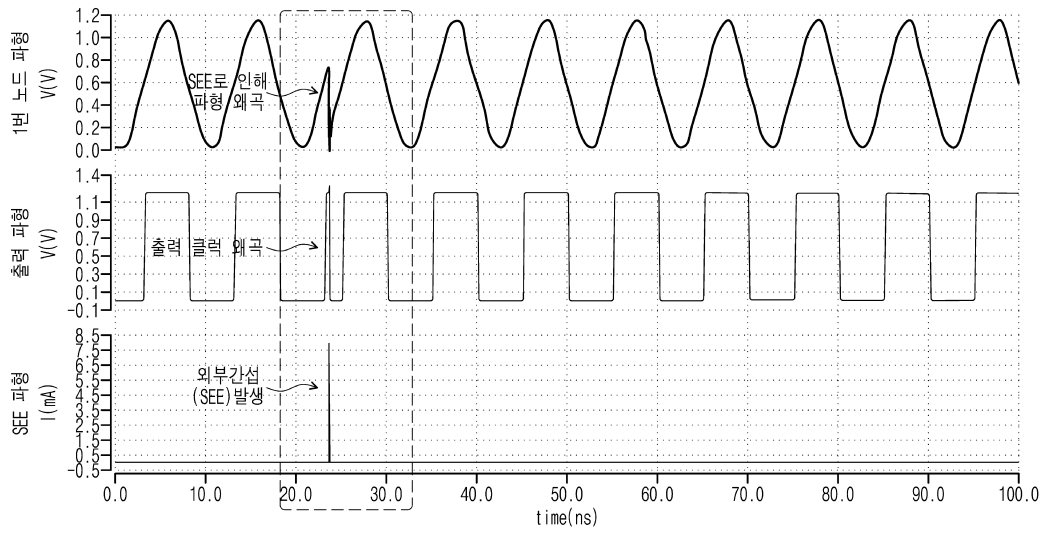
도면8



도면9



도면10



도면11

