



(12) 发明专利

(10) 授权公告号 CN 116137935 B

(45) 授权公告日 2024. 11. 01

(21) 申请号 202080104747.5

川畑直之

(22) 申请日 2020.08.11

(74) 专利代理机构 中国贸促会专利商标事务所  
有限公司 11038

(65) 同一申请的已公布的文献号  
申请公布号 CN 116137935 A

专利代理师 李今子

(43) 申请公布日 2023.05.19

(51) Int. Cl.

(85) PCT国际申请进入国家阶段日  
2023.01.17

H01L 29/78 (2006.01)

H01L 29/12 (2006.01)

H01L 29/06 (2006.01)

(86) PCT国际申请的申请数据  
PCT/JP2020/030578 2020.08.11

(56) 对比文件

CN 102569357 A, 2012.07.11

CN 106463539 A, 2017.02.22

(87) PCT国际申请的公布数据  
W02022/034636 JA 2022.02.17

审查员 周天微

(73) 专利权人 三菱电机株式会社  
地址 日本东京

(72) 发明人 永久雄一 田中贵规 纲城启之

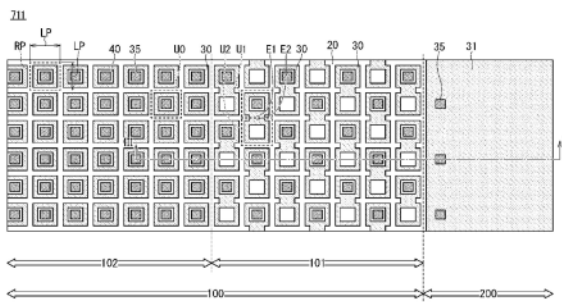
权利要求书3页 说明书15页 附图18页

(54) 发明名称

碳化硅半导体装置以及电力变换装置

(57) 摘要

碳化硅层(SL)在面内方向上具有活性区域(100)和配置于活性区域(100)的外周的外周区域(200)。多个第1阱区域(30)配置于活性区域(100)。第2阱区域(31)配置于外周区域(200)。多个欧姆电极(70)设置于碳化硅层(SL)的第2面上,与源极电极(80)连接,与多个第1阱区域(30)电欧姆连接,具有与碳化硅层(SL)的第2面中的具有第2导电类型的部分欧姆接触的多个面区域。活性区域(100)包括标准区域部(102)和标准区域部(102)与外周区域(200)之间的稀疏区域部(101)。稀疏区域部(101)相比于标准区域部(102),俯视时的多个面区域的面密度更低。



1. 一种碳化硅半导体装置,具备:  
碳化硅基板,具有第1导电类型;以及  
碳化硅层,具有面对所述碳化硅基板的第1面和厚度方向上与所述第1面相反的第2面,在与所述厚度方向垂直的面内方向上具有活性区域和配置于所述活性区域的外周的外周区域,

所述碳化硅层包括:

漂移层,配置于所述碳化硅基板上,具有所述第1导电类型;

多个第1阱区域,在所述活性区域配置于所述漂移层上,具有与所述第1导电类型不同的第2导电类型,至少一个剖面视时相互分离;

多个源极区域,配置于所述多个第1阱区域上,具有所述第1导电类型;以及

第2阱区域,在所述外周区域配置于所述漂移层上,具有所述第2导电类型,

所述碳化硅半导体装置还具备:

栅极绝缘膜,面对所述多个第1阱区域;

栅极电极,具有配置于所述活性区域的上方且隔着所述栅极绝缘膜面对所述多个第1阱区域的部分和配置于所述外周区域的上方且与所述第2阱区域绝缘的部分;

栅极焊盘,配置于所述第2阱区域的上方,与所述第2阱区域绝缘,与所述栅极电极连接;

源极电极,设置于所述碳化硅层的所述第2面的上方;以及

多个欧姆电极,设置于所述碳化硅层的所述第2面上,与所述源极电极连接,与所述多个第1阱区域电欧姆连接,具有与所述碳化硅层的所述第2面中的具有所述第2导电类型的部分欧姆接触的多个面区域,

所述活性区域包括标准区域部和所述标准区域部与所述外周区域之间的稀疏区域部,所述稀疏区域部相比于所述标准区域部,俯视时的所述多个面区域的面密度更低,

相当于所述标准区域部与所述外周区域的距离的所述稀疏区域部的宽度是所述碳化硅基板的厚度与所述碳化硅层的厚度的和的20%以上。

2. 根据权利要求1所述的碳化硅半导体装置,其特征在于,

所述多个欧姆电极偏离所述第2阱区域上而配置。

3. 一种碳化硅半导体装置,具备:

碳化硅基板,具有第1导电类型;以及

碳化硅层,具有面对所述碳化硅基板的第1面和厚度方向上与所述第1面相反的第2面,在与所述厚度方向垂直的面内方向上具有活性区域和配置于所述活性区域的外周的外周区域,

所述碳化硅层包括:

漂移层,配置于所述碳化硅基板上,具有所述第1导电类型;

多个第1阱区域,在所述活性区域配置于所述漂移层上,具有与所述第1导电类型不同的第2导电类型,至少一个剖面视时相互分离;

多个源极区域,配置于所述多个第1阱区域上,具有所述第1导电类型;以及

第2阱区域,在所述外周区域配置于所述漂移层上,具有所述第2导电类型,

所述碳化硅半导体装置还具备:

栅极绝缘膜,面对所述多个第1阱区域;

栅极电极,具有配置于所述活性区域的上方且隔着所述栅极绝缘膜面对所述多个第1阱区域的部分和配置于所述外周区域的上方且与所述第2阱区域绝缘的部分;

栅极焊盘,配置于所述第2阱区域的上方,与所述第2阱区域绝缘,与所述栅极电极连接;

源极电极,设置于所述碳化硅层的所述第2面的上方;以及

多个欧姆电极,设置于所述碳化硅层的所述第2面上,与所述源极电极连接,与所述多个第1阱区域电欧姆连接,具有与所述碳化硅层的所述第2面中的具有所述第2导电类型的部分欧姆接触的多个面区域,

所述活性区域包括标准区域部和所述标准区域部与所述外周区域之间的稀疏区域部,所述稀疏区域部相比于所述标准区域部,俯视时的所述多个面区域的面密度更低,

所述多个欧姆电极偏离所述第2阱区域上而配置。

4. 根据权利要求1至3中的任意一项所述的碳化硅半导体装置,其特征在于,在所述面内方向上,所述多个第1阱区域在所述标准区域部具有反复排列的多边形形状。

5. 一种碳化硅半导体装置,具备:

碳化硅基板,具有第1导电类型;以及

碳化硅层,具有面对所述碳化硅基板的第1面和厚度方向上与所述第1面相反的第2面,在与所述厚度方向垂直的面内方向上具有活性区域和配置于所述活性区域的外周的外周区域,

所述碳化硅层包括:

漂移层,配置于所述碳化硅基板上,具有所述第1导电类型;

多个第1阱区域,在所述活性区域配置于所述漂移层上,具有与所述第1导电类型不同的第2导电类型,至少一个剖面视时相互分离;

多个源极区域,配置于所述多个第1阱区域上,具有所述第1导电类型;以及

第2阱区域,在所述外周区域配置于所述漂移层上,具有所述第2导电类型,

所述碳化硅半导体装置还具备:

栅极绝缘膜,面对所述多个第1阱区域;

栅极电极,具有配置于所述活性区域的上方且隔着所述栅极绝缘膜面对所述多个第1阱区域的部分和配置于所述外周区域的上方且与所述第2阱区域绝缘的部分;

栅极焊盘,配置于所述第2阱区域的上方,与所述第2阱区域绝缘,与所述栅极电极连接;

源极电极,设置于所述碳化硅层的所述第2面的上方;以及

多个欧姆电极,设置于所述碳化硅层的所述第2面上,与所述源极电极连接,与所述多个第1阱区域以及所述第2阱区域电欧姆连接,具有与所述碳化硅层的所述第2面中的具有所述第2导电类型的部分欧姆接触的多个面区域,

所述外周区域包括外侧区域部和所述外侧区域部与所述活性区域之间的稀疏区域部,所述稀疏区域部相比于所述活性区域,俯视时的所述多个面区域的面密度更低,

相当于所述活性区域与所述外侧区域部的距离的所述稀疏区域部的宽度是所述碳化

硅基板的厚度与所述碳化硅层的厚度的和的20%以上。

6. 根据权利要求5所述的碳化硅半导体装置,其特征在于,  
所述稀疏区域部的宽度是所述碳化硅基板的厚度与所述碳化硅层的厚度的和的110%以下。

7. 根据权利要求1至6中的任意一项所述的碳化硅半导体装置,其特征在于,  
在所述面内方向上所述多个第1阱区域具有条纹形状。

8. 根据权利要求1至7中的任意一项所述的碳化硅半导体装置,其特征在于,  
所述稀疏区域部的所述面密度是所述活性区域的所述面密度的1/10以上且2/3以下。

9. 根据权利要求1至8中的任意一项所述的碳化硅半导体装置,其特征在于,  
所述稀疏区域部的面密度随着朝向外侧而降低。

10. 根据权利要求1至9中的任意一项所述的碳化硅半导体装置,其特征在于,  
所述稀疏区域部的面密度具有多个水平。

11. 根据权利要求1至10中的任意一项所述的碳化硅半导体装置,其特征在于,  
导通状态下的电流密度是 $100\text{A}/\text{cm}^2$ 以上。

12. 一种电力变换装置,具备:

主变换电路,具有权利要求1至11中的任意一项所述的碳化硅半导体装置,该主变换电路受理输入电力,将所述输入电力变换为输出电力,输出所述输出电力;

驱动电路,将驱动所述碳化硅半导体装置的驱动信号输出给所述碳化硅半导体装置;  
以及

控制电路,将控制所述驱动电路的控制信号输出给所述驱动电路。

## 碳化硅半导体装置以及电力变换装置

### 技术领域

[0001] 本公开涉及碳化硅半导体装置以及电力变换装置,特别是涉及具有欧姆电极的碳化硅半导体装置和具有该碳化硅半导体装置的电力变换装置。

### 背景技术

[0002] 近年来,使用碳化硅(SiC)的半导体装置作为电力用半导体装置得到广泛使用。典型地,SiC半导体装置具有单结晶SiC基板和形成于其上的作为外延层的SiC层。在该装置包括pn二极管的结构的情况下,在pn二极管中持续流过正向电流即双极性电流时,有时在SiC层的结晶中发生层叠缺陷。认为其原因为,由于经由pn二极管的pn结注入的少数载流子与多数载流子再结合时的再结合能量,以在SiC基板中存在的基底面位错(BPD:Basal Plane Dislocation)等为起点,作为面缺陷的层叠缺陷在SiC层中扩展。层叠缺陷的扩展引起由于阻碍电流的流动而正向电压(导通电压)增加以及耐压降低等这样的特性劣化。

[0003] 关于如上述的特性劣化,不仅在半导体装置是单纯的pn二极管的情况下,而且在纵型MOSFET(Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)的情况下也可能发生。其原因为,纵型MOSFET在源极-漏极之间内置有体二极管(寄生二极管),这是一种pn二极管。具体而言,在功率电子系统中体二极管作为MOSFET的续流二极管发挥功能时,由于在该体二极管中流过正向电流而发生如上述的特性劣化。

[0004] 例如如国际公开第2018/155553号(专利文献1)公开那样,SiC-MOSFET以及SiC-肖特基势垒二极管(SBD:Schottky Barrier Diode)将在SiC基板上生长的外延层用作耐压保持层。在SiC基板通常存在大量的缺陷,在这些缺陷中,还包含成为外延层中的层叠缺陷的扩展的起点的缺陷。因此,为了使在SiC基板上生长的外延层高品质化,长年进行使各种各样的缺陷无害化的尝试。

[0005] 作为抑制由于在体二极管中流过正向电流而发生的上述特性劣化的方法,此前主要研究接下来的3个方法。作为第1方法,研究在SiC基板上使外延层生长时,通过将SiC基板到达外延层的基底面位错在生长的初始阶段中从基底面位错转换为贯通刃状位错,防止层叠缺陷从基底面位错扩展的方法(例如参照非专利文献1)。作为第2方法,研究通过利用形成于SiC基板上的高杂质浓度的缓冲层促进空穴和电子的再结合,防止从SiC基板的基底面位错发生层叠缺陷的方法(例如参照非专利文献2)。作为第3方法,研究通过将再结合中心导入到设置有寄生pn二极管的区域,减少注入的空穴,由此防止SiC基板的基底面位错的附近处的空穴和电子的再结合的方法(例如参照专利文献2)。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:国际公开第2018/155553号

[0009] 专利文献2:国际公开第2015/189929号

[0010] 非专利文献

[0011] 非专利文献1:“Influence of growth conditions on basal plane

dislocation in 4H-SiC epitaxial layer”, Journal of Crystal Growth 271 (2004) 1-7

[0012] 非专利文献2: “Short minority carrier lifetimes in highly nitrogen-doped 4H-SiC epilayers for suppression of the stacking fault formation in PiN diodes”, JOURNAL OF APPLIED PHYSICS Vol.120, 115101 (2016)

### 发明内容

[0013] 本发明人注意到上述以往的所有方法都未充分研究作为SiC半导体装置的半导体芯片中的双极性电流密度的相异。具体而言,本发明人发现在芯片中的活性区域和外周区域的边界附近的局部的区域中双极性电流密度局部地变高。而且,通过进一步研究这样的双极性电流密度的分布的影响,本发明人想到仅通过单纯地应用上述以往的方法,虽然能够在芯片的大部分的区域抑制层叠缺陷的扩展,但存在在上述局部的区域无法充分地抑制层叠缺陷的扩展的可能性。以下,关于该问题,更具体地说明。

[0014] 为了有效地应用上述第1方法,需要在从外延层的表面尽可能深的位置形成从基底面位错向贯通刃状位错的转换点。因此,为了通过单纯地应用该第1方法在上述局部的区域也得到充分的效果,需要使外延层进一步变厚。其结果,芯片的制造成本显著增大。

[0015] 为了有效地应用上述第2方法,需要形成能够充分地防止少数载流子的贯通的程度充分厚的缓冲层。因此,为了通过单纯地应用该第2方法在上述局部的区域也得到充分的效果,需要使缓冲层更厚。其结果,芯片的制造成本显著增大。

[0016] 为了有效地应用上述第3方法,需要在设置有pn二极管的区域中以能够充分地减少注入的空穴的程度导入再结合中心。因此,为了通过单纯地应用该第3方法在上述局部的区域也得到充分的效果,需要在外周区域及其附近导入更多的再结合中心或者在芯片整体导入更多的再结合中心中的任意方式。在前者的情况下,由于工序数的增加以及光刻中的掩模数的增加等,芯片的制造成本显著增大。在后者的情况下,再结合中心通常是点缺陷等缺陷,所以起因于过剩的再结合中心的存在,产生耐压的降低、导通电压的增加以及泄漏电流的增大。

[0017] 如以上所述,在想要通过单纯地应用以往的方法在上述局部的区域也充分地抑制层叠缺陷的扩展时,产生制造成本显著增大、或者引起特性劣化的新的主要原因。

[0018] 本公开是为了解决如以上的课题而完成的,其目的在于提供能够避免制造成本显著增大并且抑制特性劣化的碳化硅半导体装置。

[0019] 本公开的一个方式所涉及的碳化硅半导体装置具有碳化硅基板、碳化硅层、栅极绝缘膜、栅极电极、栅极焊盘、源极电极以及多个欧姆电极。碳化硅基板具有第1导电类型。碳化硅层具有面对碳化硅基板的第1面和厚度方向上与第1面相反的第2面,在与厚度方向垂直的面内方向上具有活性区域和配置于活性区域的外周的外周区域。碳化硅层包括漂移层、多个第1阱区域、多个源极区域以及第2阱区域。漂移层配置于碳化硅基板上,具有第1导电类型。多个第1阱区域在活性区域配置于漂移层上,具有与第1导电类型不同的第2导电类型,至少一个剖面视时相互分离。多个源极区域配置于多个第1阱区域上,具有第1导电类型。第2阱区域在外周区域配置于漂移层上,具有第2导电类型。栅极绝缘膜面对多个第1阱区域。栅极电极具有配置于活性区域的上方且隔着栅极绝缘膜面对多个第1阱区域的部分和配置于外周区域的上方且与第2阱区域绝缘的部分。栅极焊盘配置于第2阱区域的上方,

与第2阱区域绝缘,与栅极电极连接。源极电极设置于碳化硅层的第2面的上方。多个欧姆电极设置于碳化硅层的第2面上,与源极电极连接,与多个第1阱区域电欧姆连接,具有与碳化硅层的第2面中的具有第2导电类型的部分欧姆接触的多个面区域。活性区域包括标准区域部和标准区域部与外周区域之间的稀疏区域部。稀疏区域部相比于标准区域部,俯视时的多个面区域的面密度更低。

[0020] 本公开的其他方式所涉及的碳化硅半导体装置具有碳化硅基板、碳化硅层、栅极绝缘膜、栅极电极、栅极焊盘、源极电极以及多个欧姆电极。碳化硅基板具有第1导电类型。碳化硅层具有面对碳化硅基板的第1面和与第1面相反的第2面,在与厚度方向垂直的面内方向上具有活性区域和配置于活性区域的外周的外周区域。碳化硅层包括漂移层、多个第1阱区域、多个源极区域以及第2阱区域。漂移层配置于碳化硅基板上,具有第1导电类型。多个第1阱区域在活性区域配置于漂移层上,具有与第1导电类型不同的第2导电类型,至少一个剖面视时相互分离。多个源极区域配置于多个第1阱区域上,具有第1导电类型。第2阱区域在外周区域配置于漂移层上,具有第2导电类型。栅极绝缘膜面对多个第1阱区域。栅极电极具有配置于活性区域的上方且隔着栅极绝缘膜面对多个第1阱区域的部分和配置于外周区域的上方且与第2阱区域绝缘的部分。栅极焊盘配置于第2阱区域的上方,与第2阱区域绝缘,与栅极电极连接。源极电极设置于碳化硅层的第2面的上方。多个欧姆电极设置于碳化硅层的第2面上,与源极电极连接,与多个第1阱区域以及第2阱区域电欧姆连接,具有与碳化硅层的第2面中的具有第2导电类型的部分欧姆接触的多个面区域。外周区域包括外侧区域部和外侧区域部与活性区域之间的稀疏区域部。稀疏区域部相比于活性区域,俯视时的多个面区域的面密度更低。

[0021] 根据本公开,能够避免制造成本显著增大并且抑制碳化硅半导体装置的特性劣化。

[0022] 本公开的目的、特征、方面以及优点通过以下的详细的说明和附图将变得更加明确。

## 附图说明

[0023] 图1是概略地示出本实施方式1所涉及的碳化硅半导体装置的结构的部分顶视图。

[0024] 图2是在图1中的虚线部II概略地示出碳化硅半导体装置具有的碳化硅层的结构的部分顶视图。

[0025] 图3是沿着图2中的线III-III概略地示出碳化硅半导体装置的结构的部分剖面图。

[0026] 图4是在图2的视野中概略地示出第1阱区域、第2阱区域以及碳化硅层的上表面中的具有第2导电类型的部分和多个欧姆电极欧姆接触的多个面区域的部分顶视图。

[0027] 图5是将图4中的视野在纵向上放大而示出的同时说明面区域的面密度的定义的部分顶视图。

[0028] 图6是示出在图5中定义的面密度的、x轴方向上的分布的图表。

[0029] 图7是示出与比较例对应的、在关于续流动作中的电流密度分布(图8以及图9)以及空穴浓度分布(图10)的仿真中使用的pn二极管的结构的部分剖面图。

[0030] 图8是示出与比较例对应的、图7所示的pn二极管的结构中的电流密度分布的仿真

结果的分布图。

[0031] 图9是沿着阱区域的底面示出与比较例对应的、使用图7所示的pn二极管的结构中的2种基板厚度的电流密度分布的仿真结果的图表。

[0032] 图10是在漂移层的底面的深度位置处示出与比较例对应的、使用图7所示的pn二极管的结构中的2种基板厚度的空穴浓度分布的仿真结果的图表。

[0033] 图11是示出关于续流动作中的空穴浓度分布(图12)的、在使面密度分布变化的仿真中使用的pn二极管的结构的部分剖面图。

[0034] 图12是在漂移层的底面的深度位置处示出图11所示的pn二极管的结构中的、使用不同的面密度分布的空穴浓度分布的仿真结果的图表。

[0035] 图13是示出图4所示的结构的部分顶视图。

[0036] 图14是示出图4所示的结构的部分顶视图。

[0037] 图15是示出图4所示的结构的部分顶视图。

[0038] 图16是示出图4所示的结构的部分顶视图。

[0039] 图17是以与图4同样的视野概略地示出本实施方式2所涉及的碳化硅半导体装置中的、第1阱区域、第2阱区域以及碳化硅层的上表面中的具有第2导电类型的部分和多个欧姆电极欧姆接触的多个面区域的部分顶视图。

[0040] 图18是示出应用本实施方式3所涉及的电力变换装置的电力变换系统的结构的框图。

[0041] (符号说明)

[0042] 10:SiC基板(碳化硅基板);20:漂移层;30:第1阱区域;31:第2阱区域;35:接触区域;40:源极区域;50:栅极绝缘膜;60:栅极电极;70:欧姆电极;71:面区域;80:源极电极;81:栅极焊盘;82:栅极布线;84:漏极电极;100:活性区域;101、201:稀疏区域部;102:标准区域部;200:外周区域;202:外侧区域部;711~715、721:MOSFET(碳化硅半导体装置);910:电源;920:电力变换装置;921:主变换电路;922:驱动电路;923:控制电路;930:负载;SL:SiC层(碳化硅层)。

## 具体实施方式

[0043] 以下,根据附图说明本公开的实施方式。此外,在本说明书记载的各实施方式中,作为碳化硅半导体装置的一个例子,以n沟道MOSFET、即第1导电类型是n型且第2导电类型是p型的MOSFET为例子进行说明。该说明中的关于电位的高低的记述是关于第1导电类型是n型且第2导电类型是p型的情况的记述,在第1导电类型是p型且第2导电类型是n型的情况下,电位的高低反过来。

[0044] <1.实施方式1>

[0045] <1-1.基本的结构>

[0046] 图1是概略地示出本实施方式1所涉及的MOSFET711(碳化硅半导体装置)的结构的部分顶视图。MOSFET711在其上表面具有源极电极80、栅极焊盘81以及栅极布线82。栅极布线82从栅极焊盘81延伸,离开它们而配置有源极电极80。

[0047] 图2是在图1中的虚线部II概略地示出MOSFET711具有的碳化硅层SL(图3)的结构的部分顶视图。图3是沿着图2中的线III-III概略地示出MOSFET711的结构的部分剖面图。

MOSFET711具有碳化硅基板10(以下还称为SiC基板10)、碳化硅层SL(以下还称为SiC层SL)、栅极绝缘膜50、栅极电极60、栅极焊盘81、源极电极80、多个欧姆电极70以及漏极电极84。

[0048] SiC基板10具有n型(第1导电类型)。SiC层SL具有面对SiC基板10的下表面(第1面)和上表面(在厚度方向上与第1面相反的第2面)。SiC层SL的下表面可以与SiC基板10相接。

[0049] SiC层SL在与厚度方向垂直的面内方向上具有活性区域100和配置于活性区域100的外周的外周区域200。典型地,在面内方向上(换言之在俯视时),外周区域200包围活性区域100的周围。活性区域100直接承担MOSFET711的主要的功能、即进行电流的开关的功能。因此,MOSFET711具有的MOS栅极构造并非配置于外周区域200而配置于活性区域100。SiC层SL包括漂移层20、多个第1阱区域30、多个源极区域40、第2阱区域31、接触区域35、以及JTE(Junction Termination Extension:结终端扩展)区域37。

[0050] 漂移层20具有n型。漂移层20的杂质浓度低于SiC基板10的杂质浓度。漂移层20配置于SiC基板10上。

[0051] 第1阱区域30具有p型(与第1导电类型不同的第2导电类型)。第1阱区域30在活性区域100配置于漂移层20上,典型地部分性地形成SiC层SL的上表面。第1阱区域30在至少一个剖面视时(例如图3所示的剖面视时)相互分离。在相邻的2个第1阱区域30之间,漂移层20具有JFET区域21。作为漂移层20的一部分的JFET区域21的杂质浓度既可以与漂移层20的其他部分的杂质浓度相同也可以不同。

[0052] 源极区域40具有n型。源极区域40配置于多个第1阱区域30上。源极区域40通过第1阱区域30从漂移层20隔开。特别是在图3所示的结构中,在碳化硅层SL的上表面,各源极区域40的外缘比各第1阱区域30的外缘配置于更靠内侧,由此在碳化硅层SL的上表面,各源极区域40通过第1阱区域30从漂移层20隔开。

[0053] 接触区域35具有p型,具有比第1阱区域30的杂质浓度高的杂质浓度。接触区域35具有到达SiC层SL的上表面的上端和到达第1阱区域30的下端。在图2所示的例子中,接触区域35在俯视时被源极区域40包围。

[0054] 第2阱区域31具有p型。典型地,第2阱区域31部分性地形成SiC层SL的上表面。典型地,第2阱区域31大于第1阱区域30各自。第2阱区域31在外周区域200配置于漂移层20上。具体而言,第2阱区域31隔着JFET区域21配置于最外周的第1阱区域30的外侧。此外,在本实施方式1中,第2阱区域31从第1阱区域30分离,但作为变形例,可以与第1阱区域30连接(例如参照图13等)。

[0055] 多个欧姆电极70设置于SiC层SL的上表面上。活性区域100内的欧姆电极70与源极区域40和到达第1阱区域30的接触区域35欧姆接触。外周区域200内的欧姆电极70与到达第2阱区域31的接触区域35欧姆接触。通过与接触区域35的接触,多个欧姆电极70与多个第1阱区域30以及第2阱区域31电欧姆连接。

[0056] 如上所述,多个欧姆电极70具有与SiC层的上表面中的具有n型的部分(具体而言源极区域40)欧姆接触的多个部分和与SiC层的上表面中的具有p型的部分(具体而言接触区域35)欧姆接触的多个部分,特别是以下将后者还称为多个面区域。根据该定义,多个面区域各自是SiC层的上表面中的具有p型的部分与欧姆电极70之间的边界面。

[0057] 以针对都具有比较高的杂质浓度的源极区域40以及接触区域35能够容易地进行电子以及空穴的交换的方式,选择欧姆电极70的材料。典型地,该材料是硅化物合金、例如

镍硅化物合金。

[0058] 栅极绝缘膜50至少具有面对多个第1阱区域30的部分。在图3所示的例子中,栅极绝缘膜50具有跨越源极区域40和第1阱区域30的边界的部分和在该边界与JFET区域21之间覆盖第1阱区域30的部分。栅极绝缘膜50也可以还具有面对第2阱区域31的部分。

[0059] 栅极电极60具有配置于活性区域100的上方且隔着栅极绝缘膜50面对多个第1阱区域30的部分和配置于外周区域200的上方且与第2阱区域31绝缘的部分。第1阱区域30中的、隔着栅极绝缘膜50与栅极电极60对置的表层具有作为沟道区域的功能。栅极电极60从活性区域100内向外周区域200内延伸。

[0060] 层间绝缘膜55覆盖栅极电极60。在外周区域200内,栅极电极60通过栅极绝缘膜50以及场绝缘膜51与第2阱区域31绝缘,并且经由层间绝缘膜55的接触孔95与栅极布线82连接。

[0061] 场绝缘膜51设置于外周区域200上。场绝缘膜51的厚度大于栅极绝缘膜50的厚度。此外,场绝缘膜51在图3所示的例子中仅配置于外周区域200,但作为变形例,也可以具有从外周区域200向活性区域100内延伸的部分。在该变形例中,场绝缘膜51可以跨越JFET区域21,延伸至第1阱区域30的一部分的上方。

[0062] 栅极焊盘81(图1)以及栅极布线82(图1)配置于第2阱区域31(图3)的上方,与第2阱区域31绝缘。栅极焊盘81经由栅极布线82与栅极电极60连接。栅极焊盘81以及栅极布线82与第2阱区域31绝缘。该绝缘在图3所示的结构中通过场绝缘膜51确保。此外,作为变形例,该绝缘也可以代替通过场绝缘膜51或者与场绝缘膜51一起通过其他绝缘膜确保,该其他绝缘膜也可以例如是栅极绝缘膜50。

[0063] 源极电极80设置于SiC层SL的上表面的上方,与多个欧姆电极70各自连接。由此源极电极80经由欧姆电极70与源极区域40电欧姆连接,并且经由欧姆电极70以及接触区域35与第1阱区域30以及第2阱区域31电欧姆连接。另外,源极电极80通过层间绝缘膜55与栅极电极60绝缘。

[0064] 在图3所示的结构例中,在与第1阱区域30连接的欧姆电极70上,形成有贯通栅极绝缘膜50以及层间绝缘膜55的接触孔90。经由接触孔90,源极电极80到达与第1阱区域30连接的欧姆电极70。通过该结构,第1阱区域30与源极电极80电欧姆连接。

[0065] 进而,在图3所示的结构例中,在与第2阱区域31连接的欧姆电极70上,形成有贯通栅极绝缘膜50以及层间绝缘膜55的接触孔91。经由接触孔91,源极电极80到达与第2阱区域31连接的欧姆电极70。通过该结构,第2阱区域31与源极电极80电欧姆连接。作为变形例,也可以使用第2阱区域31与源极电极80电欧姆连接的其他结构。例如,在俯视时的任意的部位连接了第2阱区域31和第1阱区域30的情况下,即使不形成接触孔91,也能够将源极电极80和第2阱区域31电欧姆连接。作为进一步的变形例,可以使用源极电极80和第2阱区域31被电容连接的结构(例如参照上述国际公开第2018/15553号),在该情况下,源极电极80和第2阱区域31无需电欧姆连接。在该情况下,开关时的位移电流在源极电极80与第2阱区域31之间经由电容连接流过。

[0066] JTE区域37配置于漂移层20上的、第2阱区域31的外周侧(与第1阱区域30相反的一侧)。JTE区域37具有p型,其杂质浓度低于第2阱区域31的杂质浓度。

[0067] 漏极电极84设置于SiC基板10的背面上。漏极电极84与SiC基板10电欧姆连接,为

了得到欧姆连接可以在漏极电极84与SiC基板10之间设置背面欧姆电极(未图示)。

[0068] <1-2.面内方向上的杂质区域的布局的详细情况>

[0069] 参照图2,活性区域100包括标准区域部102和标准区域部102与外周区域200之间的稀疏区域部101。稀疏区域部101与标准区域部102邻接地配置。在标准区域部102的外侧隔着稀疏区域部101配置有外周区域200。典型地,稀疏区域部101包围占据活性区域100的大部分的比的标准区域部102,外周区域200包围该稀疏区域部101。

[0070] 以下为便于记载说明,活性区域100被区分成多个周期性的区域RP。换言之,为便于说明,认为通过在多个方向上周期性地反复配置周期性的区域RP而构成活性区域100。在图2所示的例子中,周期性的区域RP各自具有一边的长度LP的正方形形状,通过沿着边排列多个周期性的区域RP而构成活性区域100。以下说明周期性的区域RP各自具有的杂质区域的布局。

[0071] 在标准区域部102,在周期性的区域RP各自配置有单位单元U0。因此,标准区域部102通过周期性地排列单位单元U0而构成。单位单元U0具有第1阱区域30、源极区域40以及接触区域35。

[0072] 在稀疏区域部101,在多个周期性的区域RP各自配置有单位单元U1或者单位单元U2。通过单位单元U1以及单位单元U2混合存在,稀疏区域部101包括至少1个单位单元U1和至少1个单位单元U2。单位单元U1和单位单元U2混合存在的图案优选为周期性的图案,例如在图2中,在x方向(在图中横向)以及y方向(在图中纵向)各自上,交替配置有单位单元U1和单位单元U2。单位单元U1以及单位单元U2各自具有第1阱区域30和源极区域40。进而,单位单元U1与单位单元U0同样地具有接触区域35。另一方面,单位单元U2不具有接触区域35。单位单元U0~U2的源极区域40的外缘图案可以共同。

[0073] 单位单元U2的第1阱区域30与单位单元U1的第1阱区域30直接连接或者隔着其他单位单元U2的第1阱区域30间接连接,特别是在图2所示的例子中,单位单元U2的第1阱区域30与单位单元U1的第1阱区域30直接连接。通过该连接,避免单位单元U2的第1阱区域30成为浮置状态。可以以能够得到该连接的方式单位单元U1以及单位单元U2的至少任意单位单元的第1阱区域30具有使单位单元U0的第1阱区域30的形状扩展的扩展部,特别是在图2所示的例子中,单位单元U1以及单位单元U2各自的第1阱区域30具有扩展部E1以及扩展部E2。扩展部E1以及扩展部E2各自与邻接的周期性的区域RP的第1阱区域30连接,特别是在图2所示的例子中,扩展部E1以及扩展部E2相互连接。

[0074] 在标准区域部102,多个第1阱区域30具有在面内方向上反复排列的多边形形状,在图2所示的例子中,具有沿着x方向以及y方向反复排列的正方形形状。进而,如果扩展部E1以及扩展部E2被忽略,则多个第1阱区域30在稀疏区域部101也具有在面内方向上反复排列的多边形形状。换言之,如果扩展部E1以及扩展部E2被忽略,则多个第1阱区域30在包括标准区域部102以及稀疏区域部101的活性区域100的整体具有在面内方向上反复排列的多边形形状,特别是在图2所示的例子中,具有沿着x方向以及y方向反复排列的正方形形状。

[0075] 另一方面,关于外周区域200,基于利用周期性的区域RP的区分的上述说明不相应。在外周区域200,设置有比标准区域部102的各第1阱区域30大的第2阱区域31。特别是在图2所示的例子中,在第2阱区域31上周期性地排列有多个接触区域35。

[0076] 此外,在上述中,详述了标准区域部102各自的第1阱区域30具有正方形形状的情

况,但也可以代替正方形形状,使用具有长边以及短边的长方形形状或者还可以使用其他多边形形状。

[0077] 图4是在图2的视野中概略地示出第1阱区域30、第2阱区域31以及面区域71的部分顶视图,源极区域40(图2)未图示。在此,面区域71被定义为SiC层SL(图3)的上表面中的具有p型的部分和欧姆电极70(图3)欧姆接触的区域。如图4所示,稀疏区域部101相比于标准区域部102,俯视时的面区域71的面密度更低。

[0078] 图5是将图4中的视野在纵向(y方向)上放大而示出的图,参照该图详述上述面密度的定义。在图中,y方向沿着活性区域100和外周区域200的边界线,x方向是与其垂直的方向。在图5中,矩形区域RR具有x方向上的长度LR、y方向上的宽度WR以及中心位置CR。将矩形区域RR内的面区域71的面积除以矩形区域RR的面积,将由此得到的值定义为位置CR处的面密度。长度LR是作为周期性的区域RP的周期的长度LP(图2)的整数倍、具体而言2倍以上、并且比SiC层SL的全长(x方向上的尺寸)充分小的长度。另外,宽度WR是作为周期性的区域RP的周期的长度LP(图2)的整数倍、具体而言10倍以上、并且比SiC层SL的全宽(y方向上的尺寸)充分小的长度。此外,在上述中说明了周期性的区域RP的周期在x方向以及y方向上共同的情况,但它们可以相互不同。

[0079] 如上所述,稀疏区域部101相比于标准区域部102,俯视时的面区域71的面密度更低。以下,说明判断面密度的分布是否满足该条件的方法的例子。

[0080] 关于如图1所示的四边形的芯片,在充分离开芯片的四角的区域中计算面密度。换言之,中心位置CR(图5)设为充分离开芯片的四角的区域内的位置。另外,长度LR(图5)设为长度LP(图2)的10倍,宽度WR(图5)设为长度LP的2倍。图6示出使中心位置CR的y坐标成为恒定时的、中心位置CR的x坐标和面密度S的关系。在图6中,如果忽略标准区域部102和稀疏区域部101的边界附近,则稀疏区域部101中的面密度S低于标准区域部102中的面密度S(具体而言成为一半程度),因此满足上述条件。另外,与是否如上所述忽略边界附近无关地,稀疏区域部101中的平均的面密度S低于标准区域部102中的平均的面密度S(具体而言成为一半程度),因此满足上述条件。

[0081] <1-3. 制造方法>

[0082] 接下来,以下说明MOSFET711的制造方法的例子。

[0083] 参照图3,首先,准备由具有4H的多型、n型且低电阻的碳化硅构成的SiC基板10。SiC基板10的上表面的面方位从(0001)面具有轻微的偏离角。接下来,在SiC基板10的上表面上,通过化学气相沉积法(Chemical Vapor Deposition:CVD法),通过外延生长,形成具有 $5\mu\text{m}$ 至 $200\mu\text{m}$ 的厚度、具有n型的SiC层SL。n型杂质浓度(施主浓度)例如是 $1 \times 10^{14} \text{cm}^{-3}$ 至 $1 \times 10^{17} \text{cm}^{-3}$ 。这样形成的SiC层SL中的、通过后述离子注入使导电类型反转的部分以外的部分成为对于MOSFET711而言的漂移层20。

[0084] 接下来,在SiC层SL的上表面上通过光致抗蚀剂等形成注入掩模。使用该注入掩模,通过离子注入,向SiC层SL的上表面添加p型杂质(受主)的Al(铝)。该离子注入的深度不超过SiC层SL的厚度,例如设为 $0.3\mu\text{m}$ 至 $3\mu\text{m}$ 程度。另外,Al的掺杂浓度高于漂移层20的杂质浓度,例如是 $1 \times 10^{17} \text{cm}^{-3}$ 至 $1 \times 10^{19} \text{cm}^{-3}$ 的范围。之后,注入掩模被去除。通过在本工序中添加Al而赋予p型的区域成为第1阱区域30以及第2阱区域31。

[0085] 此外,也可以在形成SiC层SL之前在SiC基板10的上表面侧设置某些附加的层,在

该情况下,该附加的层视为SiC基板10的一部分。作为附加的层,例如,可以形成浓度比漂移层20高的n型缓冲层。n型缓冲层能够使从漂移层20中向SiC基板10中侵入的少数载流子再结合。可以代替n型缓冲层或者与除此之外,作为附加的层,通过外延生长,形成将在SiC基板10表面存在的BPD转换为贯通刃状位错的转换层。

[0086] 接下来,在SiC层SL的上表面上,通过光致抗蚀剂等形成注入掩模。使用该注入掩模,通过离子注入,向SiC层SL的上表面添加p型杂质的A1。该离子注入的深度不超过SiC层SL的厚度,例如设为0.3 $\mu\text{m}$ 至3 $\mu\text{m}$ 程度。另外,A1的掺杂浓度高于漂移层20的杂质浓度、并且低于第2阱区域31的杂质浓度,例如是 $1 \times 10^{16} \text{cm}^{-3}$ 至 $5 \times 10^{18} \text{cm}^{-3}$ 的范围。之后,注入掩模被去除。通过在本工序中添加A1而赋予p型的区域成为JTE区域37。同样地,通过在第1阱区域30的表面的预定的区域将A1以比第1阱区域30的杂质浓度高的杂质浓度进行离子注入,形成接触区域35。

[0087] 接下来,在SiC层SL的上表面以使比第1阱区域30外缘更靠内侧的预定的部位露出的方式通过光致抗蚀剂等形成注入掩模。使用该注入掩模,通过离子注入,向SiC层SL的上表面添加n型杂质(施主)的N(氮)。该离子注入的深度比第1阱区域30的厚度浅。另外,N的掺杂浓度超过第1阱区域30的p型杂质浓度,例如是 $1 \times 10^{18} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 的范围。通过在本工序中添加N而赋予n型的区域成为源极区域40。

[0088] 接下来,通过热处理装置,在氩(Ar)气等惰性气体气氛中,在1300 $^{\circ}\text{C}$ 至1900 $^{\circ}\text{C}$ 的温度下,进行30秒至1小时的退火。通过该退火,通过离子注入添加的N以及A1被电活性化。

[0089] 接下来,使用CVD法或者光刻技术等,在外周区域200的一部分,在SiC层SL上形成膜厚0.3 $\mu\text{m}$ 至2 $\mu\text{m}$ 的、由氧化硅构成的场绝缘膜51。接下来,通过对SiC层SL的上表面中的未被场绝缘膜51覆盖的部分进行热氧化,形成作为栅极绝缘膜50的氧化硅膜。接下来,在栅极绝缘膜50以及场绝缘膜51之上,通过减压CVD法形成具有导电性的多晶硅膜。通过对该多晶硅膜进行构图来形成栅极电极60。接下来,通过减压CVD法形成由氧化硅构成的层间绝缘膜55。接下来,形成贯通层间绝缘膜55以及栅极绝缘膜50而到达活性区域100内的接触区域35和源极区域40的接触孔90。同样地,形成到达第2阱区域31的接触孔91。

[0090] 接下来,通过溅射法等,形成以Ni为主成分的金属膜。之后,通过600 $^{\circ}\text{C}$ 至1100 $^{\circ}\text{C}$ 的温度下的热处理,在接触孔90以及接触孔91内使金属膜的Ni原子和SiC层SL的Si原子反应,从而在SiC层SL与金属膜之间形成作为欧姆电极70的硅化物层。接下来,通过湿蚀刻去除金属膜的未向硅化物层变化的部分。

[0091] 接下来,在SiC基板10的背面上,形成以Ni为主成分的金属膜。通过对该金属膜进行热处理来形成背面欧姆电极(未图示)。

[0092] 接下来,通过将光致抗蚀剂等用作掩模的蚀刻,形成贯通层间绝缘膜55的接触孔95。

[0093] 接下来,通过利用溅射法等成膜和利用光刻法等构图,在接触孔90内以及接触孔91内在欧姆电极70上形成源极电极80的一部分。

[0094] 接下来,在SiC基板10的上表面侧,通过利用溅射法或者蒸镀法的Al等布线金属的沉积和利用光刻法等构图,形成源极电极80的残部、栅极焊盘81以及栅极布线82。

[0095] 接下来,在形成于SiC基板10的背面上的背面欧姆电极(未图示)的表面上形成漏极电极84。通过以上,MOSFET711完成。

[0096] <1-4.动作>

[0097] 接下来,以SiC层SL的SiC材料具有多型4H的情况为例子,以下说明MOSFET711的动作、特别是其续流动作。此外,多型4H的SiC的pn结的扩散电位是大致2V。

[0098] 在MOSFET711被用作例如后述实施方式3中的电力变换系统中的开关元件的情况下,MOSFET711的沟道区域的状态切换为导通状态和截止状态。在截止状态下,有漏极电压(漏极电极84的电压)相对源极电压(源极电极80的电压)变低的期间,此时漏极电压例如成为-几V至-十几V。在该期间中,MOSFET711进行续流动作。

[0099] 具体而言,对与源极电极80欧姆连接的第1阱区域30以及第2阱区域31和与漏极电极84欧姆连接的漂移层20形成的pn结,施加超过与扩散电位相当的2V的正向电压。即,对MOSFET711的体二极管施加超过正向电压的电压。其结果,MOSFET711作为续流二极管动作。因此,在从源极电极80朝向漏极电极84的方向上,流过大的双极性电流。在该电流的电流密度是 $100\text{A}/\text{cm}^2$ 以上的情况下,在漂移层20中,发生有意义的传导率调制。即,通过在漂移层20中流入大量的空穴而在漂移层中积蓄空穴,被该空穴电吸引,从而比热平衡状态下的浓度高的浓度的电子与空穴同样地积蓄到漂移层20中。其结果,漂移层20的电阻率降低至与作为低电阻的SiC基板10的电阻值相同的程度。

[0100] 此外,续流动作以外的动作与通常的MOSFET大致相同,所以省略其说明。

[0101] <1-5.仿真>

[0102] 在上述续流动作中,在面密度S(图6)的分布未最佳化时,在活性区域100和外周区域200的边界附近等,电流密度局部地增大,另一方面,如本实施方式所述,在面密度S(图6)的分布最佳化时,能够抑制该增大。为了对其进行说明,以下记述对包含于纵型MOSFET的体二极管进行模型化的二维T-CAD仿真。

[0103] 图7是对面密度S(图6)在活性区域100(图3)大致均等的比较例的体二极管进行模型化的剖面图。对MOSFET711(图3)中的漏极电极84、SiC基板10、SiC层SL以及源极电极80各自进行模型化,设定了阴极电极84D、SiC基板10D、SiC层SLD以及阳极电极80D。SiC层SLD具有对漂移层20(图3)进行模型化的漂移层20D和对第1阱区域30以及第2阱区域31(图3)进行模型化的阱区域30D。SiC基板10D具有厚度 $t_{\text{sub}}$ ,漂移层20D具有厚度 $t_{\text{drift}}$ ,它们的和是厚度 $t_{\text{tot}}$ 。关于面内方向(图7中的横向),图7的模型的左端与活性区域100(图3)的中心位置对应。电极宽LA是从上述中心位置至阳极电极80D的外缘的尺寸,电极宽LC是从上述中心位置至阴极电极84D的外缘的尺寸。此外,在图7中,为了使附图易于观察,将纵向的尺寸夸张地描绘,在实际的尺寸中,电极宽LA以及电极宽LC远远大于厚度 $t_{\text{tot}}$ 。

[0104] 图8是在阳极电极80D的端部附近示出向阳极电极80D(图7)的中心位置(在图7中左端位置)施加与阳极电极80D的每单位面积1000A相当的电流的情况下的电流密度的仿真结果的分布图。根据本仿真,电流密度极端高的区域以阳极电极80D的端部为中心按照椭圆形形状出现。

[0105] 图9是沿着阱区域30D(图7)的底面示出通过在 $t_{\text{sub}} = t_{\text{drift}} \times 39$ 的情况和 $t_{\text{sub}} = t_{\text{drift}} \times 11$ 的情况这2个条件下进行与上述同样的仿真而得到的电流密度的图表。不论在哪个条件下,在阳极电极80D的端部位置(图9中的 $x=0$ 的位置)处电流密度都最大。在SiC基板10D的厚度 $t_{\text{sub}}$ 大的情况下,电流密度的峰值以及峰值宽度大,这表示SiC基板10D的厚度 $t_{\text{sub}}$ 影响电流集中的状态。

[0106] 再次参照图8,可知漂移层20D中的电流的扩展和SiC基板10D中的电流的扩展大致连续。认为这是由于漂移层20D的电阻率通过传导率调制降低至SiC基板10D的电阻率程度而引起的。因此,认为并非SiC基板10D的厚度 $t_{\text{sub}}$ 或者漂移层20D的厚度 $t_{\text{drift}}$ 的一方,而是包含SiC基板10D以及漂移层20D这两方的电阻体的厚度 $t_{\text{tot}}$ 相对电流密度的分布具有更直接的相关性。

[0107] 在解析图9的仿真结果时,不论在2种厚度条件的哪一个的情况下,以阳极电极80D的中心侧的电流密度(图9的图表中的左端侧的电流密度)为基准电流密度高10%的位置是从阳极电极80D的端部位置(图9中的 $x=0$ 的位置)向内侧方向(图9中的左方向)厚度 $t_{\text{tot}}$ 的60%的距离的位置。另外,以阳极电极80D的中心侧的电流密度为基准电流密度高30%的位置是从阳极电极80D的端部位置向内侧方向厚度 $t_{\text{tot}}$ 的30%的距离的位置。另外,以阳极电极80D的中心侧的电流密度为基准电流密度高50%的位置是从阳极电极80D的端部位置向内侧方向厚度 $t_{\text{tot}}$ 的20%的距离的位置。根据该解析,稀疏区域部101(图2)的宽度(x方向上的尺寸)优选为SiC基板10(图3)的厚度与SiC层SL(图3)的厚度的和的20%以上,更优选为30%以上,进一步优选为50%以上。

[0108] 图10是示出与图9同样的条件下的空穴浓度分布的仿真结果的图表。关于空穴浓度分布,也观察到与电流密度分布(图9)同样的分布。因此,认为通过采用缓和电流密度的集中的结构,空穴浓度的局部的增大也能够抑制。由此,认为通过抑制体二极管的特性劣化,能够实现可靠性高的碳化硅半导体装置。

[0109] 此外,认为在稀疏区域部101扩展至实质上不产生空穴浓度的增大的区域时,在稀疏区域部101的内侧新产生空穴浓度的增大。因此,如果以抑制该新的增大的方式设定稀疏区域部101的宽度,则推测能够更可靠地得到上述效果。在解析图10的仿真结果时,以阳极电极80D的中心侧的空穴浓度(图10的图表中的左端侧的空穴浓度)为基准空穴浓度高1%的位置是从阳极电极80D的端部位置(图10中的 $x=0$ 的位置)向内侧方向(图10中的左方向)厚度 $t_{\text{tot}}$ 的110%的距离的位置。另外,以阳极电极80D的中心侧的空穴浓度为基准空穴浓度高3%的位置是从阳极电极80D的端部位置向内侧方向厚度 $t_{\text{tot}}$ 的70%的距离的位置。根据该解析,推测稀疏区域部101(图2)的宽度(x方向上的尺寸)优选为SiC基板10(图3)的厚度与SiC层SL(图3)的厚度的和的110%以下,更优选为70%以下。

[0110] 图11是考虑活性区域100(图3)中的面密度S(图6)的差异对体二极管进行模型化的剖面图。与上述图7的模型的差异在于,为了对活性区域中的面密度S的差异进行模型化,在阳极电极80D和阱区域30D的边界定义了接触电阻率。具体而言,该边界在与稀疏区域部101(图3)对应的宽度LT的范围具有接触电阻率 $\rho_{\text{cc}}=1 \times 10^{-4} (\Omega \cdot \text{cm}^2)$ ,在与标准区域部102(图3)对应的范围具有接触电阻率 $\rho_{\text{ct}}=\rho_{\text{cc}} \times \text{TM} (\Omega \cdot \text{cm}^2)$ (TM是系数)。在图11的模型中,厚度 $t_{\text{tot}}$ 设为单位尺寸。换言之, $t_{\text{tot}}=1$ 。而且, $t_{\text{drift}}=0.08$ , $t_{\text{sub}}=0.92$ , $LA=39$ , $LT=0.88$ 。

[0111] 图12是在阳极电极80D的端部附近示出向阳极电极80D(图11)的中心位置(在图11中左端位置)施加与阳极电极80D的每单位面积1000A相当的电流的情况下的空穴浓度分布的仿真结果的分布图。在该仿真中,为了调查向 $\rho_{\text{ct}}=\rho_{\text{cc}} \times \text{TM}$ (图11)的值的依赖性,设为 $\text{TM}=1.0$ 、 $1.2$ 、 $1.5$ 、 $2.0$ 、 $5.0$ 、 $10.0$ 、 $20.0$ 以及 $50.0$ 。

[0112] 根据该仿真的结果可知,通过使 $\rho_{\text{ct}}$ 成为 $\rho_{\text{cc}}$ 的1.5倍以上,显著抑制 $x=0$ 附近位置

处的空穴浓度峰值。在考虑将该特征应用于MOSFET711(图4)时,优选稀疏区域部101中的平均的接触电阻率设为标准区域部102中的平均的接触电阻率的1.5倍以上。面区域71的接触电阻率被视为大致恒定,所以为了使平均的接触电阻率的分布变化,需要使面区域71的面密度变化,为了得到上述平均的接触电阻率的分布,稀疏区域部101的面区域71的面密度优选为标准区域部102的面区域71的面密度的2/3以下。

[0113] 另一方面,在系数 $T_M$ 的值大于1时,在更中心侧的位置(图12的图表中的 $x=-1$ 附近的位置),出现空穴浓度的新的峰值。系数 $T_M$ 为20以上时的该峰值的值大致接近 $T_M=1$ 时的 $x=0$ 附近的峰值的值。因此,为了避免上述新的峰值的位置处的空穴浓度的增大所引起的恶劣影响,系数 $T_M$ 优选为10以下。与其对应地,稀疏区域部101的面区域71的面密度优选为标准区域部102的面区域71的面密度的1/10以上。

[0114] <1-6.效果>

[0115] 根据本实施方式,稀疏区域部101相比于标准区域部102,俯视时的面区域71(图4)的面密度 $S$ (图6)更低。不会使制造方法特别复杂化而能够得到这样的面密度的分布,所以不会使制造成本显著增大。而且,通过稀疏区域部101相比于标准区域部102,面区域71的面密度 $S$ 更低,外周区域200和活性区域100的边界附近的局部的区域中的双极性电流的局部的增大被抑制。由此,在该局部的区域也能够充分地抑制层叠缺陷的扩展。因此,能够充分抑制起因于SiC层SL(图3)中的层叠缺陷的扩展的MOSFET711的特性劣化。根据以上,能够避免制造成本显著增大并且抑制MOSFET711的特性劣化。

[0116] 如果稀疏区域部101的面密度 $S$ 是活性区域100的面密度 $S$ 的1/10以上且2/3以下,则稀疏区域部101的接触电阻率是标准区域部102的接触电阻率的1.5倍以上且10倍以下。在该情况下,如果考虑空穴浓度分布的仿真结果(图12),则在稀疏区域部101与外周区域200的边界附近(图12中的 $x=0$ 附近)和稀疏区域部101与标准区域部102的边界附近(图12中的 $x=-1$ 附近)这两方,避免空穴浓度分布的局部的峰值变得过大。因此,避免上述各边界附近处的层叠缺陷的扩展的局部的增大。

[0117] 在稀疏区域部101的宽度(图2中的横向的尺寸)是SiC基板10(图3)的厚度与SiC层SL(图3)的厚度的和的20%以上的情况下,如果考虑图9所示的仿真结果,则在双极性电流的局部的增大特别大的范围的大致整体,双极性电流的局部的增大被抑制。此外,如果该百分比达到70%程度则能够更充分地得到该效果,与该仿真关联地,根据上述理由,如果达到110%程度则能够大致理想地得到该效果。因此,根据避免活性区域100中的稀疏区域部101的比例变得过大的观点,该百分比的上限可以设为110%,进而也可以设为70%。

[0118] 导通状态下的MOSFET711的电流密度可以是 $100\text{A}/\text{cm}^2$ 以上,在这样电流密度大的情况下,通过向漂移层20中流入大量的空穴,产生有意义的传导率调制。因此,漂移层20的电阻率显著降低。根据本实施方式,能够有效地抑制在这样的条件下产生的双极性电流的局部的增大。

[0119] 在本实施方式中,在标准区域部102,多个第1阱区域30(图4)具有反复排列的多边形形状(具体而言矩形形状、更具体而言正方形形状)。由此,在俯视时能够在多个第1阱区域30各自设置多边形形状的外缘。

[0120] <1-7.实施方式1的变形例>

[0121] 图13是示出作为MOSFET711(图4)的第1变形例的MOSFET712(碳化硅半导体装置)

的部分顶视图。与MOSFET711(图4)不同,在MOSFET712(图13)中,面区域71偏离第2阱区域31而配置。换言之,欧姆电极70(图3)偏离第2阱区域31上而配置。另外,与上述实施方式1不同,在本变形例中,第2阱区域31(图13)在外周区域200和活性区域100的边界部与第1阱区域30连接。

[0122] 图14是示出作为MOSFET711(图4)的第2变形例的MOSFET713(碳化硅半导体装置)的部分顶视图。与MOSFET711(图4)不同,在MOSFET713(图14)中,在面内方向上多个第1阱区域30具有条纹形状。

[0123] 图15是示出作为MOSFET711(图4)的第3变形例的MOSFET714(碳化硅半导体装置)的部分顶视图。在MOSFET714(图15)中,与MOSFET712(图13)同样地,面区域71偏离第2阱区域31而配置,并且与MOSFET713(图14)同样地,在面内方向上多个第1阱区域30具有条纹形状。

[0124] 图16是示出作为MOSFET711(图4)的第4变形例的MOSFET715(碳化硅半导体装置)的部分顶视图。在MOSFET715(图16)中,关于面区域71,稀疏区域部101的面密度随着朝向外侧(图16中的右侧)而降低。具体而言,稀疏区域部101从内侧朝向外侧(在图16中朝向右侧)由多个部分构成,这些多个部分的面密度随着朝向外侧而降低。因此,稀疏区域部101的面密度具有多个水平。更具体而言,稀疏区域部101从内侧朝向外侧由部分101a以及部分101b构成,相比于部分101a的面密度,部分101b的面密度更低。因此,稀疏区域部101的面密度具有部分101a中的相对高的水平和部分101b中的相对低的水平。

[0125] 根据上述第4变形例,面密度的分布的设计自由度提高,因此能够进一步抑制稀疏区域部101的宽度(图16中的横向的尺寸),并且得到与上述实施方式1同样的效果。此外,在图16中例示了面密度的水平的数量为2个的情况,但面密度的水平的数量不限定于2个,作为变形例,可以使用通过充分增大水平的数量,使得稀疏区域部101的面密度随着朝向外侧大致连续地降低的结构。

[0126] 此外,如果在图13~图16的俯视时设想沿着倾斜的直线(未图示)的剖面视时(未图示),则根据该倾斜的直线的位置以及方向,第2阱区域31(与图3的情况同样地)与第1阱区域30分离地出现。因此,在本实施方式1及其变形例中共同地,第1阱区域30和第2阱区域31在至少一个剖面视时相互分离。

[0127] <2.实施方式2>

[0128] 图17是以与图4(实施方式1)的视野同样的视野概略地示出本实施方式2所涉及的结构的部分顶视图。

[0129] 与上述实施方式1不同,在本实施方式2中,活性区域100无需具有稀疏区域部101(图4),例如,可以仅由标准区域部102(图4)构成。另一方面,在本实施方式2中,外周区域200包括外侧区域部202和外侧区域部202与活性区域100之间的稀疏区域部201。

[0130] 稀疏区域部201相比于活性区域100,俯视时的面区域71的面密度更低。进而,标准区域部102(图4)的面密度和稀疏区域部101(图4)的面密度的、在上述实施方式1中说明的适当的关系还可以应用于本实施方式2中的活性区域100(图17)和稀疏区域部201(图17)的关系。

[0131] 此外,上述以外的结构与上述实施方式1的结构大致相同,所以不反复其说明。另外,与在实施方式1的变形例中说明的变形同样的变形还可以应用于本实施方式2。

[0132] <3.实施方式3>

[0133] 本实施方式是将上述实施方式中的任意实施方式或者其变形例所涉及的碳化硅半导体装置(MOSFET711~715以及721)中的任意碳化硅半导体装置应用于电力变换装置的例子。这些碳化硅半导体装置的应用不限于于特定的电力变换装置,以下,作为实施方式3,说明将这些碳化硅半导体装置应用于三相的逆变器的情况。

[0134] 图18是示出本实施方式3所涉及的电力变换系统的结构的框图。电力变换系统包括电源910、电力变换装置920以及负载930。

[0135] 电源910是直流电源,对电力变换装置920供给直流电力。电源910例如既可以由直流体系、太阳能电池或者蓄电池构成,或者也可以由与交流体系连接的、整流电路或者AC/DC转换器构成。或者,电源910可以由将从直流体系输出的直流电力变换为预定的电力的DC/DC转换器构成。

[0136] 电力变换装置920是连接于电源910与负载930之间的三相的逆变器,将从电源910供给的直流电力变换为交流电力,对负载930供给交流电力。电力变换装置920具有:主变换电路921,将直流电力变换为交流电力而输出;驱动电路922,输出驱动主变换电路921的各开关元件的驱动信号;以及控制电路923,将控制驱动电路922的控制信号输出给驱动电路922。

[0137] 负载930是通过从电力变换装置920供给的交流电力驱动的三相的电动机。此外,负载930不限于于特定的用途,例如,是搭载于各种电气设备的电动机、例如被用作面向混合动力汽车、电动汽车、铁路车辆、电梯或者空调设备的电动机。

[0138] 以下,详细说明电力变换装置920。

[0139] 主变换电路921受理来自电源910的输入电力,将该输入电力变换为输出电力,将该输出电力输出给负载930。具体而言,主变换电路921具有开关元件以及续流二极管(未图示),通过开关元件开关,将从电源910供给的直流电力变换为交流电力,供给到负载930。主变换电路921的具体的电路结构有各种例子,但本实施方式3所涉及的主变换电路921是2电平的三相全桥电路,能够由6个开关元件和与各个开关元件反并联地连接的6个续流二极管构成。作为主变换电路921的各开关元件,应用上述实施方式中的任意实施方式或者其变形例所涉及的碳化硅半导体装置。关于6个开关元件,针对每2个开关元件串联连接,由此构成3个上下支路。各上下支路构成全桥电路的各相(U相、V相、W相)。而且,各上下支路的输出端子、即主变换电路921的3个输出端子与负载930连接。

[0140] 驱动电路922生成驱动主变换电路921的开关元件的驱动信号,将该驱动信号供给到主变换电路921的开关元件的控制电极。具体而言,驱动电路922依照来自后述控制电路923的控制信号,将使开关元件成为导通状态的驱动信号和使开关元件成为截止状态的驱动信号输出给各开关元件的控制电极。在将开关元件维持为导通状态的情况下,驱动信号是开关元件的阈值电压以上的电压信号(导通信号),在将开关元件维持为截止状态的情况下,驱动信号是小于开关元件的阈值电压的电压信号(截止信号)。

[0141] 控制电路923以对负载930供给期望的电力的方式,经由驱动电路922控制主变换电路921的开关元件。按照该目的,控制电路923根据应供给到负载930的电力,计算主变换电路921的各开关元件应成为导通状态的时间(导通时间)。例如,能够通过根据应输出的电压调制开关元件的导通时间的PWM控制,控制主变换电路921。而且,控制电路923将控制驱

动电路922的控制信号(控制指令)输出给驱动电路922。依照该控制信号,驱动电路922对各开关元件的控制电极输出导通信号或者截止信号作为驱动信号。以在各时间点从驱动电路922对应成为导通状态的开关元件输出导通信号并且对应成为截止状态的开关元件输出截止信号的方式,生成控制电路923的控制信号。

[0142] 在本实施方式所涉及的电力变换装置中,作为主变换电路921的开关元件,应用上述实施方式中的任意实施方式或者其变形例所涉及的碳化硅半导体装置,所以能够实现避免制造成本显著增大并且抑制特性劣化的电力变换装置。

[0143] 在本实施方式3中,作为电力变换装置例示了2电平的三相逆变器,但应用上述实施方式中的任意实施方式或者其变形例所涉及的碳化硅半导体装置的电力变换装置不限于此。电力变换装置例如可以是3电平以上的多电平的电力变换装置或者对单相负载供给电力的单相逆变器。另外,在对直流负载等供给电力的情况下,电力变换装置可以是DC/DC转换器或者AC/DC转换器。

[0144] 另外,应用上述实施方式中的任意实施方式或者其变形例所涉及的碳化硅半导体装置的电力变换装置不限于上述负载是电动机的情况而可以使用。例如,电力变换装置可以用作放电加工机、激光加工机、感应加热烹调器或者非接触供电系统的电源装置。或者,电力变换装置可以用作太阳能发电系统或者蓄电系统等的功率调节器。

[0145] 此外,能够自由地组合各实施方式或者将各实施方式适当地变形、省略。虽然详细说明了本公开,但上述说明在所有方式中为例示,不限于于此。应理解能够从本公开设想未例示的无数的变形例。

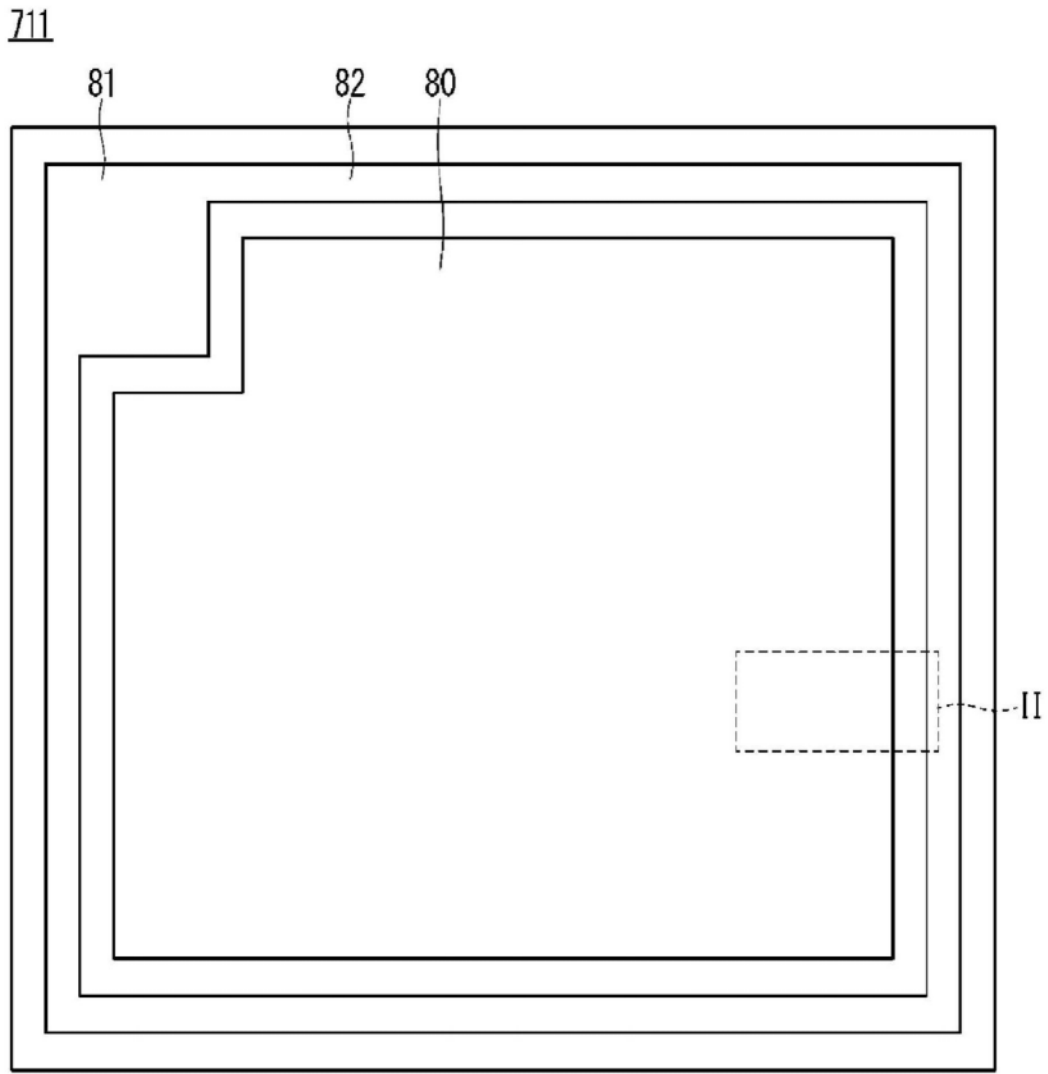


图1





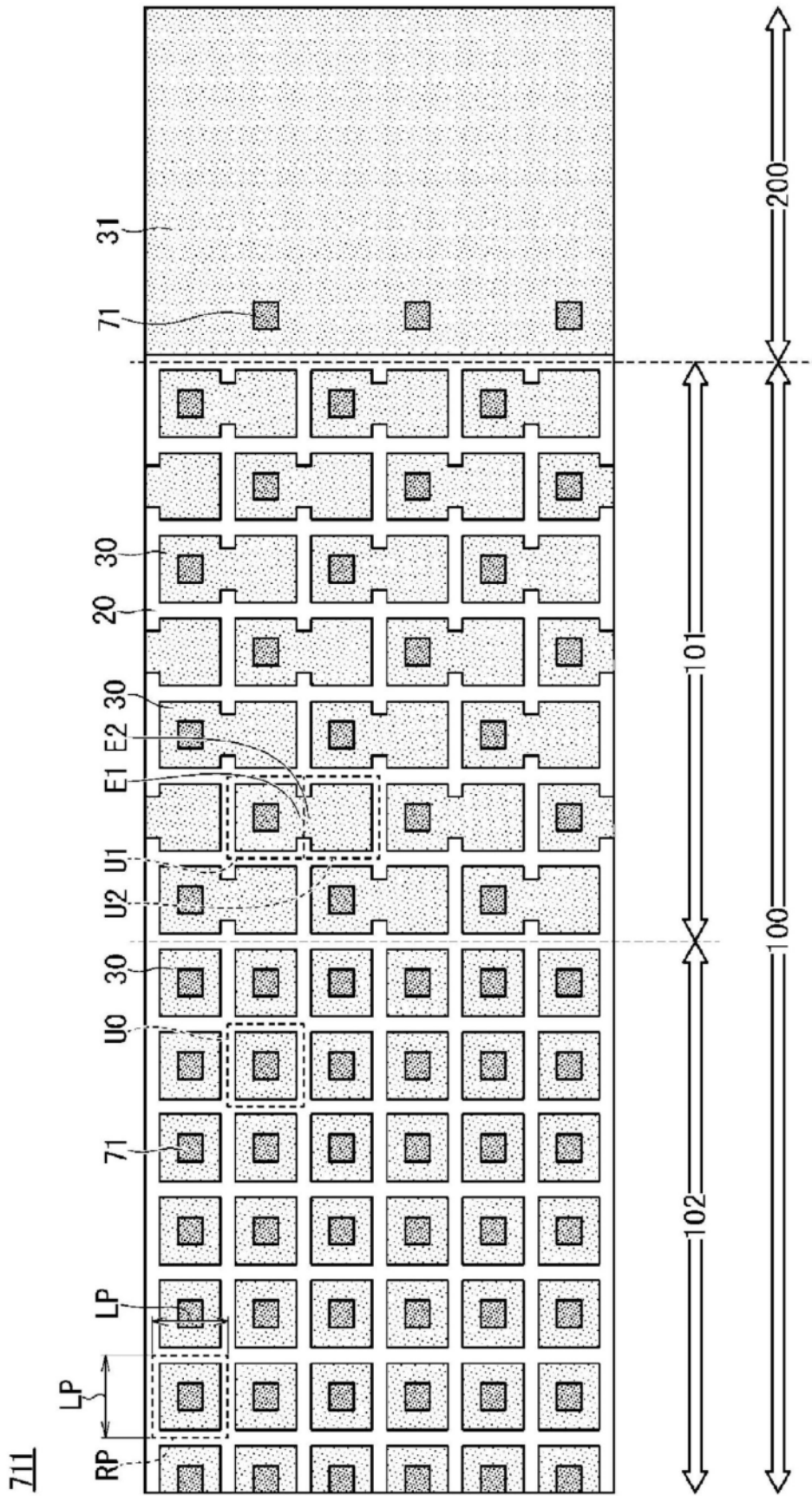


图4

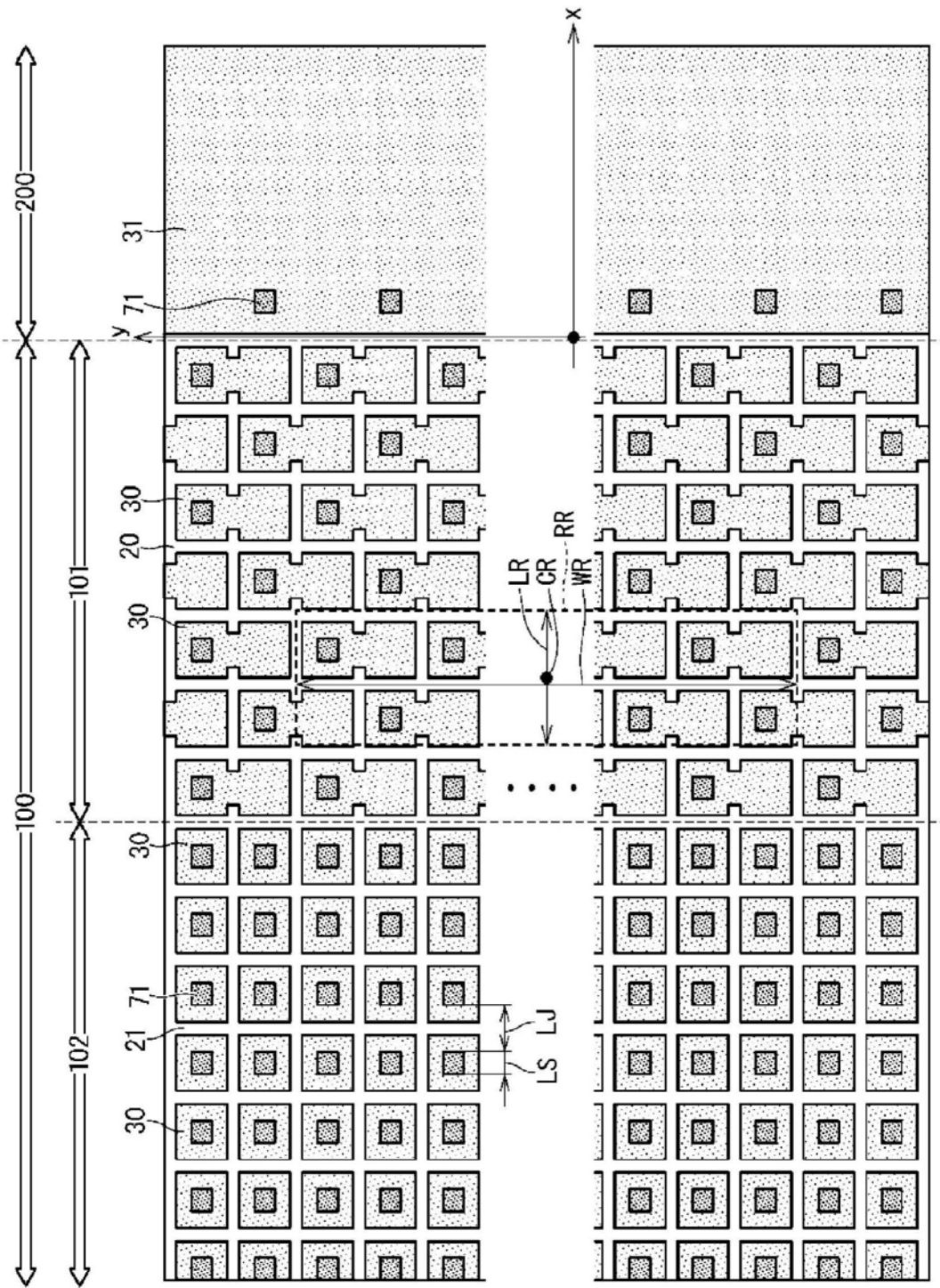


图5

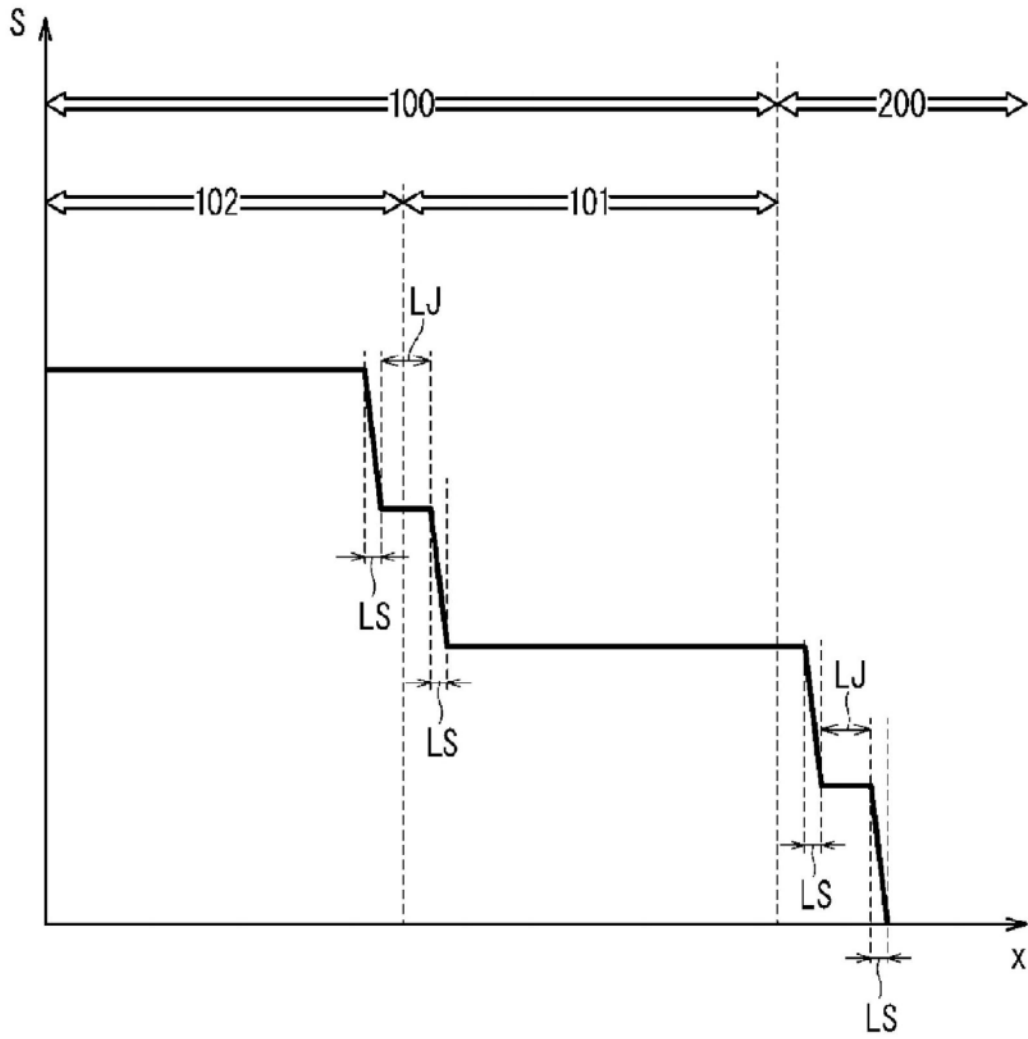


图6

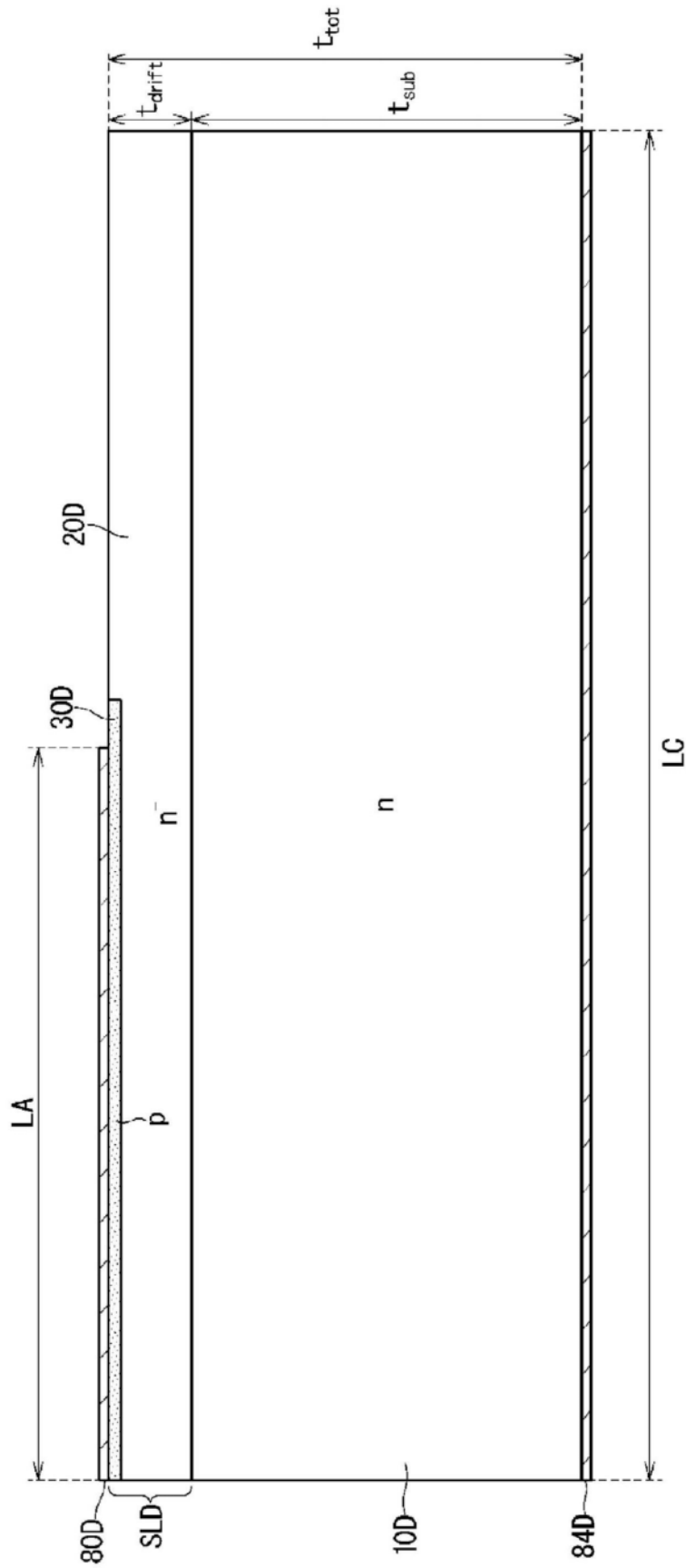


图7

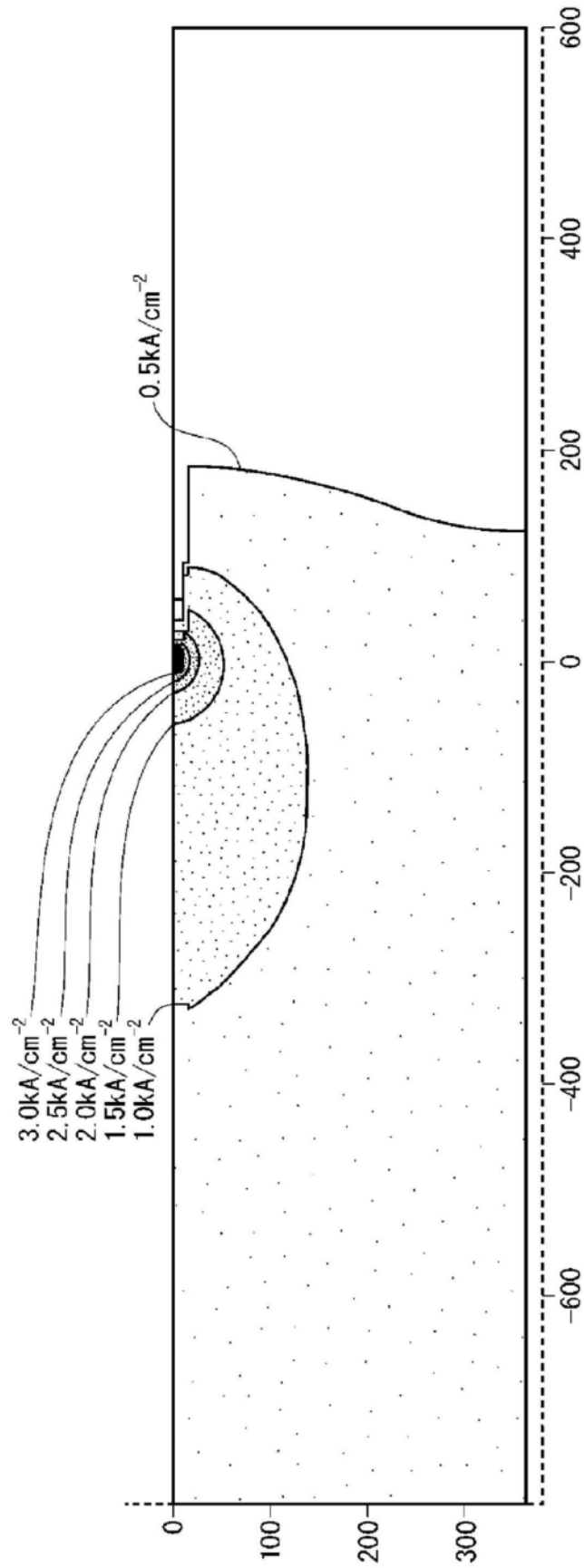


图8

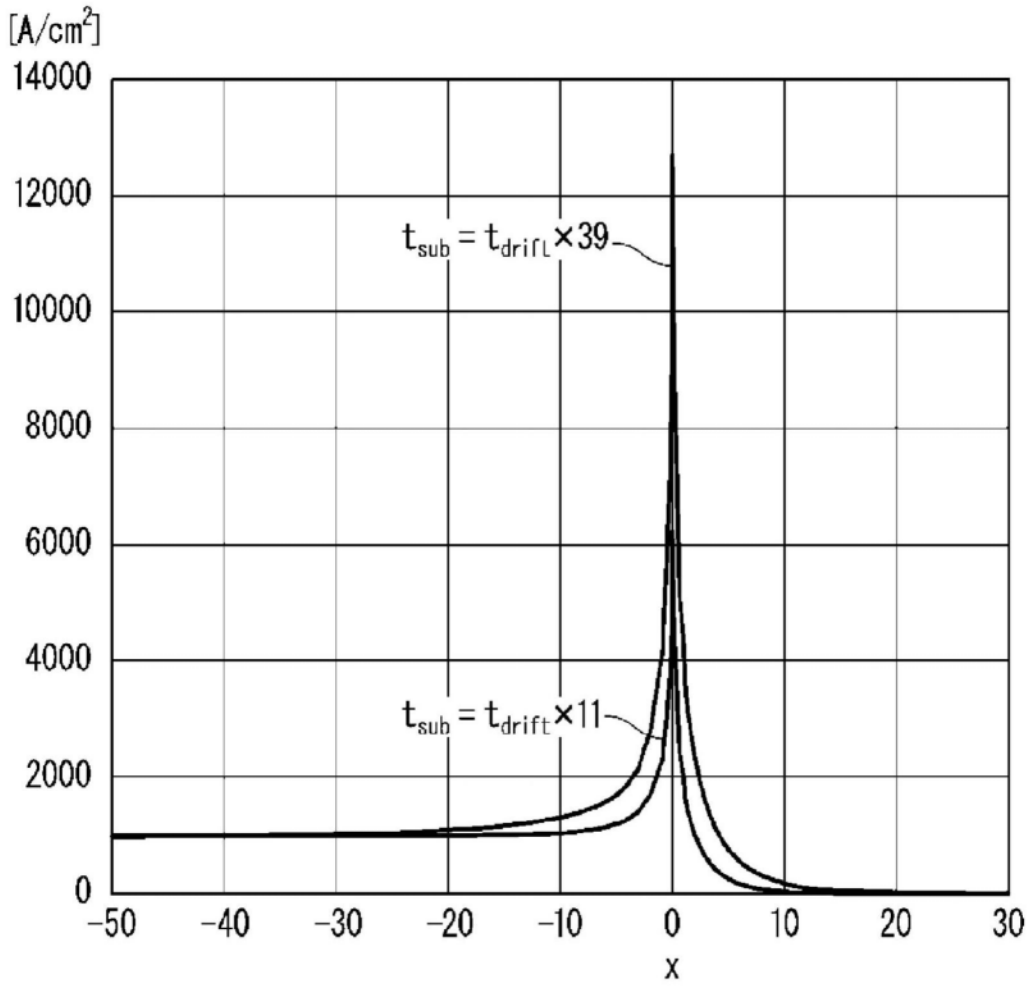


图9

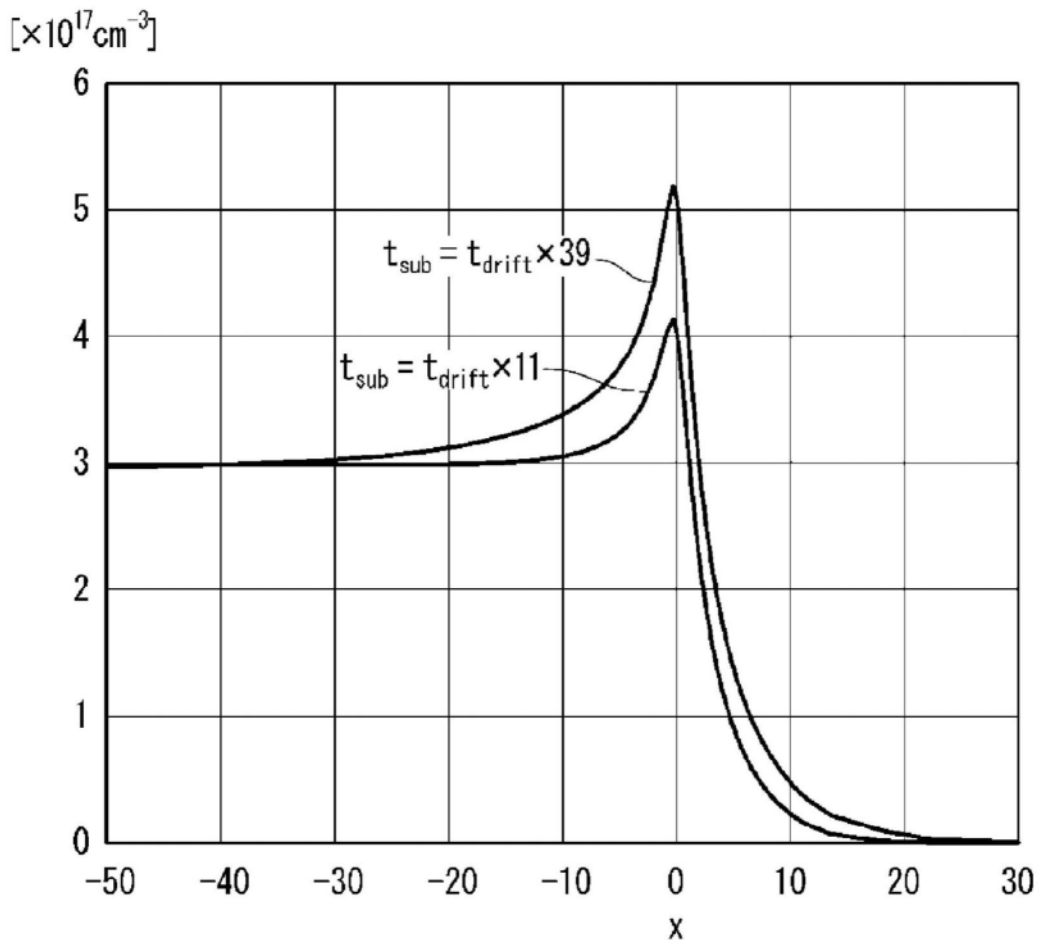


图10



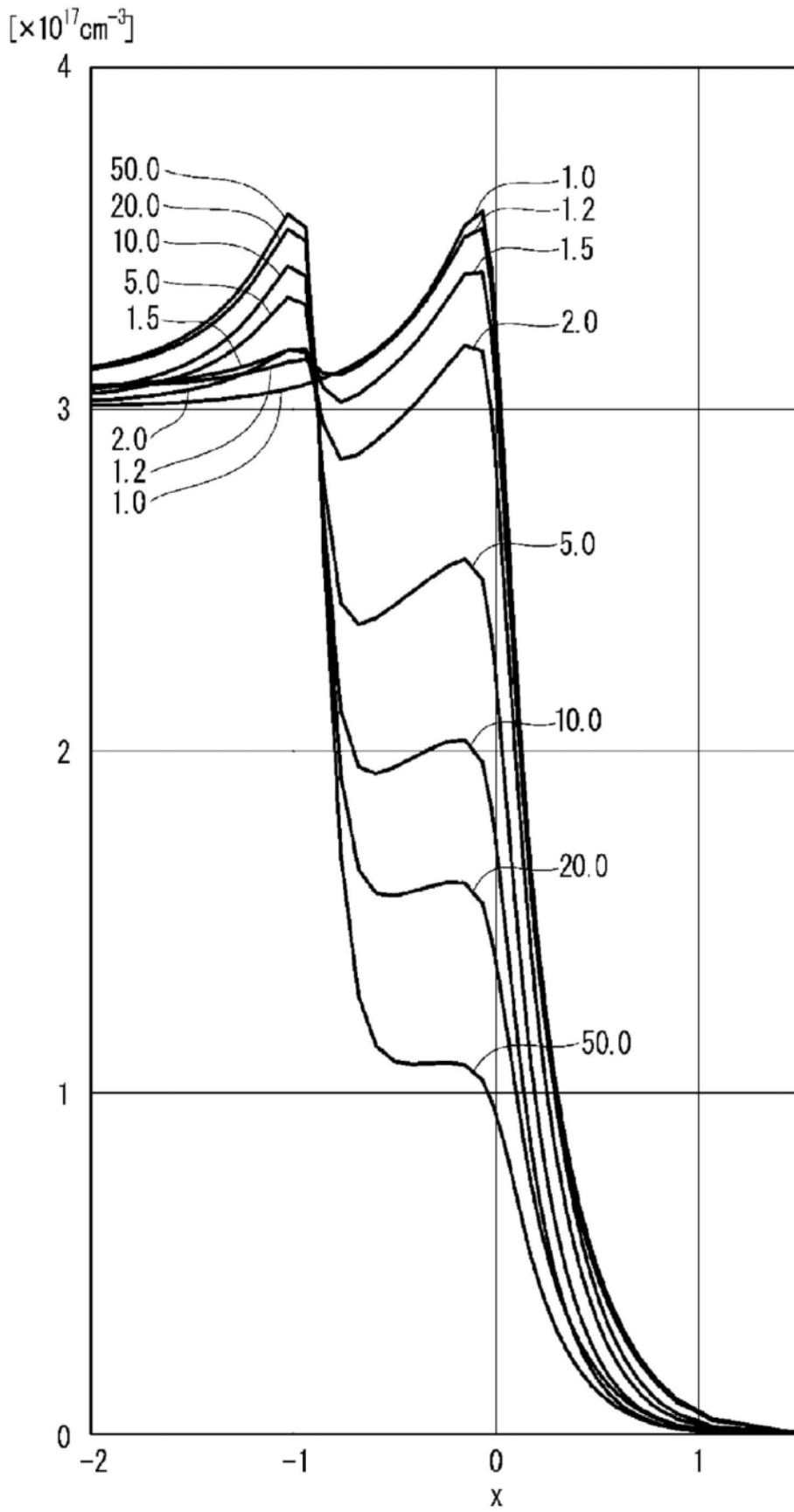


图12

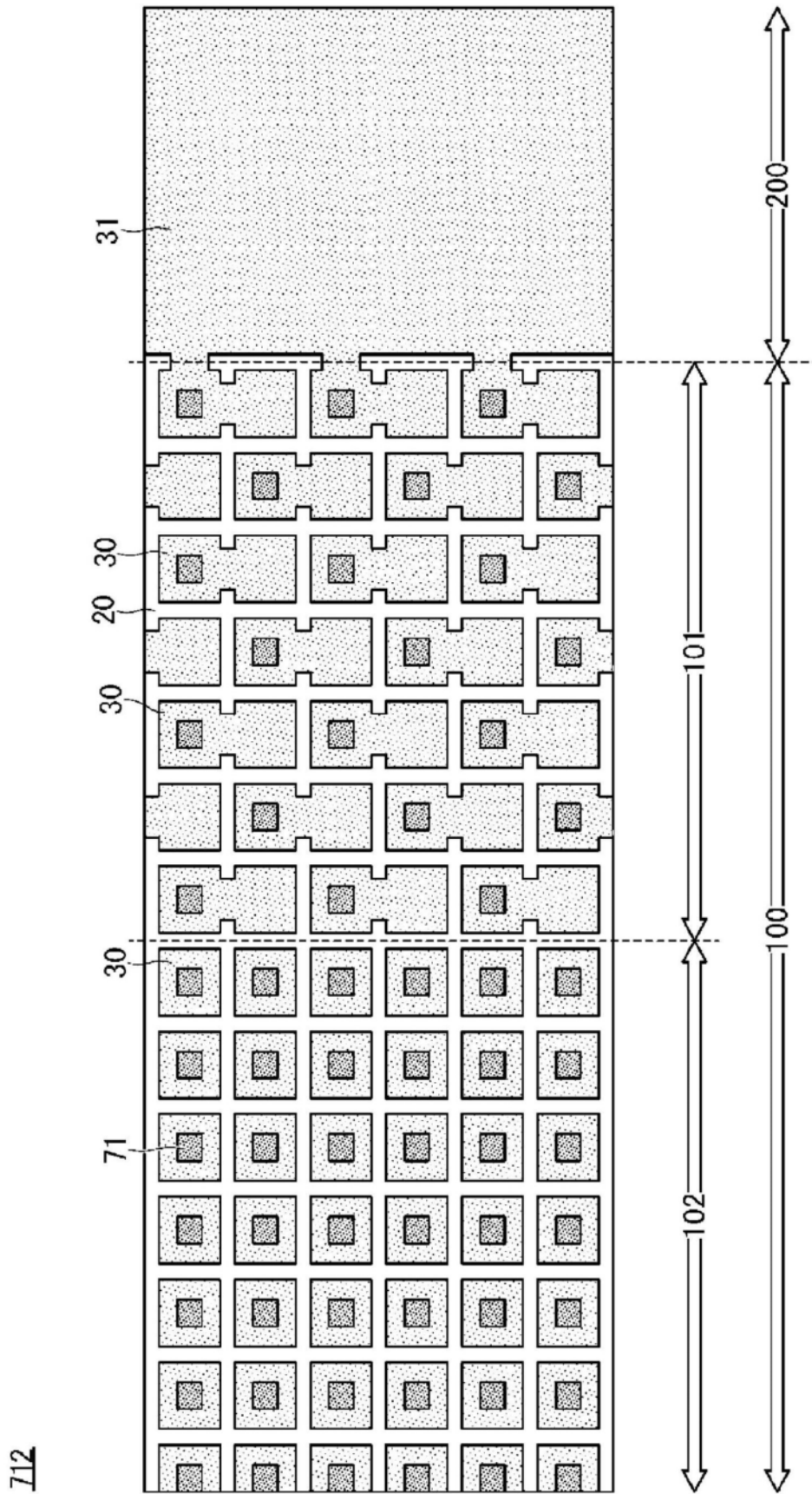


图13

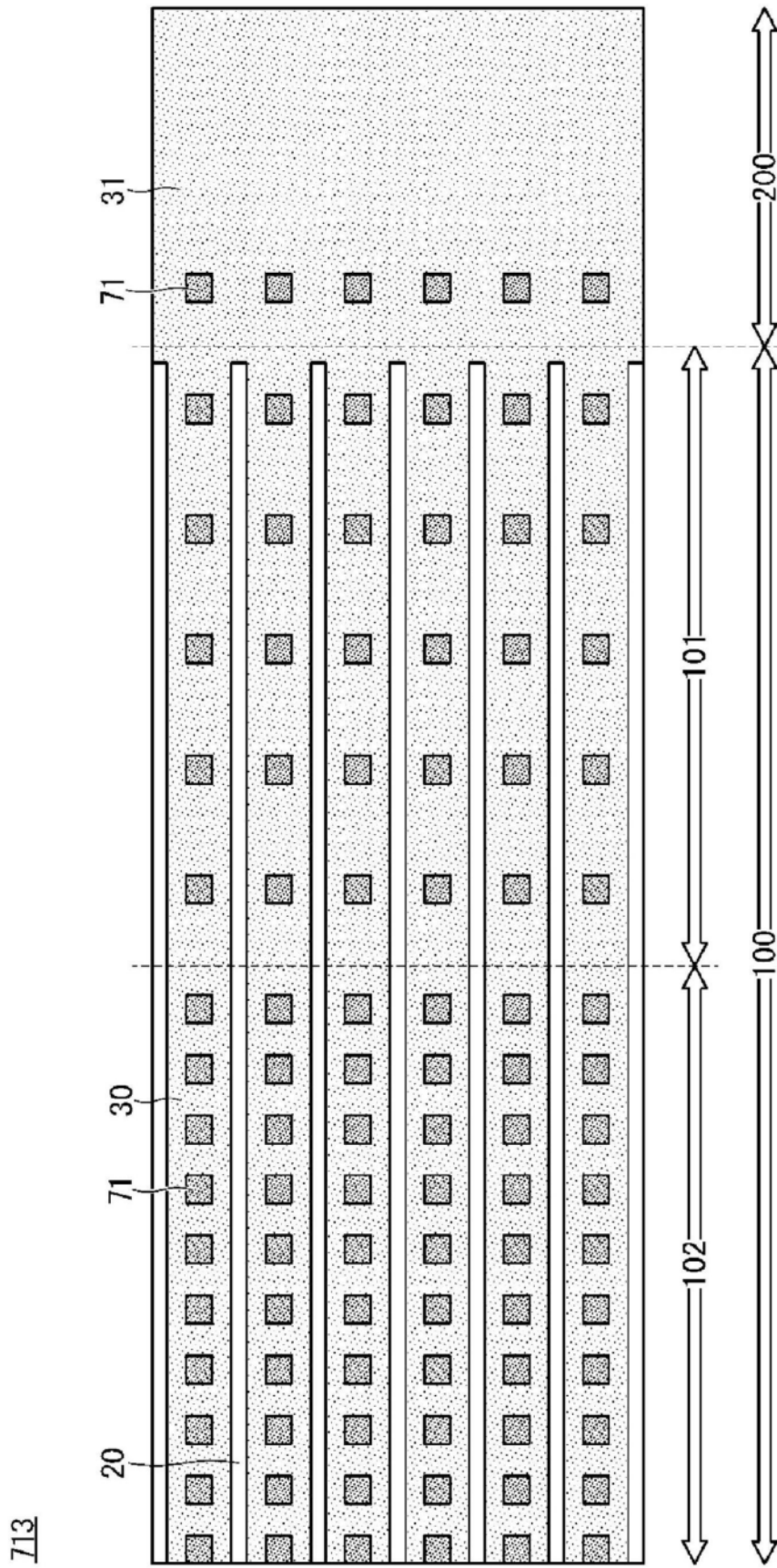


图14

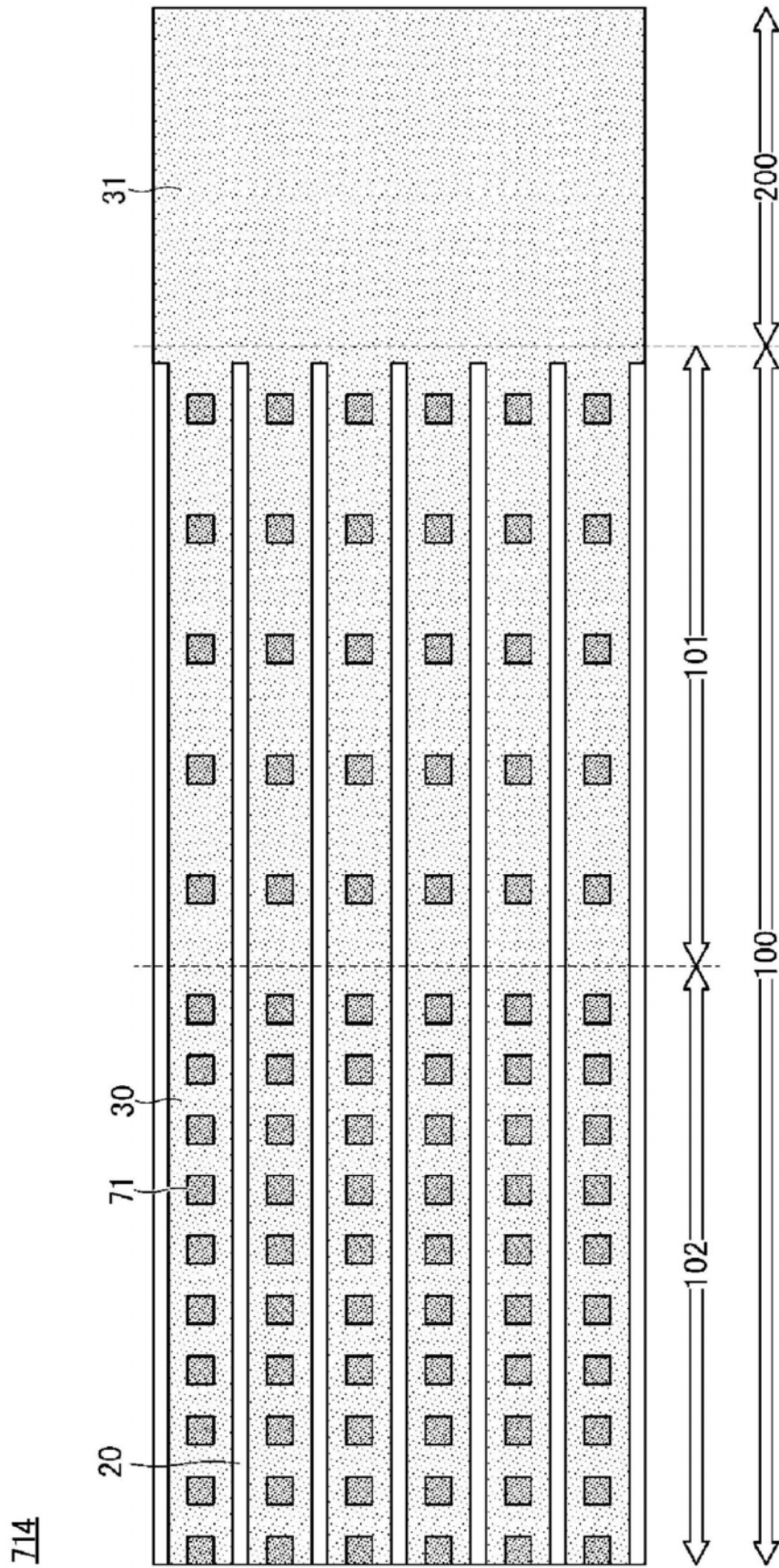


图15

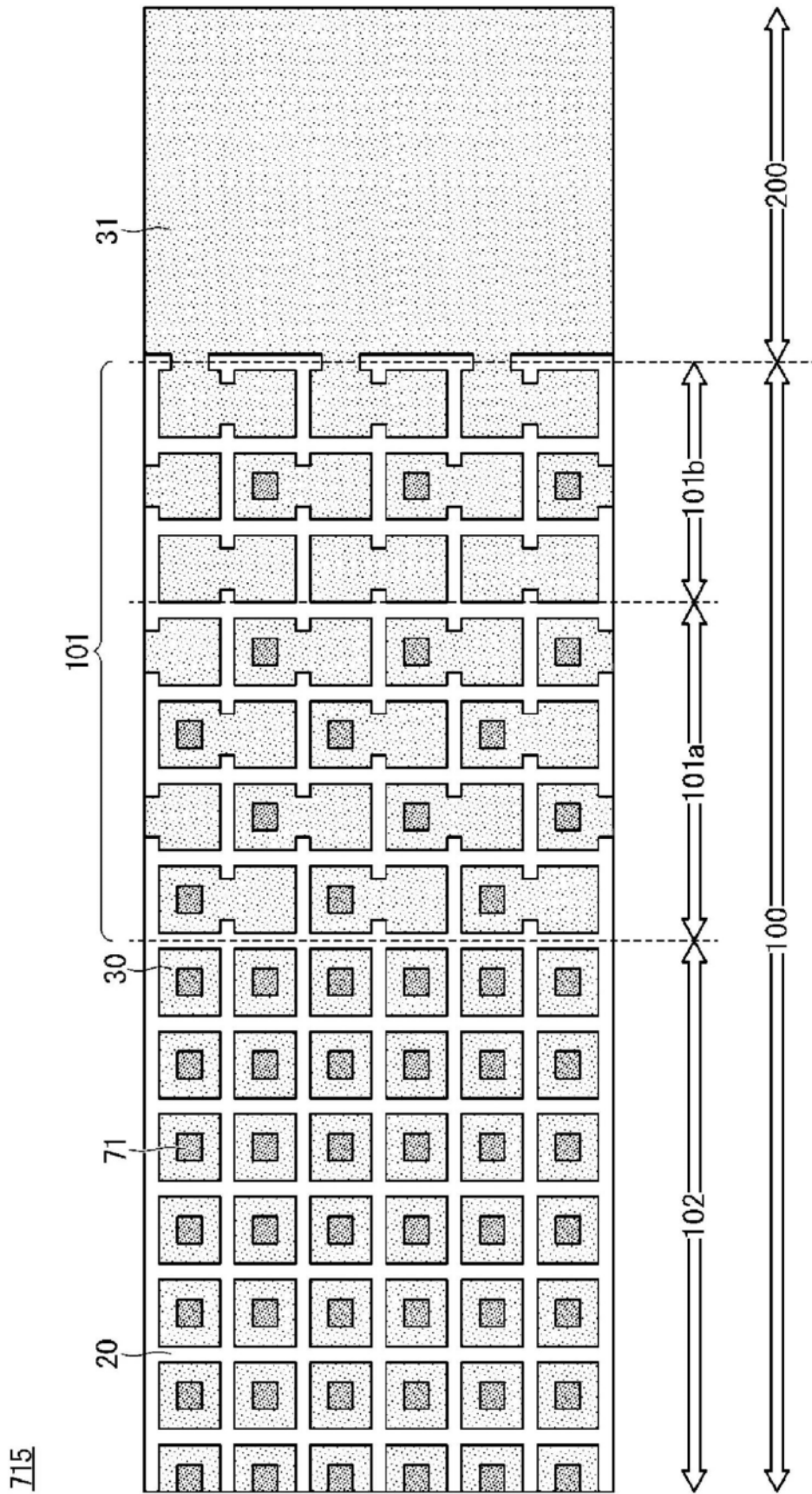


图16

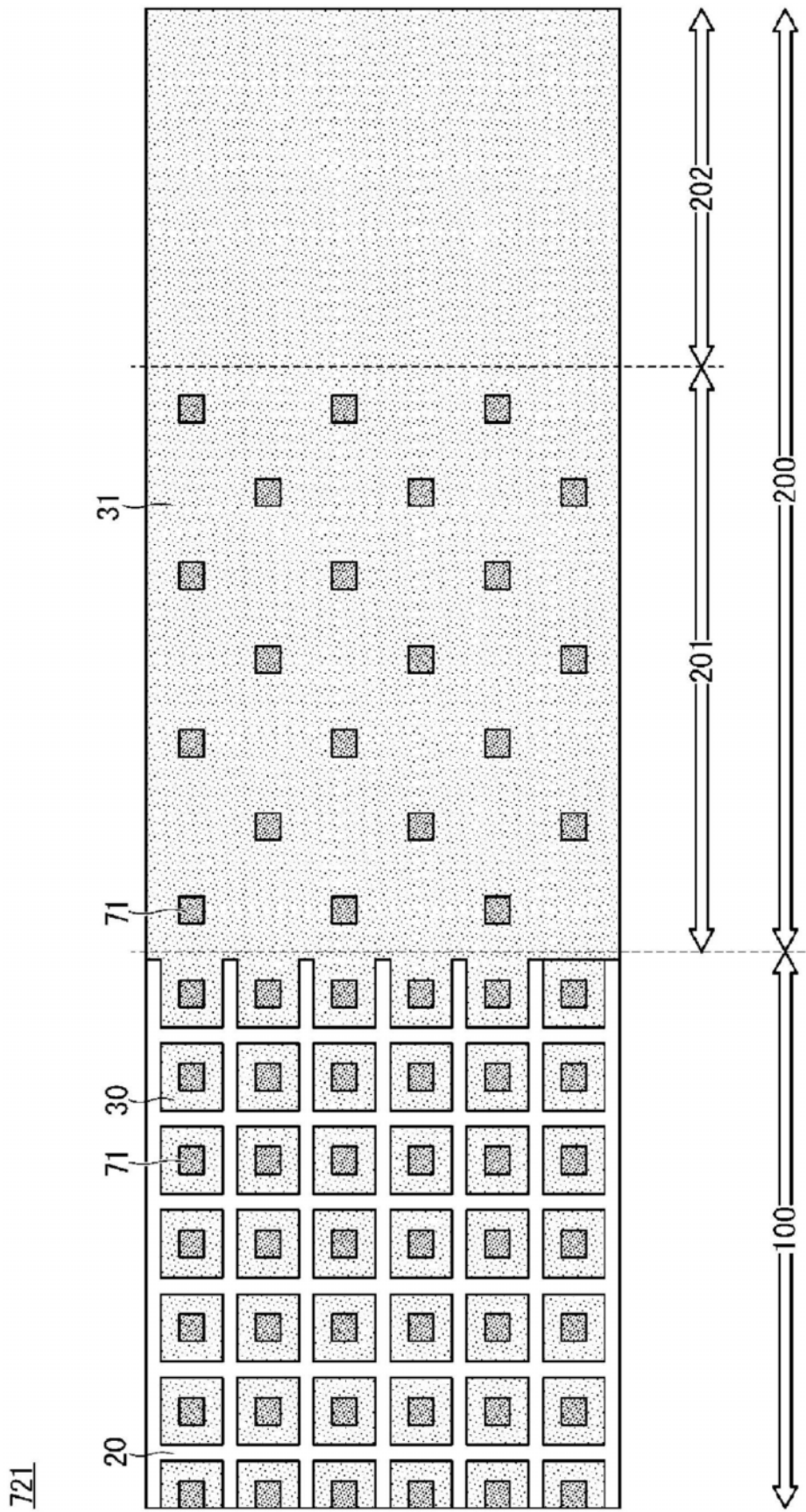


图17

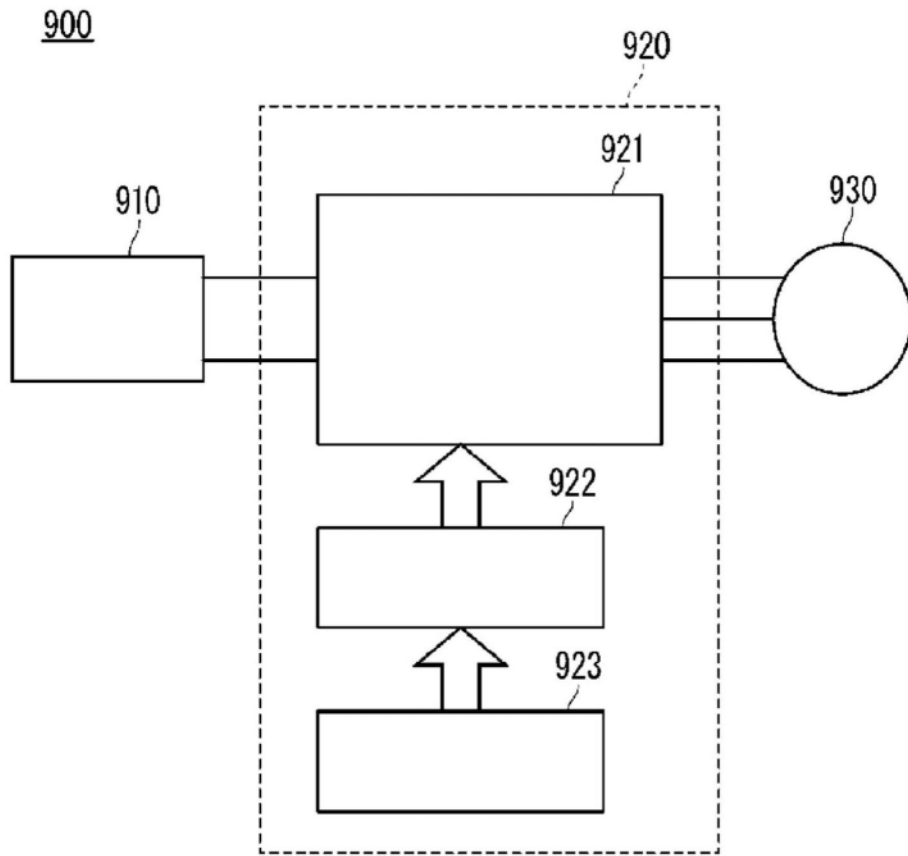


图18