



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월14일  
(11) 등록번호 10-2190208  
(24) 등록일자 2020년12월07일

(51) 국제특허분류(Int. Cl.)  
H03K 17/08 (2006.01) G05F 1/573 (2006.01)  
(21) 출원번호 10-2014-0085914  
(22) 출원일자 2014년07월09일  
심사청구일자 2019년07월09일  
(65) 공개번호 10-2015-0032156  
(43) 공개일자 2015년03월25일  
(30) 우선권주장  
14/029,618 2013년09월17일 미국(US)  
(56) 선행기술조사문헌  
JP03184409 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
더 보잉 컴파니  
미국, 일리노이스 60606, 시카고, 100 노스 리버  
사이드 플라자  
(72) 발명자  
케이 체스넛  
미국, 일리노이 60606-2016, 시카고, 100 노스 리  
버사이드 플라자  
로버트 엠. 마르티넬리  
미국, 일리노이 60606-2016, 시카고, 100 노스 리  
버사이드 플라자  
(뒀면에 계속)  
(74) 대리인  
강철중, 김윤배

전체 청구항 수 : 총 11 항

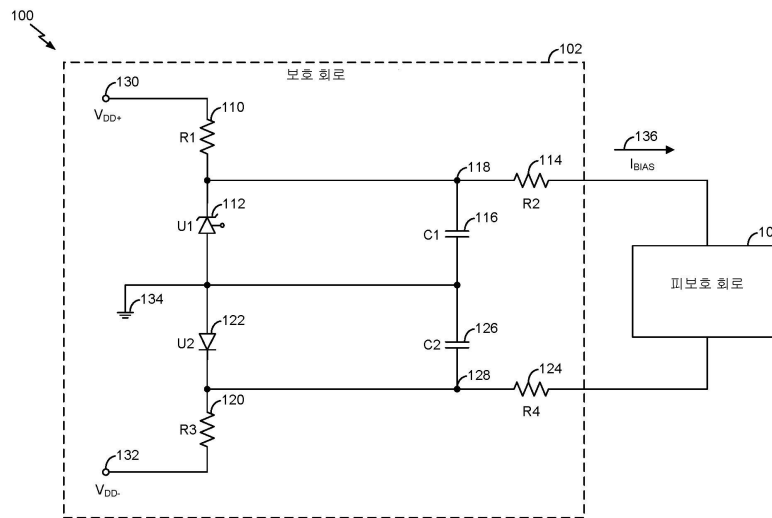
심사관 : 최규돈

(54) 발명의 명칭 **고전류 이벤트 완화 회로**

(57) 요약

보호 회로는 피보호 회로에 연결되도록 구성된 제1 저항 소자를 포함한다. 제1 저항 소자는 특정 저항값을 가진다. 보호 회로는 또한 제1 저항 소자에 연결된 전압 조절기를 포함한다. 피보호 회로에 제공되는 바이어스 전류의 크기가 피보호 회로와 관련된 제1 동작 전류 범위 내에서 유지되는 것 및 피보호 회로와 관련된 래치업 보유 전류값 아래에서 유지되는 것을 가능하게 하도록 특정 저항값이 선택된다.

대표도



(72) 발명자

**안토니 씨. 르**

미국, 일리노이 60606-2016, 시카고, 100 노스 리  
버사이드 플라자

**매리앤 둘리**

미국, 일리노이 60606-2016, 시카고, 100 노스 리  
버사이드 플라자

---

## 명세서

### 청구범위

#### 청구항 1

피보호 회로(protected circuit)(104)에 연결하기 위한 보호 회로(protection circuit)(102)로서, 상기 보호 회로는:

파워 서플라이(130, 132)와 특정 노드(node)(118) 사이에 연결되도록 배열된 제1 저항 소자(resistive element)(110);

상기 특정 노드와 접지(ground)(134) 사이에 연결된 전압 조절기(voltage regulator)(112);

상기 특정 노드와 접지 사이에 연결된 바이패스 커패시터(116); 및

상기 특정 노드와 상기 피보호 회로 사이에 연결되도록 배열된 제2 저항 소자(114);를 포함하고,

제1 저항 소자는 특정 저항값을 가지고,

상기 파워 서플라이의 전압을 기초로 하여, 상기 피보호 회로에 제공되는 바이어스 전류(bias current)의 크기가 상기 피보호 회로와 관련된 제1 동작 전류 범위(operating current range) 내에서 유지되는 것 및 상기 피보호 회로와 관련된 래치업 보유 전류값(latchup holding current value) 아래에서 유지되는 것을 가능하게 하도록 상기 특정 저항값이 선택되고,

상기 피보호 회로(104)가 래치업 상태에 있는 시간 기간은 상기 제2 저항 소자(114)의 저항 및 바이패스 커패시터(116)의 커패시턴스를 기초로 하는 것을 특징으로 하는 보호 회로(102).

#### 청구항 2

청구항 1에 있어서,

제1 저항 소자(110) 및 전압 조절기(112)에 연결된 피보호 회로(104)를 더 포함하고,

상기 바이어스 전류는 상기 제1 저항 소자 및 상기 전압 조절기를 통해서 생성되는 것을 특징으로 하는 보호 회로(102).

#### 청구항 3

청구항 1 또는 2에 있어서,

전압 조절기(112) 및 제1 저항 소자(110)는 피보호 회로(104)와 하전입자(charged particle)의 충돌에 의해 초래되는 고전류 이벤트(high current event)의 영향을 완화하도록(mitigate) 구성되는 것을 특징으로 하는 보호 회로(102).

#### 청구항 4

청구항 1 또는 2에 있어서,

상기 바이어스 전류의 크기가 래치업 보유 전류값 아래에 있는 것이, 고전류 이벤트 이후에 피보호 회로(104)가 래치업 상태(latchup state)에서 정상 동작 상태(normal operating state)로 자율적으로(autonomously) 이행할(transition) 수 있도록 하는 것을 특징으로 하는 보호 회로(102).

#### 청구항 5

청구항 4에 있어서,

상기 래치업 상태에서 상기 정상 동작 상태로의 피보호 회로(104)의 이행 동안 피보호 회로는 하나 이상의 파워 서플라이들에 연결된 채로 있는 것을 특징으로 하는 보호 회로(102).

### 청구항 6

청구항 1 또는 2에 있어서,

제1 저항 소자(110)는 저항기(resistor)를 포함하는 것을 특징으로 하는 보호 회로(102).

### 청구항 7

청구항 1 또는 2에 있어서,

제1 저항 소자(110)는 전류 소스(current source)를 포함하는 것을 특징으로 하는 보호 회로(102).

### 청구항 8

피보호 회로(104)에 바이어스 전류(136)를 제공하는 단계를 포함하는 방법으로서,

상기 바이어스 전류는 상기 피보호 회로에 연결된 보호 회로(102)에 의해 제공되고,

상기 보호 회로는:

파워 서플라이(130, 132)와 특정 노드(118) 사이에 연결되도록 배열된 제1 저항 소자(110);

상기 특정 노드와 접지(134) 사이에 연결된 전압 조절기(112);

상기 특정 노드와 접지 사이에 연결된 바이패스 커패시터(116); 및

상기 특정 노드와 상기 피보호 회로 사이에 연결되도록 배열된 제2 저항 소자(114);를 포함하고,

제1 저항 소자는 특정 저항값을 가지고,

상기 파워 서플라이의 전압을 기초로 하여, 상기 피보호 회로에 제공되는 상기 바이어스 전류의 크기가 상기 피보호 회로와 관련된 제1 동작 전류 범위 내에서 유지되는 것 및 상기 피보호 회로와 관련된 래치업 보유 전류값 아래에서 유지되는 것을 가능하게 하도록 상기 특정 저항값이 선택되고,

상기 피보호 회로(104)가 래치업 상태에 있는 시간 기간은 상기 제2 저항 소자(114)의 저항 및 바이패스 커패시터(116)의 커패시턴스를 기초로 하는 것을 특징으로 하는 방법.

### 청구항 9

청구항 8에서,

상기 피보호 회로가 래치업 상태에 들어가는 것을 초래하는 고전류 이벤트 동안 상기 보호 회로에서 에너지를 소산시키는(dissipating) 단계를 더 포함하고,

상기 보호 회로는 상기 피보호 회로가 자율적으로 래치업 상태를 벗어나는 것을 가능하게 하기에 충분한 에너지를 소산시키는 것을 특징으로 하는 방법.

### 청구항 10

청구항 9에서,

상기 보호 회로(102)에서 에너지를 소산시키는 것이, 상기 고전류 이벤트 동안 피보호 회로(104)의 온도를 한계

온도(threshold temperature) 아래에서 유지시키는 것을 특징으로 하는 방법.

**청구항 11**

청구항 9 또는 10에서,

상기 보호 회로(102)에서 에너지를 소산시키는 것이, 피보호 회로(104)가 래치업 상태에 있는 시간 기간을 잠재적 손상 한계 래치업 시간 기간(latent damage threshold latchup time period) 아래에서 유지시키는 것을 특징으로 하는 방법.

**청구항 12**

삭제

**청구항 13**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 고전류 이벤트(high current event)들을 완화하는(mitigate) 회로들에 관한 것이다.

**배경 기술**

[0002] 집적회로(integrated circuit)들 및 다른 반도체 디바이스(semiconductor device)들은 라디에이션(radiation)이 고전류 이벤트를 야기할 수 있는 상황들에서 이용될 수 있다. 예를 들어, 우주 공간(outer space)에 있거나 핵 방사(nuclear radiation)에 노출된 환경에 있는 집적회로는, 우주 복사(cosmic radiation) 또는 핵 방사와의 연관된 고에너지 양자(proton) 또는 이온(ion)과 같은 고에너지 입자의 집적회로와의 충돌에 의해 초래되는 일시적인 전압 스파이크(transient voltage spike) 또는 일시적인 전류 스파이크(transient current spike)(예컨대, 고전류 이벤트를 겪을 수 있다. 집적회로가 MOSFET(metal-oxide-semiconductor field-effect transistor) 회로를 포함하는 경우에, 이러한 충돌은 집적회로가 "래치업(latchup)"되거나 래치업 상태(latchup state)로 들어가는 것을 초래할 수 있다.

[0003] 집적회로가 래치업 상태로 들어가는 경우에, 저임피던스 경로(low-impedance path)(예컨대, 단락(short))가 집적회로의 파워 서플라이 레일(power supply rail)들 사이에서 생성될 수 있다. 집적회로를 통과하는 전류 흐름의 크기(magnitude)가 래치업 보유 전류값(latchup holding current value)을 더 이상 초과하지 않을 때, 집적회로는 래치업 상태에서 정상 동작 상태(normal operating state)로 이행할(transition) 수 있다(예컨대, 래치업 상태에서 벗어날(exit) 수 있다). 만일 집적회로가 장기간에 걸친(extended) 시간 기간 동안 여전히 래치업 상태에 있게 된다면, 집적회로 내에서 잠재적 고장(latent failure)이 발생할 수 있다. 잠재적 고장은, 즉각적인 에러를 초래하지는 않는 집적회로에 대한 손상을 가리킬 수 있는데, 그래서 이러한 손상은 검출하기 어렵다. 예를 들어, 집적회로의 한 영역은 집적회로를 통과하는 전류 흐름으로 인하여 녹을 수 있지만, 다음번까지는 집적회로는 검출가능한 에러를 발생시키지 않을 수 있다.

[0004] 몇몇 집적회로들은 래치업 상황을 검출하기 위하여 래치업 복구 회로(latchup recovery circuit)를 이용할 수 있고, 하나 이상의 파워 서플라이들로부터 집적회로를 분리시킬 수 있다. 하나 이상의 파워 서플라이들을 분리시킨 후에, 전압 레벨(voltage level)들을 재설정(reset)하고 래치업 상황으로부터 집적회로를 복구하기 위하여 하나 이상의 파워 서플라이들 상에서 파워 사이클링(power cycling)이 수행될 수 있다. 래치업 상황을 검출하는 것 및 하나 이상의 파워 서플라이들로부터 집적회로를 분리하는 것은 대략 수백 나노세컨드(nanosecond)의 시간 기간이 걸릴 수 있다. 집적회로를 통과하는 전류 흐름의 양 및/또는 집적회로의 온도에 따라서, 집적회로가 하나 이상의 파워 서플라이들로부터 분리되기 전에 잠재적 고장이 발생할 수 있다. 그래서, 래치업 복구 회로는 잠재적 고장이 집적회로 내에서 발생하는 것을 방지하기에 충분히 빨리 작동하지 않을 수 있다. 게다가, 래치업

상황을 검출하기 위해 이용되고 하나 이상의 파워 서플라이들로부터 집적회로를 분리하기 위해 이용되는 회로 소자(circuit element)들은 래치업 복구 회로에 비용 및 복잡성을 부가시킨다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 고전류 이벤트 완화 회로 및 고전류 이벤트 완화 방법을 제공하는 것을 목적으로 한다.

### 과제의 해결 수단

[0006] 본 명세서에서 공개된 구체적인 실시예들은 고전류 이벤트의 피보호 회로에 대한 영향들을 완화하도록 구성된 보호 회로를 포함하는 고전류 이벤트 완화 회로(high current event mitigation circuit)를 제공한다. 보호 회로는 피보호 회로에 연결될 수 있고, 피보호 회로에 바이어스 전류(bias current)를 제공하도록 구성될 수 있다. 보호 회로는 전압 조절기(voltage regulator)에 연결된 제1 저항 소자(resistive element)를 포함할 수 있다. 피보호 회로에 제공되는 바이어스 전류의 크기는 제1 저항 소자의 제1 저항값과 관련이 있을 수 있다. 바이어스 전류의 크기가 정상 동작(normal operation) 동안 피보호 회로의 동작 전류 범위(operating current range) 내에 있도록 그리고 그 크기가 래치업 보유 전류값 아래에 있도록 제1 저항 소자의 제1 저항값이 선택될 수 있다. 제1 저항값의 이러한 선택에 의해서, 보호 회로는 피보호 회로가 고전류 이벤트 이후에 래치업 상태에서 정상 동작 상태로 자율적으로 이행하는 것을 가능하게 하도록 구성될 수 있다.

[0007] 보호 회로는 제1 저항 소자와 전압 조절기에 연결된 바이패스 커패시터 및 바이패스 커패시터와 피보호 회로 사이에서 연결된 제2 저항 소자를 더 포함할 수 있다. 제2 저항 소자는 피보호 회로에 에너지의 일부를 제공하지 않으면서 보호 회로에서 에너지의 일부를 소산시킴으로써(dissipating) 피보호 회로에 제공되는 에너지를 감소시키도록 구성될 수 있다. 예를 들어, 제2 저항 소자는 에너지의 일부를 열로 변환함으로써 에너지의 일부를 소산시킬 수 있다. 제2 저항 소자의 제2 저항값은, 피보호 회로 내에서의 잠재적 고장의 발생과 연관된, 한계 에너지 레벨, 한계 온도, 잠재적 손상 한계 래치업 시간 기간, 또는 이들의 조합을 기초로 하여 선택될 수 있다. 제2 저항값의 이러한 선택에 의해서, 제2 저항 소자는 피보호 회로가 잠재적 고장을 겪기 전에 피보호 회로가 래치업 상태를 벗어나는 것을 초래하기에 충분한 에너지를 소산시키도록 구성될 수 있다. 예를 들어, 피보호 회로가 래치업 이벤트(latchup event)를 겪을 때, 제2 저항 소자는 피보호 회로가 잠재적 고장을 겪기 전에 피보호 회로가 래치업 상태를 벗어나는 것을 가능하게 하기에 충분한, 피보호 회로에 제공되는 에너지의 일부를 소산시킬 수 있다.

[0008] 래치업 보유 전류값 아래의 크기를 갖는 바이어스 전류를 피보호 회로에 제공함으로써, 보호 회로는 고전류 이벤트 후에 피보호 회로가 자율적으로 래치업 상태를 벗어나는 것을 가능하게 할 수 있다. 그래서, 고전류 레벨을 검출하고, 래치업 상태에서부터 회복하기 위하여 하나 이상의 파워 서플라이들로부터 집적회로를 분리하는 래치업 복구 회로와 비교하여, 보호 회로의 비용 및 복잡성이 감소될 수 있다. 게다가, 보호 회로에서 충분한 에너지를 소산시킴으로써, 보호 회로는 피보호 회로가 잠재적 고장을 겪기 전에 피보호 회로가 래치업 상태를 벗어나는 것을 초래할 수 있다. 그래서, 래치업에 종속적인 집적회로 또는 다른 반도체 디바이스는 고전류 이벤트들이 발생할 수 있는 상황들에서 이용될 수 있다.

[0009] 구체적인 실시예에서, 보호 회로는 피보호 회로에 연결되도록 구성된 제1 저항 소자를 포함한다. 제1 저항 소자는 특정 저항값을 가진다. 보호 회로는 또한 제1 저항 소자에 연결된 전압 조절기를 포함한다. 피보호 회로에 제공되는 바이어스 전류의 크기가 피보호 회로와 연관된 제1 동작 전류 범위 내에서 유지되는 것 및 피보호 회로와 연관된 래치업 보유 전류값 아래에서 유지되는 것을 가능하게 하도록 특정 저항값이 선택된다.

[0010] 다른 구체적인 실시예에서, 회로는 피보호 회로를 포함한다. 회로는 또한 피보호 회로에 연결된 보호 회로를 포함한다. 보호 회로는 제1 저항 소자를 포함한다. 보호 회로는 또한 제1 저항 소자에 연결된 전압 조절기를 포함한다. 보호 회로는 전압 조절기 및 제1 저항 소자에 연결된 바이패스 커패시터를 포함한다. 보호 회로는 바이패스 커패시터와 피보호 회로 사이에서 연결된 제2 저항 소자를 더 포함한다.

[0011] 다른 구체적인 실시예에서, 방법은 바이어스 전류를 피보호 회로에 제공하는 것을 포함한다. 바이어스 전류는 피보호 회로에 연결된 보호 회로에 의해서 제공된다. 방법은 또한 피보호 회로가 래치업 상태에 들어가는 것을

초래하는 고전류 이벤트 동안 보호 회로에서 에너지를 소산시키는 것을 포함한다. 보호 회로는 피보호 회로가 자율적으로 래치업 상태를 벗어나는 것을 가능하게 하기에 충분한 에너지를 소산시킨다.

- [0012] 게다가, 본 발명은 이하의 항목(clause)들에 따른 실시예들을 포함한다:
- [0013] 항목 1. 보호 회로(protection circuit)로서: 피보호 회로(protected circuit)에 연결되도록 구성된 제1 저항 소자(resistive element); 및 제1 저항 소자에 연결된 전압 조절기(voltage regulator);를 포함하고, 제1 저항 소자는 특정 저항값을 가지고, 피보호 회로에 제공되는 바이어스 전류(bias current)의 크기가 피보호 회로와 관련된 제1 동작 전류 범위(operating current range) 내에서 유지되는 것 및 피보호 회로와 관련된 래치업 보유 전류값(latchup holding current value) 아래에서 유지되는 것을 가능하게 하도록 상기 특정 저항값이 선택되는 것을 특징으로 하는 보호 회로.
- [0014] 항목 2. 항목 1에 있어서, 피보호 회로가 제1 저항 소자 및 전압 조절기에 연결된 구성을 더 포함하고, 바이어스 전류는 제1 저항 소자 및 전압 조절기를 통해서 생성되는 것을 특징으로 하는 보호 회로.
- [0015] 항목 3. 항목 1에 있어서, 전압 조절기 및 제1 저항 소자는 피보호 회로와 하전입자(charged particle)의 충돌에 의해 초래되는 고전류 이벤트(high current event)의 영향을 완화하도록(mitigate) 구성되는 것을 특징으로 하는 보호 회로.
- [0016] 항목 4. 항목 1에 있어서, 바이어스 전류의 크기가 래치업 보유 전류값 아래에 있는 것이, 고전류 이벤트 이후에 피보호 회로가 래치업 상태(latchup state)에서 정상 동작 상태(normal operating state)로 자율적으로(autonomously) 이행할(transition) 수 있도록 하는 것을 특징으로 하는 보호 회로.
- [0017] 항목 5. 항목 4에 있어서, 래치업 상태에서 정상 동작 상태로의 피보호 회로의 이행 동안 피보호 회로는 하나 이상의 파워 서플라이들에 연결된 채로 있는 것을 특징으로 하는 보호 회로.
- [0018] 항목 6. 항목 1에 있어서, 제1 저항 소자는 저항기(resistor)를 포함하는 것을 특징으로 하는 보호 회로.
- [0019] 항목 7. 항목 1에 있어서, 제1 저항 소자는 전류 소스(current source)를 포함하는 것을 특징으로 하는 보호 회로.
- [0020] 항목 8. 항목 1에 있어서, 제1 저항 소자에, 전압 조절기에, 그리고 피보호 회로에 연결된 바이패스 커패시터(bypass capacitor); 및 바이패스 커패시터와 피보호 회로 사이에서 연결된 제2 저항 소자;를 더 포함하는 것을 특징으로 하는 보호 회로.
- [0021] 항목 9. 항목 8에 있어서, 제1 저항 소자는 파워 서플라이와 특정 노드(node) 사이에서 연결되고, 전압 조절기 및 바이패스 커패시터는 특정 노드와 접지(ground) 사이에서 연결되고, 제2 저항 소자는 특정 노드와 피보호 회로 사이에서 연결되는 것을 특징으로 하는 보호 회로.
- [0022] 항목 10. 피보호 회로; 및 피보호 회로에 연결된 보호 회로;를 포함하고, 보호 회로는: 제1 저항 소자; 제1 저항 소자에 연결된 전압 조절기; 전압 조절기 및 제1 저항 소자에 연결된 바이패스 커패시터; 및 바이패스 커패시터와 피보호 회로 사이에서 연결된 제2 저항 소자;를 포함하는 것을 특징으로 하는 회로.
- [0023] 항목 11. 항목 10에 있어서, 제2 저항 소자는 에너지의 소산된 부분을 피보호 회로에 제공하지 않으면서 보호 회로로부터 에너지의 일부를 소산시킴으로써 고전류 이벤트 동안 피보호 회로에 제공되는 에너지를 감소시키도록 구성되는 것을 특징으로 하는 회로.
- [0024] 항목 12. 항목 10에 있어서, 제2 저항 소자의 특정 저항값은 보호 회로에 연결된 파워 서플라이를 분리하지 않으면서 피보호 회로가 래치업 상태에서 정상 동작 상태로 이행하는 것이 가능하도록 선택되는 것을 특징으로 하는 회로.
- [0025] 항목 13. 항목 10에 있어서, 제2 저항 소자의 특정 저항값은 한계 에너지 레벨, 한계 온도, 잠재적 손상 한계 래치업 시간 기간, 또는 이들의 조합을 기초로 하여 선택되는 것을 특징으로 하는 회로.
- [0026] 항목 14. 항목 13에 있어서, 바이패스 커패시터의 커패시턴스값(capacitance value)은 한계 에너지 레벨, 한계 온도, 잠재적 손상 한계 래치업 시간 기간, 또는 이들의 조합을 기초로 하여, 그리고 피보호 회로의 스위칭 노이즈 허용치(switching noise tolerance)를 기초로 하여 선택되는 것을 특징으로 하는 회로.
- [0027] 항목 15. 항목 10에 있어서, 제2 저항 소자 및 바이패스 커패시터는 고전류 이벤트 동안 피보호 회로에 제공되는 에너지가 한계 에너지 레벨에 도달하는 것을 방지하도록 구성되고, 한계 에너지 레벨은 피보호 회로 내에서

의 가능성이 있는(potential) 잠재적 고장과 관련이 있는 것을 특징으로 하는 회로.

- [0028] 항목 16. 항목 10에 있어서, 바이패스 커패시터의 커패시턴스값은 0.1 마이크로패럿보다 작거나 0.1 마이크로패럿과 같고, 제2 저항 소자의 저항값은 10 ohm보다 작거나 10 ohm과 같은 것을 특징으로 하는 회로.
- [0029] 항목 17. 바이어스 전류를 피보호 회로에 제공하는 단계; 및 피보호 회로가 래치업 상태에 들어가는 것을 초래하는 고전류 이벤트 동안 보호 회로에서 에너지를 소산시키는(dissipating) 단계를 포함하고, 바이어스 전류는 피보호 회로에 연결된 보호 회로에 의해서 제공되고, 보호 회로는 피보호 회로가 자율적으로 래치업 상태를 벗어나는 것을 가능하게 하기에 충분한 에너지를 소산시키는 것을 특징으로 하는 방법.
- [0030] 항목 18. 항목 17에서, 보호 회로에서 에너지를 소산시키는 것이, 고전류 이벤트 동안 피보호 회로의 온도를 한계 온도(threshold temperature) 아래에서 유지시키는 것을 특징으로 하는 방법.
- [0031] 항목 19. 항목 17에서, 보호 회로에서 에너지를 소산시키는 것이, 피보호 회로가 래치업 상태에 있는 시간 기간을 잠재적 손상 한계 래치업 시간 기간(latent damage threshold latchup time period) 아래에서 유지시키는 것을 특징으로 하는 방법.
- [0032] 항목 20. 항목 19에서, 보호 회로는 바이패스 커패시터 및 바이패스 커패시터와 피보호 회로 사이에서 연결된 저항 소자를 포함하고, 시간 기간은 저항 소자의 저항 및 바이패스 커패시터의 커패시턴스를 기초로 하는 것을 특징으로 하는 방법.
- [0033] 설명된 특징들, 기능들, 및 이점들은 다양한 실시예들에서 독립적으로 달성되거나, 또 다른 실시예들에서 조합될 수 있으며, 이들의 추가적인 세부사항들은 이하의 설명 및 도면들을 참조하여 공개된다.

**도면의 간단한 설명**

- [0034] 도 1은 고전류 이벤트 완화 회로의 구체적인 실시예를 나타내는 도면이고;
- 도 2는 고전류 이벤트를 완화하는 방법의 구체적인 실시예를 나타내는 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0035] 본 발명의 구체적인 실시예들은 도면들을 참조하여 이하에서 설명된다. 설명에 있어서, 공통된 특징들은 도면들 전체에 걸쳐서 공통된 참조 번호로 표시된다.
- [0036] 도 1은, 일반적으로 100으로 표시된, 고전류 이벤트 완화 회로의 구체적인 실시예를 나타내는 도면이다. 본 명세서에서 사용될 때, 고전류 이벤트는 피보호 회로(protected circuit)(104)에 손상을 초래하기에 충분한 크기를 갖는 일시적인 전류를 야기하는(induce) 임의의 이벤트를 지칭한다. 예를 들어, 보호 회로(protection circuit)(102)가 제1 바이패스 커패시터(116)(C1)와 같은 바이패스 커패시터(bypass capacitor)를 포함하는 경우에, 고전류 이벤트는 제1 바이패스 커패시터(116)(C1)의 방전을 초래하기에 충분한 특정 크기를 갖는 일시적인 전류를 야기하는 이벤트일 수 있다. 고전류 이벤트들의 예들은 ESD(electrostatic discharge), 하전입자(charged particle)들과의 충돌들, 또는 피보호 회로(104)에 일시적인 전류들을 초래하는 다른 이벤트들을 포함할 수 있다. 고전류 이벤트 완화 회로(100)는 항공기(예컨대, 고정익(fixed wing) 항공기 또는 회전익(rotary wing) 항공기), 위성(satellite), 우주선(spacecraft), 랜드 크래프트(land craft), 또는 워터 크래프트(watercraft)와 같은 플랫폼(platform)이나, 고전류 이벤트 완화 회로(100)의 피보호 회로(104)와 하나 이상의 하전입자들과의 충돌에 의해서 초래되는 고전류 이벤트들에 종속적인 환경에서 사용하도록 구성된 다른 실질적으로 자립적인(self-contained) 구조물 또는 플랫폼 내에 포함될 수 있다. 예를 들어, 고전류 이벤트 완화 회로(100)는 우주 복사 또는 핵 방사와 같이 라디에이션과 관련이 있는 하전입자들과의 충돌에 종속적인 환경에서 사용하도록 구성될 수 있다.
- [0037] 고전류 이벤트 완화 회로(100)는 피보호 회로(104)에 연결된 보호 회로(102)를 포함할 수 있다. 피보호 회로(104)는 고전류 이벤트 동안 래치업에 종속적인(subject), 특정한 집적회로 또는 반도체 디바이스나, 집적회로 또는 반도체 디바이스의 일부를 포함할 수 있다. 예를 들어, 피보호 회로(104)는 고전류 이벤트 동안 래치업에 종속적인 op-amp(operational amplifier)를 포함할 수 있다. 보호 회로(102)는 종래의 ESD(electrostatic discharge) 보호에 추가하여 또는 대신하여 보호를 제공할 수 있다. 예를 들어, 파워 서플라이(power supply)에 연결된 ESD 회로는 파워 서플라이로부터 일시적인 전압 스파이크의 영향들을 완화할 수 있지만, ESD 회로는 피

보호 회로(104)의 표면과 하전입자 사이의 충돌에 의해 초래되는 고전류 이벤트의 영향들을 완화할 수 없다. 보호 회로(102)는 이러한 충돌들에 의해 초래되는 고전류 이벤트의 영향들을 완화하도록 구성될 수 있다. 예를 들어, 보호 회로(102)는 피보호 회로(104) 내부에 있을 수 있고, 또는 하나 이상의 파워 서플라이들 및 대응 ESD 회로로부터의 다운스트림(downstream)에 배치될 수 있다.

[0038] 고전류 이벤트 동안, 하전입자와 피보호 회로(104) 간의 충돌은 피보호 회로(104)에 일시적인 고전류(transient high current)를 야기할 수 있다. 일시적인 고전류가 한계 전류값(threshold current value)을 초과하는(exceed) 경우에, 피보호 회로(104)는 래치업 상태에 들어갈 수 있다. 예를 들어, 일시적인 고전류는 임피던스 경로(예컨대, 단락)가 op-amp의 파워 레일(power rail)들 사이에서 형성되는 것을 초래할 수 있고, 일시적인 고전류가 파워 레일들 사이에서 흐를 수 있다. 일시적인 고전류가 소산된(dissipate) 후에, 피보호 회로(104)를 통과하는 전류 흐름의 크기가 래치업 보유 전류값을 초과하는 한, 피보호 회로(104)(예컨대, op-amp)는 여전히 래치업 상태에 있을 수 있다. 일시적인 고전류가 소산된 후에, 피보호 회로(104)를 통과하는 전류 흐름의 크기는 바이어스 전류와 같이 피보호 회로(104)에 제공되는 전류의 크기까지 감소될 수 있다. 래치업 보유 전류값이 한계 전류값보다 작은 경우에, 피보호 회로(104)에 제공되는 전류의 크기가 한계 전류값과 래치업 보유 전류값 사이에 존재하는 동안, 피보호 회로(104)는 래치업 상태로 남아 있다.

[0039] 보호 회로(102)는 피보호 회로(104)에 바이어스 전류( $I_{BIAS}$ )를 제공함으로써 피보호 회로(104)에 대한 고전류 이벤트의 영향들을 완화하도록 구성될 수 있고, 이것은 피보호 회로(104)가 래치업 상태로부터 정상 동작 상태로 자율적으로(autonomously) 이행하는 것(예컨대, 래치업 상태를 자율적으로 벗어나는 것)을 가능하게 한다. 예를 들어, 고전류 이벤트는, 피보호 회로(104)에서 일시적인 고전류를 야기하는, 피보호 회로(104)와 하전입자의 충돌에 의해서 초래될 수 있다. 보호 회로(102)는 래치업 보유 전류값 아래에서 그리고 피보호 회로(104)의 동작 전류 범위 내에서 바이어스 전류( $I_{BIAS}$ )의 크기를 유지하도록 구성될 수 있다. 본 명세서에서 더 설명되는 바와 같이, 보호 회로(102)의 하나 이상의 회로 소자들의 하나 이상의 전기적 특성들의 적절한 선택은 보호 회로(102)가 래치업 보유 전류값을 초과하지 않는 크기를 갖는 바이어스 전류( $I_{BIAS}$ )를 제공하는 것을 가능하게 할 수 있다.

[0040] 보호 회로(102)를 포함하지 않는 회로에서, 고전류 이벤트는 고전류 이벤트가 종료된 후에(예컨대, 일시적인 고전류가 소산된 후에), 파워 서플라이가 분리될 때까지 또는 파워 사이클링이 수행될 때까지, 보호되고 있지 않은 회로(unprotected circuit)에 제공되는 바이어스 전류의 크기가 래치업 보유 전류값을 초과하는 것을 초래할 수 있다. 하지만, 피보호 회로(104)에 의해서 수신되는 바이어스 전류( $I_{BIAS}$ )의 크기는 래치업 보유 전류값을 초과하지 않기 때문에, 피보호 회로(104)를 통과하는 전류 흐름은 일시적인 고전류가 소산된 후에 래치업 보유 전류값 아래로 떨어진다. 그래서, 피보호 회로(104)는, 하나 이상의 파워 서플라이들로부터 분리되지 않고서 그리고 피보호 회로(104)를 통과하는 전류 흐름을 감소시키기 위하여 하나 이상의 파워 서플라이들에서 파워 사이클링을 수행하지 않고서, 고전류 이벤트가 종료된 후에(예컨대, 일시적인 고전류가 소산된 후에) 래치업 상태를 자율적으로 벗어날 수 있다. 예를 들어, 래치업 상태로부터 정상 동작 상태로의 피보호 회로(104)의 이행(transition) 동안, 피보호 회로(104)는 하나 이상의 파워 서플라이들에 연결된 채로 남아있을 수 있다. 하나 이상의 파워 서플라이들은 고전류 이벤트 전체 동안 재설정되거나 파워 사이클링되지 않을 수 있다. 보호 회로(102)는 패시브 회로(passive circuit)일 수 있다. 예를 들어, 보호 회로(102)는 바이어스 전류( $I_{BIAS}$ )의 크기를 능동적으로(actively) 제어하도록 구성된 트랜지스터(transistor) 또는 스위치(switch)를 포함할 수 있다. 다른 예로서, 보호 회로(102)는 전류 레벨(current level) 또는 전압 레벨을 감지하기 위한 회로를 포함하지 않을 수 있다. 그래서, 보호 회로(102)는 피보호 회로가 센싱(sensing) 또는 분리(decoupling)와 같은 임의의 능동적 동작(active operation)을 수행하지 않으면서 래치업 상태로부터 자율적으로 벗어나는 것을 가능하게 할 수 있다. 게다가, 보호 회로(102)는 예컨대 종래의 ESD 회로에서 고전류 이벤트 동안 접지로의 추가적인 경로(예컨대, 션트(shunt))를 제공하지 않으면서 피보호 회로(104)에 대한 고전류 이벤트의 영향을 완화할 수 있다. 보호 회로(102)는 패시브 회로이기 때문에, 액티브 래치업 복구 회로(active latchup recovery circuit)에 비하여 보호 회로(102)는 감소된 복잡성을 가질 수 있고 더 작을 수 있다(예컨대, 더 적은 칩면적(chip area)을 이용할 수 있다). 하전입자들과의 충돌들에 종속적인 환경들에서 사용하기 위한 회로들은, 액티브 래치업 복구 회로가 초과하는, 사이즈(예컨대, 칩면적) 제한을 가질 수 있다. 하지만, 보호 회로(102)는 감소된 칩면적으로 인하여 이러한 회로들에서 사용될 수 있다. 그래서, 보호 회로(102)는 피보호 회로(104)가 하전입자와의 충돌에 의해서 초래되는 래치업 상태를 자율적으로 벗어날 수 있게 하는 패시브(passive), 스위치리스(switchless) 회로일 수 있다.

- [0041] 게다가, 보호 회로(102)는 피보호 회로(104)가 잠재적 고장을 겪기 전에 피보호 회로(104)가 래치업 상태를 벗어나는 것을 초래할 수 있다. 보호 회로(102)는 피보호 회로(104)에 에너지의 일부를 제공하지 않으면서 에너지의 일부를 소산시킴으로써 피보호 회로(104)에 제공되는 에너지를 감소시킬 수 있다. 예를 들어, 보호 회로(102)는 에너지의 일부를 열로 변환함으로써 보호 회로(102)에서 에너지의 일부를 소산시킬 수 있다. 피보호 회로(104)에 제공되는 에너지를 감소시킴으로써, 보호 회로(102)는 피보호 회로(104)가 고전류 이벤트 동안 피보호 회로(104)의 영역들 사이에서 도펀트(dopant)들의 이동(migration) 또는 금속 배선(metal line)들의 멜팅(melting)과 같은 잠재적 고장을 겪기 전에 래치업 상태를 벗어나는 것을 초래할 수 있다.
- [0042] 보호 회로(102)는 저항 소자들(110(R1), 114(R2), 120(R3), 및 124(R4)), 전압 조절기들(112(U1) 및 122(U2)), 바이패스 커패시터들(116(C1) 및 126(C2)), 및 파워 서플라이 레일들(130(V<sub>DD+</sub>) 및 132(V<sub>DD-</sub>))을 포함할 수 있다. 보호 회로(102)의 제1 부분은 포지티브 파워 서플라이 레일(positive power supply rail)(130)(V<sub>DD+</sub>)과 제1 노드(118) 사이에서 연결된 제1 저항 소자(110)(R1), 접지(134)와 제1 노드(118) 사이에서 연결된 제1 전압 조절기(112)(U1), 접지(134)와 제1 노드(118) 사이에서 연결된 제1 바이패스 커패시터(116)(C1), 및 제1 노드(118)와 피보호 회로(104) 사이에서 연결된(예컨대, 제1 바이패스 커패시터(116)(C1)와 피보호 회로(104) 사이에서 연결된) 제2 저항 소자(114)(R2)를 포함할 수 있다. 보호 회로(102)의 제2 부분은 네거티브 파워 서플라이 레일(negative power supply rail)(132)(V<sub>DD-</sub>)과 제2 노드(128) 사이에서 연결된 제3 저항 소자(120)(R3), 접지(134)와 제2 노드(128) 사이에서 연결된 제2 전압 조절기(122)(U2), 접지(134)와 제2 노드(128) 사이에서 연결된 제2 바이패스 커패시터(126)(C2), 및 제2 노드(128)와 피보호 회로(104) 사이에서 연결된(예컨대, 제2 바이패스 커패시터(126)(C2)와 피보호 회로(104) 사이에서 연결된) 제4 저항 소자(124)(R4)를 포함할 수 있다.
- [0043] 포지티브 파워 서플라이 레일(130)(V<sub>DD+</sub>)에 의해서 그리고 네거티브 파워 서플라이 레일(132)(V<sub>DD-</sub>)에 의해서 전력을 공급받을 때, 보호 회로(102)는 피보호 회로(104)에 바이어스 전류(136)(I<sub>BIAS</sub>)를 제공할 수 있다. 예를 들어, 포지티브 파워 서플라이 레일(130)(V<sub>DD+</sub>) 및 네거티브 파워 서플라이 레일(132)(V<sub>DD-</sub>)은 포지티브 파워 서플라이 및 네거티브 파워 서플라이에 각각 연결될 수 있어서, 바이어스 전류(136)(I<sub>BIAS</sub>)가 보호 회로(102)를 통해서 피보호 회로(104)로 흐른다.
- [0044] 바이어스 전류(136)(I<sub>BIAS</sub>)의 크기는 제1 저항 소자(110)(R1) 및 제2 저항 소자(114)(R2)와 관련이 있을 수 있다. 제1 저항 소자(110)(R1)는 보호 회로(102)에서 선택된 저항(selected resistance)을 제공하는 임의의 회로 소자를 포함할 수 있다. 예를 들어, 제1 저항 소자(110)(R1)는 저항기(resistor)를 포함할 수 있다. 다른 예로서, 제1 저항 소자(110)(R1)는 바이어스 전류(136)(I<sub>BIAS</sub>)를 생성하도록 구성된 전류 소스(current source)일 수 있다. 제2 저항 소자(114)(R2)는 보호 회로(102) 내에서 에너지를 소산시키는 저항기와 같은 임의의 회로 소자를 포함할 수 있다. 바이어스 전류(136)(I<sub>BIAS</sub>)와 연관된 스위칭 노이즈(switching noise)는 제1 바이패스 커패시터(116)(C1)를 이용함으로써 감소될 수 있다. 예를 들어, 제1 바이패스 커패시터(116)(C1)는 스위칭 노이즈를 피보호 회로(104)의 스위칭 노이즈 허용치(switching noise tolerance) 내로 감소시키도록 구성될 수 있다.
- [0045] 제1 노드(118)에서의 전압 레벨은 변하는 온도들에 대해서 실질적으로 일정할 수 있다. 예를 들어, 제1 전압 조절기(112)(U1)는 제1 노드(118)에서의 전압 레벨이 실질적으로 온도 독립적(temperature independent)으로 되는 것을 가능하게 하도록 구성될 수 있다. 제1 전압 조절기(112)(U1)는 변하는 온도들에 대해서 제1 노드(118)에서 전압 레벨을 유지할 수 있는 임의의 디바이스를 포함할 수 있다. 예를 들어, 제1 전압 조절기(112)(U1)는, 넓은 온도 범위에 대해서 실질적으로 일정한 온도-독립적인(temperature-independent) 전압을 제공하는 제너 다이오드(Zener diode)와 같은 다이오드를 포함할 수 있다. 그래서, 피보호 회로(104)에 제공되는 바이어스 전압(bias voltage)은 변하는 온도들에 대해서 실질적으로 일정할 수 있다.
- [0046] 바이어스 전류(136)(I<sub>BIAS</sub>) 및 바이어스 전압을 수신하는 것은 피보호 회로가 정상 동작 상태에서 하나 이상의 기능을 수행하는 것을 가능하게 할 수 있다. 예를 들어, 피보호 회로(104)가 op-amp이고 정상 동작 상태에 있는 경우, op-amp는 두 개의 입력 전압들을 비교할 수 있다. 하지만, 고전류 이벤트 동안, 피보호 회로(104)는 정상 동작 상태로부터 래치업 상태로 이행할 수 있다. 고전류 이벤트는(예컨대, op-amp의 파워 레일들 사이에서) 피보호 회로(104)를 통하여 일시적인 고전류를 야기할 수 있다. 래치업 상태에 있는 동안, 피보호 회로(104)(예컨대, op-amp)는 두 개의 입력 전압들을 부정확하게 비교할 수 있다. 보호 회로(102)는 피보호 회로(104)에 대한 고전류 이벤트의 영향들을 완화하도록 구성될 수 있다. 예를 들어, 보호 회로(102)는 피보호 회로(104)에 제

공되는 바이어스 전류( $I_{BIAS}$ )의 크기를 래치업 보유 전류값 아래로 유지함으로써 피보호 회로(104)가 래치업 상태에서부터 정상 동작 상태로 자율적으로 이행하는 것을 가능하게 하도록 구성될 수 있다. 바이어스 전류( $I_{BIAS}$ )의 크기는 보호 회로(102)의 하나 이상의 전기적 특성들을 기초로 하여 결정될 수 있다.

[0047]

피보호 회로(104)에 대한 고전류 이벤트의 영향들을 완화하기 위하여, 보호 회로(102)는 피보호 회로(104)의 하나 이상의 전기적 특성들을 기초로 하여 설계될 수 있다(예컨대, 보호 회로(102)의 하나 이상의 전기적 특성들이 선택될 수 있다). 피보호 회로(104)의 하나 이상의 전기적 특성들은 피보호 회로(104)의 분석, 피보호 회로(104)와 관련된 실험 데이터(empirical data), 또는 이들의 조합에 의해서 결정될 수 있다. 하나 이상의 전기적 특성들은 피보호 회로(104)와 동일한(또는 유사한) 테스트 회로(test circuit)에서 시뮬레이션된 고전류 이벤트(simulated high current event)를 조사함으로써 결정될 수 있다. 예를 들어, 테스트 회로에서 고전류 이벤트를 시뮬레이션하기 위하여 레이저가 이용될 수 있다(테스트 회로는 피보호 회로(104)와 동일한 타입의 op-amp를 포함할 수 있다). 시뮬레이션된 고전류 이벤트 동안, 테스트 회로가 조사될 수 있고, 전류 레벨, 전압 레벨, 온도, 에너지 레벨, 또는 이들의 조합과 같은 측정치들은 오실로스코프와 같은 하나 이상의 툴(tool)들을 이용해서 취해질 수 있다. 측정치들은 피보호 회로(104)의 하나 이상의 특성들에 상응하는 테스트 회로의 하나 이상의 전기적 특성들을 결정하는 데 이용할 수 있다. 예를 들어, 래치업 보유 전류값 및 한계 전류값은 테스트 회로가 래치업 상태에 들어가는 때(예컨대, 테스트 회로를 통과하는 전류 흐름이 증가하는 때)를 나타내는 측정치들을 기초로 하여 결정될 수 있다. 시뮬레이션된 고전류 이벤트는 테스트 회로 내에서 잠재적 고장을 초래하는 일시적인 고전류를 야기할 수 있다. 한계 에너지 레벨(threshold energy level), 한계 온도(threshold temperature), 잠재적 손상 한계 래치업 시간 기간(latent damage threshold latchup time period), 또는 이들의 조합은 잠재적 고장이 일어나는 경우에 테스트 회로의 전압, 전류, 에너지 레벨, 온도, 테스트 회로에 대한 시뮬레이션된 고전류 이벤트의 적용과 잠재적 고장의 발생 간의 시간 길이, 또는 이들의 조합의 측정치들을 기초로 하여 결정될 수 있다.

[0048]

보호 회로(102)는 피보호 회로(104)에 대한 고전류 이벤트의 영향들을 보호 회로(102)가 완화하는 것이 가능하도록 피보호 회로(104)의 하나 이상의 전기적 특성들을 기초로 하여 설계될 수 있다. 보호 회로(102)의 설계 프로세스(design process) 동안, 보호 회로(102)의 하나 이상의 회로 소자들은 피보호 회로(104)의 하나 이상의 전기적 특성들을 기초로 하여 선택될 수 있다. 예를 들어, 제1 저항 소자(110)(R1)의 제1 저항값은 본 명세서에서 더 설명되는 바와 같이 피보호 회로(104)의 동작 전류 범위 및 래치업 보유 전류값을 기초로 하여 선택될 수 있다. 선택을 기초로 하여 제1 저항을 갖는 특정 저항 소자가 보호 회로(102)에 포함될 수 있다. 유사하게, 다른 회로 소자들의 다른 전기적 특성들이 설계 프로세스 동안 선택될 수 있다.

[0049]

제1 저항값은 피보호 회로(104)와 관련된 동작 전류 범위 및 피보호 회로(104)와 관련된 래치업 보유 전류값을 기초로 하여 선택될 수 있다. 제1 저항값은 피보호 회로(104)가 정상 동작 상태에 있는지 또는 래치업 상태에 있는지와 상관없이 바이어스 전류( $I_{BIAS}$ )의 크기가 특정한 값을 초과하지 않을 수 있도록(예컨대, 특정 범위 내에 있을 수 있도록) 선택될 수 있다. 예를 들어, 제1 저항 소자(110)(R1)의 제1 저항값은, 바이어스 전류( $I_{BIAS}$ )의 크기가 래치업 보유 전류값 아래에 있도록 충분히 높게 선택될 수 있고, 바이어스 전류( $I_{BIAS}$ )의 크기가 피보호 회로(104)와 관련된 동작 전류 범위 내에 있도록 충분히 낮게 선택될 수 있다. 구체적인 실시예에서, 제1 저항 소자(110)(R1)의 제1 저항값은 2 Kohm(kilo-ohm) 보다 크거나 이와 같을 수 있다. 예를 들어, 보호 회로(102)가 +13 V(volt) 파워 소스(power source) 및 -13 V 파워 소스에 의해서 파워를 공급받는 경우에, 피보호 회로(104)의 최소 동작 전류는 5 mA(milliamp)이고, 래치업 보유 전류값은 10 mA이고, 제1 저항값은 약 2.5 Kohm일 수 있다. 이 경우에, 제1 저항 소자(110)(R1)로서 약 2.5 Kohm 저항기의 이용은 바이어스 전류( $I_{BIAS}$ )의 크기가 (예컨대, 피보호 회로(104)의 동작 전류 범위 내에서) 5 mA 위에 있고 10 mA(예컨대, 래치업 보유 전류값) 아래에 있는 것을 초래할 수 있다. 제1 저항 소자(110)(R1)의 제1 저항값은 제1 전압 조절기(112)(U1)와 연관된 상이한 동작 전류 범위를 추가로 기초로 하여 선택될 수 있다. 예를 들어, 바이어스 전류( $I_{BIAS}$ )의 크기가 피보호 회로(104)의 동작 전류 범위 내에 있고, 제1 전압 조절기(112)(U1)의 상이한 동작 전류 범위 내에 있고, 래치업 보유 전류값 아래에 있을 수 있도록, 제1 저항값이 적절하게 선택될 수 있다. 바이어스 전류( $I_{BIAS}$ )의 크기가 상이한 동작 전류 범위 내에 있을 때, 제1 전압 조절기(112)(U1)는 조절 상태에 머물러 있을 수 있다(예컨대, 제1 전압 조절기(112)(U1)는 제1 노드(118)의 전압 레벨을 조절할 수 있다). 피보호 회로(104)의 동작 범위(operating range)와 제1 전압 조절기(112)(U1)의 상이한 동작 범위는 바이어스 전류( $I_{BIAS}$ )의 크기가 양쪽 범위 내에 있을 수 있도록 겹칠 수 있다.

- [0050] 제1 바이패스 커패시터(116)(C1)의 제1 커패시턴스값은 바이어스 전류(136)( $I_{BIAS}$ )와 연관된 스위칭 노이즈를 감소시키도록 선택될 수 있고, 피보호 회로(104)가 래치업 상태에 있는 시간 기간을 감소시키도록 선택될 수 있다. 예를 들어, 피보호 회로(104)가 래치업 상태에 들어간 후에, 피보호 회로(104)에 제공되는 에너지는 제1 바이패스 커패시터(116)(C1)의 방전의 결과로 생길 수 있다. 피보호 회로(104)가 래치업 상태에 있는 시간 기간은 피보호 회로(104)에 제공되는 에너지의 양을 기초로 할 수 있고, 이것은 제1 바이패스 커패시터(116)(C1)에 의해서 방전되는 에너지와 관련이 있을 수 있다. 예를 들어, 추가 에너지가 피보호 회로(104)에 제공될 때, 피보호 회로(104)를 통해서 흐르는 일시적인 고전류는 여전히 래치업 보유 전류값 위에 있을 수 있다. 피보호 회로(104)가 에너지를 받아들일 때(예컨대, 피보호 회로(104)가 여전히 래치업 상태에 있을 때), 피보호 회로(104)의 온도가 증가할 수 있다.
- [0051] 제1 바이패스 커패시터(116)(C1)의 제1 커패시턴스값의 적절한 선택은 피보호 회로(104)에 제공되는 에너지의 양 및 피보호 회로(104)가 래치업 상태에 있는 시간 기간을 감소시킬 수 있다. 예를 들어, 제1 커패시턴스값은, 피보호 회로(104)가 래치업 상태에 있는 시간 기간을 감소시키기 위해 충분히 낮게 선택될 수 있고, 스위칭 노이즈가 피보호 회로(104)의 스위칭 노이즈 허용치 내에 있을 수 있도록 충분히 높게 선택될 수 있다. 구체적인 실시예에서, 제1 커패시턴스값은, 스위칭 노이즈가 피보호 회로(104)의 스위칭 노이즈 허용치 내에 있을 수 있도록 하는 최소 커패시턴스값이 되도록 선택될 수 있다. 예를 들어, 제1 커패시턴스값은 0.1 마이크로패럿(microfarad)보다 작거나 이와 같을 수 있다. 다른 예로서, 제1 커패시턴스값은 1 마이크로패럿 바이패스 커패시터보다 적어도 한 자릿수(order of magnitude) 작을 수 있다.
- [0052] 제2 저항 소자(114)(R2)의 제2 저항값은 보호 회로(102)가 피보호 회로(104)에 제공되는 에너지를 감소시킬 수 있도록 선택될 수 있다. 피보호 회로(104)에 제공되는 에너지를 감소시키는 것은 피보호 회로(104)가 래치업 상태에 있는 동안 하나 이상의 파워 서플라이들을 보호 회로(102)로부터 분리하지 않으면서 피보호 회로(104)를 통해서 흐르는 일시적인 고전류가 래치업 보유 전류값 아래로 감소될 수 있도록 한다. 예를 들어, 제2 저항 소자(114)(R2)는 에너지의 일부(예컨대, 소산되는 일부)를 피보호 회로(104)에 제공하지 않으면서 보호 회로(102)로부터 에너지의 일부를 소산시킴으로써 피보호 회로(104)에 제공되는 에너지를 감소시키도록 구성될 수 있다. 상술한 바와 같이, 피보호 회로(104)가 래치업 상태에 있을 때 제1 바이패스 커패시터(116)(C1)에 의해서 에너지가 방전되고, 제2 저항 소자(114)(R2)는 피보호 회로(104)에 제공되는 에너지를 감소시키기 위하여 보호 회로(102) 내에서 에너지의 일부를 소산시킬 수 있다. 예를 들어, 제2 저항 소자(114)(R2)는 에너지의 일부를 열로 변환함으로써 보호 회로(102)에서 에너지의 일부를 소산시킬 수 있다. 하지만, 제1 바이패스 커패시터(116)(C1)와 피보호 회로(104) 사이에 제2 저항 소자(114)(R2)를 포함하는 것은 피보호 회로(104)의 스위칭 노이즈를 증가시킬 수 있다. 제2 저항값은 스위칭 노이즈가 피보호 회로(104)의 스위칭 노이즈 허용치를 초과하지 않으면서 보호 회로(102)에서 에너지를 소산시키도록 충분히 높게 선택될 수 있다. 구체적인 실시예에서, 제2 저항값은 10 ohm보다 작거나 이와 같을 수 있다. 다른 실시예에서, 제2 저항값은 거의(approximately) 0 ohm일 수 있다(예컨대, 제2 저항 소자(114)(R2)는 보호 회로(102)에 포함되지 않을 수 있다). 제2 저항값은 피보호 회로(104)가 래치업 상태에 있는 동안 제2 저항 소자(114)(R2)의 제1 임피던스가 피보호 회로(104)의 제2 임피던스보다 더 크도록 추가로 선택될 수 있다.
- [0053] 피보호 회로가 래치업 상태에 있는 시간 기간(time period)은 제1 바이패스 커패시터(116)(C1)의 제1 커패시턴스값 및 제2 저항 소자(114)(R2)의 제2 저항값을 기초로 하여 결정될 수 있다. 예를 들어, 시간 기간은 제1 커패시턴스값과 관련이 있을 수 있고, 제2 저항값과 관련이 있을 수 있고, 피보호 회로(104)의 래치업 특성(예컨대, 래치업 보유 전류값 또는 래치업 보유 전압값)과 관련이 있을 수 있다. 시간 기간은 또한 피보호 회로(104)에 회로에 제공되는 바이어스 전류(136)( $I_{BIAS}$ )의 크기와 관련이 있을 수 있다. 시간 기간은 또한 제1 저항 소자(110)(R1)의 제1 저항값과 관련이 있을 수 있다. 구체적인 실시예에서, 시간 기간과 제1 저항값 간의 관계는 이차 관계(second order relationship)일 수 있다. 제1 커패시턴스값 및 제2 저항값(및 제1 저항값)의 적절한 선택에 의해서, 보호 회로(102)는 피보호 회로(104)에 제공되는 에너지를 감소시키도록 그리고 시간 기간이 잠재적 손상 한계 래치업 시간 기간을 초과하는 것을 방지하도록 구성될 수 있다. 한계 시간 기간은 피보호 회로(104) 내에서의 가능성이 있는(potential) 잠재적 고장과 관련이 있을 수 있다. 피보호 회로(104)에 제공되는 에너지를 감소시키는 것은 잠재적 손상 한계 래치업 시간 기간이 초과되기 전에 피보호 회로(104)가 래치업 상태를 자율적으로 벗어날 수 있도록 할 수 있다. 게다가, 피보호 회로(104)에 제공되는 에너지를 감소시키는 것은 에너지가 한계 에너지 레벨을 초과하는 것을 방지할 수 있고, 피보호 회로(104)의 온도가 한계 온도를 초과하는 것을 방지할 수 있다. 한계 에너지 레벨 및 한계 온도는 피보호 회로(104) 내에서의 가능성이 있는 잠재적 고장과 관련이 있을 수 있다. 상술한 바와 같이, 잠재적 손상 한계 래치업 시간 기간, 한계 에너지 레벨, 및 한

계 온도는 피보호 회로(104)와 유사한 테스트 회로에서 잠재적 고장의 발생과 관련이 있는 값들을 측정함으로써 결정될 수 있다. 예를 들어, 테스트 회로의 온도가 섭씨 400 °C를 초과하는 경우에, 잠재적 고장이 발생할 수 있다. 잠재적 고장은 테스트 회로의 영역들 사이에서의 도펀트 원자(dopant atom)들의 이동(movement)을 포함할 수 있다. 이 예에서, 제1 커패시턴스값 및 제2 저항값은 피보호 회로(104)의 온도가 400°C를 초과하지 않도록 선택될 수 있다. 다른 예로서, 테스트 회로에 제공되는 에너지의 양이 한계 에너지 레벨을 초과할 때, 잠재적 고장은 테스트 회로에서 하나 이상의 금속 배선들의 일렉트로마이크레이션(electromigration)을 포함할 수 있다. 한계 에너지 레벨은 테스트 회로의 한계 전류 밀도(threshold current density)에 해당할 수 있다. 이 예에서, 제1 커패시턴스값 및 제2 저항값은 피보호 회로(104)에 제공되는 에너지의 양이 한계 에너지 레벨을 초과하지 않도록 선택될 수 있다. 그래서, 제1 커패시턴스값 및 제2 저항값은 잠재적 손상 한계 래치업 시간 기간, 한계 에너지 레벨, 한계 온도, 또는 이들의 조합을 기초로 하여 선택될 수 있다. 피보호 회로(104)에 제공되는 에너지를 감소시킴으로써, 보호 회로(102)는 하나 이상의 피보호 회로(104)가 피보호 회로(104) 내에서의 가능성이 있는 잠재적 고장과 관련이 있는 하나 이상의 한계값들을 초과하는 것을 방지할 수 있다.

[0054] 제3 저항 소자(120)(R3)의 제3 저항값, 제4 저항 소자(124)(R4)의 제4 저항값, 및 제2 바이패스 커패시터(126)(C2)의 제2 커패시턴스값과 같은, 보호 회로(102)의 제2 부분의 전기적 특성들은 각각 제1 저항 소자(110)(R1)의 제1 저항값, 제2 저항 소자(114)(R2)의 제2 저항값, 및 제1 바이패스 커패시터(116)(C1)의 제1 커패시턴스값과 유사한 방식으로 선택될 수 있다. 하지만, 보호 회로(102)의 제2 부분은 음극성(negative polarity) 고전류 이벤트의 영향들을 완화시킬 수 있는 반면, 보호 회로(102)의 제1 부분은 양극성(positive polarity) 고전류 이벤트를 완화시킬 수 있다.

[0055] 고전류 이벤트 완화 회로(100)의 동작 동안, 보호 회로(102)는 피보호 회로(104)에 바이어스 전류( $I_{BIAS}$ )를 제공하기 위하여 파워 서플라이 레일들(130 및 132)을 통해서 하나 이상의 파워 소스들에 연결될 수 있다. 바이어스 전류( $I_{BIAS}$ )의 크기는 피보호 회로(104)와 관련된 동작 전류 범위 내에서 그리고 래치업 보유 전류값 아래에서 존재할 수 있다. 고전류 이벤트 동안, 피보호 회로(104)는 래치업 상태에 들어갈 수 있고, 일시적인 고전류가 피보호 회로(104)를 통해서 흐를 수 있다. 바이어스 전류( $I_{BIAS}$ )의 크기는 여전히 래치업 보유 전류값 아래에 있다. 보호 회로(102)는 소산되는 에너지의 일부를 피보호 회로(104)에 제공하지 않으면서 보호 회로(102)로부터의 에너지의 일부를 소산시킴으로써 피보호 회로(104)에 제공되는 에너지를 감소시킬 수 있다. 바이어스 전류( $I_{BIAS}$ )의 크기를 래치업 보유 전류값 아래에서 유지함으로써, 그리고 보호 회로(102)에서 에너지의 일부를 소산시킴으로써, 보호 회로(102)는 고전류 이벤트가 끝날 때 피보호 회로(104)를 통과하는 전류 흐름의 크기가 래치업 보유 전류값 아래로 떨어지는 것을 초래한다. 피보호 회로(104)를 통과하는 전류 흐름의 크기가 래치업 보유 전류값 아래로 떨어질 때, 피보호 회로(104)는 자율적으로 래치업 상태에서 정상 동작 상태로 이행한다.

[0056] 바이어스 전류( $I_{BIAS}$ )가 래치업 보유 전류값을 초과하지 않도록 바이어스 전류( $I_{BIAS}$ )를 피보호 회로(104)에 제공함으로써, 보호 회로(102)는 피보호 회로(104)를 분리시키지 않으면서 고전류가 끝날 때 피보호 회로(104)가 자율적으로 래치업 상태를 벗어날 수 있도록 할 수 있다. 보호 회로(102)는 패시브 회로이기 때문에, 보호 회로(102)는, 전류 레벨 또는 전압 레벨을 감지하고 하나 이상의 파워 서플라이들로부터 집적회로를 분리하는 액티브 래치업 복구 회로보다 더 빠른 래치업 복구를 제공한다. 게다가, 보호 회로(102)는, 파워 사이클링을 수행하거나 바이어스 전압 또는 전류를 제어하기 위하여 스위치들을 이용하는 액티브 래치업 복구 회로보다 더 빠른 래치업 복구를 제공한다. 그래서, 보호 회로(102)는, 고전류 레벨들을 감지하거나, 하나 이상의 파워 서플라이들로부터 집적회로를 분리하거나, 파워 사이클링을 수행하거나, 집적회로가 래치업 상태를 벗어나는 것을 초래하도록 바이어스 전압 또는 바이어스 전류를 제어하기 위하여 스위치들을 이용하는 액티브 래치업 복구 회로에 비하여, 감소된 비용 및 복잡성을 가질 수 있다. 더 빠른 래치업 복구와 감소된 비용 및 복잡성은, 라디에이션에 종속적인 환경과 같은, 하전입자와의 충돌에 의해서 초래되는 고전류 이벤트들에 종속적인 환경들에서 보호 회로(102)가 이용되는 것을 가능하게 할 수 있다. 게다가, (예컨대, 제2 저항 소자(114)(R2)를 통하여) 보호 회로(102)에서 에너지의 일부를 소산시킴으로써, 보호 회로(102)는 피보호 회로(104)가 피보호 회로(104) 내에서의 가능성이 있는 잠재적 고장과 관련이 있는 하나 이상의 한계값들을 초과하는 것을 방지할 수 있다. 그래서, 보호 회로(102)를 포함하는 고전류 이벤트 완화 회로(100)를 이용함으로써, 래치업 상황들에 종속적인 집적회로는 우주 공간 또는 이온화 방사선(ionizing radiation) 환경과 같은 고전류 이벤트들에 종속적인 환경들에서 사용하도록 구성된 장치에 포함될 수 있다.

[0057] 도 2는 고전류 이벤트를 완화하는 방법(200)의 구체적인 실시예를 도시하는 흐름도이다. 고전류 이벤트는 도 1

의 고전류 이벤트 완화 회로(100)와 같은 고전류 이벤트 완화 회로를 통해서 완화될 수 있다. 고전류 이벤트 완화 회로는 피보호 회로가 일시적인 고전류에 종속될 수 있는 환경들에서 이용될 수 있다. 예를 들어, 고전류 이벤트 완화 회로는, 고에너지 입자들 또는 이온들과의 충돌에 의해 초래되는 고전류 이벤트들에 종속될 수 있는 우주 공간 또는 이온화 방사선 환경에서 사용하도록 구성된 장치들에 포함될 수 있다.

[0058] 방법(200)은 202에서 바이어스 전류를 피보호 회로에 제공하는 것을 포함한다. 예를 들어, 바이어스 전류는 도 1의 바이어스 전류(136)( $I_{BIAS}$ )를 포함할 수 있고, 피보호 회로는 도 1의 피보호 회로(104)를 포함할 수 있다. 바이어스 전류는 피보호 회로에 연결된 보호 회로에 의해서 제공된다. 예를 들어, 보호 회로는 도 1의 보호 회로(102)를 포함할 수 있다. 보호 회로는 패시브 회로일 수 있다(예컨대, 보호 회로는 스위치 또는 트랜지스터와 같은 능동 소자를 포함하지 않을 수 있다). 바이어스 전류의 크기는 보호 회로의 제1 저항 소자의 제1 저항값 및 보호 회로의 파워 소스 전압과 관련이 있을 수 있다. 제1 저항 소자는 도 1의 제1 저항 소자(110)(R1)를 포함할 수 있다. 보호 회로가 피보호 회로와 관련된 래치업 보유 전류값 아래에서 바이어스 전류의 크기를 유지하는 것이 가능하도록 제1 저항이 선택된다.

[0059] 204에서, 에너지는 고전류 이벤트 동안 보호 회로 내에서 소산될 수 있다. 고전류 이벤트는 피보호 회로가 래치업 상태에 들어가는 것을 초래할 수 있다. 예를 들어, 고전류 이벤트는 일시적인 고전류가 피보호 회로를 통해 흐르는 것을 야기할 수 있고, 이것은 한계 래치업 전류(threshold latchup current)를 초과하는 일시적인 고전류로 인하여 피보호 회로가 래치업 상태로 들어가는 것을 초래한다. 보호 회로로부터 피보호 회로로 제공되는 에너지 또한 피보호 회로가 래치업 상태로 들어가는 것을 초래할 수 있다. 피보호 회로는 피보호 회로를 통과하는 전류 흐름이 래치업 보유 전류값을 더 이상 초과하지 않을 때까지 래치업 상태로 남아 있을 수 있다. 보호 회로는 고전류 이벤트가 끝난 후에 피보호 회로가 래치업 상태로 남아 있는 대신 자율적으로 래치업 상태를 벗어나는 것이 가능하도록 구성될 수 있다.

[0060] 보호 회로는 피보호 회로가 자율적으로 래치업 상태를 벗어나는 것을 가능하게 하기에 충분한 에너지를 소산시킬 수 있다. 피보호 회로는 피보호 장치를 통과하는 전류 흐름이 래치업 보유 전류값 아래에 있을 때 자율적으로 래치업 상태를 벗어날 수 있다. 예를 들어, 고전류 이벤트가 끝날(예컨대, 소산될) 때, 피보호 회로를 통과하는 전류 흐름은 (피보호 회로에 제공되는 바이어스 전류의 크기 및 보호 회로에서의 에너지의 감소를 기초로 하여) 래치업 보유 전류값 아래로 떨어질 수 있다. 그래서, 보호 회로는 고전류 이벤트가 끝난 후에 피보호 회로가 래치업 상태로 남아 있지 않게 에너지를 소산시키도록 구성될 수 있다. 예를 들어, 보호 회로는 피보호 회로에 제공되는 에너지를 감소시키도록 구성된 제2 저항 소자를 포함할 수 있다. 제2 저항 소자는 도 1의 제2 저항 소자(114)(R2)를 포함할 수 있다. 제2 저항 소자는 에너지의 일부를 피보호 회로에 제공하지 않으면서 보호 회로에서 에너지의 일부를 소산시킴으로써, 예컨대 에너지의 일부를 열로 변환함으로써, 피보호 회로에 제공되는 에너지를 감소시킬 수 있다. 보호 회로에서 소산되는 에너지의 양은 제2 저항 소자의 제2 저항값과 관련이 있을 수 있다. 보호 회로에서 에너지의 일부를 소산시킴으로써, 그리고 바이어스 전류의 크기를 래치업 보유 전류값 아래로 유지함으로써, 피보호 회로를 통과하는 전류 흐름은 고전류 이벤트가 끝난 후에 래치업 보유 전류값 아래로 떨어지고, 피보호 회로는 자율적으로 래치업 상태를 벗어난다.

[0061] 게다가, 피보호 회로에 제공되는 에너지를 감소시킴으로써 피보호 회로에 대한 고전류 이벤트의 영향들을 완화할 수 있다. 잠재적 고장과 같은 피보호 회로에 대한 손상은 고전류 이벤트의 전류 밀도 및 피보호 회로의 이어지는 래치업(subsequent latchup)을 기초로 할 수 있다. 예를 들어, 큰 전류 밀도를 갖는 고전류 이벤트는 작은 전류 밀도를 갖는 고전류 이벤트보다 더 빨리 피보호 회로에 손상을 초래할 수 있다. 피보호 회로에 제공되는 에너지를 감소시킴으로써 피보호 회로와 관련된 전류 밀도를 감소시킬 수 있고, 피보호 회로가 래치업 상태에 있는 시간 기간을 감소시킬 수 있다. 예를 들어, 피보호 회로에 제공되는 에너지가 한계 에너지 레벨을 초과할 때, 피보호 회로의 온도가 한계 온도를 초과할 때, 또는 피보호 회로가 래치업 상태에 있는 시간 기간이 잠재적 손상 한계 래치업 시간 기간을 초과할 때, 피보호 회로에서 잠재적 고장이 일어날 수 있다. 피보호 회로에 제공되는 에너지의 양은 제2 저항 소자의 제2 저항값 및 보호 회로의 바이패스 커패시터의 커패시턴스값과 관련이 있을 수 있다. 바이패스 커패시터는 도 1의 제1 바이패스 커패시터(116)(C1)를 포함할 수 있다. 그래서, 제2 저항값 및 커패시턴스값의 적절한 선택은 피보호 회로에 제공되는 에너지가 한계 에너지 레벨을 초과하는 것을 방지할 수 있다. 제2 저항값 및 커패시턴스값의 적절한 선택은 또한 피보호 회로의 온도가 한계 온도를 초과하는 것을 방지할 수 있고, 및/또는 시간 기간이 잠재적 손상 한계 래치업 시간 기간을 초과하는 것을 방지할 수 있다.

[0062] 보호 회로에서 충분한 에너지를 소산시킴으로써, 도 2의 방법(200)은 피보호 회로가 고전류 이벤트 이후에 자율

적으로 래치업 상태를 벗어나는 것을 가능하게 할 수 있다. 예를 들어, 고전류 이벤트가 끝난 후에, 보호 회로에서의 에너지의 소산(dissipation)으로 인하여 그리고 바이어스 전류의 크기가 래치업 보유 전류값 아래에 있는 것으로 인하여, 피보호 회로를 통과하는 전류 흐름이 래치업 보유 전류값 아래로 떨어질 때 피보호 회로는 자율적으로 래치업 상태를 벗어날 수 있다. 게다가, 에너지를 소산시키기 위해서 패시브 회로를 이용함으로써, 방법(200)은, 전류 레벨을 감지하는 회로, 파워 서플라이를 집적회로로부터 분리하는 회로, 또는 전압 또는 전류 레벨을 제어하기 위해서 하나 이상의 스위치들을 이용하는 회로와 같은 액티브 회로(active circuit)의 이용을 통하는 것보다 피보호 회로가 더 빨리 자율적으로 래치업 상태를 벗어나는 것을 초래할 수 있다. 그래서, 방법(200)을 수행하기 위해서 이용되는 보호 회로는 액티브 래치업 복구 회로에 비하여 감소된 비용 및 복잡성을 가질 수 있다. 스피드(speed) 및 복잡성에 대한 이점들 덕분에, 방법(200)은 하전입자들과의 충돌들에 종속적인 환경에서 고전류 이벤트들을 완화하는 데 이용될 수 있다. 게다가, 보호 회로에서 충분한 에너지를 소산시킴으로써, 방법(200)은 피보호 회로가 래치업 상태에 있는 시간 기간을 잠재적 손상 한계 래치업 시간 기간 아래에서 유지할 수 있다.

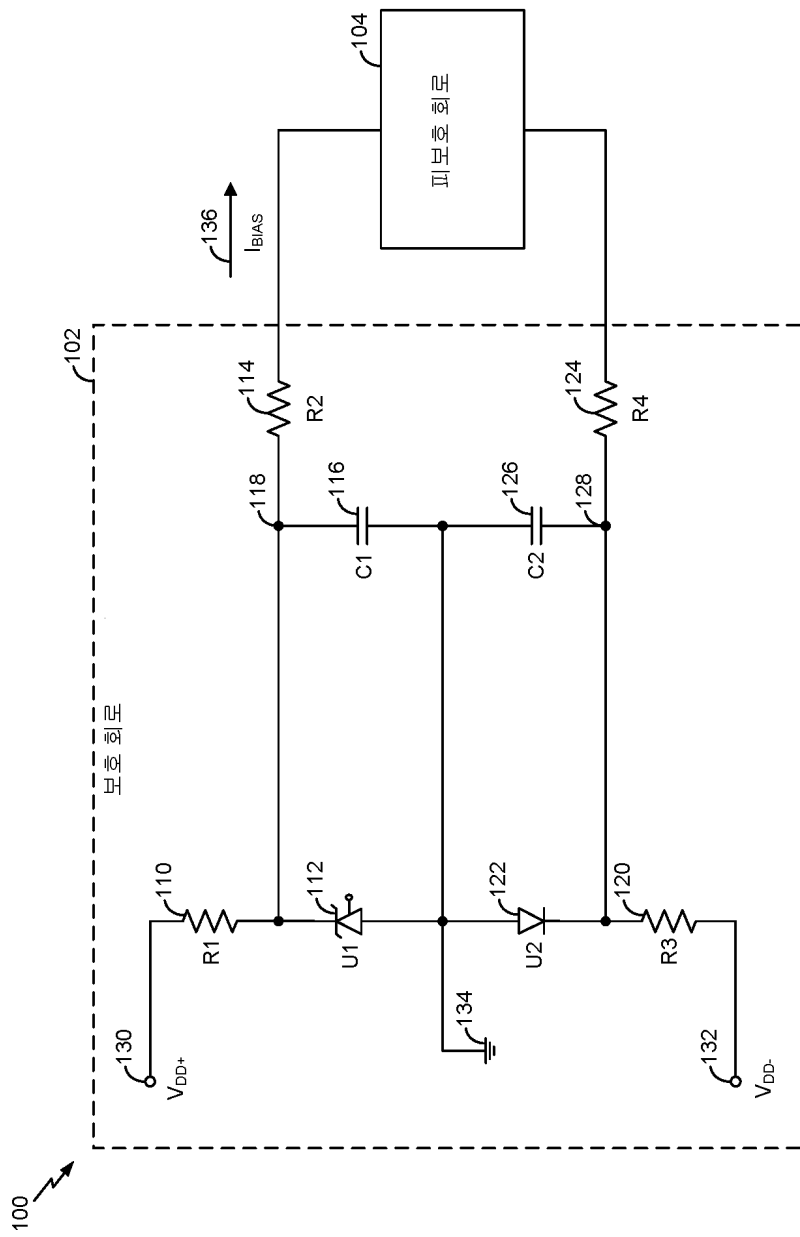
[0063] 상술한 예들은 본 발명을 보여주되 본 발명을 제한하지 않는다. 다수의 변경들 및 변형들이 본 발명의 원리들에 따라서 가능하다는 점 또한 이해되어야 한다. 따라서, 본 발명의 범위는 이하의 청구항들 및 그 등가물(equivalent)들에 의해서 정의된다.

[0064] 본 명세서에서 설명된 예들의 도면들은 다양한 실시예들의 구조의 일반적인 이해를 제공하려고 의도된 것이다. 도면들은 본 명세서에서 설명된 구조들 또는 방법들을 이용하는 장치 및 시스템들의 구성요소(element)들 및 특징들 모두의 완전한 설명으로서 기능하도록 의도된 것이 아니다. 많은 다른 실시예들은 본 발명을 검토할 때 본 기술분야의 통상의 기술자에게 명백할 수 있다. 다른 실시예들이 본 발명으로부터 이용되거나 유도될 수 있어서, 구조적 및 논리적 대체(substitution)들 및 변경들이 본 발명의 범위를 벗어나지 않고 만들어질 수 있다. 예를 들어, 방법 단계들은 도면들에서 도시된 것과 다른 순서로 수행될 수 있고, 하나 이상의 방법 단계들이 생략될 수 있다. 따라서, 본 발명 및 도면들은 제한적인 것이 아니라 예시적인(illustrative) 것으로 여겨져야 한다.

[0065] 게다가, 본 명세서에서 구체적인 예들이 도시되고 설명되었지만, 동일 또는 유사한 결과들을 달성하기 위하여 설계된 임의의 추후의 배열은 도시된 구체적인 실시예들을 대체할 수 있다고 이해되어야 한다. 본 공개는 다양한 실시예들의 임의의 모든 추후의 적용들 또는 변형례들을 커버(cover)하는 것으로 의도된다. 상술한 실시예들의 조합들 및 본 명세서에서 구체적으로 설명되지 않은 다른 실시예들은 본 설명을 검토할 때 본 기술분야의 통상의 기술자에게 명백할 것이다.

[0066] 본 발명의 요약서는 청구항들의 범위 또는 의미를 해석하거나 제한하는 데 이용되지 않을 것이라는 이해를 가지고 제출된다. 게다가, 상술한 상세한 설명에서, 다양한 특징들은 함께 그룹핑될(grouped) 수 있고, 또는 본 공개를 간소화하기(streamlining) 위한 목적을 위해서 단일한 실시예에서 설명될 수 있다. 이하의 청구항들에서 반영하는 바와 같이, 청구된 주제물(subject matter)은 공개된 예들의 임의의 특징들 모두보다 더 적도록 지향될 수 있다.

도면  
도면1



도면2

