



(21)申請案號：099101522

(22)申請日：中華民國 99 (2010) 年 01 月 20 日

(51)Int. Cl. : G09F9/30 (2006.01)

(71)申請人：深超光電（深圳）有限公司（中國大陸）CENTURY DISPLAY (SHENZHEN) CO., LTD (CN)
中國大陸

(72)發明人：柳智忠 LIU, CHIH CHUNG (TW)

(74)代理人：陳俊銘

(56)參考文獻：

TW 200905344A

TW 200933273A

CN 101315937A

JP 2007-047349A

US 6583777B2

US 2007/0200805A1

審查人員：鄧人豪

申請專利範圍項數：22 項 圖式數：4 共 30 頁

(54)名稱

畫素陣列以及顯示面板

PIXEL ARRAY AND DISPLAY PANEL

(57)摘要

一種畫素陣列，其包括多條掃描線、多條資料線、多個第一畫素以及多個第二畫素。第一畫素與第二畫素位於同一條資料線的相對兩側且與同一條資料線連接，第一畫素位於相鄰兩奇數條掃描線之間，第二畫素位於相鄰兩偶數條掃描線之間。第一畫素電性連接奇數條掃描線，且第二畫素電性連接偶數條掃描線，第一畫素的第一電晶體與第二畫素的第二電晶體的設置形態為：使對應之汲極與閘極重疊區域同步地減小或變大，以使得畫素因汲極與閘極重疊區域變化所導致的閘極-汲極寄生電容變化趨於一致，避免閃爍與畫面顯示不均問題。另外，提出一種顯示面板。

A pixel array including a plurality of scan lines, a plurality of data lines, a plurality of first pixels and a plurality of second pixels is provided. The first pixels and the second pixels are disposed at two opposite sides of the same data line, and connected to the same data line. The first pixels are disposed between two adjacent odd scan lines, and the second pixels are disposed between two adjacent even scan lines. The first pixels are electrically connected to the odd scan lines, and the second pixels are electrically connected to the even scan lines. Both of the first transistor of the first pixel and the second transistor of the second pixel are arranged in the way that the overlapping regions between the corresponding drains and gates are either diminishing or enlarging synchronously, so as to unify the Cgd variations resulting from the changing overlapping regions, and further preventing the flicker and mura problems. A display panel including the pixel array is also provided.

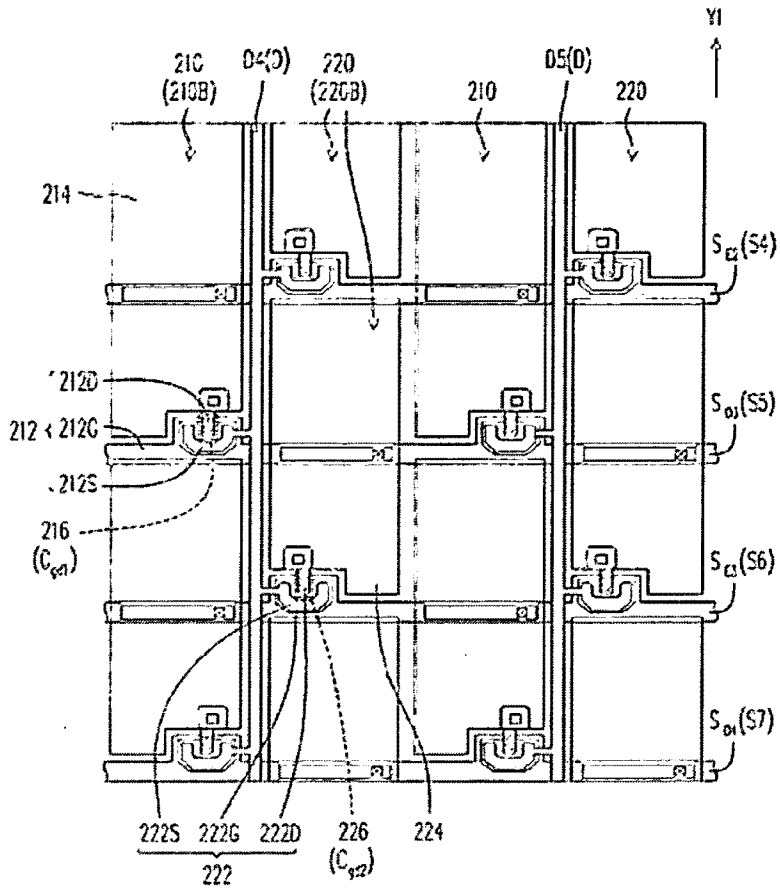


圖 1B

- 210、210B . . . 第一畫素
- 212 . . . 第一電晶體
- 212D . . . 第一汲極
- 212G . . . 第一閘極
- 212S . . . 第一源極
- 214 . . . 第一畫素電極
- 216 . . . 第一重疊區域
- 220、220B . . . 第二畫素
- 222 . . . 第二電晶體
- 222D . . . 第二汲極
- 222G . . . 第二閘極
- 222S . . . 第二源極
- 224 . . . 第二畫素電極
- 226 . . . 第二重疊區域
- Cgd1 . . . 第一閘極-汲極寄生電容
- Cgd2 . . . 第二閘極-汲極寄生電容
- D、D4、D5 . . . 資料線
- S、S4-S7 . . . 掃描線
- SE2、SE3 . . . 偶數條掃描線
- SO3、SO4 . . . 奇數條掃描線
- Y1 . . . 第一方向



申請日: 99.1.20

IPC分類:

G09F9/30 (2006.01)

公告本

【發明摘要】

【中文發明名稱】 畫素陣列以及顯示面板

【英文發明名稱】 PIXEL ARRAY AND DISPLAY PANEL

【中文】

一種畫素陣列，其包括多條掃描線、多條資料線、多個第一畫素以及多個第二畫素。第一畫素與第二畫素位於同一條資料線的相對兩側且與同一條資料線連接，第一畫素位於相鄰兩奇數條掃描線之間，第二畫素位於相鄰兩偶數條掃描線之間。第一畫素電性連接奇數條掃描線，且第二畫素電性連接偶數條掃描線，第一畫素的第一電晶體與第二畫素的第二電晶體的設置形態為：使對應之汲極與閘極重疊區域同步地減小或變大，以使得畫素因汲極與閘極重疊區域變化所導致的閘極-汲極寄生電容變化趨於一致，避免閃爍與畫面顯示不均問題。另外，提出一種顯示面板。

【英文】

A pixel array including a plurality of scan lines, a plurality of data lines, a plurality of first pixels and a plurality of second pixels is provided. The first pixels and the second pixels are disposed at two opposite sides of the same data line, and connected to the same data line. The first pixels are disposed between two adjacent odd scan lines, and the second pixels are disposed between two adjacent even scan lines. The first pixels are electrically connected to the odd scan lines, and the second pixels are electrically connected to the even scan lines. Both of the first transistor of the first pixel and the second transistor of the second pixel are arranged in the way that the overlapping regions between the

corresponding drains and gates are either diminishing or enlarging synchronously, so as to unify the Cgd variations resulting from the changing overlapping regions, and further preventing the flicker and mura problems. A display panel including the pixel array is also provided.

【指定代表圖】 圖1B

【代表圖之符號簡單說明】

第一畫素：210、210B

第一電晶體：212

第一汲極：212D

第一閘極：212G

第一源極：212S

第一畫素電極：214

第一重疊區域：216

第二畫素：220、220B

第二電晶體：222

第二汲極：222D

第二閘極：222G

第二源極：222S

第二畫素電極：224

第二重疊區域：226

第一閘極-汲極寄生電容：Cgd1

第二閘極-汲極寄生電容：Cgd2

資料線：D、D4、D5

掃描線：S、S4-S7

偶數條掃描線：SE2、SE3

奇數條掃描線：S03、S04

第一方向：Y1

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 畫素陣列以及顯示面板

【英文發明名稱】 PIXEL ARRAY AND DISPLAY PANEL

【技術領域】

【0001】 本發明是有關於一種顯示陣列以及顯示面板，且特別是有關於一種畫素陣列以及具有該畫素陣列之顯示面板。

【先前技術】

【0002】 爲因應現代產品高速度、高效能、且輕薄短小的要求，各電子零件皆積極地朝體積小型化發展。各種攜帶式電子裝置也已漸成主流，例如：筆記型電腦(Note Book)、行動電話(Cell Phone)、電子辭典、個人數位助理器(Personal Digital Assistant, PDA)、上網機(web pad)及平板型電腦(Tablet PC)等。對於攜帶式電子裝置的影像顯示器而言，爲了符合產品趨向小型化之需求，具有空間利用效率佳、高畫質、低消耗功率、無輻射等優越特性之平面顯示器，目前已被廣爲使用。

【0003】 一般而言，平面顯示器中主要是由一顯示面板以及多個驅動晶片(Driver IC)所構成，其中顯示面板上具有畫素陣列，而畫素陣列中的畫素是藉由對應之掃描線以及對應之資料線所驅動。爲了使得平面顯示器的產品更爲普及，業者皆如火如荼地進行降低成本作業，由於資料驅動晶片的造價較爲昂貴，且資料驅動晶片所處理的訊號較爲複雜、耗電量較高，近年來一種資料驅動晶片減半(half source driver)的技術被提出，其主要是利用畫素陣列上的佈局來降低資料驅動晶片的使用量，以降低成本。

【0004】 此外，爲了符合消費者對於平面顯示器具有朝向低價以及高品質的期待，在畫素陣列的佈局上亦需將製程上所不可避免的製造誤差一併納入考量，以使得實際產品更具市場競爭力。舉例而言，畫素陣列上的多個畫素分別藉由對應的主動元件來進行資料訊號的寫入。然而，當機台的精密度不足或是製程上的對位誤差時，主動元件的閘極與源極、汲極之間會產生相對位移而使主動元件的特性偏離原有的設計值。換句話說，當主動元件的閘極與汲極產生相對位移時，畫素中之主動元件的閘極與汲極之間重疊面積的改變將使閘極-汲極寄生電容 C_{gd} (parasitic capacitance, C_{gd})產生變化，而當畫素陣列中畫素的閘極-汲極寄生電容 C_{gd} 差異性大時，容易在顯示過程中產生閃爍以及顯示不均的問題，嚴重影響顯示品質。

【發明內容】

【0005】 本發明提供一種畫素陣列，其可減少製作過程中因對位偏移造成的閘極-汲極寄生電容的變異。

【0006】 本發明提供一種顯示面板，其可改善相鄰畫素之間因製程對位偏移造成的閘極-汲極寄生電容的變異，因而有助於提高顯示品質。

【0007】 本發明提出一種畫素陣列，其包括多條掃描線、多條資料線、多個第一畫素以及多個第二畫素。資料線與掃描線相交，其中每一資料線在其一側與相鄰兩奇數條掃描線定義出第一畫素區，且在此資料線的另一側與相鄰兩偶數條掃描線定義第二畫素區，第一畫素區與第二畫素區相鄰且分別位於資料線的兩側。第一畫素分別位於第一畫素區內，每一第一畫素包括一第一電晶體與一第一

畫素電極。第二畫素分別位於每一第二畫素區內，每一第二畫素包括一第二電晶體與一第二畫素電極，且同一條資料線兩側的該些第一畫素與該些第二畫素電性連接至該資料線。其中，每一第一電晶體的一第一汲極自每一第一電晶體的一第一閘極的突出方向與每一第二電晶體的一第二汲極自每一第二電晶體的一第二閘極的突出方向一致。

【0008】 本發明另提出一種顯示面板，其包括一畫素陣列基板、一對向基板以及一顯示介質層。畫素陣列基板包括一基板、多條掃描線以及多條資料線、多個第一畫素以及多個第二畫素，其中掃描線以及資料線配置於基板上，資料線與掃描線相交，每一資料線在其一側與相鄰兩奇數條掃描線定義出一第一畫素區，且在其另一側與相鄰兩偶數條掃描線定義一第二畫素區，第一畫素區與第二畫素區相鄰且分別位於資料線的兩側。第一畫素分別位於第一畫素區內，每一第一畫素包括一第一電晶體與一第一畫素電極。第二畫素分別位於第二畫素區內，每一第二畫素包括一第二電晶體與一第二畫素電極，且同一條資料線兩側的該些第一畫素與該些第二畫素電性連接至該資料線。其中，每一第一電晶體的一第一汲極自每一第一電晶體的一第一閘極的突出方向與每一第二電晶體的一第二汲極自每一第二電晶體的一第二閘極的突出方向一致。

【0009】 在本發明之一實施例中，在上述之每一第一電晶體中，第一閘極與奇數條掃描線的其中之一連接，第一汲極與第一閘極在一投影方向上具有一第一重疊區域而產生一第一閘極-汲極寄生電容，在上述之每一第二電晶體中，第二閘極與偶數條掃描線的其中之一連接，第二汲極與第二閘極在投影方向上具有一第二重疊區域

而產生一第二閘極-汲極寄生電容，且第二汲極、第二閘極、第一汲極以及第一閘極被設置為：當第一重疊區域減小而導致第一閘極-汲極寄生電容降低時，第二重疊區域相應地減小以使第二閘極-汲極寄生電容降低，當第一重疊區域變大而導致第一閘極-汲極寄生電容增加時，第二重疊區域相應地變大以使第二閘極-汲極寄生電容增加。

【0010】 在本發明之一實施例中，在上述與同一條資料線連接的第一畫素與第二畫素中，第一電晶體與第二電晶體的結構呈現線對稱於此資料線的型態。

【0011】 在本發明之一實施例中，上述之第一汲極例如自第一重疊區域沿著行方向凸出的方向與第二汲極自第二重疊區域凸出的方向一致。

【0012】 在本發明之一實施例中，上述之第一汲極例如自第一重疊區域沿著列方向凸出的方向與第二汲極自第二重疊區域凸出的方向一致。

【0013】 在本發明之一實施例中，上述之位於奇數行的第一畫素彼此對齊，位於偶數行的第二畫素彼此對齊，且第一畫素與第二畫素彼此不對齊。

【0014】 在本發明之一實施例中，上述之與第一畫素電性連接的奇數條掃描線作為第二畫素的下電容電極，且與第二畫素電性連接的偶數條掃描線作為第一畫素的下電容電極。

【0015】 在本發明之一實施例中，上述之每一第一畫素更包括一位於第一畫素區內的第一上電容電極，且在每一第一畫素中，第一上電容

電極與位於第一畫素電極下方的偶數列掃描線重疊以構成一第一儲存電容。此時，在每一第一畫素中，第一畫素電極例如與第一上電容電極電性連接。

【0016】 在本發明之一實施例中，上述之每一第二畫素更包括一位於第二畫素區內的第二上電容電極，且在每一第二畫素中，第二上電容電極例如與位於第二畫素電極下方的奇數列掃描線重疊以構成一第二儲存電容。此時，在每一第二畫素中，第二畫素電極與第二上電容電極電性連接。

【0017】 基於上述，本發明之畫素陣列與顯示面板利用同一條資料線將對應的訊號寫入相鄰兩行的畫素中，因此可以達到資料驅動晶片減半(half source driver)，降低成本。此外，對於與同一條資料線電性連接且位於該資料線兩側的電晶體中的閘極與汲極的形態設置為使其汲極與閘極重疊區域同步減小或變大，以使得畫素陣列上各畫素因汲極與閘極重疊區域變化所導致的閘極-汲極寄生電容變化趨於一致，藉此可避免在顯示過程中產生閃爍和顯示不均的問題，提升顯示品質。

【0018】 為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0019】 圖1A為本發明一實施例中的一種畫素陣列的上視示意圖。

【0020】 圖1B為圖1A之B處之畫素陣列的局部放大圖。

【0021】 圖2A與圖2B進一步繪示圖1B中與同一條資料線連接的一組相鄰之第一畫素與第二畫素因製程上對位偏移時的示意圖。

【0022】 圖3A為本發明一實施例之第一畫素的儲存電容上視圖，而圖3B為圖3A中沿AA、BB剖面線的剖面圖。

【0023】 圖4為本發明之一實施例的一種顯示面板的示意圖。

【實施方式】

【0024】 圖1A為本發明一實施例中的一種畫素陣列的上視示意圖。請參照圖1A，畫素陣列200包括多條掃描線S、多條資料線D、多個第一畫素210以及多個第二畫素220。資料線D與掃描線S相交，每一資料線D與相鄰兩奇數條掃描線S₀定義出第一畫素區210R，且在此資料線D的另一側與相鄰兩偶數條掃描線S_E定義第二畫素區220R，第一畫素區210R與第二畫素區220R相鄰且分別位於資料線D的兩側。第一畫素210與第二畫素220分別位於第一畫素區210R內以及第二畫素區220R內。更詳細而言，在本實施例以第一畫素210A為例，其位於資料線D₁的左側，且為在相鄰兩奇數條掃描線S₀₁以及S₀₂之間，此處的掃描線S₀₁與S₀₂例如為第一條掃描線S₁與第三條掃描線S₃。並且以相鄰於第一畫素210A之第二畫素220A為例，第二畫素220A是位於資料線D₁的右側，且位在相鄰兩偶數條掃描線S_{E1}以及S_{E2}之間，此處的掃描線S_{E1}與S_{E2}例如為第二條掃描線S₂與第四條掃描線S₄。第一畫素210與第二畫素220的形狀、尺寸等型態大體上一致，換言之，在本實施例中，位於奇數行的第一畫素210彼此對齊，位於偶數行的第二畫素220彼此對齊，但由於第一畫素210與第二畫素220在行方向設置於不同掃描線S之間，因此第一畫素210與第二畫素220彼此不對齊。

【0025】 更進一步而言，圖1B為圖1A之B處之畫素陣列的局部放大圖。請同時參照圖1A與圖1B，每一第一畫素210包括第一電晶體212與第

一畫素電極214，其中第一電晶體212的第一閘極212G與奇數條掃描線S0的其中之一(如掃描線S03)連接，例如圖1B中第一畫素210B中的第一閘極212G與第五條掃描線S5連接。第一電晶體212的第一源極212S與資料線D的其中之一連接，如第一畫素210B中的第一源極212S與資料線D4連接。第一電晶體212的第一汲極212D與第一畫素電極214連接，且第一汲極212D與第一閘極212G在一投影方向上具有第一重疊區域216而產生第一閘極-汲極寄生電容Cgd1。另一方面，每一第二畫素220包括第二電晶體222與第二畫素電極224，其中第二電晶體222的第二閘極222G與偶數條掃描線SE的其中之一(如掃描線SE3)連接，例如第二畫素210B中的第一閘極212G與第六條掃描線S6連接。第二電晶體222的第二源極222S與第一電晶體212第一源極212S連接同一條資料線D4，而第二電晶體222的第二汲極222D與第二畫素電極224連接，且第二汲極222D與第二閘極222G在一投影方向上具有第二重疊區域226而產生一第二閘極-汲極寄生電容Cgd2。

【0026】值得注意的是，考量製程中的不同膜層(例如形成閘極與掃描線的第一金屬層以及形成源極、汲極與資料線的第二金屬層)之間對位偏移所造成的閘極-汲極寄生電容Cgd的變異，本實施例如圖1B所示，在第一畫素210之第一電晶體212與第二畫素220之第二電晶體222中，第二汲極222D、第二閘極222G、第一汲極212D以及第一閘極212G的設置型態必須具有如下的關係：使第一畫素210之第一汲極212D與第一閘極212G的第一重疊區域216與第二畫素220之第二汲極222D與第二閘極222G的第二重疊區域226同步地減小或同步地變大，以使得第一畫素210與第二畫素220之間因汲極與閘極重疊區域變化所導致的第一閘極-汲極寄生電容變化

Cgd1以及第二閘極-汲極寄生電容變化Cgd2趨於一致，藉此避免閃爍和顯示不均問題。亦即，當第一重疊區域216減小而導致第一閘極-汲極寄生電容Cgd1降低時，第二重疊區域226相應地減小以使第二閘極-汲極寄生電容Cgd2降低，當第一重疊區域216變大而導致第一閘極-汲極寄生電容Cgd1增加時，第二重疊區域226相應地變大以使第二閘極-汲極寄生電容Cgd2增加。

【0027】更進一步來說，下文將詳細說明本發明第一畫素與第二畫素的佈局型態。如圖1A與圖1B所示，在與同一條資料線D連接的第一畫素210與第二畫素220中，第一電晶體212與第二電晶體222的結構呈現線對稱於此資料線D的型態。在本實施例中，第一汲極212D自第一重疊區域216沿著行方向凸出的方向與第二汲極222D自第二重疊區域226凸出的方向一致。舉例而言，第一畫素210的第一汲極212D例如是自第一閘極212G沿著資料線D的方向往第一方向Y1延伸，同樣地，第二畫素220的第二汲極222D亦自第二閘極222G沿著資料線D的方向往第一方向Y1延伸。如此一來，可使第一汲極212D與第一閘極212G之間的第一重疊區域216與第二汲極222D與第二閘極222G之間的第二重疊區域226在發生對位偏移時同步地減小或同步地變大，以使得畫素因汲極與閘極重疊區域變化所導致的閘極-汲極寄生電容變化趨於一致，藉此避免閃爍和顯示不均問題。尤其可有效防止因垂直方向的對位偏移產生閘極-汲極寄生電容變化所導致的閃爍和顯示不均問題。

【0028】為更詳細說明本發明之特點，圖2A與圖2B進一步繪示圖1B中與同一條資料線連接的一組相鄰之第一畫素與第二畫素因製程上對位偏移時的示意圖，其中圖2A為汲極相對於閘極往第一方向Y1偏移

時的示意圖，而圖2B為汲極相對於閘極往第二方向Y2偏移時的示意圖。請先參照圖2A，以圖中位於左上方之第一畫素210的第一電晶體212以及位於右下方之第二畫素220為例，以虛線繪製的第一電晶體212以及第二電晶體222代表未偏移時的原始設計位置，而以實線繪製的第一電晶體212' 與第二電晶體222' 為汲極相對於閘極往第一方向Y1偏移後的位置。如圖2A所示，當第一重疊區域216' 減小而導致第一閘極-汲極寄生電容 C_{gd1} 降低時，第二重疊區域226' 相應地減小以使第二閘極-汲極寄生電容 C_{gd2} 降低。

【0029】 另一方面，請接著參照圖2B以圖中位於左上方之第一畫素210的第一電晶體212以及位於右下方之第二畫素220為例，以虛線繪製的第一電晶體212以及第二電晶體222代表未偏移時的原始設計位置，而以實線繪製的第一電晶體212' ' 與第二電晶體222' ' 為汲極相對於閘極往第一方向Y1偏移後的位置。如圖2B所示，當第一重疊區域216' ' 變大而導致第一閘極-汲極寄生電容 C_{gd1} 增加時，第二重疊區域226' ' 相應地變大以使第二閘極-汲極寄生電容 C_{gd2} 增加。

【0030】 因此，即使於製作電晶體時不同膜層之間發生對位偏差(第二金屬層相對於第一金屬層)或是因機台精度的公差而產生些許偏移時，第一畫素210所產生的第一閘極-汲極寄生電容 C_{gd1} 的變化與第二畫素220所產生的第二閘極-汲極寄生電容 C_{gd2} 的變化可較為一致，此處所謂變化較為一致意指畫素陣列200上的每一畫素的閘極-汲極寄生電容 C_{gd} 會同時變大或同時變小。如此一來，相鄰兩畫素之間的亮度差異較小，且當畫素陣列200應用於顯示面板(繪示於圖4)時有助於提高顯示器的顯示均勻性，即可以避免

產生閃爍 (flicker) 而造成亮度不均勻的問題。

【0031】 此外，在本發明之畫素陣列200中，與第一畫素210電性連接的奇數條掃描線S0可進一步作為第二畫素220的下電容電極，且與第二畫素220電性連接的偶數條掃描線SE可進一步作為第一畫素210的下電容電極。以下將搭配圖3A與圖3B進一步說明第一畫素與第二畫素相互利用與對方電性連接之掃描線作為自身之下電容電極的儲存電容型態。

【0032】 圖3A為本發明一實施例之第一畫素的儲存電容上視圖，而圖3B為圖3A中沿AA、BB剖面線的剖面圖。如圖3A與圖3B所示，在本實施例中，每一第一畫素210更包括一位於第一畫素區210R內的第一上電容電極218，且在每一第一畫素210中，與第二畫素220電性連接的偶數條掃描線SE作為第一畫素210的下電容電極219，且在本實施例中，第一畫素電極214與第一上電容電極218電性連接，使得第一畫素電極214、第一上電容電極218以及作為第一畫素210的下電容電極219的偶數列掃描線SE構成第一儲存電容Cst1，其中第一畫素電極214例如是經由保護層217之開口H1而與第一上電容電極218連接。另一方面，每一第二畫素220可以更包括一位於第二畫素區220R內的第二上電容電極228，且在每一第二畫素220中，與第一畫素210電性連接的奇數條掃描線S0作為第二畫素220的下電容電極229，且在本實施例中，第二畫素電極224與第二上電容電極228電性連接，使得第二畫素電極224、第二上電容電極228以及作為第二畫素220的下電容電極229的奇數列掃描線S0構成第二儲存電容Cst2，其中第二畫素電極224例如是經由保護層217之開口H2而與第二上電容電極228連接。

【0033】 圖4為依據本發明之一實施例的一種顯示面板的示意圖。請參照圖4，本實施例的顯示面板300包括一畫素陣列基板310、一對向基板320以及配置於畫素陣列基板310以及對向基板320之間的顯示介質層330。此處的畫素陣列基板310可以是具有本發明前述多個實施例所繪示的或是其他未繪示的畫素陣列200的基板。對向基板320例如是一彩色濾光基板。當然，在可能的情況下，對向基板320也可以是僅具有共用電極的玻璃基板或石英基板，而對應的畫素陣列基板310上則可能形成有彩色濾光層。在本實施例中，顯示介質層330例如是一液晶層，而顯示面板300為一液晶顯示面板300。當然，在其他實施例中，顯示介質層330也可能是電激發光(electroluminescent)材料，則顯示面板300為電激發光顯示面板300，其中電激發光材料例如有機材料、無機材料或其組合。

【0034】 綜上所述，本發明之畫素陣列與顯示面板利用同一條資料線將對應的訊號寫入相鄰兩行的畫素中，因此可以達到資料驅動晶片減半(half source driver)，降低成本。此外，對於與同一條資料線電性連接且位於該資料線兩側的電晶體中的閘極與汲極的形態設置為使其汲極與閘極重疊區域同步減小或變大，以使得畫素陣列上各畫素因汲極與閘極重疊區域變化所導致的閘極-汲極寄生電容趨於一致，藉此可避免在顯示過程中產生閃爍和顯示不均問題，提升顯示品質。

【0035】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附

之申請專利範圍所界定者為準。

【符號說明】

- 【0036】 畫素陣列：200
- 【0037】 第一畫素：210、210B
- 【0038】 第一畫素區：210R
- 【0039】 第一上電容電極：218
- 【0040】 第一畫素：210、210A、210B
- 【0041】 第一電晶體：212、212'、212''
- 【0042】 第一汲極：212D
- 【0043】 第一閘極：212G
- 【0044】 第一源極：212S
- 【0045】 第一畫素電極：214
- 【0046】 第一重疊區域：216
- 【0047】 第二畫素：220、220B
- 【0048】 第二電晶體：222、222'、222''
- 【0049】 第二汲極：222D
- 【0050】 第二閘極：222G
- 【0051】 第二源極：222S
- 【0052】 第二畫素電極：224

- 【0053】 第二重疊區域：226
- 【0054】 第一閘極-汲極寄生電容：Cgd1
- 【0055】 第二閘極-汲極寄生電容：Cgd2
- 【0056】 資料線：D、D4、D5
- 【0057】 掃描線：S、S4-S7、S1-S8
- 【0058】 偶數條掃描線：SE、SE1、SE2、SE3、SE4
- 【0059】 奇數條掃描線：SO、SO1、SO2、SO3、SO4
- 【0060】 第一方向：Y1
- 【0061】 保護層：217
- 【0062】 下電容電極：219、229
- 【0063】 第二畫素：220、220A、220B
- 【0064】 第二畫素區：220R
- 【0065】 第二上電容電極：228
- 【0066】 顯示面板：300
- 【0067】 畫素陣列基板：310
- 【0068】 對向基板：320
- 【0069】 顯示介質層：330
- 【0070】 第一儲存電容：Cst1
- 【0071】 第二儲存電容：Cst2

【0072】 資料線：D、D1-5

【0073】 開口：H1、H2

【主張利用生物材料】

【0074】 無

【發明申請專利範圍】**【第1項】** 一種畫素陣列，包括：

多條掃描線以及多條資料線，該些資料線與該些掃描線相交，其中每一資料線在其一側與相鄰兩奇數條掃描線定義出一第一畫素區，且在其另一側與相鄰兩偶數條掃描線定義一第二畫素區，該些第一畫素區與該些第二畫素區相鄰且分別位於該資料線的兩側；

多個第一畫素，分別位於該些第一畫素區內，每一第一畫素包括一第一電晶體以及與該第一電晶體連接之一第一畫素電極；

多個第二畫素，分別位於該些第二畫素區內，每一第二畫素包括一第二電晶體以及與該第二電晶體連接之一第二畫素電極，且同一條資料線兩側的該些第一畫素與該些第二畫素電性連接至該資料線；

其中，每一第一電晶體的一第一汲極自每一第一電晶體的一第一閘極凸出的方向與每一第二電晶體的一第二汲極自每一第二電晶體的一第二閘極凸出的方向一致。

【第2項】 如申請專利範圍第1項所述之畫素陣列，其中在每一第一電晶體中，該第一閘極與奇數條掃描線的其中之一連接，該第一汲極與該第一閘極在一投影方向上具有一第一重疊區域而產生一第一閘極-汲極寄生電容，在每一第二電晶體中，該第二閘極與偶數條掃描線的其中之一連接，該第二汲極與該第二閘極在該投影方向上具有一第二重疊區域而產生一第二閘極-汲極寄生電容，且該第二汲極、第二閘極、第一汲極以及第一閘極被設置為：

當該第一重疊區域減小而導致該第一閘極-汲極寄生電容降低時，該第二重疊區域相應地減小以使該第二閘極-汲極寄生電容降低，當該第一重疊

區域變大而導致該第一閘極-汲極寄生電容增加時，該第二重疊區域相應地變大以使該第二閘極-汲極寄生電容增加。

- 【第3項】 如申請專利範圍第1項所述之畫素陣列，其中該些第一電晶體的該些第一閘極和該些第二電晶體的該些第二閘極分別自對應之掃描線突出，該些第一閘極沿著行方向的突出方向與該些第二閘極的突出方向一致。
- 【第4項】 如申請專利範圍第1項所述之畫素陣列，其中每一第一電晶體的一第一源極在沿著行方向具有朝向對應之第一汲極的凹口，每一第二電晶體的一第二源極在沿著行方向具有朝向對應之第二汲極的凹口，且該些第一源極的該些凹口朝向與該些第二源極的該些凹口朝向一致。
- 【第5項】 如申請專利範圍第1項所述之畫素陣列，其中在與同一條資料線連接的該些第一畫素與該些第二畫素中，該些第一電晶體與該些第二電晶體的結構呈現線對稱於該資料線的型態。
- 【第6項】 如申請專利範圍第2項所述之畫素陣列，其中該些第一汲極自該些第一重疊區域沿著行方向凸出的方向與該些第二汲極自該些第二重疊區域凸出的方向一致。
- 【第7項】 如申請專利範圍第1項所述之畫素陣列，其中位於奇數行的該些第一畫素彼此對齊，位於偶數行的該些第二畫素彼此對齊，且該些第一畫素與該些第二畫素彼此不對齊。
- 【第8項】 如申請專利範圍第1項所述之畫素陣列，其中與該些第一畫素電性連接的該些奇數條掃描線作為該些第二畫素的下電容電極，且與該些第二畫素電性連接的該些偶數條掃描線作為該些第一畫素的下電容電極。
- 【第9項】 如申請專利範圍第1項所述之畫素陣列，其中每一第一畫素更包括一第一上電容電極，位於該第一畫素區內，在每一第一畫素中，第一上電容電極與位於第一畫素電極下方的偶數列掃描線重疊以構成一第一儲存電容。

【第10項】 如申請專利範圍第9項所述之畫素陣列，其中在每一第一畫素中，該第一畫素電極與該第一上電容電極電性連接。

【第11項】 如申請專利範圍第1項所述之畫素陣列，其中每一第二畫素更包括一第二上電容電極，位於該第二畫素區內，在每一第二畫素中，該第二上電容電極與位於該第二畫素電極下方的奇數列掃描線重疊以構成一第二儲存電容。

【第12項】 如申請專利範圍第11項所述之畫素陣列，其中在每一第二畫素中，該第二畫素電極與該第二上電容電極電性連接。

【第13項】 一種顯示面板，包括：

一畫素陣列基板，包括：

一基板；

多條掃描線以及多條資料線，配置於該基板上，其中該些資料線與該些掃描線相交，每一資料線在其一側與相鄰兩奇數條掃描線定義出一第一畫素區，且在其另一側與相鄰兩偶數條掃描線定義一第二畫素區，該些第一畫素區與該些第二畫素區相鄰且分別位於該資料線的兩側；

多個第一畫素，分別位於該些第一畫素區內，每一第一畫素包括一第一電晶體與一第一畫素電極；以及

多個第二畫素，分別位於該些第二畫素區內，每一第二畫素包括一第二電晶體與一第二畫素電極，且同一條資料線兩側的該些第一畫素與該些第二畫素電性連接至該資料線；

其中，每一第一電晶體的一第一汲極自每一第一電晶體的一第一閘極凸出的方向與每一第二電晶體的一第二汲極自每一第二電晶體的一第二閘極凸出的方向一致。

【第14項】 如申請專利範圍第13項所述之顯示面板，其中在每一第一電晶體中，該第一閘極與奇數條掃描線的其中之一連接，該第一汲極與該第一閘極在

一投影方向上具有一第一重疊區域而產生一第一閘極-汲極寄生電容，在每一第二電晶體中，該第二閘極與偶數條掃描線的其中之一連接，該第二汲極與該第二閘極在該投影方向上具有一第二重疊區域而產生一第二閘極-汲極寄生電容，且該第二汲極、第二閘極、第一汲極以及第一閘極被設置為：

當該第一重疊區域減小而導致該第一閘極-汲極寄生電容降低時，該第二重疊區域相應地減小以使該第二閘極-汲極寄生電容降低，當該第一重疊區域變大而導致該第一閘極-汲極寄生電容增加時，該第二重疊區域相應地變大以使該第二閘極-汲極寄生電容增加。

- 【第15項】 如申請專利範圍第13項所述之顯示面板，其中在與同一條資料線連接的該些第一畫素與該些第二畫素中，該些第一電晶體與該些第二電晶體的結構呈現線對稱於該資料線的型態。
- 【第16項】 如申請專利範圍第13項所述之顯示面板，其中該些第一汲極自該些第一重疊區域沿著行方向凸出的方向與該些第二汲極自該些第二重疊區域凸出的方向一致。
- 【第17項】 如申請專利範圍第13項所述之顯示面板，其中位於奇數行的該些第一畫素彼此對齊，位於偶數行的該些第二畫素彼此對齊，且該些第一畫素與該些第二畫素彼此不對齊。
- 【第18項】 如申請專利範圍第13項所述之顯示面板，其中與該些第一畫素電性連接的該些奇數條掃描線作為該些第二畫素的下電容電極，且與該些第二畫素電性連接的該些偶數條掃描線作為該些第一畫素的下電容電極。
- 【第19項】 如申請專利範圍第13項所述之顯示面板，其中每一第一畫素更包括一第一上電容電極，位於該第一畫素區內，在每一第一畫素中，第一上電容電極與位於第一畫素電極下方的偶數列掃描線重疊以構成一第一儲存電容。

【第20項】 如申請專利範圍第19項所述之顯示面板，其中在每一第一畫素中，該第一畫素電極與該第一上電容電極電性連接。

21. 如申請專利範圍第13項所述之顯示面板，其中每一第二畫素更包括一第二上電容電極，位於該第二畫素區內，在每一第二畫素中，該第二上電容電極與位於該第二畫素電極下方的奇數列掃描線重疊以構成一第二儲存電容。

22. 如申請專利範圍第20項所述之顯示面板，其中在每一第二畫素中，該第二畫素電極與該第二上電容電極電性連接。

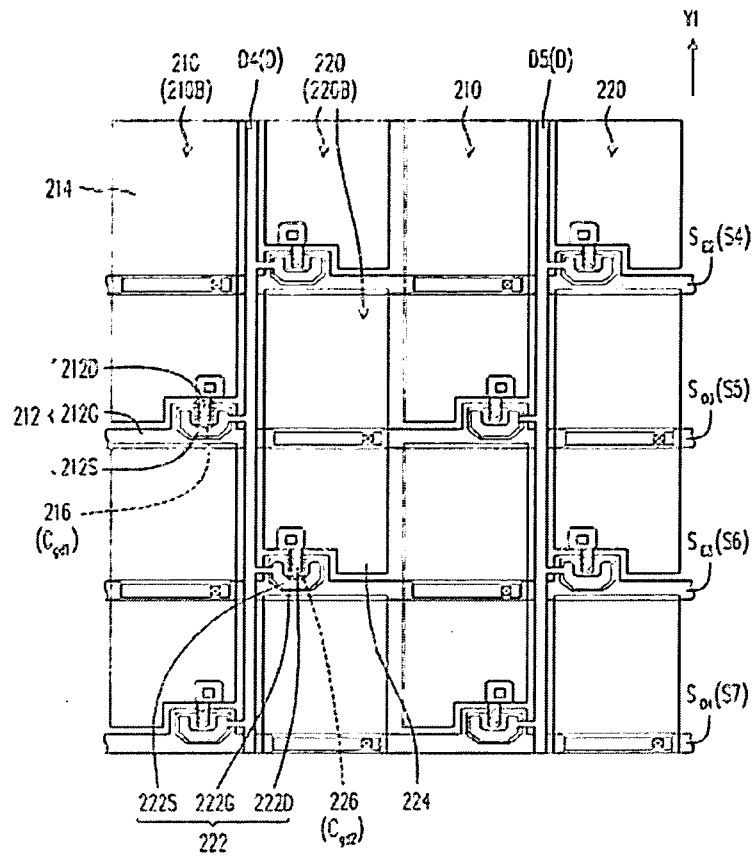


圖 1B

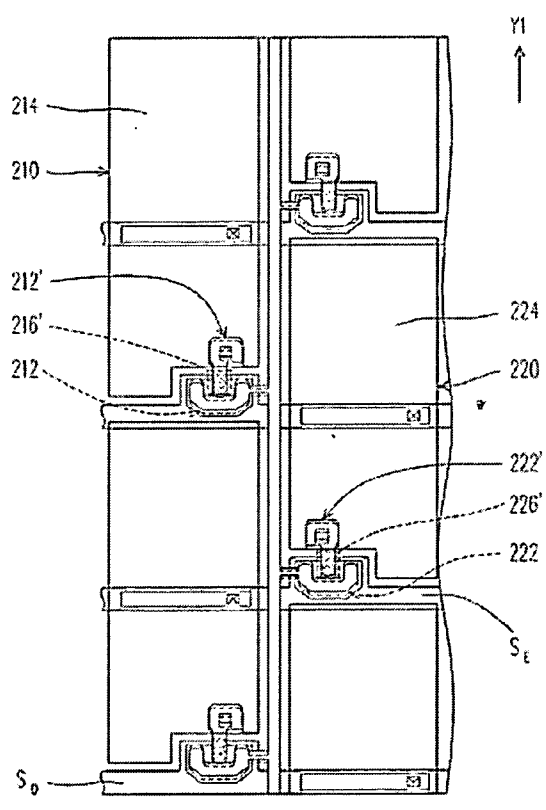


圖 2A

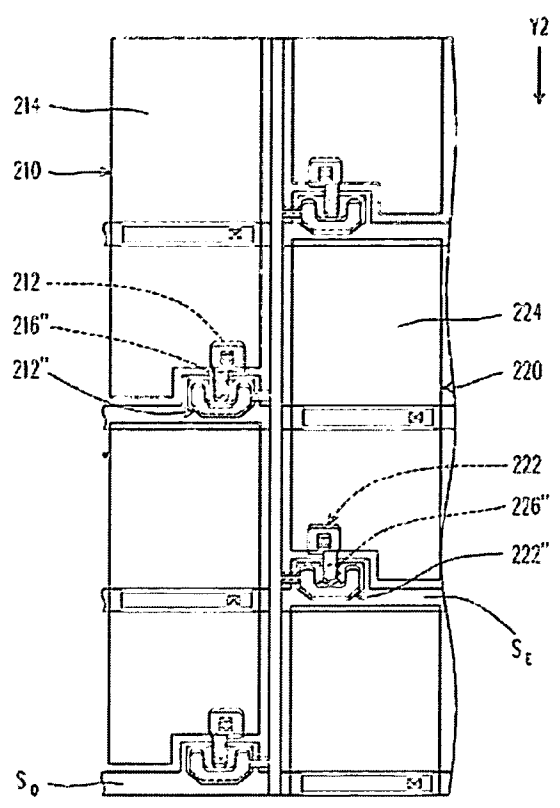


圖 2B

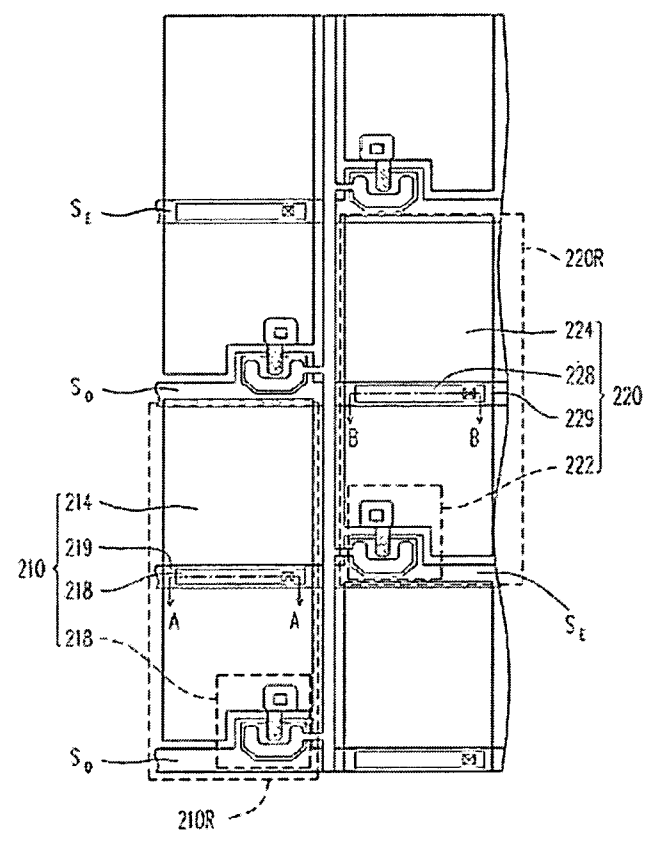


圖 3A

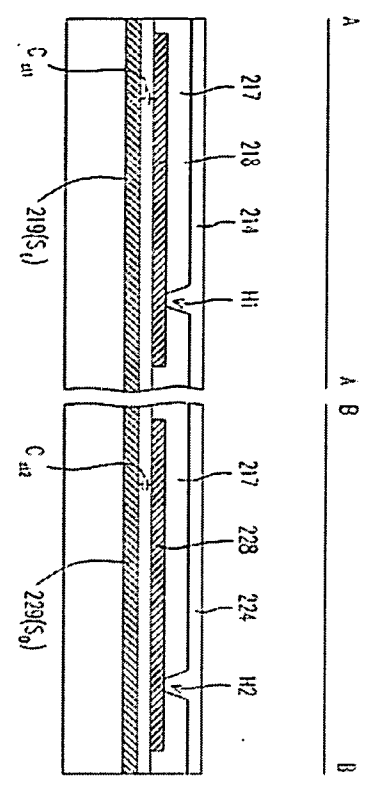


圖 3B

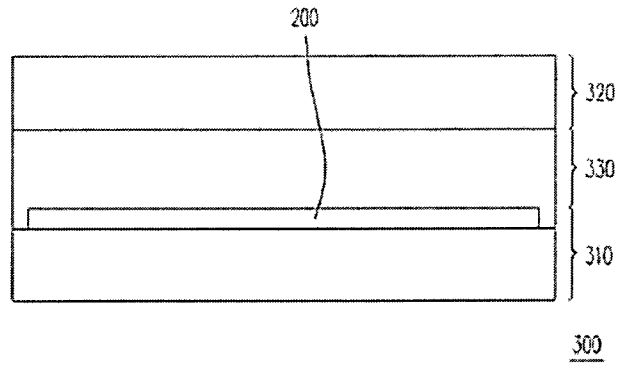


圖 4