

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷ (11) 공개번호 10-2005-0096155
H01L 29/78 (43) 공개일자 2005년10월05일

(21) 출원번호	10-2005-7013666	(87) 국제공개번호	WO 2004/068585
(22) 출원일자	2005년07월23일	(43) 공개일자	2005년10월05일
번역문 제출일자	2005년07월23일		
(86) 국제출원번호	PCT/US2004/000967	(87) 국제공개번호	WO 2004/068585
국제출원일자	2004년01월15일	국제공개일자	2004년08월12일

(30) 우선권주장 10/349,042 2003년01월23일 미국(US)

(71) 출원인 어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이앰디 플레이스 메일 스톱68

(72) 발명자 닥시나-머썬 스텝칸테스와라
미국 텍사스 78759 오스틴 #1423 졸리빌 로드 10926
안 주디 시린
미국 캘리포니아 95129 산호세 레인트리 코트 905
크리보카픽 조란
미국 캘리포니아 95050 산타클라라 드 바로나 플레이스 2321
왕 하이홍
미국 캘리포니아 94555 프레몬트 도나휴 테라스 34170
유 빈
미국 캘리포니아 95014 쿠퍼티노 포피 웨이 1373

(74) 대리인 박장원

심사청구 : 없음

(54) 스트레인드 채널 F I N F E T

요약

본 발명의 반도체 구조는 핀(205) 및 이 핀 위에 형성되는 층(305)을 포함한다. 핀(205)은 직사각형 단면을 갖는 제 1 결정 물질 및 복수의 표면을 포함한다. 층(305)은 이러한 표면 위에 형성되고, 제 2 결정 물질을 포함한다. 제 1 결정 물질은 제 2 결정 물질과 다른 격자 상수를 가짐으로써, 층(305) 내에 인장 변형을 일으킨다.

대표도

도 4A

색인어

반도체 디바이스, FinFET, 결정 물질, 인장 변형, 격자 상수

명세서

기술분야

본 발명은 일반적으로 트랜지스터에 관한 것으로서, 특히 핀 전계 효과 트랜지스터(FinFET)에 관한 것이다.

배경기술

디바이스 치수의 비례 축소(scaling)는 집적 회로의 성능을 개선하고 집적 회로의 비용을 감소시키는 주요 요인이 되어 왔다. 기존의 게이트 산화물의 두께 및 소스/드레인(S/D) 접합의 깊이와 관련된 제한으로 인해, 0.1 μ m 공정 세대를 넘어 기존의 벌크 MOSFET 디바이스를 비례 축소하는 것은, 불가능하지는 않다고 하더라도, 어려운 일이다. 따라서, FET의 성능을 개선하기 위해서는 새로운 디바이스 구조 및 새로운 물질이 필요하다.

이중 게이트 MOSFET은 기존의 평면 MOSFET을 계승하기 위한 후보인 새로운 디바이스를 나타낸다. 이중 게이트 MOSFET에서는, 2개의 게이트를 이용하여 채널을 제어함으로써 쇼트 채널 효과를 상당히 억제한다. FinFET은 수직 핀(fin)에 형성된 채널을 포함하는 새로운 이중 게이트 구조이다. FinFET은 레이아웃 및 제조 기술에 있어서 기존의 평면 MOSFET과 유사하다. FinFET은 또한 다양한 채널 길이, COMS 호환성, 및 다른 이중 게이트 구조와 비교하여 큰 패키징 밀도를 제공한다.

발명의 상세한 설명

본 발명에 따르면, 핀 채널에 대해 자기 정렬되는 수직으로 형성되는 스트레인드 채널층(strained channel layer)을 이용하는 FinFET 트랜지스터가 제공된다. 스트레인드 채널층은 FinFET의 핀의 결정 물질과 격자 상수가 오정합되는 결정 물질을 포함한다. 이러한 격자 상수 오정합은 스트레인드 채널층 내에 인장 변형(tensile strain)을 일으켜, 캐리어 이동도를 증가시킨다. 이렇게 캐리어 이동도가 증가하게 되면, FinFET 트랜지스터의 구동 전류를 증가시켜, FinFET의 성능을 개선한다.

본 발명의 추가적인 장점 및 다른 특징은 하기의 상세한 설명에서 부분적으로 설명될 것이며, 하기의 상세한 설명을 검토함으로써 당업자에게 명백해지거나, 본 발명을 실행함으로써 습득될 수 있다. 본 발명의 장점 및 특징은 첨부된 청구항에서 특징하게 규정되는 바에 따라 구현되고 얻어진다.

본 발명에 따르면, 상기 장점 및 다른 장점은 핀을 포함하는 반도체 구조에 의해 부분적으로 달성된다. 핀은 제 1 결정 물질 및 복수의 표면을 포함한다. 이러한 구조는 복수의 표면중 적어도 일부 위에 형성되는 층을 포함하는바, 이 층은 제 2 결정 물질을 포함한다. 제 1 결정 물질은 제 2 결정 물질과 다른 격자 상수를 갖기 때문에, 상기 층 내에 인장 변형을 일으킨다.

본 발명의 다른 양상에 따르면, 트랜지스터가 제공된다. 이 트랜지스터는 핀을 포함하고, 이 핀은 제 1 결정 물질 및 제 1, 2 단부 부분(end portion)을 더 포함한다. 제 1 결정 물질은 제 1 격자 상수를 갖는다. 트랜지스터는 핀의 제 1, 2 단부 부분에 인접하게 형성되는 소스 영역 및 드레인 영역을 더 포함한다. 트랜지스터는 또한 핀의 적어도 일부 위에 형성되는 제 2 결정 물질의 제 1 층을 포함한다. 제 2 결정 물질은 제 2 격자 상수를 갖는바, 여기서 제 1 격자 상수는 제 2 격자 상수 보다 크다. 이 트랜지스터는 또한 제 1 층의 적어도 일부 위에 형성되는 유전층 및 이 유전층의 적어도 일부 위에 형성되는 게이트 전극을 포함한다.

본 발명의 다른 양상에 따르면, 반도체 디바이스를 형성하는 방법이 제공된다. 이 방법은 제 1 결정 물질 및 다수의 표면을 포함하는 핀을 형성하는 단계를 포함한다. 이 방법은 또한 다수의 표면의 적어도 일부 위에 제 1 층을 형성하는 단계를 더 포함한다. 제 1 층은 제 2 결정 물질을 포함하는바, 여기서 제 1 결정 물질은 제 2 결정 물질과 격자 상수가 오정합되어, 제 1 층 내에 인장 변형을 일으킨다.

본 발명의 다른 장점 및 특징은 하기의 상세한 설명으로부터 당업자에게 용이하게 명백해질 것이다. 개시되어 설명되는 실시예들은 본 발명을 수행하는 데에 있어서 최상의 것으로 고려되는 실례를 제공한다. 본 발명은 그 범위를 벗어나지 않으면서 다양한 관점에서 변형될 수 있다. 따라서, 도면은 제한적인 것이 아닌 예시적인 것으로서 간주되어야 한다.

도면의 간단한 설명

이제, 도면에 대해 설명하는바, 동일한 참조 부호로 나타낸 요소는 전체적으로 동일한 요소를 나타낸다.

도 1은 본 발명에 따라 FinFET의 핀을 형성하는 데에 이용되는 기관의 예시적인 층들을 도시한다.

도 2A는 본 발명에 따른 예시적인 핀을 도시한다.

도 2B는 본 발명에 따른 도 2A의 예시적인 핀의 단면도를 도시한다.

도 2C 및 2D는 본 발명에 따라 도 2A 및 2B의 핀에 인접하게 형성되는 예시적인 소스 영역 및 드레인 영역을 도시한다.

도 3A는 본 발명에 따라 핀 위에 형성되는 스트레인드층의 단면도를 도시한다.

도 3B는 본 발명에 따라 핀, 소스 영역 및 드레인 영역 위에 형성되는 도 3A의 스트레인드층의 평면도를 도시한다.

도 4A는 본 발명에 따라 핀 위에 형성되는 게이트 유전층 및 게이트 전극의 단면도를 도시한다.

도 4B는 본 발명에 따라 핀 위에 형성되는 도 4A의 게이트 유전층 및 게이트 전극의 평면도를 도시한다.

도 5는 본 발명의 다른 실시예에 따른 도 2A 및 2B의 핀 아래의 스트레인드 절연체를 도시한다.

도 6은 본 발명의 다른 실시예에 따른 다마신(damascene) 소스/드레인 재성장을 도시한다.

실시예

본 발명의 하기의 상세한 설명은 첨부 도면을 참조한다. 서로 다른 도면에 있어서 동일한 참조 부호는 동일하거나 유사한 요소를 나타낸다. 또한, 하기의 상세한 설명은 본 발명을 한정하지 않는다. 대신에, 본 발명의 범위는 첨부된 청구항에 의해 규정된다.

본 발명에 따르면, 증가된 이동도의 채널 FinFET이 제공된다. 본 발명에 따르면, 수직으로 형성된 스트레인드 채널층이 FinFET의 핀 채널에 대해 자기 정렬된다. 스트레인드 채널층은 FinFET의 핀의 결정 물질과 격자 상수가 오정합되는 결정 물질을 갖기 때문에, 이 스트레인드 채널층 내에 인장 변형이 야기된다. 야기된 인장 변형은 스트레인드 채널층의 캐리어 이동도를 증가시킴으로써, FinFET의 구동 전류를 증가시킨다.

도 1은 본 발명의 예시적인 실시예에 따라 형성되는 기관(100)의 단면도이다. 본 발명에 따르면, 기관(100)은 실리콘 온 인슐레이터(SOI)가 될 수 있는바, 이 SOI는, 예를 들어 매몰 산화물층(110) 위에 형성되는 핀 채널층(105)을 포함한다. 매몰 산화물층(110)은 실리콘층(미도시) 위에 형성된다. 핀 채널층(105)의 두께는 예를 들어 약 500Å 내지 2000Å의 범위가 될 수 있고, 매몰 산화물층(110)의 두께는 예를 들어 약 1000Å 내지 3000Å의 범위가 될 수 있다.

핀 채널층(105)은, (도 3A 및 3B를 참조하여 하에서 설명되는) 스트레인드 채널층에 대해 선택되는 결정 물질의 격자 상수 보다 큰 격자 상수를 갖는 결정 물질을 포함한다. 예를 들어, 스트레인드 채널층에 대해 실리콘이 선택되는 경우, 핀 채널층(105)은 실리콘의 격자 상수 보다 큰 격자 상수를 갖는 결정 물질을 포함한다. 핀 채널층(105)은, 예를 들어 $\text{Si}_x\text{Ge}_{(1-x)}$ 를 포함할 수 있는바, 여기서 x는 약 0.7이다. 다른 적절한 x 값이 선택될 수 있다. 당업자라면, 물질의 격자 상수가 스트레인드 채널층에 대해 선택된 결정 물질의 격자 상수 보다 크게 할 수 있는, $\text{Si}_x\text{Ge}_{(1-x)}$ 이외의 결정 물질이 이용될 수 있다는 것을 인식할 것이다. 일부 실시예에서, 기관(100)은 산화물/실리콘 기관 웨이퍼에 에피택셜 $\text{Si}_x\text{Ge}_{(1-x)}$ 를 웨이퍼 본딩함으로써 형성된다. 하지만, 당업자라면 기존의 다른 기술을 이용하여 기관(100)을 형성할 수 있음을 인식할 것이다.

도 2A 및 2B에 나타난 바와 같이, 기관(100)을 형성한 후, 핀 채널층(105)으로부터 수직 핀(205)이 형성된다. 핀(205)은, 예를 들어 10 내지 15nm 범위의 폭(w)을 가지며 형성될 수 있다. 핀(205)은, 한정하는 것은 아니지만 기존의 포토리스 그래프 공정 및 식각 공정을 포함하는 기존의 어떠한 공정을 이용하여 핀 채널층(105)으로부터 형성될 수 있다.

핀(205)을 형성한 다음, 도 2C 및 2D에 나타난 바와 같이, 소스 영역(210) 및 드레인 영역(215)이 핀(205)의 각 단부에 인접하게 형성된다. 소스 영역(210) 및 드레인 영역(215)은, 예를 들어 핀(205) 위에 결정 물질의 층을 증착함으로써 형성될 수 있다. 소스 영역(210) 및 드레인 영역(215)은, 예를 들어 기존의 리소그래피 공정 및 식각 공정을 이용하여 결정 물질의 층으로부터 형성될 수 있다. 하지만, 당업자라면 기존의 다른 기술을 이용하여 소스 영역(210) 및 드레인 영역(215)을 형성할 수 있음을 인식할 것이다. 소스 영역(210) 및 드레인 영역(215)은, 예를 들어 $\text{Si}_x\text{Ge}_{(1-x)}$ 등의 결정 물질을 포함할 수 있는바, 여기서 x 는 약 0.7이다.

소스 영역(210) 및 드레인 영역(215)을 형성한 후, 도 3A 및 3B에 나타난 바와 같이, 핀(205), 소스 영역(210) 및 드레인 영역(215) 위에 스트레인드 층(305)을 형성한다. 스트레인드 층(305)은 기존의 적절한 임의 공정을 이용하여 핀(205), 소스 영역(210) 및 드레인 영역(215) 위에 형성될 수 있다. 어떠한 예시적인 실시예에서, 예를 들어 스트레인드 층(305)은 선택적인 에피택셜 증착 공정에 의해 핀(205), 소스(210) 및 드레인(215) 위에 형성될 수 있다. 스트레인드 층(305)은, 핀(205)에 대해 이용되는 결정 물질의 격자 상수 보다 작은 격자 상수를 갖는 결정 물질을 포함할 수 있다. 핀(205)과 스트레인드 층(305) 간의 격자 오정합에 의해, 스트레인드 층(305) 내에 인장 변형이 생성된다. 스트레인드 층(305)은, 예를 들어 핀(205)의 폭(w)의 약 1/2 내지 1/3인 두께(t)로 형성될 수 있다. 예를 들어, 스트레인드 층(305)의 두께(t)는 5nm가 될 수 있다. 스트레인드 층(305)은 실리콘을 포함할 수 있지만, 오직 이것으로만 한정되지는 않는다. 당업자라면 핀(205)을 형성하는 데에 이용되는 결정 물질 보다 작은 격자 상수를 갖는 다른 결정 물질이 대안적으로 이용될 수 있음을 인식할 것이다.

스트레인드 층(305)을 형성한 후, 도 4A 및 4B에 나타난 바와 같이, 소스(210) 및 드레인(215)에 의해 커버되지 않는 핀(205)의 부분 위에 게이트 유전층(405) 및 게이트 전극(410)을 형성한다. 게이트 유전층(405)은, SiO , SiO_2 , SiN , SiON , HFO_2 , ZrO_2 , Al_2O_3 , $\text{HFSiO}(x)$, ZnS , MgF_2 등의 유전 물질 또는 다른 유전 물질의 얇은 층을 포함할 수 있다. 게이트 전극(410)은 게이트 유전층(405) 위에 형성되고, 예를 들어 폴리실리콘층을 포함할 수 있다. 게이트 유전층(405) 및 게이트 전극(410)은, 예를 들어 기존의 증착 공정 및 패터닝 공정 등의 기존의 임의 공정을 이용하여 핀(205) 위에 형성될 수 있다. 따라서, 핀(205) 위에 게이트 유전층(405) 및 게이트 전극(410)을 형성하게 되면, 핀(205)의 양쪽 수직 표면에서 얇은 스트레인드 층(305)을 포함하는 FET 측면 수직 채널을 생성한다. 스트레인드 층(305)과 핀(205) 간의 격자 상수 오정합에 의해 스트레인드 층(305) 내에 인장 변형이 야기됨으로써, 스트레인드 층(305)은 개선된 캐리어 이동도를 제공한다. 이렇게 캐리어 이동도가 증가함으로써, 도 4A 및 4B에 나타난 반도체 구조를 이용하여 생성되는 FinFET 트랜지스터의 구동 전류를 증가시킬 수 있게 된다.

예시적인 스트레인드 절연체

도 5는 예시적인 스트레인드 절연체(505)를 도시하는바, 본 발명에 따르면, 이러한 스트레인드 절연체(505)는, 도 2A 및 2B에 나타난 핀(205) 등의, FinFET의 핀 아래에 형성될 수 있다. 핀(205)이 스트레인드 절연체(505)의 절연 물질 위에 형성되는바, 핀(205)과 스트레인드 절연체(505)의 결정 물질은 격자 오정합된다. 핀(205)과 스트레인드 절연체(505) 간의 격자 오정합은 핀(205) 내에 인장 변형을 일으켜, FinFET의 캐리어 이동도를 개선한다. 당업자라면 핀(205)의 결정 물질과 오정합되는 격자 상수를 갖는 어떠한 적절한 절연 물질이라도 스트레인드 절연체(505)로서 이용될 수 있다는 것을 인식할 것이다.

예시적인 소스/드레인 재성장 공정

도 6은 본 발명의 다른 실시예에 따른 예시적인 다마신 소스/드레인 재성장을 나타낸다. 기판 위에 활성 영역(600) 및 핀(605)을 형성한 후, 핀(605) 및 활성 영역(600) 위에 테트라에틸오쏘실리케이트(TEOS)를 증착한 다음 연마한다. 이후, 마스크(마스크 1)(60)를 이용하여 게이트 영역(615)을 개방한다. 핀(605)을 가늘게 하고, 게이트 영역(615)에 폴리실리콘을 증착하고 연마함으로써 게이트(620)를 형성한다. 제 2 마스크(마스크 2)(625)를 이용하여 소스 및 드레인 영역(630)을 개방한다. 개방된 소스 및 드레인 영역(630) 내의 활성 영역(600)의 질화물층을 식각하여, 소스 및 드레인 영역(630)의 어떠한 영역을 노출시킨다. 노출된 영역으로부터, 실리콘이 선택적으로 재성장되어, 소스(635) 및 드레인(640)을 생성한다.

상기 설명에서는, 본 발명에 따른 구현을 완전하게 이해할 수 있도록, 구체적인 물질, 구조, 화학 물질, 공정 등의 구체적인 많은 세부 사항을 설명하였다. 하지만, 본 발명은 본원에서 구체적으로 설명되는 세부 사항을 이용하지 않고서도 실행될 수 있다. 다른 경우에 있어서는, 본 발명의 목적을 쓸데없이 애매하게 하지 않도록 하기 위해, 잘 알려진 공정 구조에 대해서는 상세하게 설명하지 않았다. 본 발명을 실행하는 데에는 통상적인 포토리소그래피 기술 및 식각 기술을 이용하기 때문에, 본원에서는 이러한 기술에 대해 설명하지 않았다.

본원에서는 본 발명의 바람직한 실시예 및 적용가능한 일부 예에 대해서만 개시한다. 이해될 사항으로서, 본 발명은 기타 많은 결합 및 환경에서 이용될 수 있고, 본원에서 설명되는 발명의 개념의 범위 내에서 변형될 수 있다.

(57) 청구의 범위

청구항 1.

제 1 결정 물질 및 복수의 표면을 포함하는 핀(205)과; 그리고

상기 복수의 표면의 적어도 일부 위에 형성되는 제 1 층(305)을 포함하고, 상기 제 1 층(305)은 제 2 결정 물질을 포함하고, 상기 제 1 결정 물질은 상기 제 2 결정 물질과 다른 격자 상수를 가짐으로써, 상기 제 1 층 내에 인장 변형을 일으키는 것을 특징으로 하는 반도체 디바이스.

청구항 2.

제 1 항에 있어서,

상기 핀(205)은 직사각형 단면을 갖고, 상기 제 1 결정 물질은 상기 제 2 결정 물질의 격자 상수 보다 큰 격자 상수를 갖는 결정 물질을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 3.

제 1 항에 있어서,

상기 제 2 결정 물질은 실리콘을 포함하고, 상기 제 1 결정 물질은 상기 실리콘 보다 큰 격자 상수를 갖는 결정 물질을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 4.

제 3 항에 있어서,

상기 제 1 결정 물질은 $\text{Si}_x\text{Ge}_{(1-x)}$ 를 포함하고, 상기 x 는 약 0.7인 것을 특징으로 하는 반도체 디바이스.

청구항 5.

제 1 항에 있어서,

상기 제 1 층(305)의 적어도 일부 위에 형성되며, 유전층을 포함하는 제 2 층(405)과; 그리고

상기 제 2 층(405)의 적어도 일부 위에 형성되며, 폴리실리콘을 포함하는 게이트 전극(410)을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 6.

제 1 격자 상수를 갖는 제 1 결정 물질을 포함하는 핀(205)과, 여기서 상기 핀(205)은 제 1, 2 단부 부분을 더 포함하고, 상기 제 1 결정 물질은 $\text{Si}_x\text{Ge}_{(1-x)}$ 를 포함하고, 상기 x 는 약 0.7이며;

상기 핀(205)의 상기 제 1, 2 단부 부분에 인접하게 형성되는 소스 영역(210) 및 드레인 영역(215)과;

상기 핀(205)의 적어도 일부 위에 형성되는 제 2 결정 물질의 제 1 층(305)과, 여기서 상기 제 2 결정 물질은 제 2 격자 상수를 갖고, 상기 제 1 격자 상수는 상기 제 2 격자 상수 보다 크고, 상기 제 2 결정 물질은 실리콘을 포함하고;

상기 제 1 층(305)의 적어도 일부 위에 형성되는 유전층(405)과; 그리고

상기 유전층(405)의 적어도 일부 위에 형성되는 게이트 전극(410)을 포함하며, 상기 게이트 전극(410)은 제 3 결정 물질을 포함하고, 상기 제 3 결정 물질은 폴리실리콘을 포함하며,

상기 제 1 격자 상수는 상기 제 2 격자 상수 보다 커, 상기 제 1 층 내에 인장 변형을 일으키며, 상기 인장 변형은 상기 제 1 층의 캐리어 이동도를 증가시키는 것을 특징으로 하는 트랜지스터.

청구항 7.

제 1 결정 물질 및 복수의 표면을 포함하는 핀(205)을 형성하는 단계와; 그리고

상기 복수의 표면의 적어도 일부 위에 제 1 층(305)을 형성하는 단계를 포함하고, 상기 제 1 층(305)은 제 2 결정 물질을 포함하고, 상기 제 1 결정 물질은 상기 제 2 결정 물질과 다른 격자 상수를 가짐으로써, 상기 제 1 층 내에 인장 변형을 일으키는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 8.

제 7 항에 있어서,

상기 제 1 결정 물질이 상기 제 2 결정 물질의 격자 상수 보다 큰 격자 상수를 갖도록 상기 제 1 결정 물질을 선택하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 9.

제 7 항에 있어서,

상기 제 1 층(305)을 형성하기 위한 상기 제 2 결정 물질로서 실리콘을 선택하는 단계와; 그리고

상기 제 1 결정 물질이 상기 실리콘 보다 큰 격자 상수를 갖도록 상기 제 1 결정 물질을 선택하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 10.

제 7 항에 있어서,

상기 핀(205)을 형성하기 위한 상기 제 1 결정 물질로서 $\text{Si}_x\text{Ge}_{(1-x)}$ 를 선택하는 단계와;

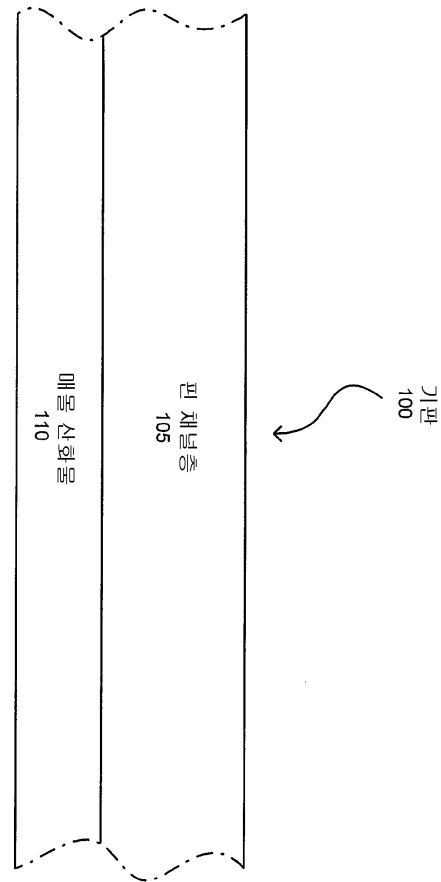
상기 x를 약 0.7로서 선택하는 단계와;

상기 제 1 층(305) 위에, 유전층을 포함하는 제 2 층(405)을 형성하는 단계와; 그리고

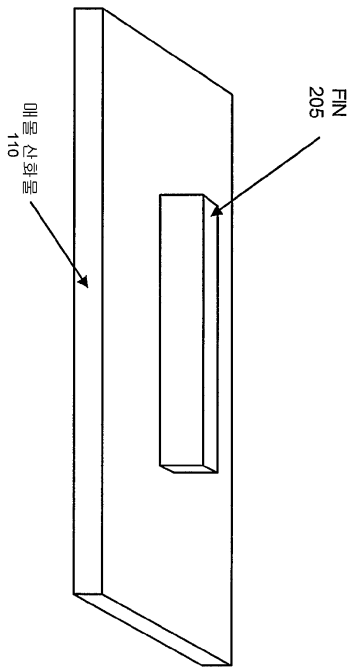
상기 제 2 층(405) 위에, 폴리실리콘을 포함하는 게이트 전극(410)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

도면

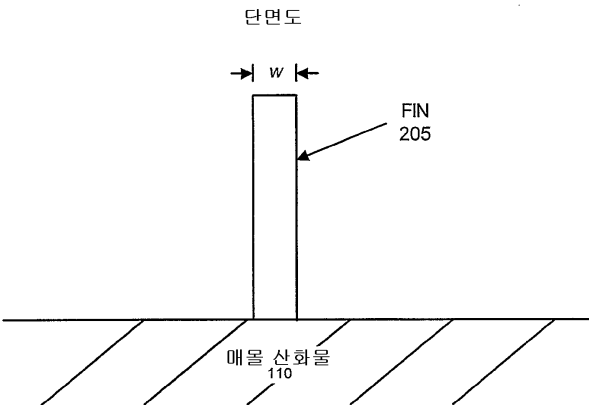
도면1



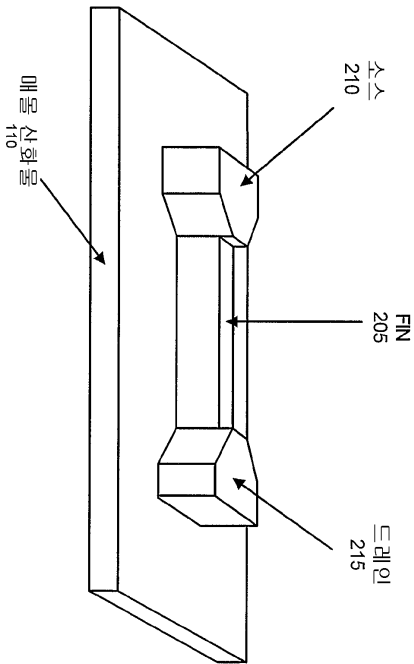
도면2A



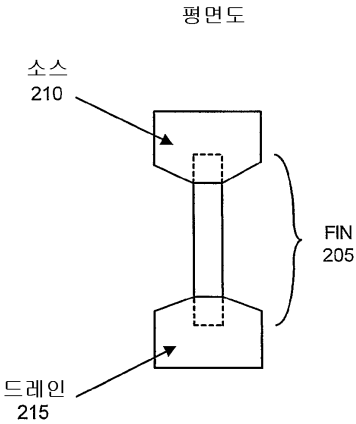
도면2B



도면2C

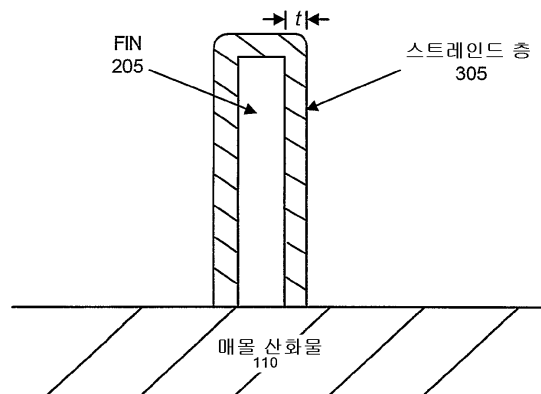


도면2D



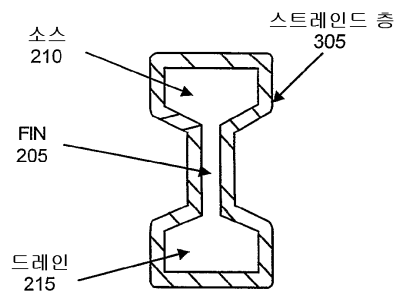
도면3A

단면도



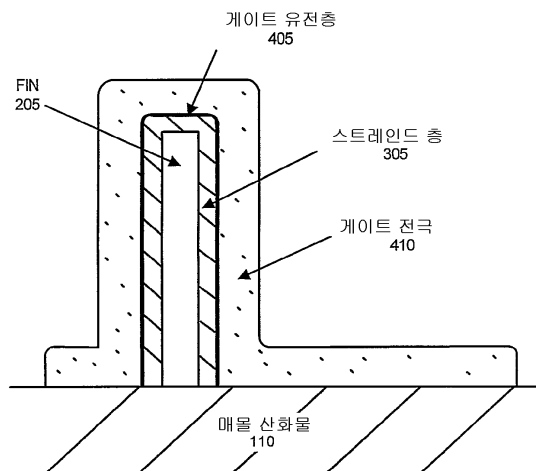
도면3B

평면도

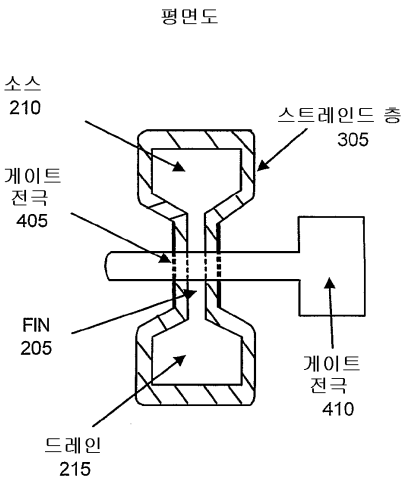


도면4A

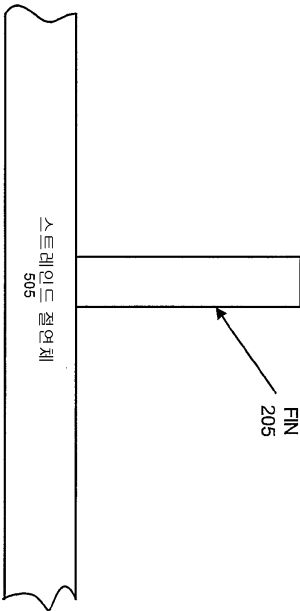
단면도



도면4B



도면5



도면6

