

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4929187号
(P4929187)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl.
H04J 11/00 (2006.01)

F I
H04J 11/00 Z

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2008-515 (P2008-515)	(73) 特許権者	000005108
(22) 出願日	平成20年1月7日(2008.1.7)		株式会社日立製作所
(65) 公開番号	特開2009-164881 (P2009-164881A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成21年7月23日(2009.7.23)	(74) 代理人	110000350
審査請求日	平成22年6月4日(2010.6.4)		ポレール特許業務法人
		(72) 発明者	堀 一行
			神奈川県横浜市戸塚区戸塚町216番地
			株式会社日立コミュニケーションテクノロ
			ジー キャリアネットワーク事業部内
		審査官	橋 均憲
			最終頁に続く

(54) 【発明の名称】 マッチトフィルタおよび受信機

(57) 【特許請求の範囲】

【請求項1】

受信信号と既知シンボルとの相関を計算し、絶対値を出力するマッチトフィルタにおいて、

Nを2のべき乗数として(N-2)段に直列接続された遅延回路と、共役回路を介してシンボルY[k] (k=1、…、N/2)を入力されるN/2台の乗算回路と、これらの乗算回路の出力を加算する第1の加算回路と、この第1の加算回路の出力の絶対値を演算する絶対値回路と、前記遅延回路により遅延され、前半と後半とで対称関係にあるべき前記受信信号の前半部から対応する後半部を減算する(N/2-1)台の第2の加算回路とから構成され、

前記乗算回路は、前記第2の加算回路により減算された受信信号について、クロック毎に、前記シンボルY[k]と乗算し、

シンボルY[i] (i=1、…、N-1)は、対称性を有することを特徴とするマッチトフィルタ。

【請求項2】

請求項1に記載のマッチトフィルタであって、

前記シンボルY[i]は、Lを偶数、Mを前記Lと互いに素な整数として、

$C[k] = \exp[j * \pi * M / L * (k + 0.5) \wedge 2]$ (k=0、1、…、L-1)について、サイズがNとなるように、先頭にゼロを1つおよび中央にゼロを(N-L-1)だけ挿入して求めた

$X = [0, C[N/2], C[N/2+1], \dots, C[N-1], 0, 0, \dots, 0, C[0], C[1], \dots, C[N/2-1]]$ を、逆FFTして得ることを特徴とするマッチトフィルタ。

【請求項3】

マッチトフィルタと、受信信号を前記マッチトフィルタが検出したタイミングでシリアル-パラレル変換するシリアル-パラレル変換回路と、パラレル信号からサイクリックプレフィックスを除去するサイクリックプレフィックス除去回路と、前記サイクリックプレフィックス除去回路の出力をフーリエ変換する高速フーリエ変換回路と、前記高速フーリエ変換回路の出力から不要なゼロを削除するゼロ除去回路と、前記ゼロ除去回路の出力をパラレル-シリアル変換するパラレル-シリアル変換回路とから構成される受信機において、

10

前記マッチトフィルタは、 N を2のべき乗数として $(N-2)$ 段に直列接続された遅延回路と、共役回路を介してシンボル $Y[k]$ ($k=1, \dots, N/2$)を入力される $(N/2-1)$ 台の乗算回路と、これらの乗算回路の出力を加算する第1の加算回路と、この第1の加算回路の出力の絶対値を演算する絶対値回路と、前記遅延回路により遅延され、前半と後半とで対称関係にあるべき前記受信信号の前半部から対応する後半部を減算する $N/2$ 台の第2の加算回路とから構成され、

前記乗算回路は、前記第2の加算回路により減算された受信信号について、クロック毎に、前記シンボル $Y[k]$ と乗算し、

シンボル $Y[i]$ ($i=1, \dots, N-1$)は、対称性を有することを特徴とする受信機

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マッチトフィルタおよび受信機に係り、特に複素乗算器の数量を削減したマッチトフィルタおよび受信機に関する。

【背景技術】

【0002】

無線通信の分野では、周波数利用効率の向上を目指して種々の方式が研究・実用化されている。その一つであるOFDM (Orthogonal Frequency Division Multiplexing) は、マルチパス遅延波に強く、第4世代移動通信方式として本命視されている。

30

【0003】

非特許文献1は、マッチトフィルタを開示している。非特許文献1はCDMA (Code Division Multiple Access) の場合であり、データ巡回型とコード巡回型の2種類が開示されている。OFDMを想定したデータ巡回型のマッチトフィルタ構成を図1を参照して説明する。ここで、図1はデータ巡回型マッチトフィルタのブロック図である。図1において、マッチトフィルタ400は、 $(N-1)$ 段に直列接続された遅延回路401と、共役回路402を介してシンボル $Y[k]$ ($k=0, \dots, N-1$)を入力される N 台の乗算回路403と、乗算回路403の出力を加算する加算回路404と、加算回路404の出力の絶対値を演算する絶対値回路405とから構成される。受信信号SRは、クロック毎に、それぞれ乗算回路403に出力され、シンボル $Y[k]$ と乗算される。マッチトフィルタの動作原理は、基本的なFIR (Finite Impulse Response) デジタルフィルタであって、入力信号とフィルタ係数との相関を繰り返し計算しているに過ぎない。

40

【0004】

マッチトフィルタ係数は、次のように作成する。まず、 L を偶数として、上記既知データCを前半 $L/2$ 点、後半 $L/2$ 点に分割して、

$X = [0, C[L/2], C[L/2+1], \dots, C[L-1], 0, 0, \dots, 0, C[0], C[1], \dots, C[L/2-1]] \dots$ (式1)

に従ってサイズが N (2のべき乗数) となるように、先頭と後半 $L/2$ の後で前半 $L/2$ の前にゼロを挿入し、配列Xを作る。次に、これを逆FFTして得た系列Yを用い、受信

50

信号 S R との相関を計算する。

【0005】

相関関数の性質から、マッチトフィルタ係数 Y と受信信号 S R のタイミングが合致したとき、出力絶対値が最大となる。このとき、絶対値回路 405 に接続されたシリアルパラレル変換器で、信号を切り出す。これによって、シンボルのタイミングを捉えることができる。なお、配列 X の先頭の「0」は直流、中間に挿入された「0」は帯域外周波数に相当し、それぞれ逆 FFT 演算から排除することを意味する。ここで、直流を排除するのは、直流分は、回路のオフセットにより、変動するからである。

【0006】

マッチトフィルタ係数 Y には、自己相関がインパルスに近く、サブキャリアの電力がほぼ均等に分布し、Peak to Average Power Ratio (PAPR) が低い信号が適している。このような性質を持つ系列として、既知データ C に用いる信号である式 2 の CHU 系列がある。以下、系列長 L は任意の偶数、M は任意の整数として説明する。CHU 系列は、非特許文献 2 に開示されている。

【0007】

$C[k] = \exp[j * \pi * M / L * k^2]$ ($k = 0, 1, \dots, L-1$) … (式 2)

CHU 系列において、自己相関を高くし、PAPR を低くするために、定数 M は、系列長 L と互いに素の整数が選択される。

【0008】

$L = 50$ 、 $M = 3$ 、 $N = 64$ に選んだ場合の $C[k]$ をプロットしたグラフを図 2 に示す。図 2 において、上段は実部、下段は虚部である。 $C[k]$ を前半 $L/2$ 点、後半 $L/2$ 点に分割して、式 1 に従ってサイズが N となるようにゼロを挿入し配列 X を作る。このとき、先頭の 1 個の「0」、25 個の後半 $L/2$ 点「 $C[L/2]$ 」、 $C[L/2 + 1]$ 、…、 $C[L-1]$ 」、13 個の「0」、25 個の前半 $L/2$ 点「 $C[1]$ 」、…、 $C[L/2 - 1]$ 」としている。

【0009】

この配列 X を逆 FFT して得た系列 Y を図 3 にプロットする。図 3 において、上段は実部、下段は虚部である。また、系列 Y の自己相関関数と絶対値を図 4 にプロットする。図 4 において、上段は自己相関、下段は振幅である。図 4 から、系列 Y は、PAPR が低く、自己相関がインパルス状となっていることがわかる。ここでは、既知シンボル Y の実効値は 0.1105 であり、振幅最大値は 0.2017 である。系列 Y の PAPR を計算すると、

$$20 \log_{10}(0.2017 / 0.1105) = 5.228 \text{ [dB]}$$

となる。

【0010】

【非特許文献 1】北村他、「低消費電力ディジタルマッチトフィルタプラスチックハードマクロ技術の応用事例」、情報処理学会論文誌、Vol. 42、No. 4、2001

【非特許文献 2】David C. Chu、"Polyphase Codes With Good Periodic Correlation Properties"、IEEE Transactions on Information Theory、July 1972

【発明の開示】

【発明が解決しようとする課題】

【0011】

以上説明した手順で得られた既知シンボル Y の基となる既知データ C は、図 2 を参照して、インデックス 25 (図面上の破線) に関して対称である。これを前半部分と後半部分に分割して配列 X を作ると、X は非対称となる。このため、図 3 に示した系列 Y もまた非対称となる。よって、マッチトフィルタを構成する複素乗算器は、 N 個必要である。もし N に大きな値に選ばれると、それに応じて必要な複素乗算器数が増え、マッチトフィルタ実現が困難となってくる。このため、タイミング検出性能を犠牲にしてフィルタタップ長を切り詰めるといった対処が必要となる。本発明の課題は、マッチトフィルタ性能を犠牲にせずに複素乗算器数を削減することにある。

10

20

30

40

50

【課題を解決するための手段】

【0012】

本発明では、マッチトフィルタの課題を解決するため、既知データCを式3から生成する。

$C[k] = \exp[j * \pi * M / L * (k + 0.5)^2]$ ($k = 0, 1, \dots, L-1$)
 … (式3)

ここで、式3の式2との違いは、インデックスkに0.5のオフセットを付加している点である。

【0013】

このC[k]を前半L/2点、後半L/2点に分割して、式1に従ってサイズが2のべき乗数(N)となるようにゼロ(1個+13個)を挿入し配列Xを作る。これを逆FFTして得た系列Yを既知シンボルとして使用する。このとき、系列Yは、インデックスkのバイアス0.5によって、式1の先頭の「0」の影響を排除し、対称形となる。

〔発明の効果〕

【発明の効果】

【0014】

系列Yが対称形なので、マッチトフィルタは、係数絶対値の等しい複素乗算器をまとめて1つの乗算器で実現することができる。この結果、複素乗算器数を半減させることが可能となる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について、実施例を用い図面を参照しながら説明する。なお、実質同一部位には同じ参照番号を振り、説明は繰り返さない。

【0016】

まず、OFDM送信機について、図5を参照して説明する。ここで、図5はOFDM送信機の機能ブロック図である。図5において、OFDM送信機100は、シリアル/パラレル(S/P)変換部110と、セクタ120と、ゼロ挿入部130と、逆FFT部140と、CP付加部150と、パラレル/シリアル(P/S)変換部160とから構成される。

【0017】

シリアル/パラレル変換部110は、QAM(Quadrature Amplitude Modulation)などで1次変調した送信データDTを、L点ごとにシリアル/パラレル変換する。セクタ120は、パラレル変換された送信データDTまたは既知データCの一方を選択する。ゼロ挿入部130は、セクタ120が選択したデータをデータ数が2のべき乗数(N)になるよう直流(先頭)と帯域外周波数(中間部)に相当するデータ位置にゼロを挿入する。逆FFT部140は、ゼロ挿入されたパラレルデータを逆FFTして送信シンボルを得る。

【0018】

CP付加部150は、送信シンボルにサイクリックプレフィックス(CP:Cyclic Prefix)と呼ばれる冗長部分(シンボル後半の一部分コピー)を送信シンボルの前に付加する。パラレル/シリアル変換部160部は、再びパラレル-シリアル変換して送信信号STを得る。

【0019】

なお、セクタ120は、特定のシンボル位置に既知データCから生成したシンボルYを挿入するために設ける。フレームフォーマットが6シンボルから成るとき、既知シンボルYを第1シンボル、送信データDTを後続の第2～第6シンボルに割り当てた場合のフレームフォーマットは図6のようになる。

【0020】

図6において、送信フレームフォーマット300は、左端を先頭とする。既知シンボル310の前には、既知シンボル310の後半部分のコピーであるCP311が付加されて

10

20

30

40

50

いる。以下同様に、シンボル 320～360の前には、シンボル 320～360の後半部分のコピーである CP321～361が付加されている。CP311～361は、無線パスにおける遅延波による混信を軽減するために設けられている。

【0021】

OFDM受信機について、図7を参照して説明する。ここで、図7はOFDM受信機の機能ブロック図である。図7において、OFDM受信機200は、受信信号SRと既知シンボルYとを入力とし、タイミング抽出を行うマッチトフィルタ220と、受信信号SRについて、マッチトフィルタ220の出力から変換タイミングを得てS/P変換するシリアル/パラレル変換部210と、パラレル信号からサイクリックプレフィックスを除去するCP除去部230と、CP除去部の出力をフーリエ変換するFFT部240と、挿入されたゼロを除去するゼロ除去部250と、等化部260と、パラレル/シリアル変換部270とからなる。

【0022】

マッチトフィルタ220は、タイミング抽出を行い、受信信号SRのシリアル-パラレル変換タイミングをマッチトフィルタ出力によって制御する。逆FFTタイミングに合わせて信号を切り出さないと、シンボル間干渉が生じてしまう。ただし、送信側でサイクリックプレフィックスを挿入してあるので、サイクリックプレフィックス長に満たない程度の若干のタイミングずれは許容される。CP除去部230は、サイクリックプレフィックスを除去する。FFT240は、FFT処理を行う。ゼロ除去部260は、挿入されたゼロを除去する。このようにして復調されたデータは、伝播路の周波数特性やマルチパス受信の影響を受けて振幅、位相が歪んでいる。等化部260は、既知データCと、その復調結果との比較から伝播路の補正値を算出する。等化部260は、後続するデータシンボルに対してこの補正値を適用することで伝播路の影響を等化する。パラレル/シリアル変換部270は、等化部260の出力をパラレル-シリアル変換して受信データDRを得る。

【0023】

$L=50$ 、 $M=3$ 、 $N=64$ に選んだ場合の、 $C[k]$ をプロットしたグラフを図8に示す。図8において、上段に実部を下段に虚部を示す。図8の既知データCは、インデックス24.5（図面上の破線）との交点に関して、点対称となっている。この $C[k]$ を前半 $L/2$ 点、後半 $L/2$ 点に分割して、式1に従って、サイズが2のべき乗数（ N ）となるように、先頭および中間部にゼロを挿入し、配列Xを作る。

【0024】

配列Xは、インデックスに対して、オフセット（バイアス）0.5を加えているので、先頭のゼロの影響を受けず、分割しても対称性が崩れない。すなわち、Xもまた対称となる。さらに、FFT（逆FFT）の性質から、入力に対称性があれば出力に対称性がある。

【0025】

したがって、配列Xを逆FFTして得た系列Yは、図9に示すようにインデックス0の値がゼロで、インデックス32（図面上の破線）との交点に関して点対称となる。また、系列Yの自己相関関数と絶対値を図10にプロットする。図9において、上段は実部、下段は虚部である。図10において、上段に自己相関、下段に振幅を表示する。図10によれば、PAPRが低く、自己相関がインパルス状となっており、図4と比較して同等の結果が得られる。図10では、既知シンボルYの実効値は0.1105であり、振幅最大値は0.1928であるため、PAPRは

$$20 \log_{10} (0.1928 / 0.1105) = 4.835 \text{ [dB]}$$

となる。

【0026】

上記の系列Yを係数として用いるマッチトフィルタは、係数絶対値が等しい部分をまとめて1つの乗算器で実現できる。これについて、図11を参照して説明する。図11において、マッチトフィルタ220は、 $(N-2)$ 段に直列接続された遅延回路221と、共役回路222を介してシンボルY[k]（ $k=1, \dots, N/2$ ）を入力される $N/2$ 台の

乗算回路 2 2 3 と、乗算回路 2 2 3 の出力を加算する加算回路 2 2 4 と、加算回路 2 2 4 の出力の絶対値を演算する絶対値回路 2 2 5 と、対称関係にある受信信号 S R を加算／減算する加算回路 2 2 6 とから構成される。加算回路 2 2 6 により加算／減算された受信信号 S R は、クロック毎に、それぞれ乗算回路 2 2 3 に出力され、シンボル Y [k] と乗算される。絶対値回路 2 2 5 は、図示しない閾値との比較により、検出したパターンマッチを外部に出力する。なお、図 1 1 の n は、フレームの番号であり、これまでの説明では、n = 0 と考えてよい。

【0 0 2 7】

図 1 1 のマッチトフィルタ 2 2 0 の乗算回路数は、図 1 の半分である。よって、このマッチトフィルタ 2 2 0 を搭載した OFDM 受信機 2 0 0 は、図 1 のマッチトフィルタを搭載した受信機と比較して、ハードウェア量を削減することが可能である。

10

【図面の簡単な説明】

【0 0 2 8】

【図 1】データ巡回型マッチトフィルタのブロック図である。

【図 2】 $L = 50$ 、 $M = 3$ 、 $N = 64$ に選んだ場合の C [k] をプロットしたグラフである。

【図 3】配列 X を逆 F F T して得た系列 Y である。

【図 4】系列 Y の自己相関関数と振幅である。

【図 5】OFDM 送信機の機能ブロック図である。

【図 6】フレームフォーマットを説明する図である。

20

【図 7】OFDM 受信機の機能ブロック図である。

【図 8】 $L = 50$ 、 $M = 3$ 、 $N = 64$ に選んだ場合の C [k] をプロットしたグラフである。

【図 9】配列 X を逆 F F T して得た系列 Y である。

【図 10】系列 Y の自己相関関数と振幅である。

【図 11】マッチトフィルタのブロック図である。〔符号の説明〕

【符号の説明】

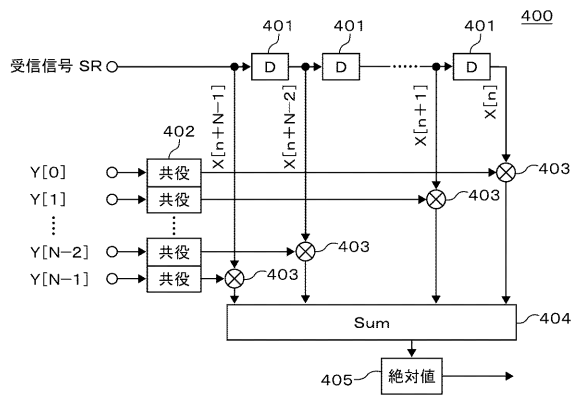
【0 0 2 9】

1 0 0 … OFDM 送信機、1 1 0 … シリアル／パラレル変換部、1 2 0 … セレクタ部、1 3 0 … ゼロ挿入部、1 4 0 … 逆 F F T 部、1 5 0 … C P (サイクリックプレフィックス) 付加部、1 6 0 … パラレル／シリアル変換部、2 0 0 … OFDM 受信機、2 1 0 … シリアル／パラレル変換部、2 2 0 … マッチトフィルタ、2 2 1 … 遅延回路、2 2 2 … 共役回路、2 2 3 … 乗算回路、2 2 4 … 加算回路、2 2 5 … 絶対値回路、2 2 6 … 加算回路、2 3 0 … C P (サイクリックプレフィックス) 除去部、2 4 0 … F F T 部、2 5 0 … ゼロ除去部、2 6 0 … 等化部、2 7 0 … パラレル／シリアル変換回路、3 0 0 … 送信信号フォーマット、4 0 0 … マッチトフィルタ、4 0 1 … 遅延回路、4 0 2 … 共役回路、4 0 3 … 乗算回路、4 0 4 … 加算回路、4 0 5 … 絶対値回路。

30

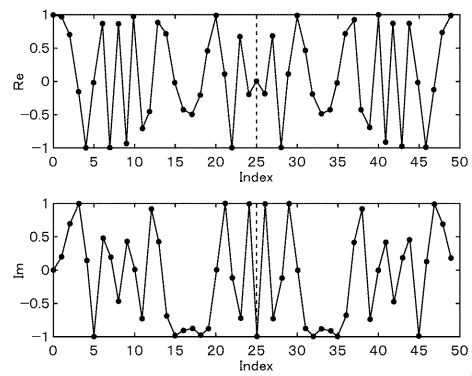
【図 1】

図 1



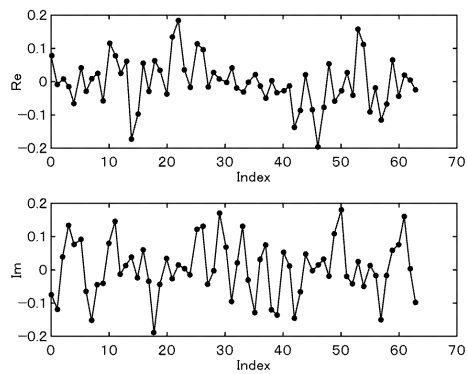
【図 2】

図 2



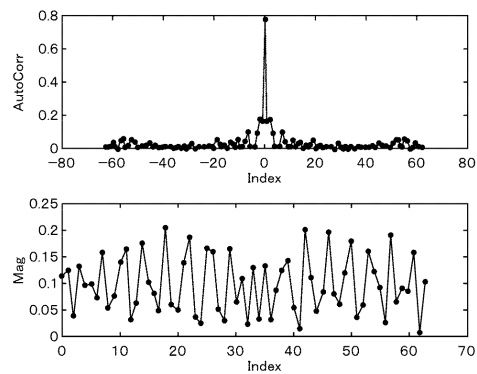
【図 3】

図 3



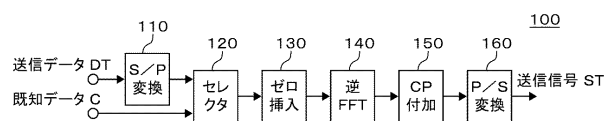
【図 4】

図 4



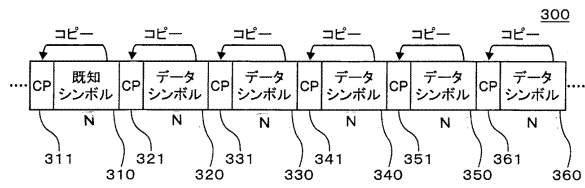
【図 5】

図 5



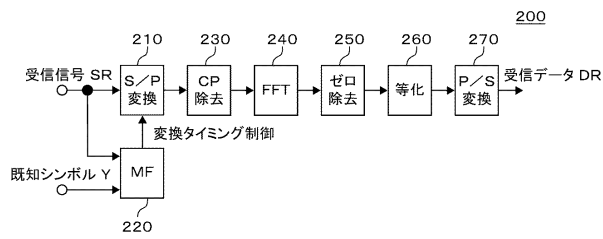
【図 6】

図 6



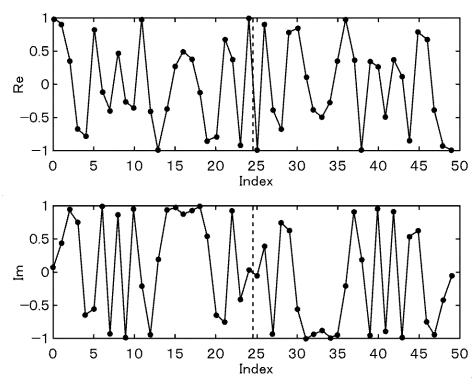
【図 7】

図 7



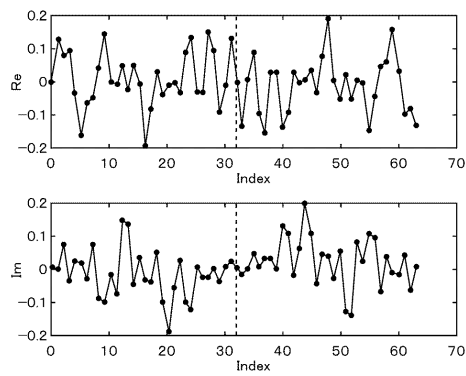
【図 8】

図 8



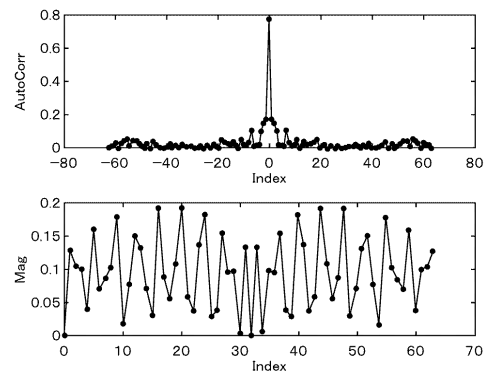
【図 9】

図 9



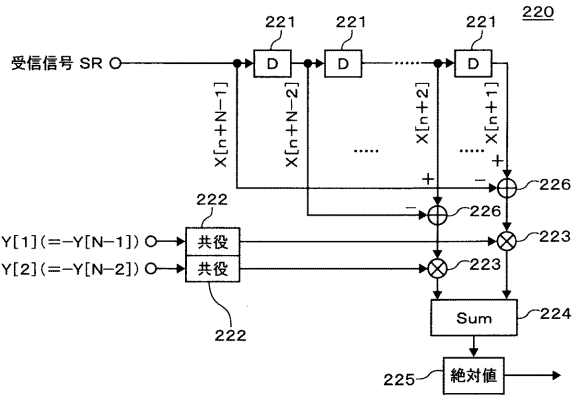
【図 10】

図 10



【図 1 1】

図 1 1



フロントページの続き

(56)参考文献 特開2002-152084 (JP, A)
特開2000-299676 (JP, A)
特開2006-174439 (JP, A)
国際公開第2007/133411 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
H04J 11/00