



(12)发明专利

(10)授权公告号 CN 104253138 B

(45)授权公告日 2017.04.12

(21)申请号 201410302220.X

(51)Int.Cl.

(22)申请日 2014.06.27

H01L 27/146(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104253138 A

(56)对比文件

CN 103067667 A, 2013.04.24,

CN 101252138 A, 2008.08.27,

CN 102637753 A, 2012.08.15,

US 2004021060 A1, 2004.02.05,

JP 2008283501 A, 2008.11.20,

(43)申请公布日 2014.12.31

(30)优先权数据

2013-137048 2013.06.28 JP

(73)专利权人 佳能株式会社

审查员 王宝林

地址 日本东京

(72)发明人 田添浩一 有岛优 冲田彰

大下内和樹 大田康晴

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 李玲

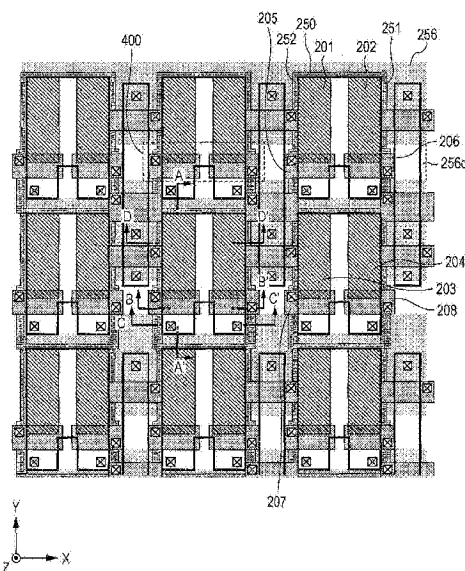
权利要求书2页 说明书14页 附图19页

(54)发明名称

光电转换装置和成像系统

(57)摘要

本发明涉及光电转换装置和成像系统。一种光电转换装置包括：构造第一光电转换元件的第一导电类型的第一半导体区；构造第二光电转换元件的第一导电类型的第二半导体区；第一导电类型的第三半导体区；第一导电类型的第四半导体区；协同构造第一传输晶体管的第一栅电极；以及构造第二传输晶体管的第二栅电极。在半导体基底表面的平面图中在第一栅电极朝向第一半导体区的侧边的位置处，第一栅电极朝向第一半导体区的侧边的长度比有源区的长度短，并且第一栅电极朝向第一半导体区的侧边的长度比第一半导体区的长度长。



1.一种光电转换装置,包括:

其上设置有如下的半导体基底:

有源区,以及

由绝缘体形成的、限定所述有源区的隔离部分;

位于所述有源区内并构成第一光电转换元件的第一导电类型的第一半导体区;

位于所述有源区内并构成第二光电转换元件的第一导电类型的第二半导体区;

位于所述有源区内的第一导电类型的第三半导体区;

位于所述有源区内的第一导电类型的第四半导体区;

位于所述有源区内的所述第一半导体区和所述第三半导体区之间的第一栅电极,连同所述第一半导体区和所述第三半导体区构造第一传输晶体管;以及

位于所述有源区内的所述第二半导体区和所述第四半导体区之间的第二栅电极,连同所述第二半导体区和所述第四半导体区构造第二传输晶体管;

其中,在所述半导体基底表面的平面图中,在所述第一栅电极朝向所述第一半导体区的侧边的位置处,

位于所述有源区内的所述第一栅电极朝向所述第一半导体区的侧边的长度比所述有源区沿着所述第一栅电极朝向所述第一半导体区的侧边的长度短,以及

位于所述有源区内的所述第一栅电极朝向所述第一半导体区的侧边的长度比所述第一半导体区沿着所述第一栅电极朝向所述第一半导体区的侧边的长度长。

2.根据权利要求1所述的光电转换装置,

其中,在所述半导体基底表面的平面图中,在所述第二栅电极朝向所述第二半导体区的侧边的位置处,

位于所述有源区内的所述第二栅电极朝向所述第二半导体区的侧边的长度比所述有源区沿着所述第二栅电极朝向所述第二半导体区的侧边的宽度短,以及

位于所述有源区内的所述第二栅电极朝向所述第二半导体区的侧边的长度比所述第二半导体区沿着所述第二栅电极朝向所述第二半导体区的侧边的长度长。

3.根据权利要求1所述的光电转换装置,

其中在所述第一半导体区和所述第三半导体区之间设置第二导电类型的半导体区。

4.根据权利要求1所述的光电转换装置,还包括:

设置在所述第一半导体区上的第二导电类型的第八半导体区;以及

设置在所述第二半导体区上的所述第二导电类型的第九半导体区;

其中所述第八半导体区和所述第九半导体区接触,并在平面图中在所述第一栅电极和所述第二栅电极之间延伸。

5.根据权利要求1所述的光电转换装置,

其中所述隔离部分包括

包括位于所述有源区的所述第三半导体区和所述第四半导体区之间的部分的第一区域,其中所述第一栅电极和所述第二栅电极位于所述隔离部分上,以及

除所述第一区域之外的第二区域;

其中所述第一区域内的第二导电类型的掺杂浓度比所述第二区域内的所述第二导电类型的掺杂浓度低。

6. 根据权利要求5所述的光电转换装置，
其中所述第一区域包括其中所述第一栅电极和所述第二栅电极位于所述隔离部分上的部分。
7. 根据权利要求5所述的光电转换装置，还包括：
所述第二导电类型的第五半导体区，被设置为覆盖所述隔离部分的边缘部分；
其中所述第五半导体区被设置在所述第二区域内，而没有被设置在所述第一区域内。
8. 根据权利要求1所述的光电转换装置，
其中所述隔离部分位于所述第三半导体区和所述第四半导体区之间；
并且其中所述隔离部分的边缘部分位于所述第一栅电极朝向所述第一半导体区的侧边和所述第一栅电极朝向所述第三半导体区的侧边之间。
9. 根据权利要求1所述的光电转换装置，
其中给所述第一光电转换元件和所述第二光电转换元件设置一个微型透镜。
10. 一种光电转换装置，包括：
其上设置有如下的半导体基底：
有源区，以及
由绝缘体形成的、限定所述有源区的隔离部分；
位于所述有源区内并构成第一光电转换元件的第一导电类型的第一半导体区；
位于所述有源区内并构成第二光电转换元件的第一导电类型的第二半导体区；
位于所述有源区内的第一导电类型的第三半导体区；
位于所述有源区内的第一导电类型的第四半导体区；
位于所述有源区内的所述第一半导体区和所述第三半导体区之间的第一栅电极，连同所述第一半导体区和所述第三半导体区构造第一传输晶体管；
位于所述有源区内的所述第二半导体区和所述第四半导体区之间的第二栅电极，连同所述第二半导体区和所述第四半导体区构造第二传输晶体管；以及
给所述第一光电转换元件和所述第二光电转换元件设置的一个微型透镜；
其中所述隔离部分的一部分位于所述第三半导体区和所述第四半导体区之间；
并且其中构成所述隔离部分的外缘的侧边是如下的任一种：
与所述第一栅电极朝向所述第一半导体区的第一侧边相同，
与所述第一栅电极朝向所述第三半导体区的第二侧边相同，
位于所述第一侧边和所述第二侧边之间。
11. 一种成像系统，包括：
根据权利要求1至10中任一项所述的光电转换装置；以及
配置为处理来自所述光电转换装置的信号的信号处理单元。

光电转换装置和成像系统

技术领域

[0001] 本发明涉及光电转换装置和成像系统。

背景技术

[0002] 诸如电荷耦合器件(CCD)和互补金属氧化物半导体(CMOS)器件的光电转换装置在许多数码相机和数码摄像机中使用。关于光电转换装置,正致力于对减少像素面积的构造的研究。

[0003] 日本专利特开No.2007-243197公开了根据尺寸缩减而用以缩减光电转换元件的面积 of 像素共享。日本专利特开No.2007-243197还公开了对相邻光电转换元件之间使用绝缘隔离区和接合隔离区加以区分。具体地,提供接合隔离区和绝缘隔离区两者用于光电转换元件的隔离。传输栅极(栅电极)通过光电转换元件之间的绝缘隔离区来设置。

[0004] 虽然日本专利特开No.2007-243197的确讨论了对使用绝缘隔离区和接合隔离区加以区分,但是并未做出有关其中设置有传输栅电极的隔离区的结构和制造方法的详细研究。取决于其中设置有传输栅电极的隔离区的结构,会导致恶化的传输效率、增加泄漏电流和传输路径特性变动等。

发明内容

[0005] 一种光电转换装置,包括:其上设置有如下的半导体基底:有源区以及由绝缘体形成的、限定所述有源区的隔离部分;位于所述有源区内并构成第一光电转换元件的第一导电类型的第一半导体区;位于所述有源区内并构成第二光电转换元件的第一导电类型的第二半导体区;位于所述有源区内的第一导电类型的第三半导体区;位于所述有源区内的第一导电类型的第四半导体区;位于所述有源区内的所述第一半导体区和所述第三半导体区之间的第一栅电极,连同所述第一半导体区和所述第三半导体区构造第一传输晶体管;以及位于所述有源区内的所述第二半导体区和所述第四半导体区之间的第二栅电极,连同所述第二半导体区和所述第四半导体区构造第二传输晶体管。在所述半导体基底表面的平面图中,在所述第一栅电极朝向所述第一半导体区的侧边的位置处,位于所述有源区内的所述第一栅电极朝向所述第一半导体区的侧边的长度比所述有源区沿着所述第一栅电极朝向所述第一半导体区的侧边的长度短,以及位于所述有源区内的所述第一栅电极朝向所述第一半导体区的侧边的长度比所述第一半导体区沿着所述第一栅电极朝向所述第一半导体区的侧边的长度长。

[0006] 一种光电转换装置,包括:其上设置有如下的半导体基底:有源区以及由绝缘体形成的、限定所述有源区的隔离部分;位于所述有源区内并构成第一光电转换元件的第一导电类型的第一半导体区;位于所述有源区内并构成第二光电转换元件的第一导电类型的第二半导体区;位于所述有源区内的第一导电类型的第三半导体区;位于所述有源区内的第一导电类型的第四半导体区;位于所述有源区内的所述第一半导体区和所述第三半导体区之间的第一栅电极,连同所述第一半导体区和所述第三半导体区构造第一传输晶体管;位

于所述有源区内的所述第二半导体区和所述第四半导体区之间的第二栅电极,连同所述第二半导体区和所述第四半导体区构造第二传输晶体管;以及为所述第一光电转换元件和所述第二光电转换元件设置的一个微型透镜。所述隔离部分的一部分位于所述第三半导体区和所述第四半导体区之间,并且其中构成所述隔离部分的外缘的侧边是如下的任一种:与所述第一栅电极朝向所述第一半导体区的第一侧边,与所述第一栅电极朝向所述第三半导体区的第二侧边相同,以及位于所述第一侧边和所述第二侧边之间。

[0007] 本发明的进一步特征将在随后参考附图对示例性具体实施方式的描述中显见。

附图说明

[0008] 图1是根据第一实施方式的光电转换装置的等效电路图。

[0009] 图2A和2B是示出了根据第一实施方式的光电转换装置的示意性平面图。

[0010] 图3A和3B是示出了根据第一实施方式的光电转换装置的示意性平面图。

[0011] 图4是示出了根据第一实施方式的光电转换装置的示意性平面图。

[0012] 图5A至5D是示出了根据第一实施方式的光电转换装置的示意性截面图。

[0013] 图6A是示出了根据第一实施方式的光电转换装置的示意性平面图。

[0014] 图6B至6D是示出了根据第一实施方式的光电转换装置的示意性截面图。

[0015] 图7是用于描述根据第一实施方式的光电转换装置的示意性平面图。

[0016] 图8A至8H是示出了根据第一实施方式的光电转换装置的制造方法的示意性截面图。

[0017] 图9A是示出了根据第一实施方式的光电转换装置的制造方法的示意性截面图。

[0018] 图9B和9C是示出了根据第一实施方式的光电转换装置的制造方法的示意性平面图。

[0019] 图10A至10D是示出了根据第一实施方式的光电转换装置的制造方法的示意性截面图。

[0020] 图11A是示出了根据第一实施方式的光电转换装置的示意性平面图。

[0021] 图11B是用于描述根据第一实施方式的光电转换装置的示意性平面图。

[0022] 图12是示出了根据第二实施方式的光电转换装置的示意性平面图。

[0023] 图13是示出了根据第三实施方式的光电转换装置的示意性平面图。

[0024] 图14A和14B是示出了根据第四实施方式的光电转换装置的示意性平面图。

[0025] 图15A和15B是示出了根据第五实施方式的光电转换装置的示意性平面图。

[0026] 图16A是根据第六实施方式的光电转换装置的等效电路图。

[0027] 图16B是示出了根据第六实施方式的光电转换装置的示意性平面图。

具体实施方式

[0028] 将首先参考图6A至6D描述根据本实施方式的光电转换装置。如图6A所示,光电转换装置包括在其上形成一个有源区220的半导体基底以及由绝缘体形成的、限定该有源区220的隔离部分。隔离部分包括第一区域以及除该第一区域之外的第二区域。一个有源区220包括第一导电类型的第一至第四半导体区域,第一栅电极和第二栅电极。第一半导体区201构成第一光电转换装置,而第二半导体区202构成第二光电转换装置。第一栅电极205位

于第一区域内,并且位于第一半导体区201和第三半导体区209之间。第二栅电极206位于第一区域内,并且位于第二半导体区202和第四半导体区210之间。第一半导体区201、第三半导体区209和第一栅电极205构成第一传输晶体管,并且第二半导体区202、第四半导体区210和第二栅电极206构成第二传输晶体管。注意到第一区域是位于其中设置有栅电极的隔离区内的区域,而其他部分则是第二区域。

[0029] 参考示出了包括第一栅电极205朝向第一半导体区201的侧边的虚线的图11A,其中有源区220的宽度大于第一栅电极205朝向第一半导体区201的侧边的宽度。进一步地,第一半导体区201沿该虚线的宽度小于第一栅电极205朝向第一半导体区201的侧边的宽度。该构造能够抑制从构成光电转换装置的第一半导体区201到第三半导体区209的信号电荷的泄漏,由此抑制传输晶体管的泄漏。

[0030] 光电转换装置还包括给第一光电转换元件和第二光电转换元件设置的微型透镜。由绝缘体形成的、限定有源区的隔离部分位于第三半导体区209和第四半导体区210之间。构成隔离部分外缘的侧边是与第一栅电极205朝向第一半导体区201的第一侧边相同的侧边,或是与第一栅电极205朝向第三半导体区209的第二侧边相同的侧边,或是位于第一侧边和第二侧之间。该构造能够在保持光电转换元件的饱和电荷数的同时实现泄漏电流已被减小的传输路径。

[0031] 将参考各附图详细描述第一至第六实施方式。在随后的描述中,示意性的平面图是各种构造已从与半导体基底的主表面相垂直的方向投射到包括半导体基底表面的平面上的图示。这些示意性平面图也被称为平面布局图。示意性的截面图是光电转换装置的各种构造在与包括半导体基底表面的平面相垂直的平面处的图示。

[0032] 晶体管传输路径的长度方向是连接源极和漏极的线段的方向。传输路径的宽度方向是与传输路径的长度方向垂直的方向。注意到随后的描述将参考其中信号电荷是电子的情况做出。在其中信号电荷是空穴的情况下,本描述中的N型(第一导电类型)和P型(第二导电类型)应该反转。

[0033] 第一实施方式

[0034] 将参考图1至11B描述根据本实施方式的光电转换装置。根据本实施方式的光电转换装置例如是CMOS型光电转换装置。

[0035] 图1是根据第一实施方式的光电转换装置的等效电路图。图1示出了像素单元100的等效电路。像素单元100包括两个像素101和102以及这两个像素共用的读出电路。根据本实施方式的每个像素都包括至少两个光电转换元件。具体地,像素101包括两个光电转换元件103和104、对应于光电转换元件103的传输晶体管107、以及对应于光电转换元件104的传输晶体管108。像素102包括两个光电转换元件105和106、对应于光电转换元件105的传输晶体管109、以及对应于光电转换元件106的传输晶体管110。传输晶体管107至110连接至浮置扩散(其后称为“FD”)节点111。FD节点111连接至构成源极跟随器电路的放大晶体管112的栅电极,并且连接至重置晶体管113的源极。放大晶体管112的漏极电连接至电源116,并且重置晶体管113的漏极电连接至电源116。选择晶体管114被设置在放大晶体管112的源极和信号线117之间的信号路径上,并在可选定时将来自放大晶体管112的信号输出至信号线117。信号线117具有连接至其上的多个像素单元100。根据本实施方式的光电转换装置具有多个信号线117。像素以二维阵列布置。注意到描述将针对其中晶体管是N型MOS晶体管的情

况做出。

[0036] 在本实施方式中向一个像素提供一个微透镜(从图示中省略)的情况下,可以获取用于检测焦点的信号。例如,在获取成像信号的情况下,光电转换元件103和104的信号电荷可以在FD节点111处混合,并作为像素101的成像信号读出。在获取用于检测焦点的信号的情况下,能够读出基于光电转换元件103的信号电荷的信号,随后是基于正被读出的光电转换元件104的信号电荷的信号,其后是通过相差检测执行的焦点检测。成像信号也可以通过读出基于光电转换元件103的信号电荷的信号,随后读出基于光电转换元件104的信号电荷的信号,然后在来自光电转换装置的隔离电路处合成上述信号来获取。

[0037] 像素单元100不受图1所示构造的限制。例如,像素单元100不是必须包括选择晶体管114。

[0038] 接下来将参考图2A至4描述根据本实施方式的光电转换装置。图2A至4是用于描述根据本实施方式的光电转换装置的示意性平面图。图2A至4示出了9个像素的平面布局。像素单元100在图2A至4中重复布置。图2A至4的9个像素中的任意一个或多个像素由参考编号指示。注意到所布置的接触插塞在图2A至4中由打叉的方格表示。

[0039] 图2A是示出了有源区220至222和无源区223的示意性平面图。有源区220至222是其中诸如光电转换元件和晶体管的元件能够在半导体基底的表面上形成的区域。无源区223则是其中由绝缘体形成的隔离部分在半导体基底的表面上形成的区域,并且也被称为场区。在平面图中,隔离部分限定了无源区223的外缘,并且还限定了有源区220至222的外缘。无源区223围绕有源区220至222存在。在图2A中,像素单元100包括像素101的有源区220、像素102的有源区221、以及两个像素101和102的有源区222。

[0040] 现在为了描述的目,将在像素单元100的平面布局中限定区域240和区域241。图2A示出了在一个像素单元100中由阴影线表示的区域240、区域241和区域242。区域241和区域242是其中设置有随后描述的栅电极的区域(第一区域)。区域240是所有其他区域(第二区域)。区域240被形成为围绕其中形成光电转换元件的部分,并且被设置在有源区220和有源区221之间、有源区220和有源区222之间、以及有源区221和有源区222之间。区域241位于将在随后描述的两个传输晶体管的传输路径之间,并且在此情况下位于有源区220的凹口和有源区221的凹口内。在相邻像素单元100中示出的区域200是第一区域,并且是其中设置有栅电极的有源区220之间的隔离部分的外缘。

[0041] 图2B是除图2A所示部件之外还示出了构成光电转换元件的N型半导体区和构成晶体管的栅电极的示意性平面图。

[0042] 根据本实施方式,两个光电转换元件设置在光电转换装置的一个有源区内。构成第一光电转换元件的N型半导体区201和构成第二光电转换元件的N型半导体区202设置在有源区220内。以相同的方式,构成第一光电转换元件的N型半导体区203和构成第二光电转换元件的N型半导体区204设置在有源区221内。N型半导体区201至204用作光电转换元件的电荷累积区。N型半导体区201至204被形成为具有矩形形状。注意到并未在半导体区201和半导体区202之间以及在半导体区203和半导体区204之间设置隔离部分。

[0043] 同样地,图2B示出了设置在有源区220内的N型半导体区209和N型半导体区210,以及设置在有源区221内的N型半导体区211和N型半导体区212。这些N型半导体区209至212各自用作构成FD节点一部分的FD区域。在本实施方式中,为每个光电转换元件设置一个FD区

域,各FD区域由导体电连接。隔离部分被设置在半导体区209和半导体区210之间。FD区域的分别设置能够减小这些FD区域的容量。

[0044] 进一步地,图2B例示了已被设置在有源区220和有源区221内的传输晶体管的栅电极205至208。栅电极205位于有源区220内,并且位于半导体区201和半导体区209之间。栅电极206至208类似地位于半导体区202至204和半导体区210至212之间。栅电极被设置在半导体基底之上。位于有源区内栅电极之下的半导体基底的至少一部分用作传输路径。区域241位于栅电极205和栅电极206之间,以及栅电极207和栅电极208之间。可以将区域241说成是位于设置到同一有源区上的两个FD区域之间。

[0045] 在图2B中,示出了设置有放大晶体管、重置晶体管和选择晶体管的隔离有源区222。设置有放大晶体管的栅电极213、重置晶体管的栅电极214、和选择晶体管的栅电极215,并且其源极和漏极构造包括部分共用半导体区。N型半导体区216是放大晶体管的源极,也是选择晶体管的漏极。N型半导体区217是放大晶体管的漏极,也是重置晶体管的漏极。N型半导体区218是重置晶体管的源极,并且电连接至图1所示的FD节点111。N型半导体区219是选择晶体管的源极,并且电连接至图1所示的信号线117。注意到晶体管的源极和漏极可被构造为使用其他半导体区域。

[0046] 将参考图11A和11B描述根据本实施方式的光电转换装置内N型半导体区和栅电极之间的位置关系。图11A是示出了根据第一实施方式的光电转换装置的示意性平面图。图11是用于比较的图示。图11B例示了相比于构成图11A所示光电转换元件的半导体区201和202具有不同宽度的半导体区1101和1102。图11B的其他构造与图11A的相同。其后,术语“长度”指代示意性平面图中的宽度。

[0047] 在图11B中,栅电极205具有半导体区1101的侧边601。在包括侧边601的虚线1111上,有源区220具有长度L6,栅电极205在与有源区220重叠的部分具有长度L8,并且半导体区1101具有长度L9。换句话说,在栅电极205与有源区220重叠的位置,侧边601的长度为L8,顺着侧边601的有源区220的长度为L6,并且顺着侧边601的半导体区1101的长度为L9。以相同的方式,栅电极206具有在半导体区1102一侧的侧边603。在包括侧边603的虚线1112上,有源区220具有长度L6,半导体区1102具有长度L9,并且栅电极206在与有源区220重叠的部分具有长度L8。也就是说,在栅电极206与有源区220重叠的位置,侧边603的长度为L8,顺着侧边603的有源区220的长度为L6,并且顺着侧边603的半导体区1102的长度为L9。这些长度的大小关系是长度L6>长度L9>长度L8。由于这一长度关系,半导体区1101具有未被栅电极205覆盖的部分1103。半导体区1102类似地具有未被栅电极206覆盖的部分1104。于是,该部分1103和半导体区209之间的距离是长度L10,其短于作为栅电极205的栅极长度的长度L1。部分1104和半导体区210之间的距离也是一样的。这意味着传输晶体管的有效传输路径包括较短部分,因此会在传输晶体管截断时出现泄漏。

[0048] 另一方面,根据本实施方式的光电转换装置具有如图11A所示的如下构造。有源区220具有沿着包括侧边601的虚线1111的长度L6,半导体区201具有长度L7,并且栅电极205具有长度L8。以相同的方式,有源区220具有沿着包括侧边602的虚线1112的长度L6,半导体区202具有长度L7,并且栅电极206具有长度L8。这些长度的大小关系是长度L6>长度L8>长度L7。半导体区202和半导体区202未被栅电极205或栅电极206覆盖的部分隔开作为栅电极205和栅电极206的栅极长度的长度L1,由此能够抑制泄漏。泄漏可由图11中不存在的部分

1103和1104且长度 $L_6 > \text{长度}L_8 > \text{长度}L_7$ 保持为真来充分抑制。即便仅在栅电极之一处保持该长度关系,也能够获得上述效果。在两个栅电极中的每一个处保持这一关系是足够的,并且各栅电极中的长度可以不同。然而,为了如在本实施方式中使用两个光电转换元件获取用于检测焦点的信号,两个光电转换元件和传输晶体管的特性可以恒定,并且可以使用相同的构造。虽然虚线1111和虚线1112已被描述为单根直线,但是这些虚线可以具有交叉的位置关系。

[0049] 如示出了根据本实施方式的光电转换装置的图11所示,栅电极205具有从半导体区201处的侧边601跨栅电极205的朝向半导体区209的侧边602。以相同的方式,栅电极206具有从半导体区202处的侧边603跨栅电极206的朝向半导体区210的侧边604。包括侧边602的虚线1113和包括侧边604的虚线1114构成单根直线。侧边600位于虚线1111和虚线1113之间。该构造能够在抑制FD区域容量增加的同时减小泄漏电流和进入的电荷。

[0050] 现在假设侧边600被设置为相比于虚线1111更靠近半导体区201的侧边。其中要形成光电转换元件的部分会更小,并且光电转换元件的饱和电荷数会更小。另一方面,如果侧边600被设置为相比于虚线1113更靠近半导体区209的侧边,则半导体区209和半导体区210之间的隔离性能会劣化,所以泄漏电流很容易增大并且电荷也会容易进入。因此,侧边600可以位于虚线1111和虚线1113之间,包括位于虚线1111或虚线1113之上。

[0051] 如图6D所示的隔离部分506被构造为具有长度 L_5 的部分653和部分654。构成部分653的绝缘体的厚度比构成部分654的绝缘体的厚度要薄,因此隔离性能劣化。因此,侧边600可位于远离半导体区209相距虚线1113距离 L_5 的位置处。虽然侧边600可位于朝向半导体区201相距虚线1113距离 L_5 的位置处,但是侧边600也可以位于与虚线1111相同的位置处或相比于该位置位于栅电极205之下的位置处。虽然是关于侧边600与虚线1111和虚线1113的位置关系进行了描述,但是这对侧边600与虚线1112和虚线1114而言也是一样的。

[0052] 如下将描述根据本实施方式的光电转换装置的另一构造。图3A和3B是除图2A所示之外还示出了P型半导体区的示意性平面图。图3A示出了P型半导体区250至252,而图3B则示出了P型半导体区255和256。

[0053] 如图3A所示,有源区220和221由P型半导体区250至252(第五半导体区)所围绕。半导体区250至252位于其中形成光电转换元件的有源区220和221的三个侧边上。半导体区250至252是梯状且一体的。半导体区250至252以相同的掺杂浓度和相同的深度被布置在半导体基底内。半导体区250至252被设置为覆盖隔离部分的外缘,以减少在构成隔离部分的绝缘体和半导体之间存在的缺陷处出现的噪声。半导体区250至252没有设置在位于有源区220和221的栅电极之间的区域241。半导体区250至252也没有设置在有源区220和221的FD区域之间。将半导体区250至252设置到区域241和区域242与传输路径相接触的部分(即隔离部分与栅电极重叠的部分)就足够了。另外,将半导体区250至252至少不设置到区域200就足够了。因此,半导体区250至252可以设置到限定其内设置有FD区域的有源区的区域253,其中该区域253是隔离部分的一部分但不与传输路径相接触。半导体区250至252通过使用掩模的离子注入形成,这将在随后详细描述。

[0054] 如图3B所示,P型半导体区255和256(第七区域)被设置为围绕有源区220和有源区221。半导体区255顺着X轴方向具有带状形状。半导体区256顺着Y轴方向具有带状形状。在本实施方式中,半导体区256被构造为包括部分间隔区256c、半导体区256a和半导体区

256b。间隔区256c不是必须设置的,因此半导体区255和半导体区256可以形成格子形状。可以设置间隔以调整图3B中水平和垂直相邻像素的电荷串扰的量。半导体区255和256以相同的掺杂浓度和相同的深度被布置在半导体基底内。半导体区255和256被设置在半导体基底内隔离部分的绝缘体之下,用作信号电荷的势垒。半导体区255和256没有被设置在区域241内。具体地,将半导体区255和256至少不设置到作为位于有源区之间的隔离部分的外缘的区域200就足够了。半导体区255和256通过使用掩模的离子注入形成,这将在随后详细描述。

[0055] 图4是其中图2A至3B的部件重叠的图示,并且是示出了根据本实施方式的光电转换装置的主要构造的示意性平面图。将参考图5A至5D描述根据本实施方式的光电转换装置在沿着线A-A'、线B-B'、线C-C'和线D-D'获取的截面处的构造。

[0056] 图5A是沿图4中线A-A'获取的示意性截面图,图5B是沿图4中线B-B'获取的示意性截面图,图5C是沿图4中线C-C'获取的示意性截面图,以及图5D是沿图4中线D-D'获取的示意性截面图。

[0057] 图5A至5D示出了具有表面503、N型半导体区501和P型半导体区502的半导体基底500。该半导体区502还被称为阱。该半导体基底500包括随后将变为有源区的第一部分,以及随后将变为隔离部分的第二部分。第二部分包括第一区域以及除该第一区域之外的第二区域。在图5A中,位于半导体区203之上的N型半导体区203和P型半导体区504(第八半导体区、第九半导体区)组成光电转换元件。栅电极207位于半导体区203和作为FD区域的半导体区211之间。图5B示出了包括栅电极207和栅电极208的部分。图5C示出了包括作为FD区域的半导体区211和212的部分。图5D示出了包括两个光电转换元件的部分。半导体区203和半导体区504组成光电转换元件,而半导体区204和半导体区504组成隔离光电转换元件。在此,半导体区504由一个光电转换元件到另一个光电转换元件连续形成。在半导体区203和半导体区204之间存在区域507,用以隔离半导体区203和半导体区204。半导体区504和半导体区502的一部分与区域507相接触。半导体区211和212的底面相比于半导体250的底面处于半导体基底中更浅的位置处,以及半导体250的底面相比于半导体203的底面处于半导体基底中更浅的位置处。一个底面相比于另一个底面处于半导体基底中较深的位置处的表达换一种说法则可以是一个底面相比于另一个底面离表面503更远。注意到可以向区域507进一步设置P型半导体区用于半导体区203和半导体区204之间更强的隔离。

[0058] 由绝缘体形成的隔离部分506如图5A至5D所示被设置到作为第二部分的区域240、241和242。P型半导体区505(第六半导体区)被设置在隔离部分506之下,以覆盖隔离部分506的底面。半导体区505用作沟道停止物。半导体区505由与隔离部分506相同的掩模形成,这将在随后详细描述。

[0059] 将详细描述P型半导体区的布置。图5A中的区域240包括半导体区505、半导体区250和半导体区255。图5B中的区域242包括半导体区505、半导体区251和半导体区252。仅半导体区505被包括在图5C的区域241内。图5C中的区域240包括半导体区505、半导体区251、半导体区252和半导体区256。图5D中的区域240包括半导体区505、半导体区251、半导体区252和半导体区256。在图5A到5D中,相比于区域241,有更多的P型半导体区位于区域240内。因此,构成区域240中隔离部分之下的P型半导体区的掺杂(其后称为P型掺杂)浓度高于区域241中隔离部分之下的P型掺杂浓度。同样地,区域240中隔离部分之下的P型掺杂浓度高

于区域242中隔离部分之下的P型掺杂浓度。也就是说,区域241中隔离部分之下的P型掺杂浓度和区域242中隔离部分之下的P型掺杂浓度低于区域240中隔离部分之下的P型掺杂浓度。具体地,区域200中隔离部分之下的P型掺杂浓度可以低于区域240中隔离部分之下的P型掺杂浓度。降低邻近栅电极传输路径部分中的P型掺杂浓度允许通过向栅电极施加电压以接通晶体管导通形成的有效传输路径宽度。该构造能够在减小光电转换元件的噪声的同时增宽传输晶体管的有效传输路径宽度,由此实现改善的传输效率。该构造还能够减少P型掺杂到传输路径的扩散,以及传输晶体管阈值和传输晶体管传输路径宽度的变动。虽然可以对区域242中隔离部分之下的半导体基底中应用减少P型掺杂浓度,但在与传输路径相接触的部分中减小至少区域241,特别是区域200中的P型掺杂浓度,以使其低于区域240中的P型掺杂浓度就足够了。进一步降低区域241中FD区域之间的P型掺杂浓度能够减小FD区域的PN结电容。

[0060] 同样地,由与形成隔离部分506的掩模不同的掩模形成的半导体区250至252、255和256不被设置到区域241,尤其不被设置到区域200。这能够减小掩模形成定位误差对传输路径的影响。

[0061] 将参考图6A至6D描述围绕包括区域241的栅电极的构造。图6A是图4中区域400的示意性放大平面图。图6B是沿图6A中线VIB-VIB获取的示意性截面图,图6C是沿图6A中线VIC-VIC获取的示意性截面图,而图6D是沿图6A中线VID-VID获取的示意性截面图。

[0062] 如图6A所示,半导体区251和半导体区252设置在区域240而非区域241内。该构造能够抑制传输晶体管的特性变动。同样地,区域200中隔离部分506的侧边600的一部分位于栅电极205和栅电极206之下。注意到在半导体区201和半导体区202之间的区域650内未设置有隔离部分506;相反地,在图5A至5D中示出的半导体区502位于该位置处。隔离部分506具有与侧边600相连续的侧边605和606。这些侧边600、605和606构成了隔离部分506的外缘。侧边605和606组成了有源区220的外缘。区域200是平面图内其中侧边605与栅电极205重叠以及侧边605与栅电极206重叠的部分。栅电极205具有半导体区201的侧边601以及半导体区209的侧边602。栅电极206具有半导体区202的侧边603以及半导体区210的侧边604。栅电极205的传输路径长度方向的长度是侧边601和侧边602之间的距离,并且是长度L1。栅电极206的传输路径长度方向的长度是侧边603和侧边604之间的距离,并且也是长度L1。

[0063] 出于比较的目的,现将对其中在区域241的位置处形成P型半导体区700的情况做出描述。图7是与图6A相对应的用于比较的示意性平面图。如图7中可见,在区域200或隔离部分的侧边600处设置P型半导体区700,导致P型半导体区700明显地延伸到由栅电极205和206构成的传输路径。这会导致传输晶体管传输路径的宽度变窄。进一步地,栅电极205和栅电极206处的阈值,及其传输路径的宽度会改变,从而导致传输晶体管特性改变。另一方面,可以发现图6A所示的构造防止传输路径变窄,并抑制晶体管特性的变动。

[0064] 如图6B所示,半导体区201的侧边610与隔离部分506的侧边607存在于同一位置。半导体区252被设置为覆盖隔离部分506的边缘。图6B示出了朝向有源区延伸超过隔离部分506的侧边607达长度L2的半导体区252的边缘609。该长度L例如为 $0.10\mu\text{m}$ 。该构造能够抑制源于隔离部分506的噪声进入光电转换元件。位于隔离部分506之下的半导体区505的侧边608位于隔离部分506的侧边607和半导体区252的侧边609之间。该构造能够进一步降低噪声。侧边607和侧边608顺着Y方向形成侧边,虽然其在图6B中看上去是点。其后,在类似构造

在示意性截面图中示出为点的情况下,它们将被称为“侧边”。

[0065] 栅电极205、隔离部分506和半导体区201之间的位置关系将参考图6C描述。半导体区201的侧边613位于远离隔离部分506的侧边600长度为 L_3 的位置处。长度 L_3 例如为 $0.25\mu\text{m}$ 。长度 L_3 的偏移能够减小由隔离部分506引起的进入半导体区201的噪声,由此防止噪声进入光电转换元件。具体地,与图6B所示的部分不同,在图6C所示的部分中并未设置等效于P型半导体区252的半导体区,因此需要应对隔离部分506处的噪声。应用图6C所示的构造能够实现减小传输路径上的噪声效应以及减少噪声两者。

[0066] 同样地,栅电极205的侧边611位于相距侧边600达长度 L_4 的位置处,其中长度 L_4 长于长度 L_3 。长度 L_4 例如为 $0.35\mu\text{m}$ 。在半导体区201上设置栅电极205可以改善传输效率。隔离部分506包括具有长度 L_5 的部分653和剩余部分654。部分653是也被称为“鸟嘴”的部分。隔离部分506的侧边600形成隔离部分506的外缘并且指示部分653的外缘。虽然P型半导体区651位于相距侧边600达长度 L_4 的位置处,但是也可以位于更远的位置处。图6D示出了大致与图6C相同的构造,不同之处在于提供了隔离两个光电转换元件的区域650。

[0067] 根据本实施方式的光电转换装置的制造方法将参考图8A至8H描述。图8A至8H分别是沿着图4中的线A-A'获取的示意性截面图,并与图5A相对应。在此将省略与一般性的半导体制造工艺有关的详细描述。

[0068] 首先,在图8A,制备半导体基底801。该半导体基底801例如是N型硅半导体基底。该半导体基底801具有随后将变为有源区的第一部分,以及随后将变为隔离部分的第二部分。第二部分包括第一区域以及其余的第二区域。在半导体基底801的表面上顺序层叠氧化硅膜803、多晶硅膜804和氮化硅膜805。氧化硅膜803的厚度为10nm至30nm,多晶硅膜804的厚度为40nm至60nm,而氮化硅膜805的厚度为200nm至300nm,例如这些膜被用于通过局部硅氧化(LOCOS)形成绝缘隔离部分。

[0069] 如图8B所示,形成具有开口806的光刻胶图案807。开口806暴露第二部分。掩模该光刻胶图案并干法蚀刻移除氧化硅膜803、多晶硅膜804和氮化硅膜805的部分。半导体基底801的已被移除的氧化硅膜803、多晶硅膜804和氮化硅膜805的部分所暴露的部分经受例如硼离子注入808。该离子注入808在60KeV至100KeV加速度能量、 $1.5 \times 10^{12}\text{cm}^{-2}$ 至 $1.5 \times 10^{13}\text{cm}^{-2}$ 剂量以及0度注入角的条件下执行。该注入角指的是相距半导体基底801表面处的法线的角度。该工艺形成半导体区810。移除光刻胶图案807,随后进行例如涉及800℃或以上热处理的氧化,由此形成隔离部分809(图8C)。半导体区810用作减少由于隔离部分809和半导体基底801之间的交界面处的缺陷引起的进入光电转换元件的噪声。虽然已将隔离部分809描述为通过LOCOS形成,但是其也可以通过浅沟隔离(STI)形成。在应用STI时,相应于半导体基底801的氧化硅膜803、多晶硅膜804和氮化硅膜805已被移除的部分形成凹槽(沟),并以大于LOCOS的角度执行离子注入808。

[0070] 接下来,执行硼离子注入以形成用作P型阱(未示出)的半导体区811。其后,如图8C所示地形成具有开口812的光刻胶图案813。该光刻胶图案813用于对半导体基底801执行硼离子注入814。该离子注入814在350KeV至1.5MeV加速度能量、 $0.8 \times 10^{13}\text{cm}^{-2}$ 至 $2.0 \times 10^{13}\text{cm}^{-2}$ 剂量以及0度注入角的条件下执行,并且在不同的加速度能量下执行四次。离子注入814在大于离子注入808的加速度能量下执行。该离子注入814形成P型半导体区815(图8D)。该半导体区815用于将信号电荷与相邻的光电转换元件隔离。

[0071] 如图8D所示形成具有开口816的光刻胶图案817。使用光刻胶图案817作为掩模对半导体基底801执行硼离子注入818。该离子注入818在90KeV至140KeV加速度能量、 $1.0 \times 10^{13} \text{cm}^{-2}$ 至 $2.0 \times 10^{13} \text{cm}^{-2}$ 剂量以及0度注入角的条件下执行。该离子注入818形成P型半导体区819(图8E)。该半导体区819用于减小来自隔离部分809的噪声。

[0072] 接下来执行氧化和氮化以形成用作栅极绝缘膜的膜。在栅极绝缘膜上形成用作栅电极的多晶硅膜。其后,该多晶硅膜经历使用光刻胶图案820作为掩模的干法蚀刻,由此形成栅电极821(图8E)。在栅电极821和表面802之间形成氧化硅或氮化硅的栅极绝缘膜(未示出)。

[0073] 接下来,在光刻胶图案820上形成具有与其中要形成光电转换元件的部分相对应的开口822的光刻胶图案823。光刻胶图案823和光刻胶图案820以及栅电极821用作掩模以执行砷离子注入(图8F)。在本实施方式中执行两次离子注入824。第一次离子注入在400KeV至600KeV加速度能量、 $3.5 \times 10^{12} \text{cm}^{-2}$ 至 $5.0 \times 10^{12} \text{cm}^{-2}$ 剂量以及0度至7度注入角的条件下执行。第二次离子注入在300KeV至400KeV加速度能量、 $0.8 \times 10^{12} \text{cm}^{-2}$ 至 $2.0 \times 10^{12} \text{cm}^{-2}$ 剂量以及15度至45度注入角的条件下执行。对X-Y平面执行两次的离子注入824的方向在两种情况下都是朝向栅电极的Y轴方向。两次离子注入824形成N型半导体区825(图8G)。半导体区825构成光电转换元件的一部分,并且用作所谓的电荷存储区。

[0074] 接下来,移除光刻胶图案820和光刻胶图案823,并且形成具有开口826的新光刻胶图案827。硼离子注入828使用光刻胶图案827作为掩模。离子注入828在10KeV至20KeV加速度能量、 $5.0 \times 10^{13} \text{cm}^{-2}$ 至 $1.0 \times 10^{14} \text{cm}^{-2}$ 剂量以及20度至35度注入角的条件下执行。对X-Y平面执行的离子注入828的方向在从栅电极821朝向隔离部分809的Y轴方向。离子注入828在N型半导体区825内形成P型半导体区829(图8H)。设置该半导体区829以实现作为埋入式光电二极管的光电二极管(是光电转换元件)。

[0075] 随后,形成具有与其中要形成FD区域的部分相对应的开口830的光刻胶图案831,并且使用该光刻胶图案831作为掩模来执行磷离子注入832。离子注入832形成用作FD区域的N型半导体区。注意到在此,图8H中的半导体区811、815和810对应于图5A中的半导体区502、255和505。图8H中的半导体区819对应于图5A中的半导体区251或252,而图8H中的隔离部分809对应于图5A中的隔离部分506。图8H中的半导体区825、半导体区829和栅电极821分别对应于图5A中的半导体区203、半导体区504和栅电极207。随后形成间层绝缘膜、配线、可选构件等,由此完成光电转换装置。可以以此方式制造根据本实施方式的光电转换装置。

[0076] 将参考图9A至9C详细描述图8F和8G的处理。图9A对应于图8F,而图9B是与图9A相对应的示意性平面图。如图9B所示,光刻胶图案823包括围绕有源区221的框型部分901、设置在有源区221的一部分内的壁状部分(其后称为“壁部”)902、暴露其中已形成N型半导体区的部分的开口903和904。使用该光刻胶图案823作为掩模对半导体基底执行图9A所示的离子注入824,由此形成两个N型半导体区。这两个半导体区与图4所示的半导体区203和半导体区204相对应。具有这一壁部902意味着在离子注入824期间不向有源区221的一部分注入离子,因此存在一部分半导体区811。因此,可以省略在两个N型半导体区之间设置势垒的处理。

[0077] 图9C是对应于图8G的部分的示意性平面图。图8G中示出的光刻胶图案827具有在图9C中示出的框型部分,以及暴露其中已形成P型半导体区的部分的开口906。开口906具有

突起908,而框型部分905具有与该突起908相对应的凹口部分907。突起908在栅电极821(图4中的栅电极207)和栅电极909(图4中的栅电极208)之间,并且由其中形成P型半导体区、越过隔离部分的侧边600并朝向隔离部分突出的部分形成。突起908暴露位于栅电极之间的隔离部分。为开口906提供该突起908使得在栅电极之间执行图8G中的离子注入828,在隔离部分的侧边600附近形成P型半导体区,以及延伸半导体区。在隔离部分的侧边600处形成P型半导体区能够改善栅电极之间的隔离性能。由于离子注入828被执行以匹配栅电极,因此定位误差很小,并且也不易出现传输路径变动。

[0078] 将参考图10A至10D描述在图4中线C-C'处的结构的制造方法,其中图10A至10D是沿该线C-C'获取的示意性截面图。图10A至10D各自对应于图5B。在此将省略对已关于图8A至图8H描述的各部分的详细描述以及一般性的半导体制造工艺。

[0079] 图10A是对应于图8A的图。首先,制备半导体基底801。图10B对应于图8B。形成具有除图8B中的开口806以外的开口1001和开口1002的光刻胶图案807。使用光刻胶图案807作为掩模执行干法蚀刻,并且移除氧化硅膜803和多晶硅膜804的一部分。通过开口1001和开口1002执行离子注入808。

[0080] 图10C是对应于图8C的图。使用具有开口1003的光刻胶图案813作为掩模进一步执行离子注入814。在此形成光刻胶图案813以覆盖与区域241相对应的部分。该离子注入形成半导体区815。该半导体区815对应于图5C中的半导体区256。

[0081] 图10D是对应于图8D的图。使用具有开口1004的光刻胶图案817作为掩模进一步执行离子注入818。在此形成光刻胶图案817以覆盖与区域241相对应的部分。这形成半导体区819(未示出)。该半导体区819对应于图5C中的半导体区251和252。随后形成栅电极、间层绝缘膜、配线、可选构件等,由此完成光电转换装置。

[0082] 图4中线B-B'处结构的制造方法可以通过在作为示意性截面图的附图10C和10D的处理中不设置用于光刻胶图案813和光刻胶图案817各部分的开口来执行。在图10B的处理之后,可以在与图4中线B-B'相对应的部分处形成栅电极。可以以此方式形成根据本实施方式的光电转换装置。

[0083] 传输晶体管的传输路径是其中有源区220和221与栅电极205至208相重叠的部分。如果存在在栅电极205至208之下形成的P型半导体区,则会出现其中没有形成传输路径或是无法轻易形成传输路径的情况。有源区220和221的位置由隔离部分506的外缘确定。因此,从确定传输路径的角度来看,隔离部分506和P型半导体区之间的位置关系被高精度地控制。然而,图5A至5C中的半导体区250至252、255和256通过离子注入使用光刻胶图案掩模形成。曝光由半导体曝光装置执行以形成光刻胶图案,并且曝光装置处的定位误差导致传输路径的变动,并引起传输晶体管特性的变动。传输路径中出现的变动可以通过不在变得与成为传输路径的部分(例如,区域241)相接触的部分处形成半导体区250至252、255和256而得以减小。

[0084] 注意到半导体区505与形成隔离部分506时使用相同的光刻胶图案,由此不会出现定位误差。因此,能够高精度地控制半导体区505与隔离部分506的位置关系,从而能够在减小对传输路径的变动影响的同时降低来自隔离部分的噪声。

[0085] 现在,为本实施方式中的每个光电转换元件设置一个FD区域。如果FD区域的面积增加,则FD区域的容量增加,并且FD区域处的电荷-电压转换效率降低。经历低效率电荷-电

压转换的信号电荷变为幅度较小的电压信号,并在随后会以高放大因数而被处理放大。噪声随着信号在放大处理中放大,由此图像质量会受损。然而,根据本实施方式的构造具有较小的FD区域容量,从而能够消除放大处理或使放大因数较小,由此减小噪声。

[0086] 同样地,虽然本实施方式已被描述为具有由诸如配线等的导体电连接的多个FD区域,但是可以做出其中在FD区域之间设置有开关的构造。在本实施方式中,其中为每个光电转换元件设置一个FD区域的构造,和/或其中通过配线电连接多个FD区域的构造能够降低FD区域的容量。如果FD区域的容量较大,则通过在FD区域处对来自光电转换元件的信号电荷进行电荷-电压转换而获取的电压信号的幅度较小,并在随后会以高放大因数而被处理放大。噪声随着信号在放大处理中放大,由此图像质量会受损。然而,根据本实施方式的构造具有较小的FD区域容量,从而可以消除放大处理或使得放大因数较小,由此减小噪声。

[0087] 第二实施方式

[0088] 将参考图12描述根据第二实施方式的光电转换装置。图12是示出了对应于图4的光电转换装置的示意性平面图。图12中与图4所示相同的那些构造以相同的参考编号指示,并将省略对其的描述。将描述与第一实施方式的不同。

[0089] 图12中栅电极1205至1208的布局与图4中栅电极的布局不同。在图4中,栅电极205至208沿X轴方向平行布置,而在图12中,栅电极相对于X轴方向倾斜布置。晶体管特性的变动也可利用这种栅电极布局减小,这是因为区域241处的P型掺杂浓度低于区域240处的P型掺杂浓度。

[0090] 第三实施方式

[0091] 将参考图13描述根据第三实施方式的光电转换装置。图13是示出了对应于图4的光电转换装置的示意性平面图。图13中与图4所示相同的那些构造以相同的参考编号指示,并将省略对其的描述。将描述与根据第一实施方式的光电转换装置的不同。

[0092] 在图13中,给有源区1320和有源区1321设置的光电转换元件的数目与图4中不同。虽然在图4中给一个有源区设置两个光电转换元件,但是在图13中则是给一个有源区设置四个光电转换元件。给有源区1320设置N型半导体区1301至1304。因此,相比于图4在图13中设置了更多的栅电极,设置了栅电极1305至1308。栅电极的信号电荷传输方向被分成沿着Y轴方向的两个方向。区域1341被设置在栅电极1305和栅电极1306之间,并且区域1341也被设置在栅电极1307和栅电极1308之间。晶体管特性的变动也可使用该布局减小,这是因为区域1341处的P型掺杂浓度低于区域1340处的P型掺杂浓度。

[0093] 第四实施方式

[0094] 将参考图14A和14B描述根据第四实施方式的光电转换装置。图14A是示出了对应于图4的光电转换装置的示意性平面图。图14B是图14A中区域1410的放大视图。将描述根据本实施方式的光电转换装置与根据第一实施方式的光电转换装置之间的不同。

[0095] 如图14A中可见,给有源区1420和有源区1421设置的光电转换元件的数目与图4中不同。虽然在图4中给一个有源区设置两个N型半导体区,但是在本实施方式中给一个有源区设置三个N型半导体区,即三个光电转换元件。给有源区1420设置半导体区1401至1403,并且还设置有栅电极1404至1406以及要成为FD区域的半导体区1407至1409。同样在该构造中,栅电极1404如图14B所示在虚线1400处比半导体区1401长了长度L14。对于栅电极1405和1406以及半导体区1402和1403之间的位置关系也是一样的。晶体管特性的变动也可使用

该布局减小,这是因为区域1441处的P型掺杂浓度低于区域1440处的P型掺杂浓度。

[0096] 第五实施方式

[0097] 将参考图15A和15B描述根据第五实施方式的光电转换装置。图15A是示出了对应于图4的光电转换装置的示意性平面图。图15B是图15A中区域1513的放大视图。将描述图15中与根据第一实施方式的光电转换装置的不同。

[0098] 如图15A中可见,给有源区1520和有源区1521设置的光电转换元件的数目与图4中不同。虽然在图4中给一个有源区设置两个N型半导体区,但是在本实施方式中给一个有源区设置四个N型半导体区。给有源区1520设置半导体区1501至1504以及栅电极1505至1508。栅电极的信号电荷传输方向顺着Y轴方向被分成两个方向。同样在该构造中,栅电极1506如图15B所示在虚线1514处比半导体区1502长了长度L15。这对于栅电极1505和半导体区1501之间的位置关系也是一样的,并且对于传输方向相反的半导体区1503和1504与栅电极1507和1508之间的位置关系也是一样的。晶体管特性的变动也可使用该布局减小,这是因为区域1541处的P型掺杂浓度低于区域1540处的P型掺杂浓度。

[0099] 第六实施方式

[0100] 将参考图16A和16B描述根据第六实施方式的光电转换装置。根据本实施方式的光电转换装置与根据第一实施方式的光电转换装置的不同之处在于设置了连接FD节点的开关。图16A和16B中与第一实施方式中相同的那些构造以相同的参考编号指示,并将省略对其的描述。

[0101] 图16A是根据本实施方式的光电转换装置的等效电路图。如图16A中可见,在相邻像素单元100之间设置有连接相邻像素单元100的FD节点111的晶体管1601。该构造使得不同像素单元内像素的信号电荷可在FD节点被累加。

[0102] 图16B是示出了图16A所示两个像素单元100的示意性平面图。线1602至1604示意性地表示诸如接触插塞和配线等的导体,并且表示电连接。每个晶体管1601具有栅电极1605和半导体区1606。晶体管1601共享重置晶体管和半导体区218。图16B中的半导体区1606通过线1603连接至另一像素单元100的半导体区218。也就是说,半导体区1606和半导体区218电连接。要成为FD区域的半导体区209至212被设置为经由晶体管1601与相邻像素单元100的半导体区209至212隔开。该构造使得向另一像素单元100附加信号电荷的同时允许将半导体区用作隔离的FD区域,由此能够抑制FD区域容量的增加。

[0103] 成像系统

[0104] 根据第一至第六实施方式的光电转换装置包括在诸如相机等的成像系统内。成像系统的概念不限于主要目的为执行成像的装置,并且还包括具有补充成像功能的装置(例如,个人计算机和蜂窝电话)。成像系统可以包括根据例示描述的实施方式的光电转换装置,以及用于处理从光电转换装置输出的信号的信号处理单元。该信号处理单元例如可以包括A/D转换器、以及用于处理来自A/D转换器的数字数据的处理器。焦点检测信号可由根据第一至第五实施方式的光电转换装置所检测,或者可以设置隔离的装置来执行其检测。焦点检测处理可由处理单元执行,或者可以单独提供用于执行焦点检测处理的焦点检测处理单元,并且可对其恰当修改。

[0105] 根据本发明的光电转换装置及其制造方法不限于第一至第六实施方式,并且可被恰当修改。这些实施方式也可被恰当组合。

[0106] 根据本发明,能够提供具有优良传输路径的光电转换装置。

[0107] 虽然已经参考了示例性实施方式描述了本发明,但是应该理解本发明不限于公开的示例性实施方式。随附权利要求的范围符合最广义解释,以涵盖所有这些修改以及等效结构和功能。

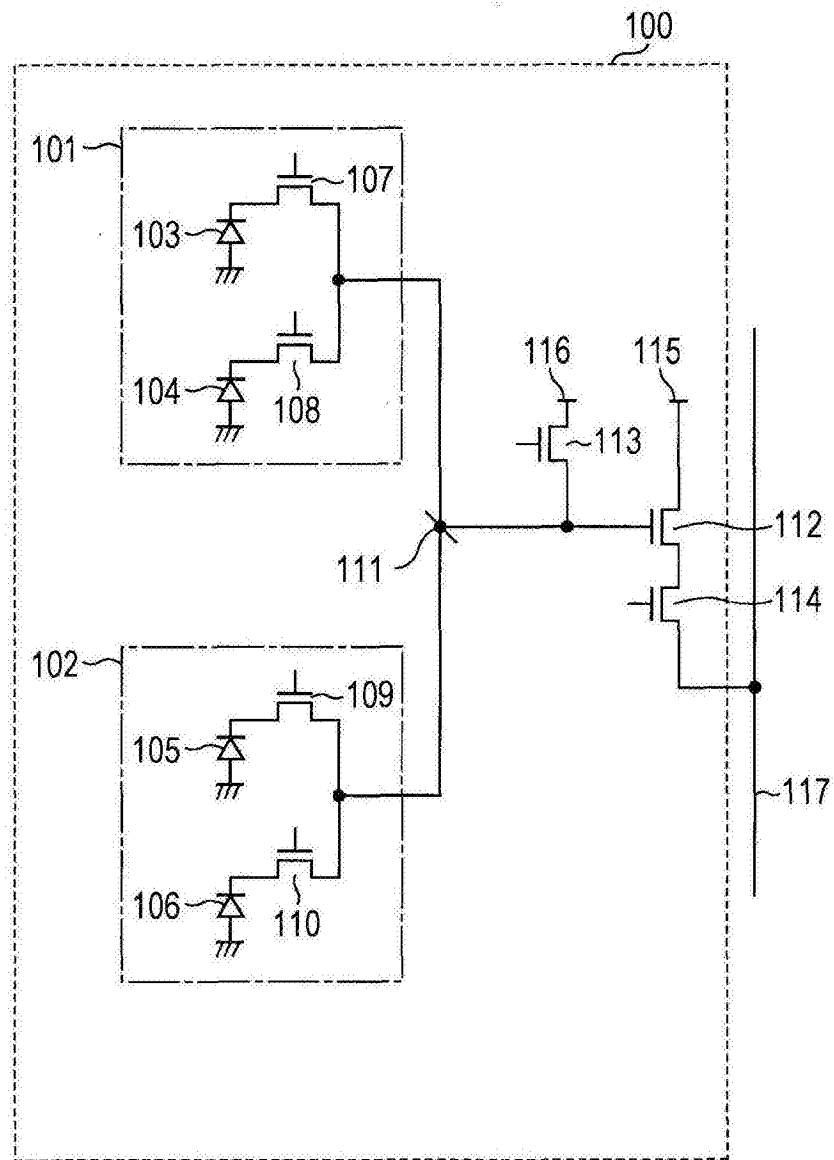


图1

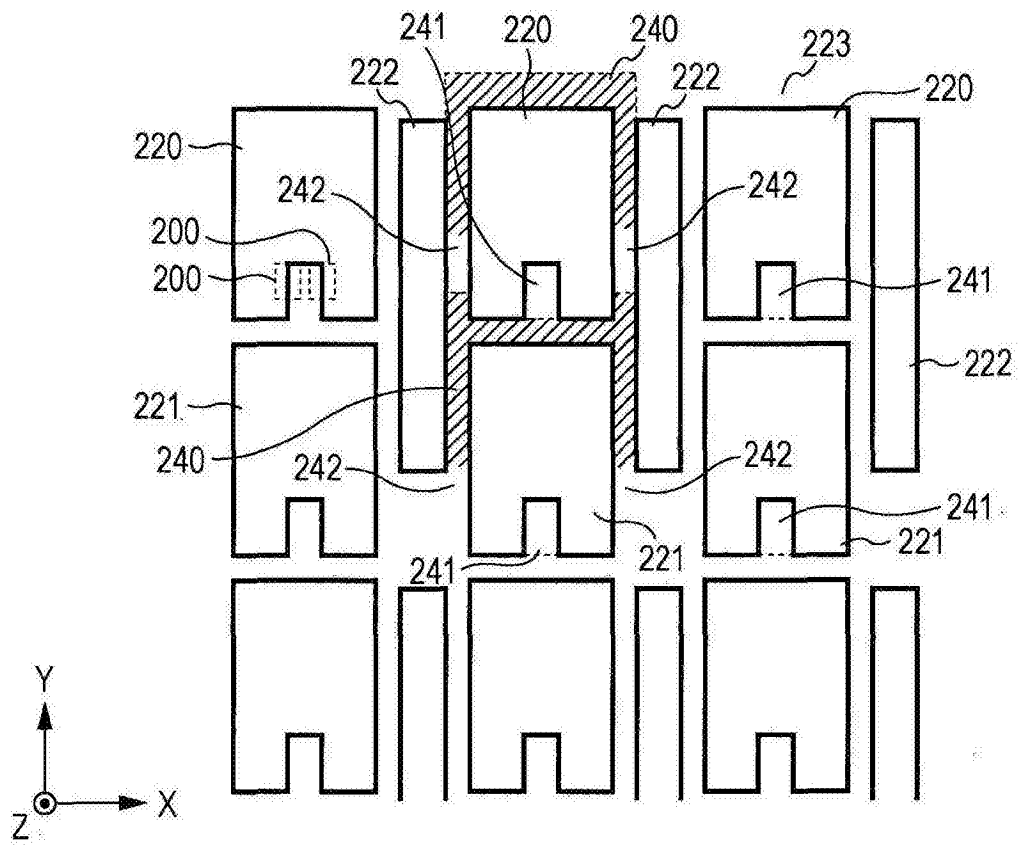


图2A

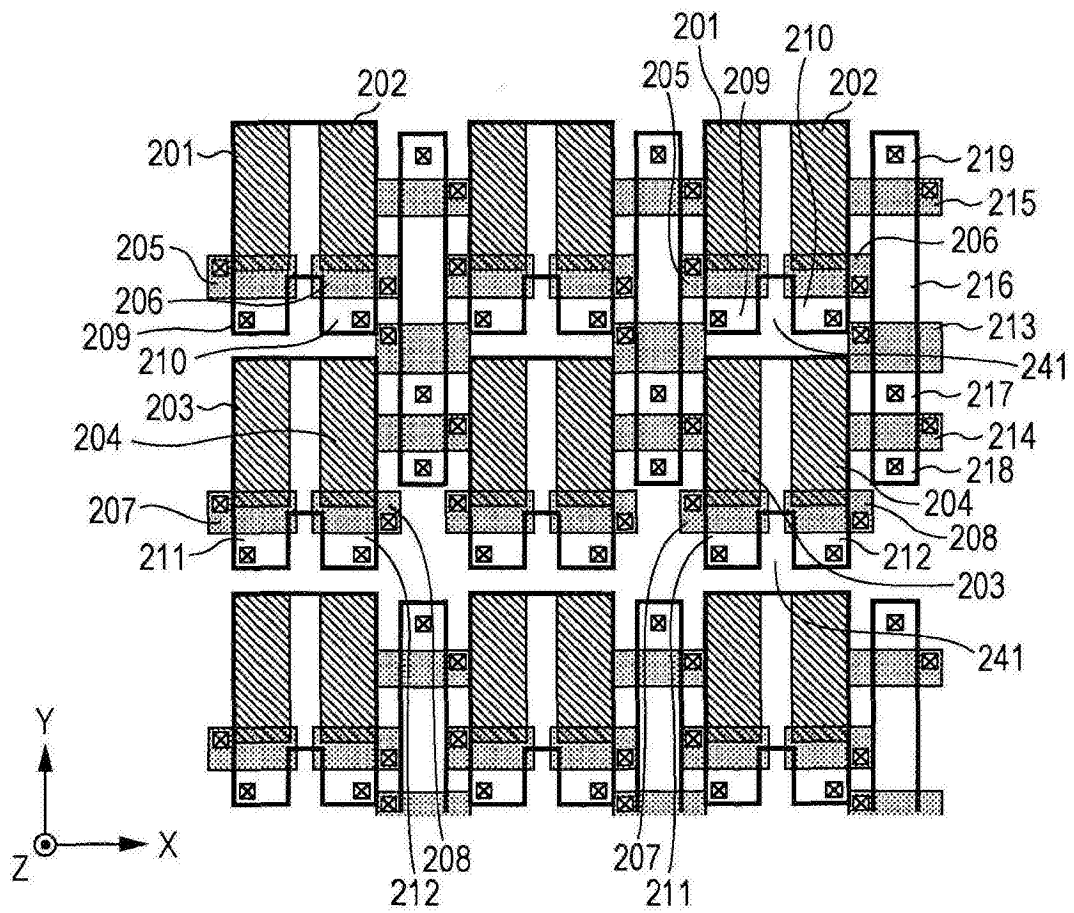


图2B

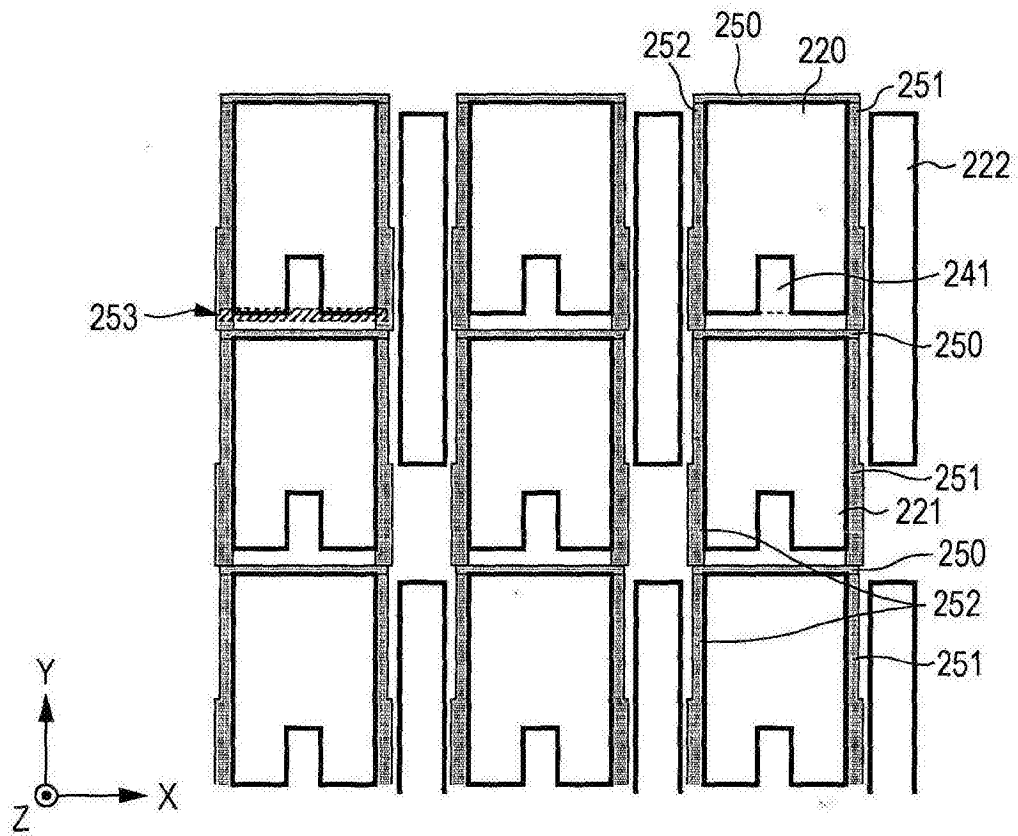


图3A

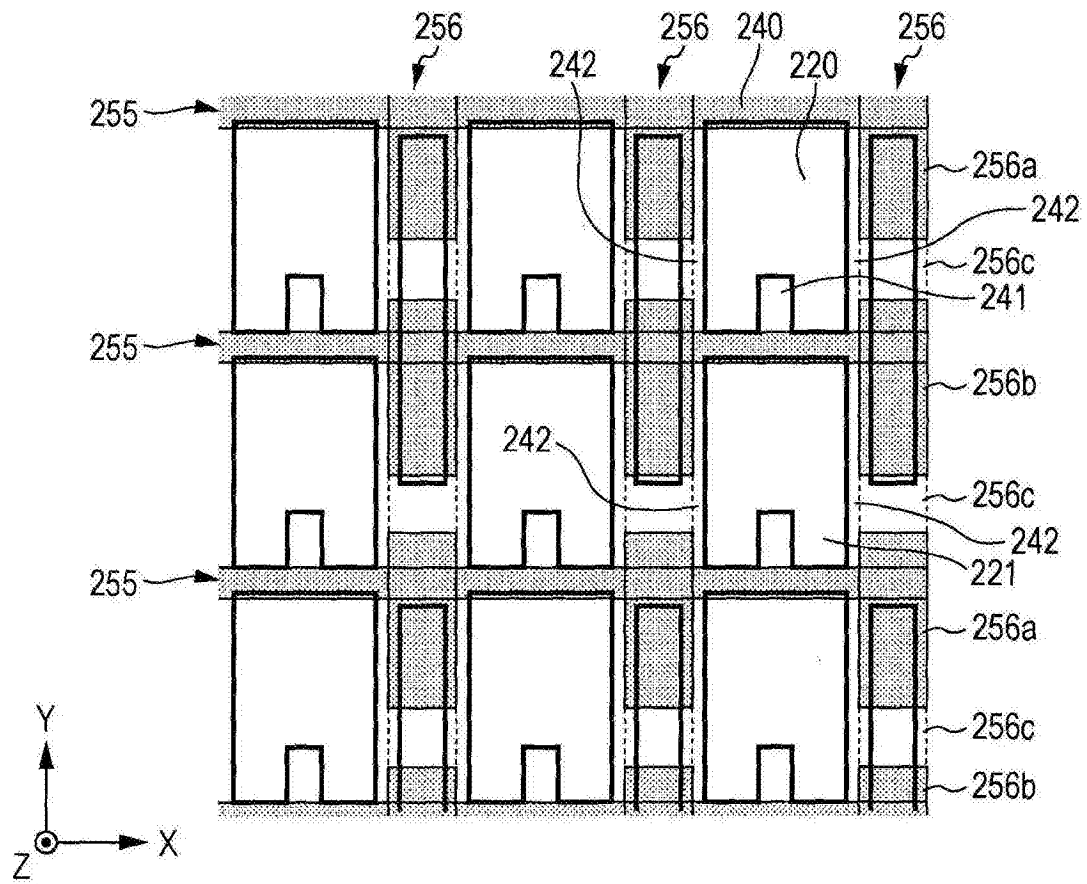


图3B

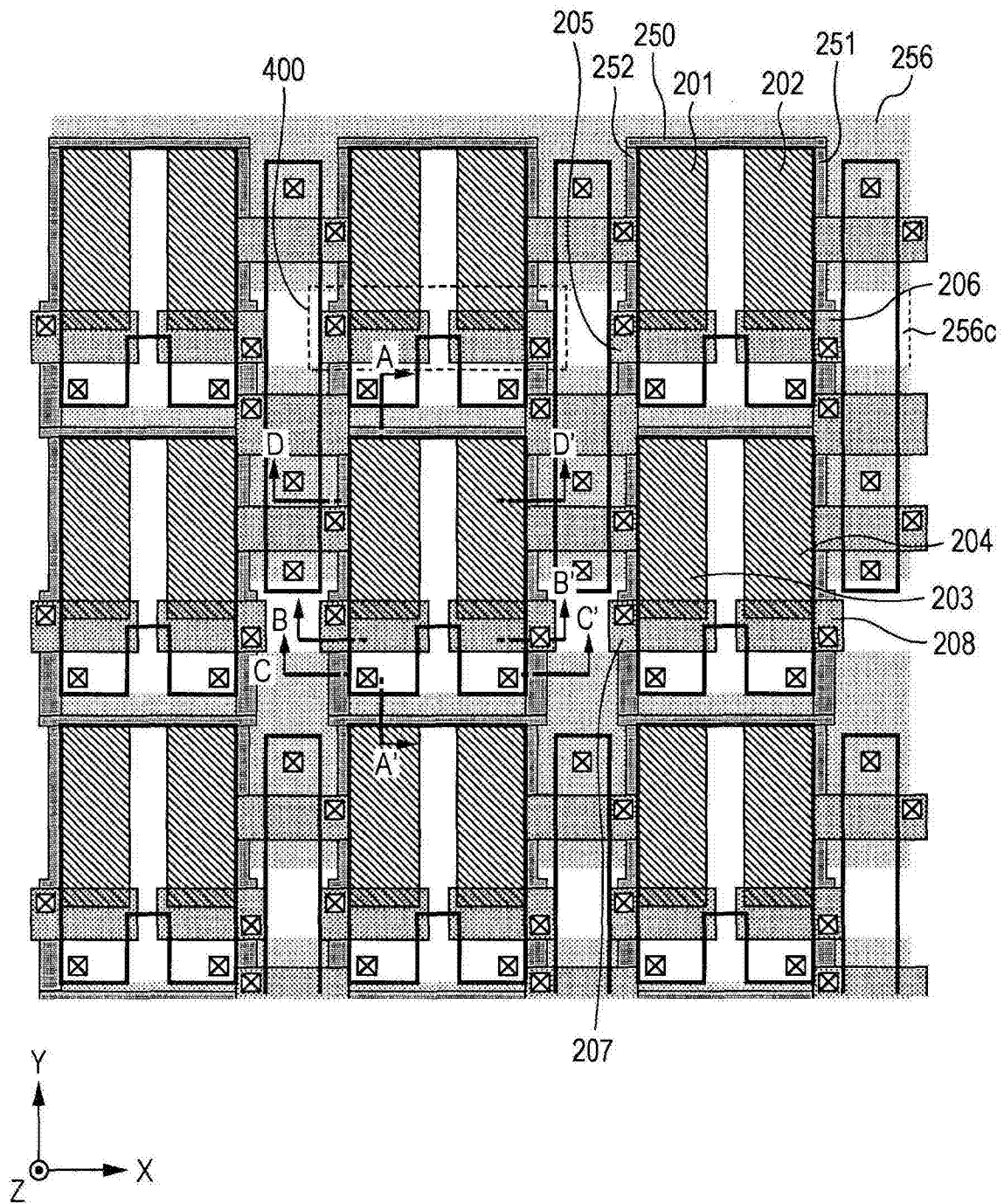


图4

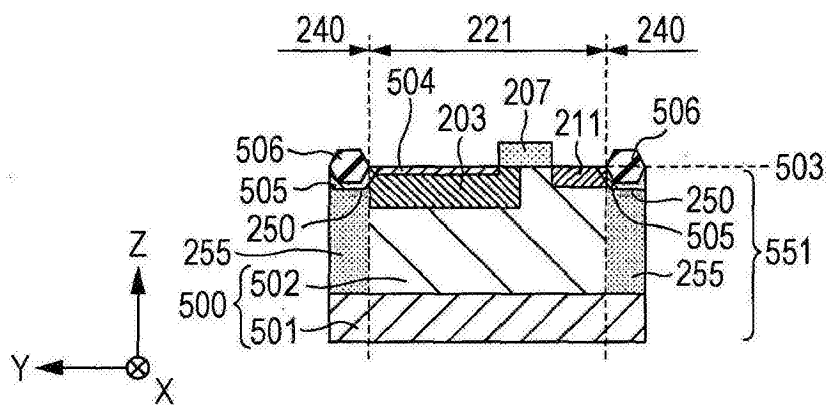


图5A

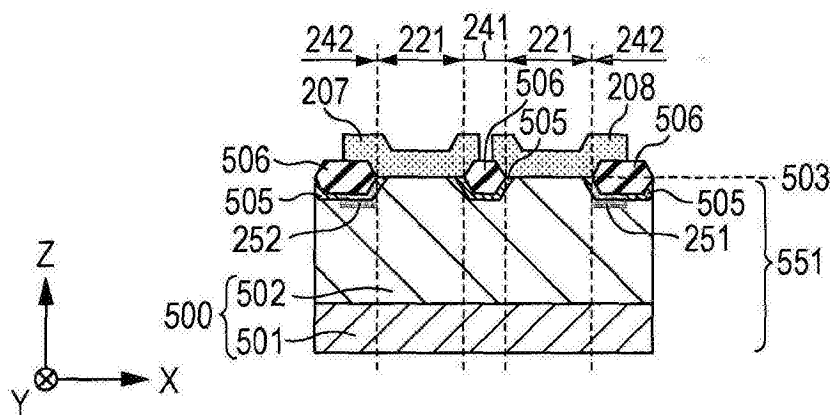


图5B

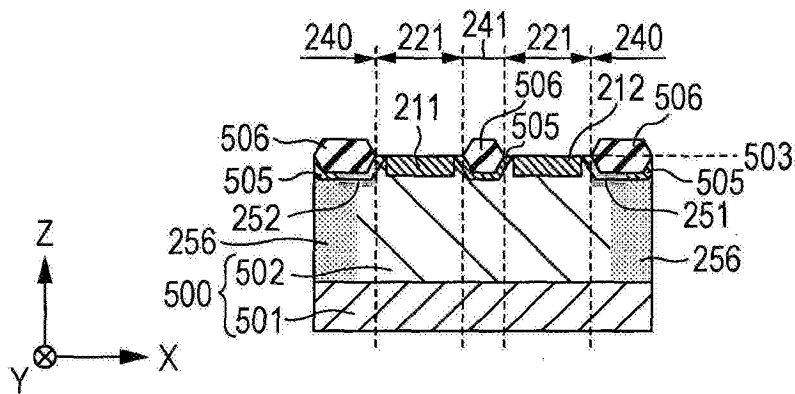


图5C

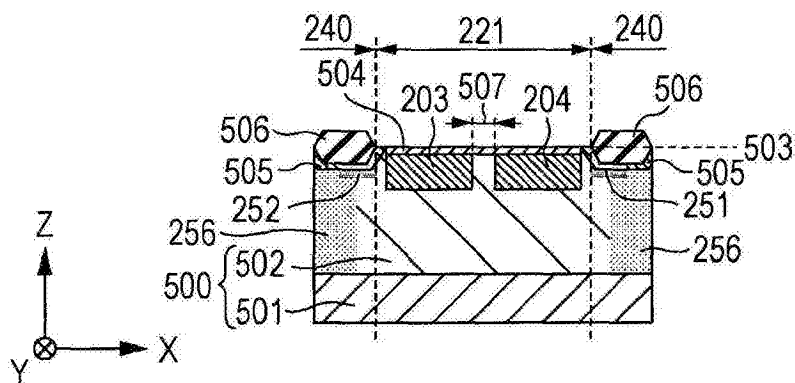


图5D

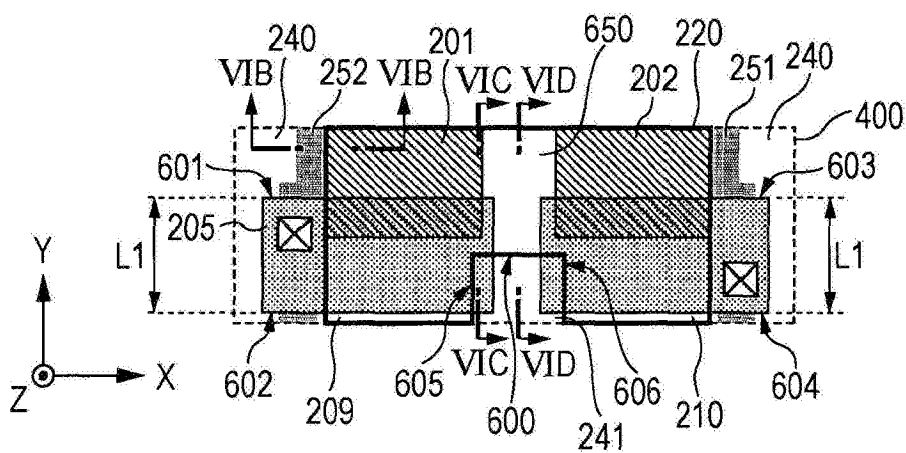


图6A

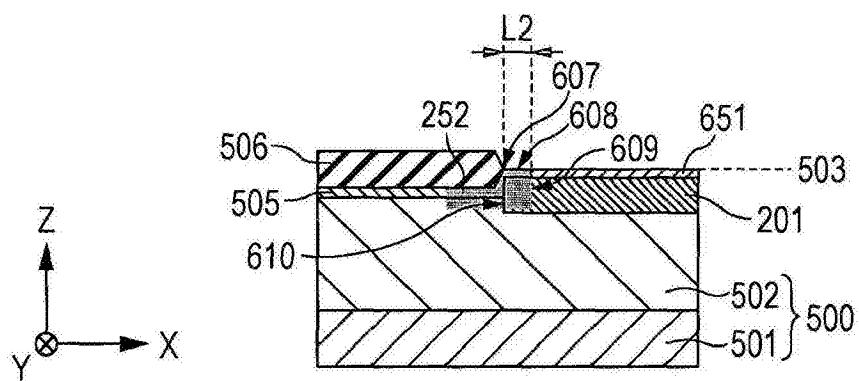


图6B

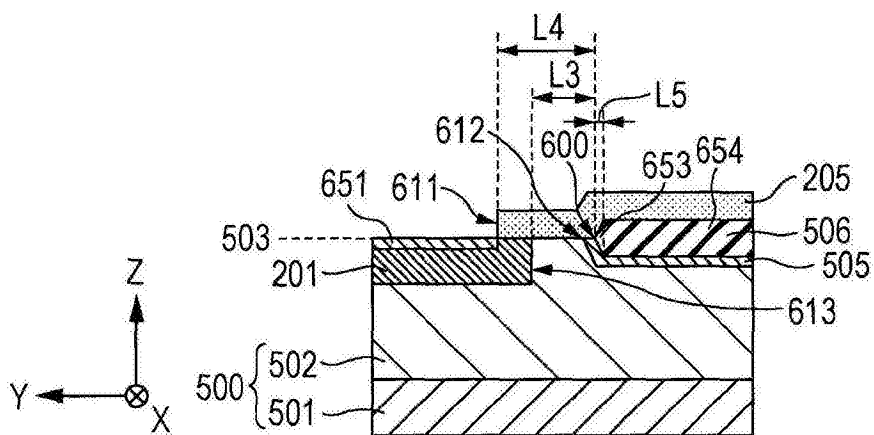


图6C

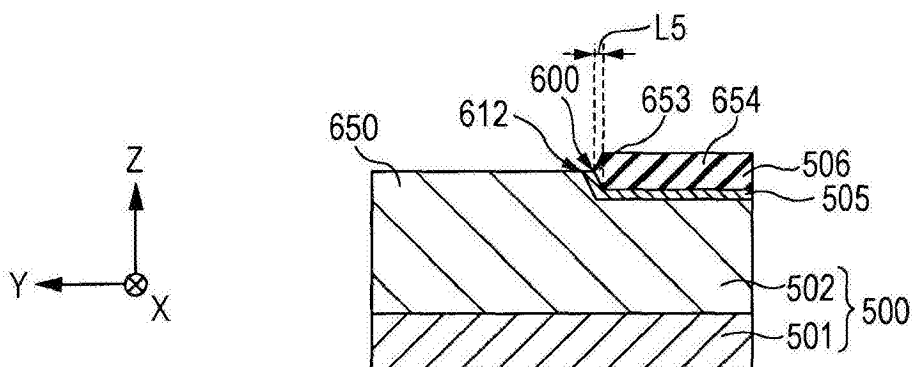


图6D

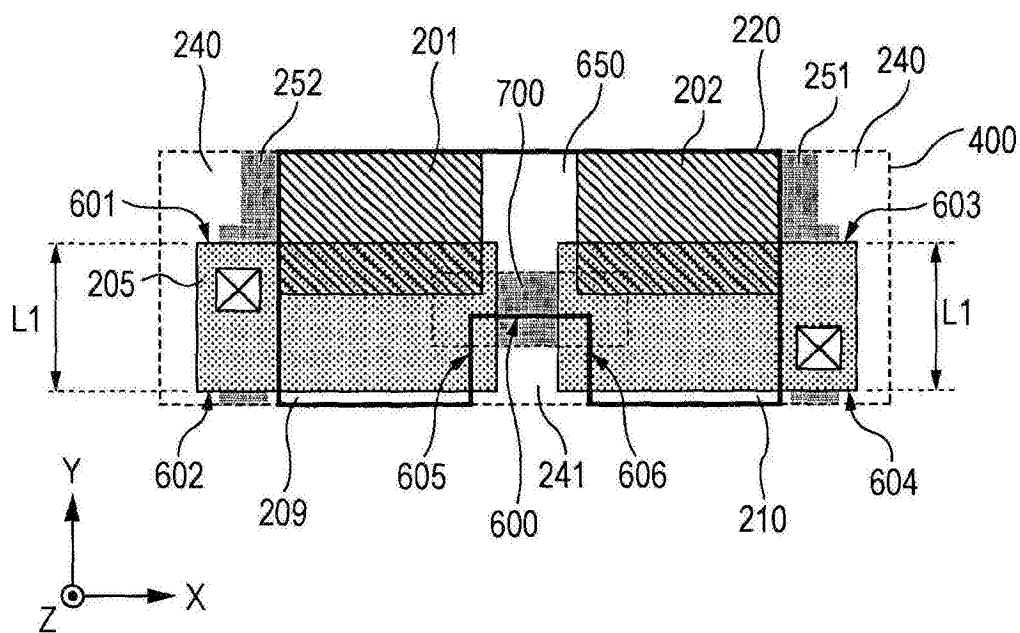


图7

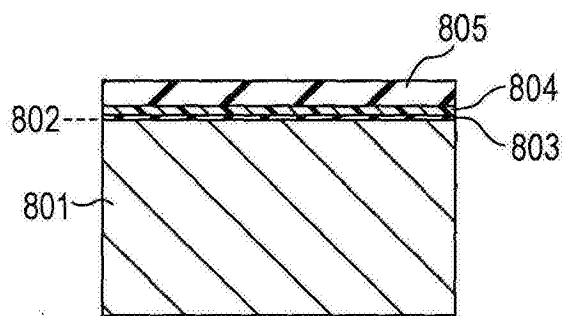


图8A

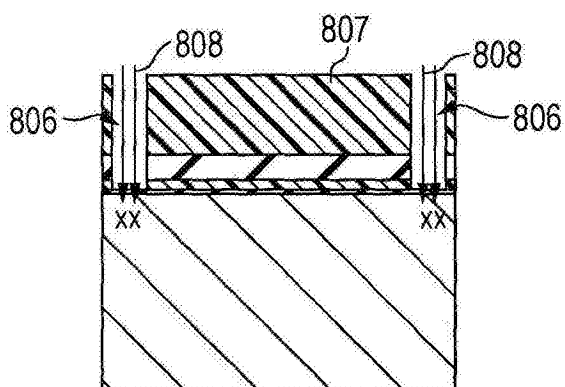


图8B

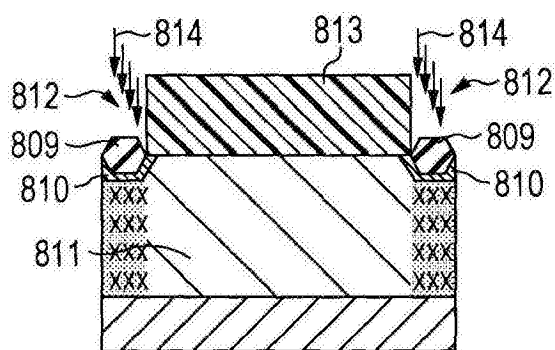


图8C

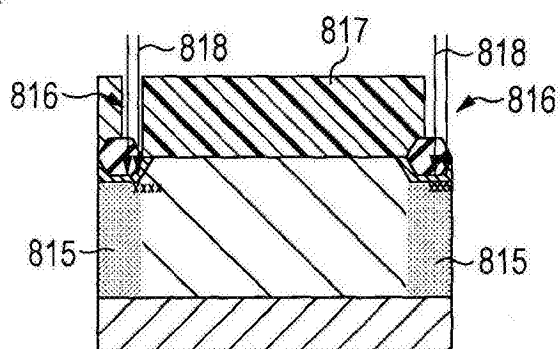


图8D

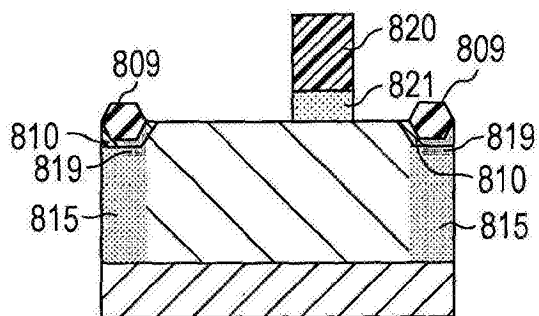


图8E

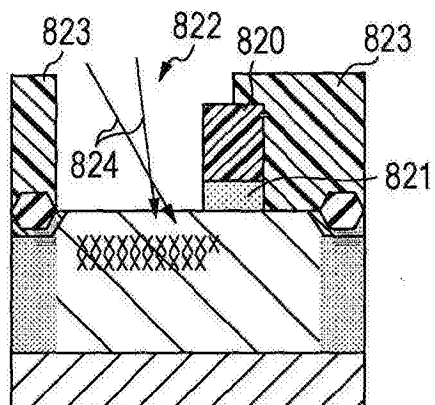


图8F

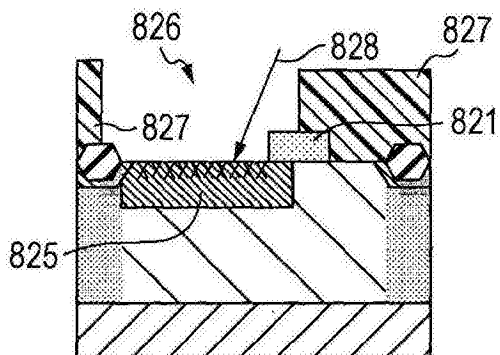


图8G

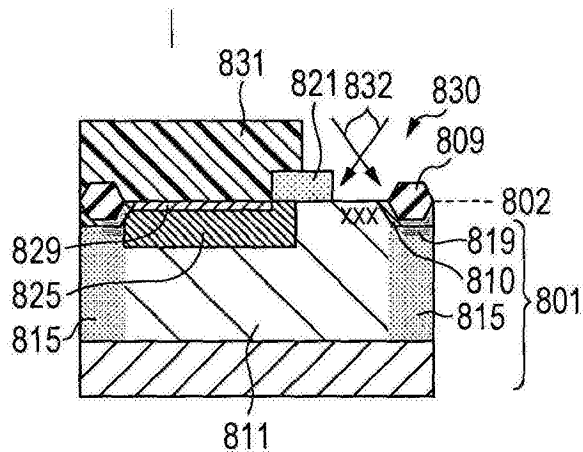


图8H

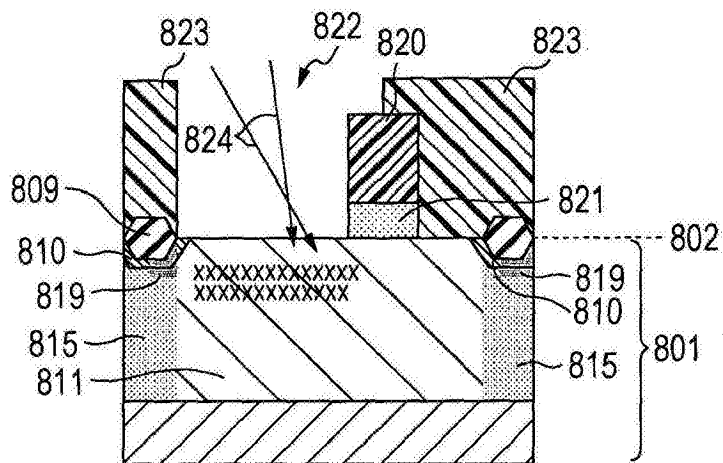


图9A

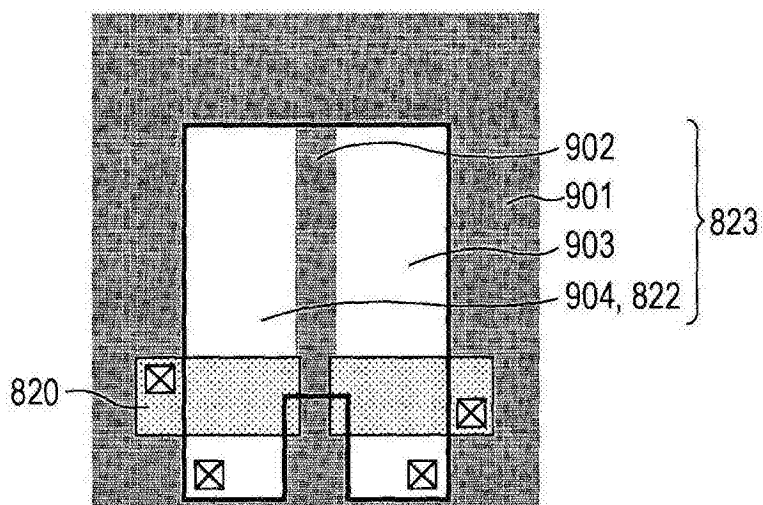


图9B

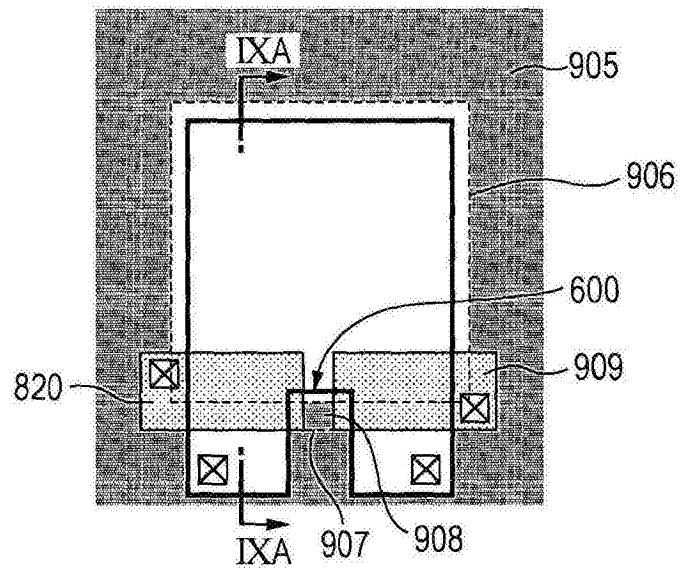


图9C

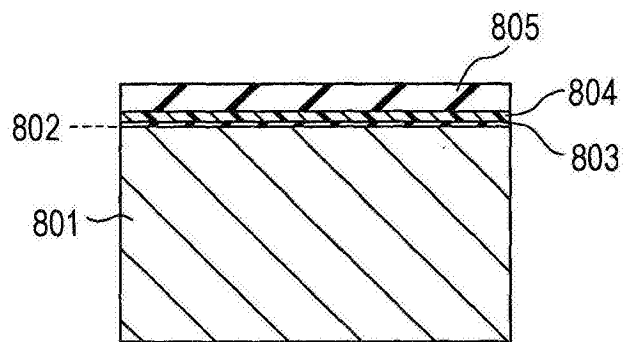


图10A

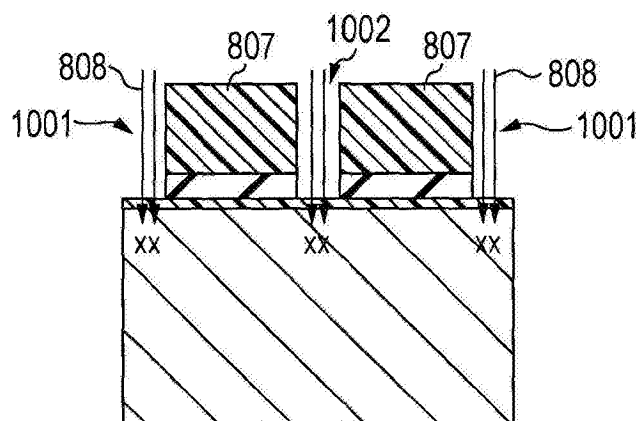


图10B

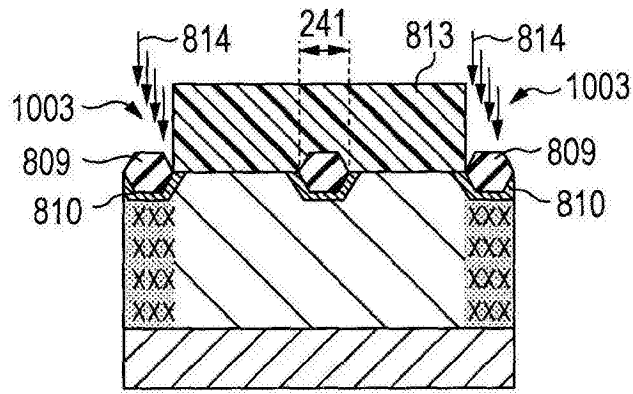


图10C

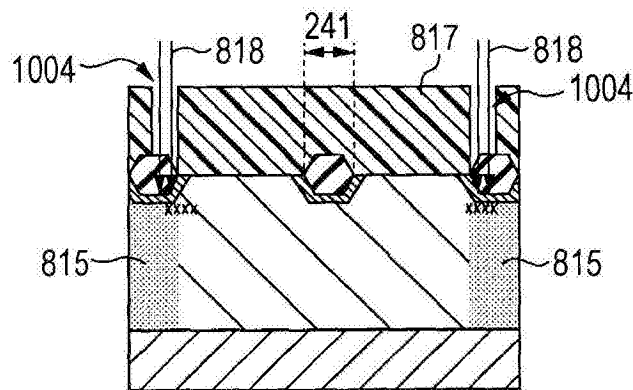


图10D

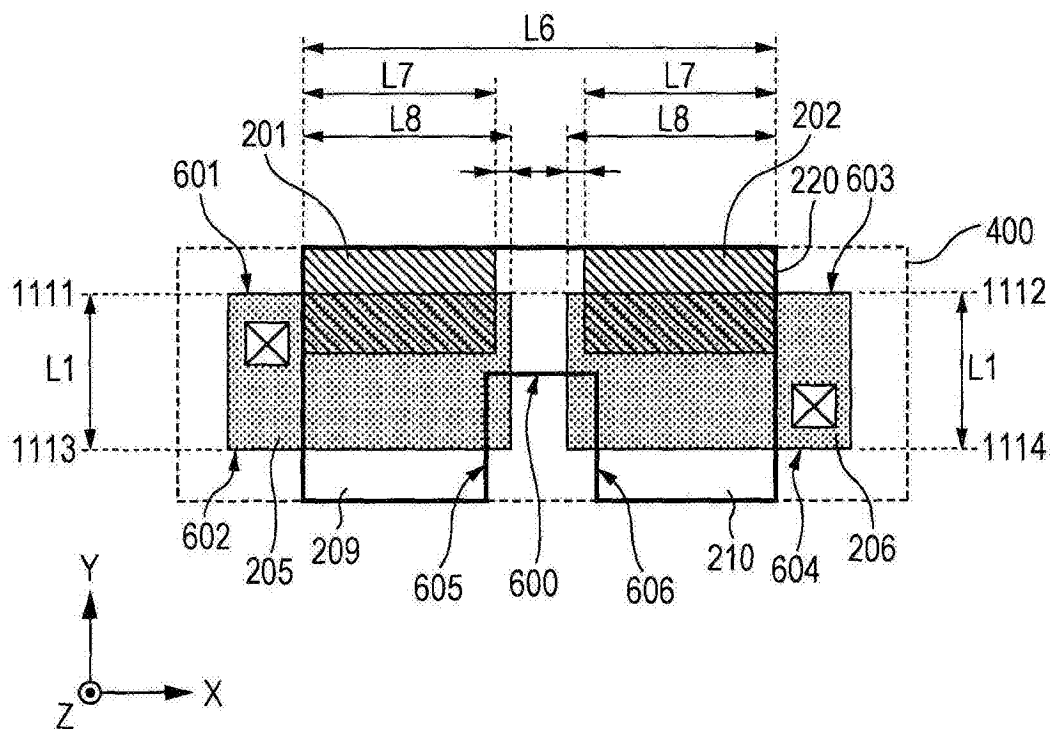


图11A

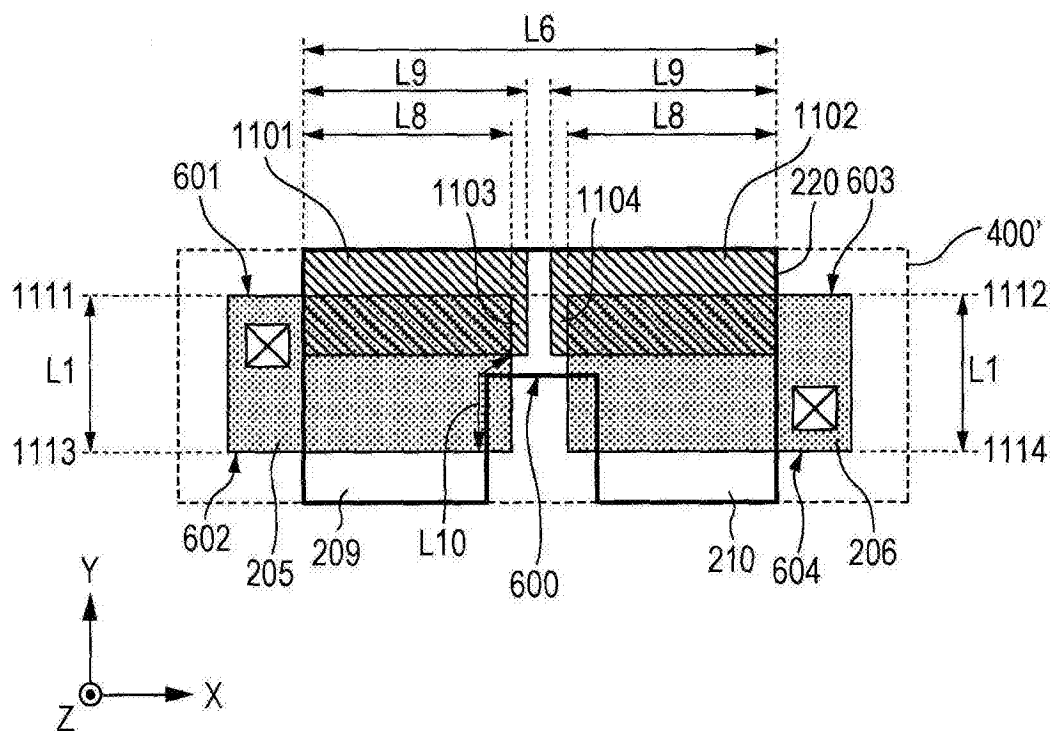


图11B

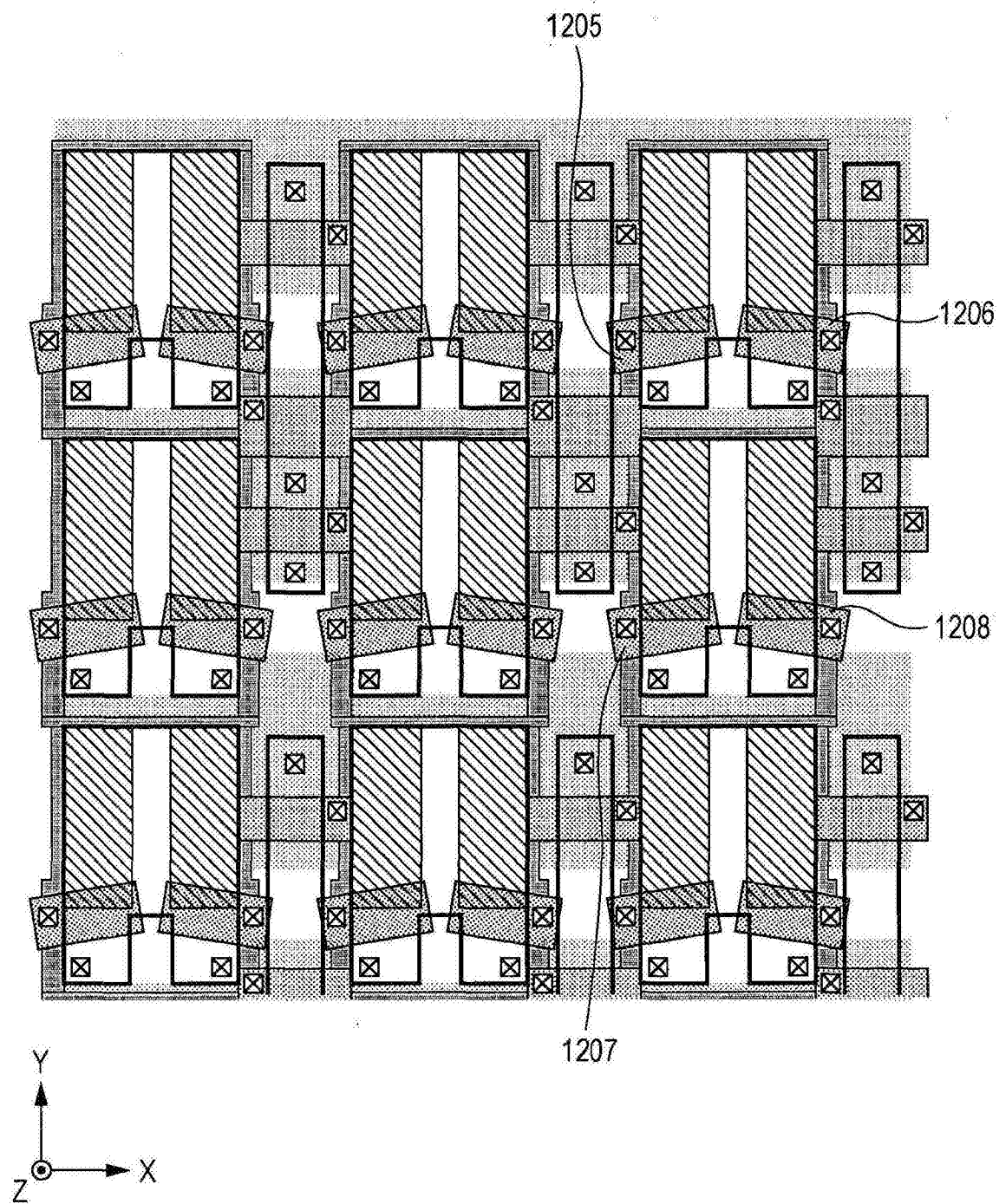


图12

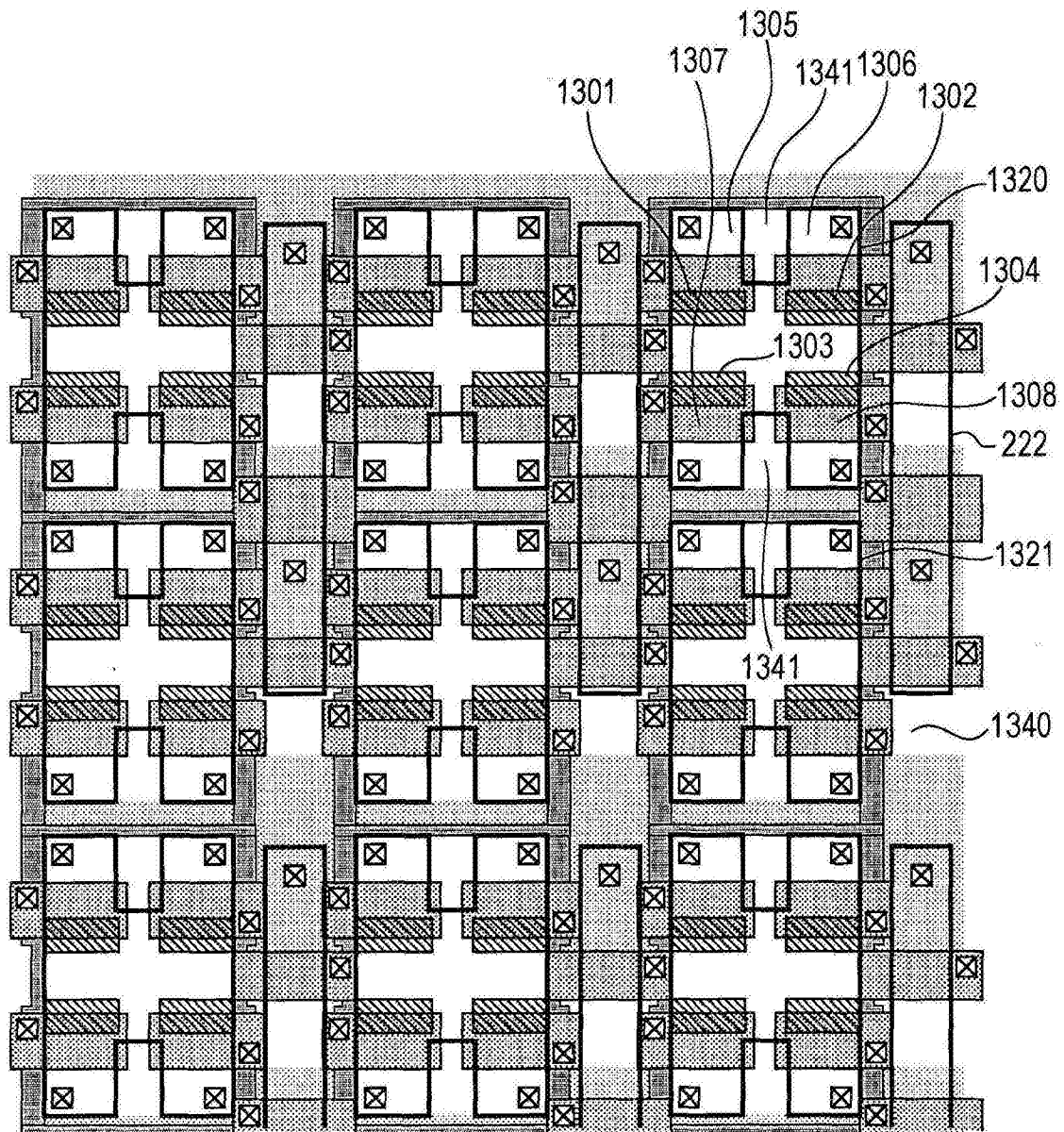


图13

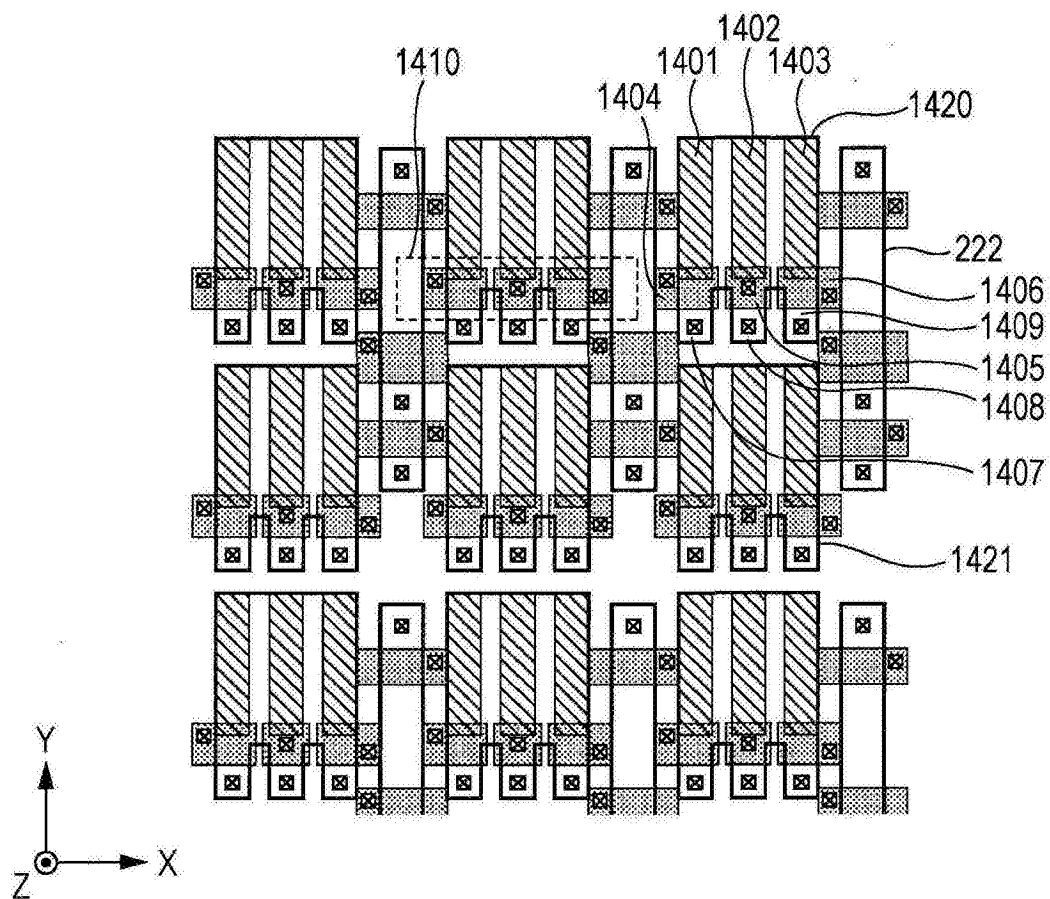


图14A

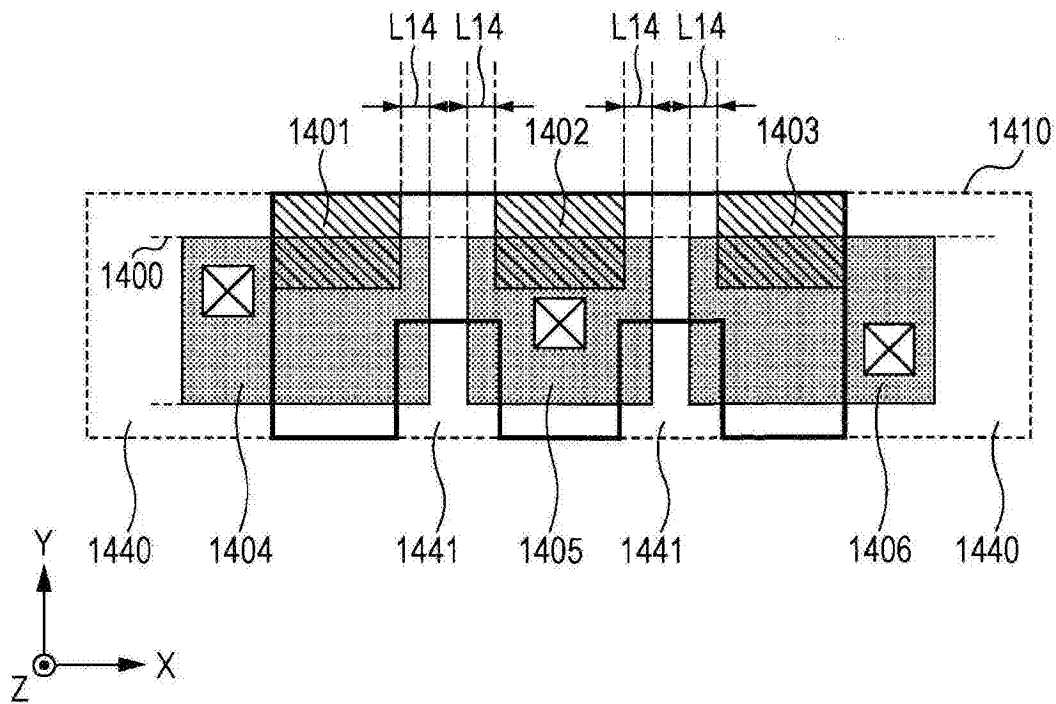


图14B

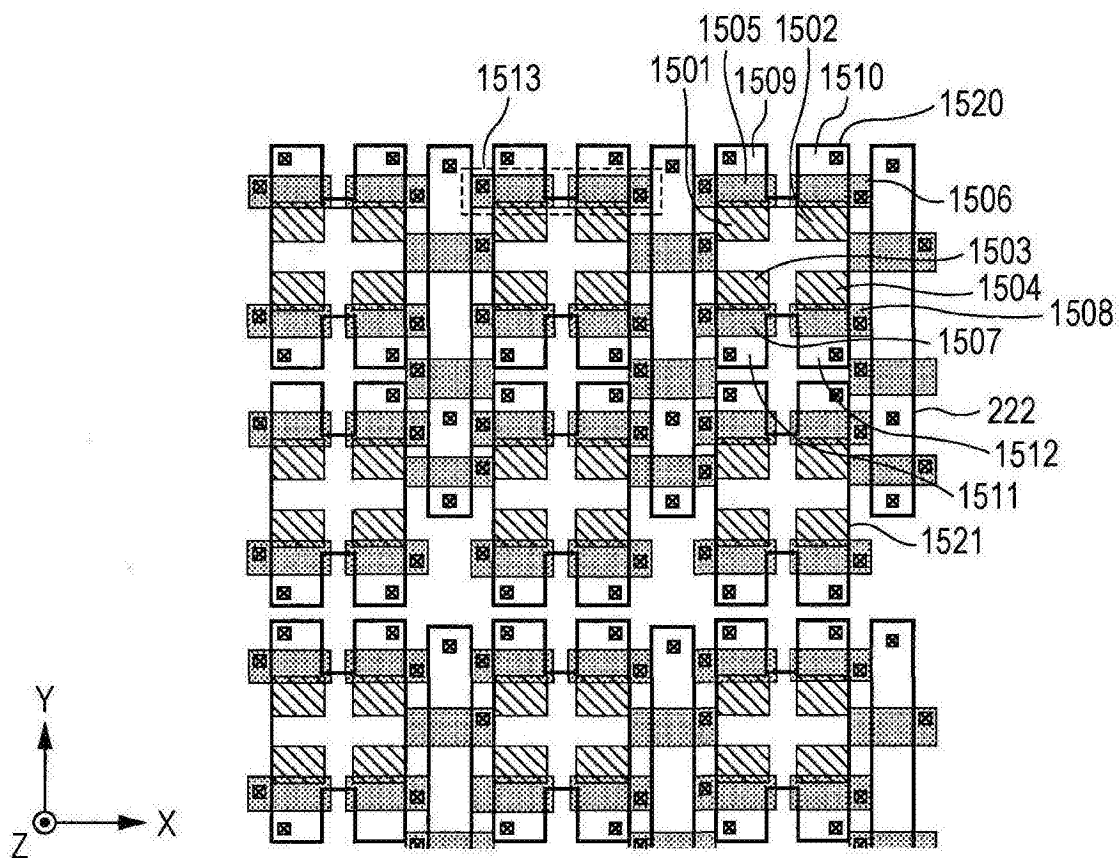


图15A

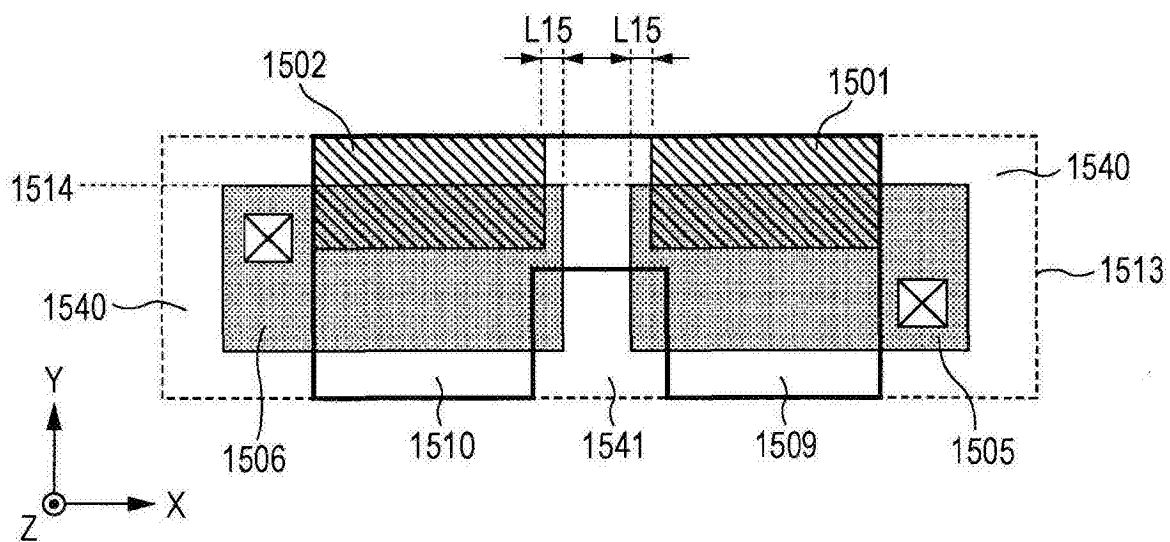


图15B

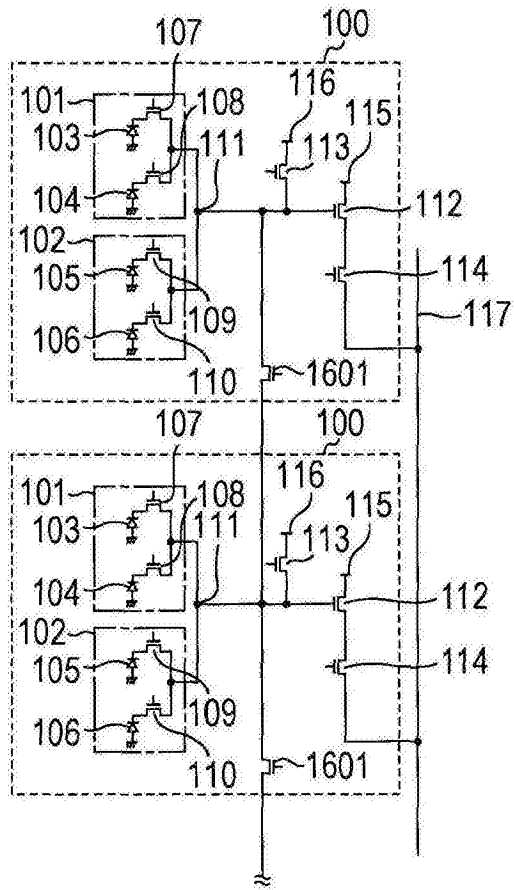


图16A

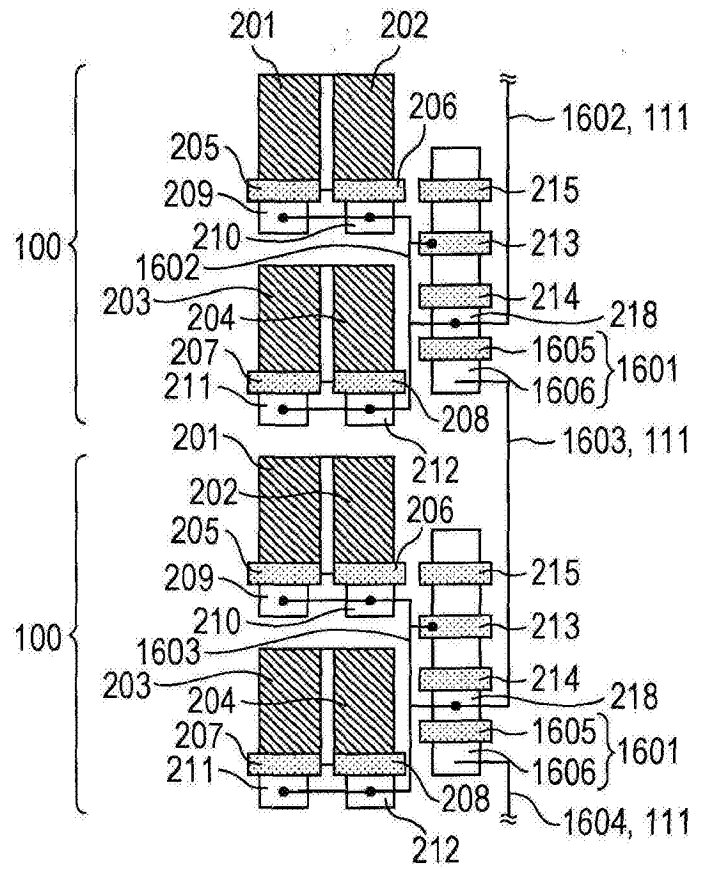


图16B