

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-222020

(P2004-222020A)

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int. Cl.⁷

H03M 3/02

F I

H03M 3/02

テーマコード(参考)

5J064

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願2003-7881 (P2003-7881)

(22) 出願日

平成15年1月16日(2003.1.16)

(71) 出願人

503361927

富士電機機器制御株式会社

東京都品川区大崎一丁目11番2号

(74) 代理人

100088339

弁理士 篠部 正治

(72) 発明者

美根 宏則

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

Fターム(参考) 5J064 AA00 AA04 BA03 BB07 BC00

BC06 BC07 BC08 BC12 BC14

BC15 BC21 BC29 BD00

(54) 【発明の名称】 $\Delta\Sigma$ 変調型A/D変換器の出力信号平滑方法とその平滑回路

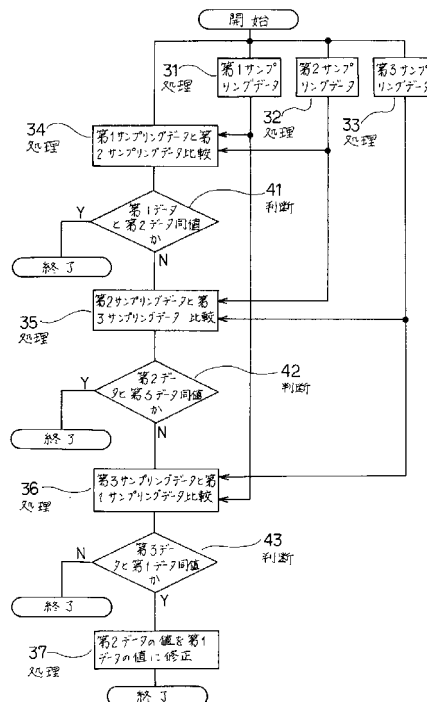
(57) 【要約】

【課題】回路規模が大きくなったり制御性能が劣化した
り入力範囲が狭くなるなどの不具合を生じることなしに、
変調型A/D変換器の出力ノイズを除去できるようにすることにある。

【解決手段】 変調型A/D変換器が出力する3以上連続したサンプリングデータの中の1つの値が他とは異なり、且つ連続する前記サンプリングデータの変化パターンが所定パターンと一致すれば、他とは異なるサンプリングデータの値を残余のサンプリングデータと同値に修正する。

この所定パターンとは、3以上連続したサンプリングデータの2番目データが1番目データとは異なる値で、且つ3番目データが1番目データと同値となるパターンであり、このとき2番目データの値を修正する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

変調型 A / D 変換器が出力する 3 またはそれ以上の連続したサンプリングデータを検出し、当該連続するサンプリングデータの中の 1 つの値が他とは異なり、且つ連続する前記サンプリングデータの変化パターンが予め定めたパターンと一致するとき、他とは異なる前記サンプリングデータの値を残余のサンプリングデータと同じ値に修正することを特徴とする 変調型 A / D 変換器の出力信号平滑方法。

【請求項 2】

請求項 1 に記載の 変調型 A / D 変換器の出力信号平滑方法において、前記予め定めたパターンとは、3 またはそれ以上の連続したサンプリングデータにおける第 2 サンプリングデータが第 1 サンプリングデータとは異なる値であり、且つ第 3 サンプリングデータが前記第 1 サンプリングデータと同じ値となるパターンであり、このとき第 2 サンプリングデータの値を第 1 または第 3 サンプリングデータと同じ値に修正することを特徴とする 変調型 A / D 変換器の出力信号平滑方法。 10

【請求項 3】

変調型 A / D 変換器の出力側に接続したデシメーションフィルタと、このデシメーションフィルタが出力する 3 またはそれ以上の連続したサンプリングデータを別個にラッチする複数のデータラッチ回路と、各データラッチ回路がラッチしたサンプリングデータの尤もらしさの有無を判定する最尤判定回路と、尤もらしいデータへの修正を行う最尤復号回路と、を備えることを特徴とする 変調型 A / D 変換器の出力信号平滑回路。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、 変調型 A / D 変換器が出力するデータを平滑にする 変調型 A / D 変換器の出力信号平滑方法とその平滑回路に関する。

【0002】

【従来の技術】

例えば電動機をデジタル量により制御すれば、従来のアナログ量による制御に比べて遙に高速度で高精度の制御が期待できるので、デジタル制御が多用されるようになって来ている。しかしながら電動機から検出される電圧や電流などのデータはアナログ量であるから、デジタル制御をするにはこれらのアナログデータをデジタルデータに変換する必要があり、そのために A / D 変換器を使用する。ところで電動機を高精度で制御しようとする、例えば 10 ビット以上の A / D 変換器が必要であり、大ビットの A / D 変換器は回路が複雑で大形化するし、価格も上昇してしまう欠点がある。そこで高精度を維持しながら回路構成を簡略化できる A / D 変換器として、 変調型 A / D 変換器が多用されるようになってきている。 30

【0003】

図 9 は永久磁石電動機をデジタル制御する場合の回路構成の一般例を示したブロック回路図である。この図 9 において、符号 1 は永久磁石電動機（以下では I P M モータと略記する）6 の回転速度を制御する速度制御器、符号 2 は比例積分制御により I P M モータ 6 へ印加する電圧を制御する P I 制御器、符号 3 は I P M モータ 6 の直交する d q 座標軸上の電圧指令を三相電圧指令に変換する U V W 変換器、符号 4 は電圧指示値に従ったパルス幅変調波形を発生するために三角波形との比較を行う比較器、符号 7 はその三角波を発生する三角波発生器、符号 5 は I P M モータ 6 を駆動するインバータ、符号 8 は I P M モータ 6 の回転位置を検出する位置検出器、符号 9 は I P M モータ 6 からアナログ量で検出される各相電流をデジタル量に変換する 変調型 A / D 変換器であり、この 変調型 A / D 変換器 9 で変換されたデジタル量の各相電流は、座標変換器 10 で直交する d q 座標に変換される。 40

【0004】

図 8 は図 9 に記載している従来の 変調型 A / D 変換器の構成を示したブロック回路図 50

である。従来の変調型 A/D 変換器 9 の動作を以下で簡単に説明する。図 8 において、差動アンプ 11 はアナログ入力信号 V_i (信号範囲は 0 ~ 1 とする) と 1 ビット D/A 変換器 15 からの出力との差を演算する。この差動アンプ 11 の出力は積分器 12 に入力されるが、アナログ入力信号 V_i が 1 ビット D/A 変換器 15 の出力よりも大ならば当該積分器 12 の出力を増大させるし、この大小関係が逆ならば積分器 12 の出力を減少させる。この積分器 12 の出力と別途に定めるレベル 0.5 との大小関係を比較器 13 で比較するが、積分器 12 の出力のほうが大ならば比較器 13 は 1 を出力し、積分器 12 の出力のほうが小さければ比較器 13 は零を出力する。この比較器 13 の出力データがサンプリングクロックによりラッチされ、サンプリング周波数の 1 周期の期間、遅延器 14 に保持される。このラッチされた信号が 1 ビット D/A 変換器 15 の入力となり、差動アンプ 11 は前述したアナログ入力信号 V_i との差の演算を行う。ディジタルフィルタ 16 を介して得られる比較器 13 の出力が、当該変調型 A/D 変換器 9 の出力である。

10

【0005】

図 10 は図 8 に示している変調型 A/D 変換器へのアナログ入力信号 V_i が 1/3 の場合の動作を示した動作波形図であって、図 10-1 は積分器 12 の出力信号の変化、図 10-2 は比較器 13 の出力信号の変化をそれぞれが示しており、アナログ入力信号 V_i が 1/3 の場合は、サンプリングクロック 3 回に 1 回の割合で比較器 13 からは 1 なる波形が出力(図 10-2 参照)される。

図 11 は図 8 に示している変調型 A/D 変換器へのアナログ入力信号 V_i が 4/7 の場合の動作を示した動作波形図であって、図 11-1 は積分器 12 の出力信号の変化、図 11-2 は比較器 13 の出力信号の変化をそれぞれが示しており、アナログ入力信号 V_i が 4/7 の場合は、サンプリングクロック 7 回に 4 回の割合で比較器 13 からは 1 なる波形が出力(図 11-2 参照)される。

20

【0006】

比較器 13 (図 8 参照) の出力信号が即ち変調型 A/D 変換器 9 の出力信号であって、その出力波形は例えば図 10-2, あるいは図 11-2 で示されるが、これを出力側に設けているディジタルフィルタ 16 で処理する。尤も簡単なフィルタ処理としては、一定のサンプリングクロック(一定とは 2^n であり、例えば $n = 8$ ならば 256)で 1 を何回出力したかをカウントし、これをディジタル出力値として使用する。この一定回数のサンプリングクロック間隔が A/D 変換時間となる。

30

しかし、アナログ入力値を分数で表したときの分母の値と、A/D 変換周期のサンプリングクロック数とが割り切れない関係にある場合は、A/D 変換値が一定しないという現象が現れる。これは量子化ノイズあるいはパターンノイズと呼ばれる。例えばサンプリングクロック間隔が 256 回でアナログ入力信号 $V_i = 1/3$ の場合の A/D 変換値は、85, 85, 86, 85, 85, 86, 85, ... となり、A/D 変換の 3 回に 1 回の割合で他の 2 回とは異なる値を出力する。すなわち入力値が一定であるにもかかわらず出力値が変動する不具合を生じてしまう。

【0007】

例えば図 9 で既述の電動機制御回路で、IPM モータ 6 に結合している負荷(図示は省略)が発生するトルクに対抗して IPM モータ 6 に電流を流すことにより、当該 IPM モータ 6 を所定の停止位置に静止させる場合に、変調型 A/D 変換器 9 に前述した出力変動が現れると、当該 IPM モータ 6 を所定位置で静止させることが困難になる不具合を生じてしまう。そこで前述したノイズを除去する手段として、従来は変調型 A/D 変換器 9 の出力側に次数の高いディジタルフィルタ 16 を追加する。あるいは、この高次のディジタルフィルタ 16 の代わりに、小振幅で一定周期波形のディジタル信号を A/D 変換入力に入れることでノイズスペクトラムを分散させる、などの対策を行うことになる(たとえば、特許文献 1 参照)。

40

【0008】

【特許文献 1】

特開平 6 - 104751 号公報

50

【0009】

【発明が解決しようとする課題】

変調型 A / D 変換器の出力側に高次のデジタルフィルタ 16 を追加することで出力信号に含まれるノイズを除去しようとする、回路規模が大きくなってしまふ欠点があるばかりだけではなく、フィルタの特性上からステップ入力に対する応答の遅れが増大する欠点があるから、例えば図 9 に図示のような電動機制御回路に使用するならば、サーボシステム全体の制御特性を劣化させてしまふ不具合を生じることになる。

また、A / D 変換入力にディザ信号を入れようとする、ディザ発生回路を追加設置する必要があり、これも回路規模を増大させてしまふ不具合があるし、このディザ信号の振幅分だけ 変調型 A / D 変換器の入力範囲が狭くなってしまふ欠点もある。

10

【0010】

そこでこの発明の目的は、回路規模が大きくなったり制御性能が劣化したり入力範囲が狭くなるなどの不具合を生じることなしに、 変調型 A / D 変換器の出力ノイズを除去できるようにすることにある。

【0011】

【課題を解決するための手段】

前記の目的を達成するために、この発明の 変調型 A / D 変換器の出力信号平滑方法とその平滑回路は、

変調型 A / D 変換器が出力する 3 またはそれ以上の連続したサンプリングデータを検出し、当該連続するサンプリングデータの中の 1 つの値が他とは異なり、且つ連続する前記サンプリングデータの変化パターンが予め定めたパターンと一致するとき、他とは異なる前記サンプリングデータの値を残余のサンプリングデータと同じ値に修正する。

20

【0012】

この予め定めたパターンとは、3 またはそれ以上の連続したサンプリングデータにおける第 2 サンプリングデータが第 1 サンプリングデータとは異なる値であり、且つ第 3 サンプリングデータが前記第 1 サンプリングデータと同じ値となるパターンであり、このとき第 2 サンプリングデータの値を第 1 または第 3 サンプリングデータと同じ値に修正する。

変調型 A / D 変換器の出力側に接続したデシメーションフィルタと、このデシメーションフィルタが出力する 3 またはそれ以上の連続したサンプリングデータを別個にラッチする複数のデータラッチ回路と、各データラッチ回路がラッチしたサンプリングデータの尤もらしさの有無を判定する最尤判定回路と、尤もらしいデータへの修正を行う最尤復号回路と、を備えるものとする。

30

【0013】

【発明の実施の形態】

図 1 は本発明の第 1 実施例を表したフローチャートである。図 1 において、3 つ以上連続しているサンプリングデータを順次ラッチ (処理 21) し、このラッチしたサンプリングデータの値をチェック (処理 22) する。各サンプリングデータの中で 1 つだけ他と異なる値がある (判断 26) 場合は、更にこの連続したデータの変化のパターンと、予め定めた所定パターンとを比較 (処理 23) し、所定のパターンと一致 (判断 27) している場合は、前記の 1 つだけ他と異なる値を呈するサンプリングデータはノイズであると判断し、これを修正する。

40

【0014】

図 2 は本発明の第 2 実施例を表したフローチャートであって、連続した 3 つのサンプリングデータからノイズの有無の判定と修正を行う場合を表している。すなわち、連続している第 1、第 2、第 3 サンプリングデータを順次ラッチ (処理 31、32、33) し、先ず第 1 サンプリングデータと第 2 サンプリングデータを比較 (処理 34) する。この両者が同値でなければ (判断 41)、次に第 2 サンプリングデータと第 3 サンプリングデータを比較 (処理 35) し、この両者が同値でなければ (判断 42)、更に第 3 サンプリングデータと第 1 サンプリングデータを比較 (処理 36) する。この両者が同値である (判断 43) ならば、第 2 サンプリングデータが第 1、第 3 データとは異なる値であり、且つデー

50

タの変化パターンが所定のパターンと一致することから、当該第2サンプリングデータはノイズであると判定し、これを修正する。

【0015】

図3は連続した3つのサンプリングデータが変化するパターンを表したパターン変化図であって、パターンAは各データが一定している場合、パターンBはデータが増大した後に一定した場合、パターンCはデータが減少した後に一定した場合、パターンDは一定していたデータが増大した場合、パターンEは一定していたデータが減少した場合、パターンFは各データが順次増大した場合、パターンGは各データが順次減少した場合、パターンHはデータが減少した後に元の値に戻った場合、パターンJはデータが増大した後に元の値に戻った場合、をそれぞれが表している。

10

【0016】

図3に図示の各パターンの中で、パターンHとJの変化は、前述したサンプリングクロック間隔が256回でアナログ入力信号 $V_i = 1/3$ の場合に、A/D変換値は、85, 85, 86, 85, 85, 86, 85...となっており、アナログ入力信号 V_i が一定値であるにもかかわらず、3回に1回の割合で他の2回とは異なる値を出力するのに対応している。すなわち、これがノイズに相当する変化パターンである。よってこのパターンHまたはパターンJと一致したパターンが現れた場合に、他とは異なる値を呈する第2サンプリングデータをノイズと判定する。

【0017】

図4は本発明の第3実施例を表したブロック回路図であるが、この図4に記載の差動アンプ11, 積分器12, 比較器13, 遅延器14および1ビットD/A変換器15の名称・用途・機能は図8で既述の回路図と同じであり、デジタルフィルタ51のみが異なる。よって以下ではデジタルフィルタ51についてのみ説明する。

20

図5は図4に記載のデジタルフィルタの構成を表した本発明の第3実施例回路図であって、デジタルフィルタ51はデシメーションフィルタ53と最尤復号回路54で構成されている。デシメーションフィルタ53の特性は下記の数式1で表され、256サンプル点の平均をとりながら、256サンプル毎にデータの間引きを行い、オーバサンプリング周波数から最終的なサンプリング周波数でA/D変換を実行する。

【0018】

【数1】

$$H(z) = (1 + z^{-1} + z^{-2} + z^{-3} + \dots + z^{-256}) / 256$$

このデシメーションフィルタ53の出力値には、アナログ入力が入一定値の場合には前述したように、量子化ノイズが重畳する。この量子化ノイズの大きさはデシメーションフィルタ53の出力刻み幅となる。ここでは変調型A/D変換器の出力は零または1のいずれかの値であり、デシメーションフィルタ53により256サンプル点の平均化処理を行っているため、刻み幅は $1/256$ となる。そのため量子化ノイズの瞬時振幅は $\pm 1/256$ となる。このデシメーションフィルタ53の出力は、次段の最尤復号回路54へ送られる。

30

【0019】

図6は図5に図示の最尤復号回路の構成を表した本発明の第3実施例回路図である。最尤復号回路54は、A/D変換サンプリング周波数でデータが順次送られて保持される第1データラッチ56, 第2データラッチ57, 第3データラッチ58と最尤復号判定部59で構成されていて、デシメーションフィルタ53から送られて保持されたデータのパターンを最尤復号判定部59で判定し、図3で既述のパターンHまたはパターンJの発生の有無をチェックし、このパターンが発生すればパターンAに修正したものを出力する。また、パターンA~Gは修正処理は行わずに、そのまま出力する。

40

【0020】

なお、本発明のデジタルフィルタ51を含んだ変調型A/D変換器を使用している装置(例えば図9の電動機制御回路)では、その制御や各種の信号処理をCPUで行っている場合は、最尤復号回路54が行うべき処理をこのCPUに代行させることができるの

50

は勿論である。

図7は 変調型A/D変換器に発生した量子化ノイズを本発明の最尤復号回路で修正した状況を表したデジタルデータ図であって、図7 1 は最尤復号回路54へ入力するデジタルデータの変化、図7 2 は最尤復号回路54から出力するデジタルデータの変化をあらわしている。この図7で明らかなように、パターンHとパターンJを検出し、量子化ノイズに相当するデータを矢印で図示のように修正している。

【0021】

【発明の効果】

従来の 変調型A/D変換器では、これに入力するアナログ信号が一定値の場合に、そのデジタル出力信号に量子化ノイズが重畳する不具合を生じることがあるので、高次のデジタルフィルタを使用したり、ディザ信号を入れるなどの対策を講じるのであるが、そのために回路規模が大きくなるし、制御応答性能が低下したり、 変調型A/D変換器の入力範囲が狭くなるなどの不都合があった。これに対して本発明では、デシメーションフィルタと最尤復号回路を備えることにより、連続する3以上のサンプリングデータの変化パターンから量子化ノイズが含まれているパターンのチェックと修正を行うので、回路規模が大きくなるのを抑制すると共に、制御応答性能の低下を回避できるし、入力範囲を狭くしない効果も得られる。更に、当該 変調型A/D変換器を適用している装置の制御にCPUを使用している場合は、このCPUを使って最尤復号回路の動作を代行させることができるので、回路規模の拡大をより一層抑制できる効果も得られる。

【図面の簡単な説明】

【図1】本発明の第1実施例を表したフローチャート

【図2】本発明の第2実施例を表したフローチャート

【図3】連続した3つのサンプリングデータが変化するパターンを表したパターン変化図

【図4】本発明の第3実施例を表したブロック回路図

【図5】図4に記載のデジタルフィルタの構成を表した本発明の第3実施例回路図

【図6】図5に図示の最尤復号回路の構成を表した本発明の第3実施例回路図

【図7】 変調型A/D変換器に発生した量子化ノイズを本発明の最尤復号回路で修正した状況を表したデジタルデータ図

【図8】図9に記載している従来の 変調型A/D変換器の構成を示したブロック回路図

【図9】永久磁石電動機をデジタル制御する場合の回路構成の一般例を示したブロック回路図

【図10】図8に示している 変調型A/D変換器へのアナログ入力信号 V_i が1/3の場合の動作を示した動作波形図

【図11】図8に示している 変調型A/D変換器へのアナログ入力信号 V_i が4/7の場合の動作を示した動作波形図

【符号の説明】

1	速度制御器
2	PI制御器
3	UVW変換器
4	比較器
5	インバータ
6	IPMモータ
7	三角波発生器
8	位置検出器
9	変調型A/D変換器
10	座標変換器
11	差動アンプ
12	積分器
13	比較器

10

20

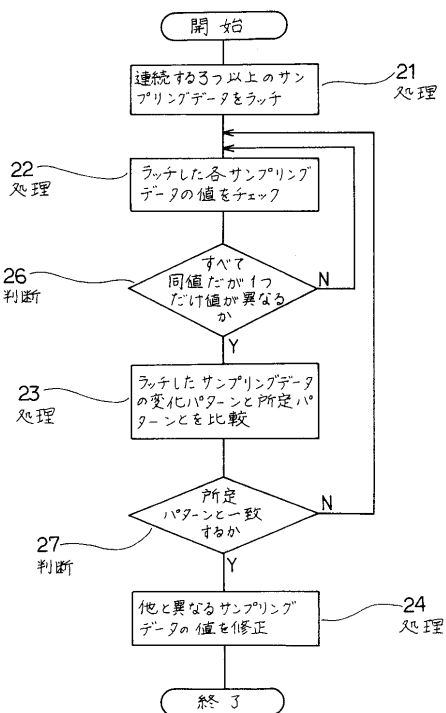
30

40

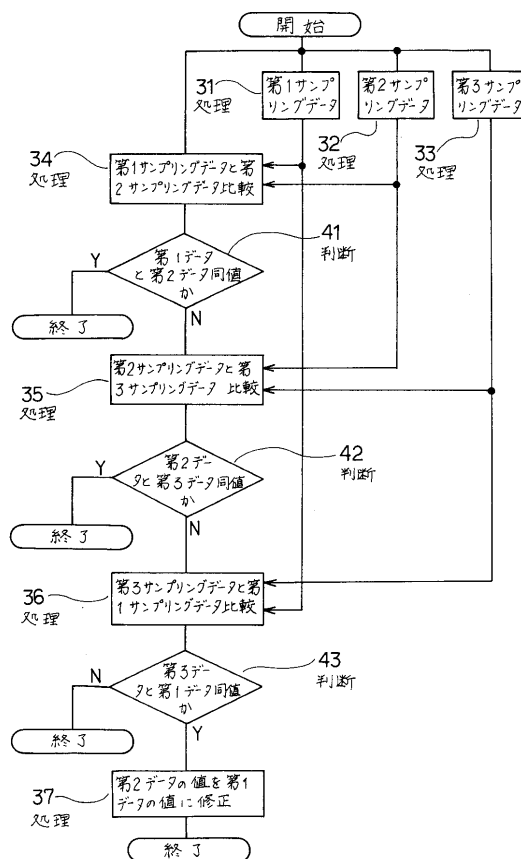
50

- 1 4 遅延器
- 1 5 1ビットD/A変換器
- 1 6 , 5 1 デジタルフィルタ
- 2 1 ~ 2 4 , 3 1 ~ 3 7 処理
- 2 6 , 2 7 , 4 1 ~ 4 3 判断
- 5 3 デシメーションフィルタ
- 5 4 最尤復号回路
- 5 6 第1データラッチ
- 5 7 第2データラッチ
- 5 8 第3データラッチ
- 5 9 最尤復号判定部

【 図 1 】



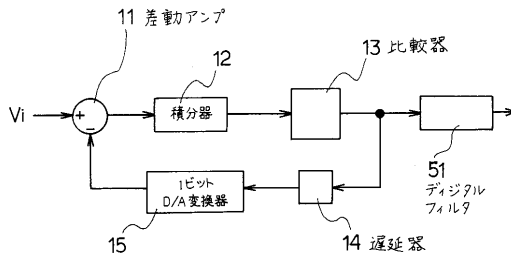
【 図 2 】



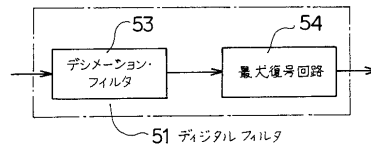
【 図 3 】

パターン	サンプリングデータ		
	第1	第2	第3
A	○ → ○ → ○		
B	○ ↗ ○ → ○		
C	○ ↘ ○ → ○		
D	○ → ○ ↗ ○		
E	○ → ○ ↘ ○		
F	○ ↗ ○ ↗ ○		
G	○ ↘ ○ ↘ ○		
H	○ ↘ ○ ↗ ○		
J	○ ↗ ○ ↘ ○		

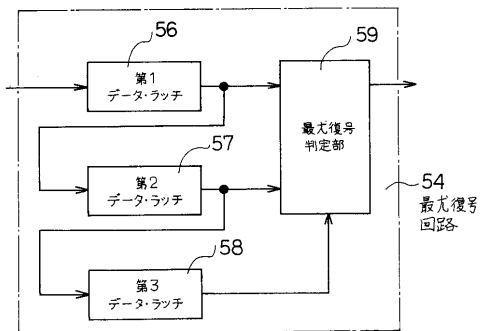
【 図 4 】



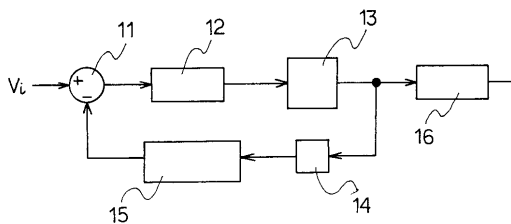
【 図 5 】



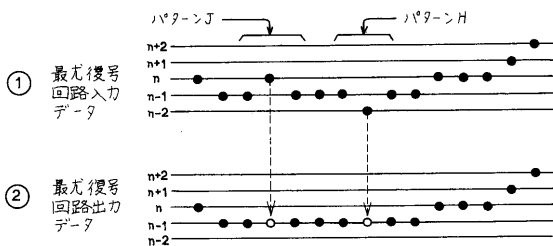
【 図 6 】



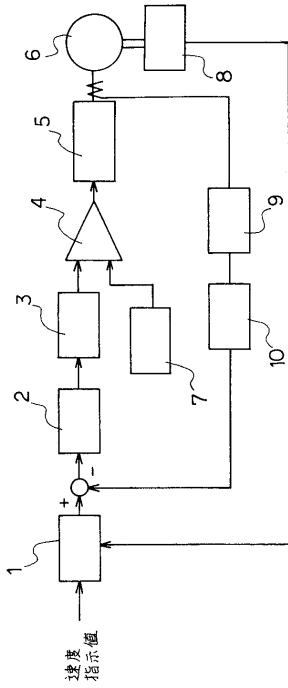
【 図 8 】



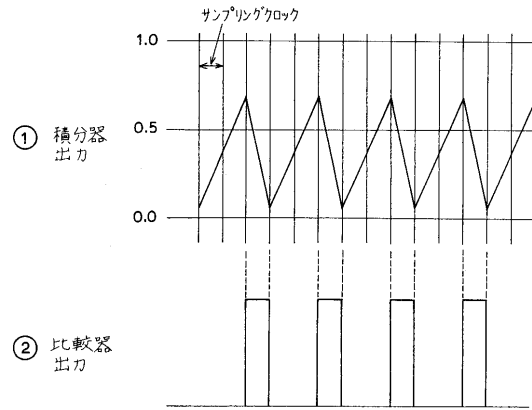
【 図 7 】



【図 9】



【図 10】



【図 11】

