

公告本

申請日期	88. 11. 17
案 號	8811PP96
類 別	70963/36

A4
C4

521240

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	液晶驅動積體電路
	英 文	LIQUID CRYSTAL DRIVING INTEGRATED CIRCUIT
二、發明 創作人	姓 名	1. 茂木修治 2. 新井啟之 3. 德永哲也
	國 籍	日本國
住、居所	住、居所	1. 日本國栃木縣足利市里矢場町 1002-2 2. 日本國群馬縣邑樂郡大泉町寄木戸 1542-1 曉 B-206 3. 日本國群馬縣邑樂郡大泉町住吉 57-1 三洋電機股份有限公司 泉寮 2-312
	代 表 人 姓 名	近藤定男
三、申請人	姓 名 (名稱)	三洋電機股份有限公司
	國 籍	日本國
住、居所 (事務所)	住、居所 (事務所)	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

1998年12月10日 特願平 10-351782 (主張優先權)

1998年12月15日 特願平 10-356445 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明所屬之技術領域]

本發明係關於一種可調整顯示對比之液晶驅動積體電路。

[習知之技術]

第 9 圖為顯示使用習知之液晶驅動積體電路之顯示對比調整方法的電路方塊圖。

第 9 圖中，液晶面板(101)係將複數個段電極(segment electrode)及複數個共電極以矩陣方式配置形成者。液晶面板(101)中之複數個段電極及複數個共電極係個別施加有段驅動信號(segment driving signal)及共同驅動信號，而只有段驅動信號及共同驅動信號之電位差成為特定值以上的矩陣交點會點亮。

液晶驅動積體電路(102)，係用以顯示驅動液晶面板(101)者。液晶驅動積體電路(102)中，有四個串聯電阻 R1 之各連接點與端子(103)至(107)相連接。端子(103)係施加有用以決定段驅動信號及共同驅動信號之峰值之基準電壓 VLCD0 的端子，而端子(107)係用以將液晶驅動積體電路(102)之構成元件全部予以共同接地的端子。因而，基準電壓 VLCD0 和接地電壓 Vss 之間係被分成四個；端子(103)(104)(105)(106)(107)之電壓係個別成為 VLCD0, VLCD1, VLCD2, VLCD3, Vss。共同驅動電路(108)係施加有電壓 VLCD0, VLCD1, VLCD3, Vss 用以產生共同驅動信號者。共同驅動信號，係在指示液晶面板(101)點亮時，會使基準電壓 VLCD0 和接地電壓 Vss 之間發生變

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

化，而在指示液晶面板(101)熄滅時，會使基準電壓 VLCD1 和 VLCD3 之間發生變化。亦即，此時共同驅動信號會變成 1/4 偏壓驅動波形。另一方面，段驅動電路(109)係施加有電壓 VLCD0, VLCD2, Vss 用以產生段驅動信號者。段驅動信號係在指示液晶面板(101)點亮時，以與點亮指示用共同驅動信號相反的相位使基準電壓 VLCD0 和接地電壓 Vss 之間發生變化，而在指示液晶面板(101)熄滅時，以電壓 VLCD2 之狀態保持原狀而不變動。基準電壓 VLCD0 係用以決定液晶面板(101)之顯示對比(點亮、熄滅之顯示差)者。亦即，可改變基準電壓 VLCD0，且藉由使共同驅動信號及段驅動信號之振幅產生變化，以謀求液晶面板(101)之顯示對比的最適當化。

基準電壓產生電路(110)係將基準電壓 VLCD0 施加在端子(103)上者。基準電壓產生電路(110)中，電阻(111)及可變電阻(112)係串聯連接在電源 Vdd 及接地 Vss 之間。運算放大器(113)係輸出與電阻(111)及可變電阻(112)之連接點電壓相等的基準電壓 VLCD0。另外，當四個串聯電阻 R1 之阻抗大於液晶面板(101)等的負載阻抗時，電壓 VLCD0, VLCD1, VLCD3 變得不確定之可能性就會很高。故而使用具有輸出阻抗小的運算放大器(113)。亦可適用在端子(103)至(107)之間連接外部電阻而形成與四個串聯電阻 R1 並聯的並聯電阻器，以使串聯電阻 R1 側之阻抗降低的方法。基準電壓產生電路(110)係可供給由外部控制器來變更可變電阻(112)之值用的控制信號。因而，利

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

用外部控制器之控制來變更基準電壓 VLCD0，以調整液晶面板(101)之顯示對比。

但是，第9圖之情況，有必要在液晶驅動積體電路(102)上連接外部的基準電壓產生電路(110)。亦即，由於基準電壓產生電路(110)之元件數多，而有阻礙電子機器低價格化的問題。更且，由於為了提供控制信號輸出用而要佔有外部控制器之特定埠，所以也有阻礙電子機器高機能化的問題。

[發明所欲解決之問題]

第10圖係顯示使用習知之液晶驅動積體電路之顯示對比調整方法的另一電路方塊圖，係用以解消第5圖之技術。另外，該圖中省略了第5圖所示之液晶面板(101)、共同驅動電路(108)及段驅動電路(109)之記載。

在液晶驅動積體電路(201)內部，有四個串聯電阻 R1 之各連接點以與第5圖同樣的理由和端子(202)至(206)相連接。另外，端子(202)係施加有電源 Vdd 之電源端子。調整器(207)係以電源 Vdd 為基礎用以輸出恆定電壓 VRF 者。運算放大器(208)之正(+)端子係與恆定電壓 VRF 相連接，而負(-)端子與端子(209)相連接；輸出端子與端子(206)相連接。流至運算放大器(208)之負(-)端子的電流 IR 值可依內部控制器之控制而調整。

三個串聯電阻 R2, R3, R4 之兩端係與端子(202)(206)做外部連接，電阻 R3 係與端子(209)做外部連接。

電壓 VLCD4，係以 $((R_a + R_b) / R_a) VRF + I_R \cdot R_b$ 表示。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(4)

因而，利用內部控制器之控制來控制電流 IR 而變更電壓 VLCD4，以調整液晶面板(101)之顯示對比。

但是，第 9 圖之情況，液晶驅動積體電路(201)之外部元件雖以電阻 R2,R3,R4 即可完成，但是會起因於電阻 R2,R3,R4 之電阻值各個不均等而使電壓 Ra,Rb 之比偏離所期待之值，而有造成無法實現適當的顯示對比之問題。結果，就不得不利用外部控制器之控制來校正電阻 R2,R3,R4 之電阻值的不均等，而會發生與第 9 圖同樣的問題。

因此，本發明之目的在於提供一種不需要外部元件即可調整顯示對比之液晶驅動積體電路。

[解決問題之手段]

本發明係為了解決前述問題點而創作者，本發明之液晶驅動積體電路係為了顯示驅動液晶面板而從複數個第一串聯電阻之各連接點中產生液晶驅動電壓的積體電路，而可改變施加在前述複數個第一串聯電阻之一端的基準電壓而藉以調整前述液晶面板之顯示對比者，其特徵為：包含有，與電源相連接之複數個第二串聯電阻；基準電壓產生電路，包含用以導出前述複數個第二串聯電阻之各連接點電壓中之任一個的選擇電路，且以前述選擇電路之輸出為基礎而產生前述基準電壓；保持電路，保持用以控制外部輸入之前述選擇電路的控制資料；以及解碼電路，用以解碼前述保持電路中所保持之控制資料，以產生使前述選擇電路動作的控制信號。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

前述基準電壓產生電路，係具有按照前述控制信號之值以導出前述複數個第二串聯電阻之各連接點電壓中之任一個的複數個開極電路，及接受來自前述複數個開極電路之導出電壓的運算放大器，且將前述運算放大器之輸出當作前述基準電壓者。

前述保持電路，係包含有用以保持串聯連接第一位元及第二位元之控制資料的移位暫存器；以前述第一位元為基準而產生時脈信號的時脈產生電路；以及在利用前述時脈信號門鎖前述第二位元之後供給至前述解碼電路的門鎖電路。再且，前述控制資料係以與輸入目的地之液晶驅動積體電路確認控制對象用的位址資料串聯連接的狀態由外部輸入，且只有在前述位址資料與預定值一致時，才使前述控制資料保持於前述移位暫存器內者。更且，將前述位址資料和預定值之一致檢測電路設在外部輸入和前述移位暫存器之輸入之間。

再者，本發明之液晶驅動積體電路，係為了顯示驅動液晶面板而從複數個第一串聯電阻之各連接點中產生液晶驅動電壓的積體電路，將施加在前述複數個第一串聯電阻之一端的基準電壓設成為可變而藉以調整前述液晶面板之顯示對比者，其特徵為：包含有，與電源相連接之複數個第二串聯電阻；基準電壓產生電路，包含用以導出前述複數個第二串聯電阻之各連接點電壓中之任一個的選擇電路，且以前述選擇電路之輸出為基礎而產生前述基準電壓；第一開關電路，用以選擇前述複數個第一串聯電阻之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

一端與電源或前述基準電壓產生電路連接；第二開關電路，使前述複數個第二串聯電阻與電源連接或遮斷者；以及使前述基準電壓產生電路之動作允許或停止的電路，其中當使前述基準電壓產生電路動作時，使前述第一開關電路切斷(off)並使前述第二開關電路導通，而當使前述基準電壓產生電路切斷時，使前述第一開關電路導通且使前述第二開關電路切斷者。

[發明之實施形態]

茲按照圖式具體說明本發明之詳細。

第1圖係顯示本發明之第一實施例之液晶驅動積體電路的電路圖。

第1圖中，由虛線所示之液晶驅動積體電路(1)，係具有施加液晶驅動用之電源電壓 VLCD 的端子(2)、施加接地電壓 Vss 的端子(3)、以及輸出四個串聯電阻 R1 之各連接點電壓 VLCD0, VLCD1, VLCD2, VLCD3 的端子(4)(5)(6)(7)。四個串聯電阻之下端係與將液晶驅動積體電路(1)之內部元件予以共同接地用的端子(3)相連接。

在液晶驅動積體電路(1)內部，有12個串聯電阻 R5, R6, R7 連接在電源端子(2)和接地端子(3)之間，而在12個串聯電阻 R5, R6, R7 之各連接點上產生由各電阻值所分壓的11個電壓 V0 至 V10。12個串聯電阻 R5, R6, R7 由於係積體化於單一半導體基板上，所以12個電阻值係以相同的比例不均等分布。亦即，電壓 V0 至 V10 不變動，即可獲得穩定的基準電壓 VLCD0。11個傳輸閘 TG0 至 TG10

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

之一端係與 12 個串聯電阻 R5,R6,R7 之各連接點相連接，且按照控制信號 CA0 至 CA10 導出 11 個電壓 V0 至 V10 中之一個者。另外，控制信號 CA0 至 CA10 係高位準(邏輯值「1」)或低位準(邏輯值「0」)之二進位信號，而其中只有一個之控制信號會變成高位準。

運算放大器(8)，係將其非反轉輸入(+)端子與傳輸開 TG0 至 TG10 之另一端共同連接，並以由傳輸開 TG0 至 TG10 中之一個導出的電壓為基礎而輸出液晶顯示用的基準電壓 VLCD0 者。在此，當四個串聯電阻 R1 之阻抗大於後段之液晶驅動電路、液晶面板等的負載阻抗時，隨著流至串聯電阻 R1 之電流的降低而使電壓 VLCD1,VLCD2,VLCD3 變得不確定的可能性就會很高。故而，要考慮負載阻抗之大小，而使用輸出阻抗低的運算放大器(8)。另外，在各端子(3)(4)(5)(6)(7)間連接外部電阻，且藉由形成與四個串聯電阻 R1 並聯的並聯電阻器，以使串聯電阻 R1 側的阻抗降低之方法也是很有效。

出現於四個串聯電阻 R1 之各連接點上的 5 個電壓 VLCD0,VLCD1,VLCD2,VLCD3,Vss，係與第 5 圖同樣，被施加在共同驅動電路及段驅動電路上。液晶面板係供給共同驅動信號及段驅動信號，而可進行字元等的顯示。另外，四個串聯電阻 R1 之後段，由於與第 5 圖同樣，所以第 1 圖中之記載及其說明予以省略。

第 2 圖係顯示用以產生控制信號 CA0 至 CA10 之液晶驅動積體電路之一部分的電路方塊圖。另外，在本發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

之實施形態中，液晶驅動積體電路(1)，係具有只允許特定之輸入資料之積體電路間的介面機能。

三端子(9)(10)(11)係用以確定控制信號 CA0 至 CA10 的外部輸入端子，可從微電腦等之其他的積體電路中供給動作允許信號 CE、時脈信號 CL、串列資料 DI。詳言之，串列資料 DI，係串列連接用以識別液晶驅動積體電路(1)之固有的位址資料及用以確定控制信號 CA0 至 CA10 之控制資料者。介面電路(12)，係用以檢測動作允許信號 CE、時脈信號 CL、串列資料 DI 之狀態，而輸出控制資料 SDI 及時脈信號 SCL 者。詳言之，介面電路(12)，係當動作允許信號 CE 為低位準時進行位址資料之一致檢測，於動作允許信號 CE 變化為高位準時進行控制資料輸出。

繼之以第 4 圖之時序圖為基準說明介面電路(12)之動作。首先，當動作允許信號 CE 為低位準時，介面電路(12)會檢測與時脈信號 CL 同步供給而來的位址資料 B0 至 B3，A0 至 A3 是否為液晶驅動積體電路(1)所預定的固有价值。其次，當前述位址資料 B0 至 B3，A0 至 A3 與液晶驅動積體電路(1)之固有价值一致，且動作允許信號 CE 變化成高位準時，介面電路(12)會將時脈信號 CL 及控制資料 D0 至 D7 分別當作時脈信號 SCL 及控制資料 SDI 而輸出。

移位暫存器(13)係以級聯(cascade)方式連接 8 個 D 型正反器者，俾使 8 位元之控制資料 D0 至 D7 與時脈信號 SCL 同步而依序移位至右側。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

指令解碼器(14)，係在檢測出相當於命令碼之控制資料的4位元D4至D7為液晶驅動積體電路(1)所預定的固有值時，用以輸出門鎖時脈信號LCK者。

門鎖電路(15)(16)(17)(18)，係使確定控制信號CA0至CA10之控制資料之其他的4位元D0至D3與門鎖時脈信號LCK同步而予以門鎖者。

解碼器(19)，係以將來自門鎖電路(15)(16)(17)(18)之Q端子的輸出信號及利用反相器(20)(21)(22)(23)反轉該輸出信號的反轉輸出信號之合計8信號為基礎，用以輸出只有其中之一個變成高位準的控制信號CA0至CA10者。詳言之，解碼器(19)係具有11個AND閘，而11個AND閘係以可輸出只有其中之一個變成高位準的控制信號CA0至CA10的方式，將前述8信號與解碼器(19)內部之11個AND閘輸入做矩陣配線。另外，第3圖係顯示控制資料D0至D3、控制信號CA0至CA10、基準電壓VLCD0之關係的關係圖。亦即，當控制資料D0至D3為第3圖之值時，控制信號CA0至CA10之其中一個會變成高位準，而基準電壓VLCD0會被設定成V0至V10之中的一個。

根據上述，只要將控制資料D0至D3變更成使用者所指示的值，即可將液晶顯示用的基準電壓VLCD0之值設定成11階段(電壓V0至V10)。亦即，不用在液晶驅動積體電路(1)上設置外加零件，即可調整顯示對比。因而，使用液晶驅動積體電路(1)之電子機器就可低價格化。又，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

無須為了要使用外部控制器之串列輸出埠，而佔有特定埠即可完成。因而，隨著可將外部控制器之特定埠使用於其他用途上，使用液晶驅動積體電路(1)之電子機器的高機能化也就成為可能。

另外，在本發明之第一實施例中，雖係將串聯電阻 R1 分別四個，將串聯電阻 R5,R6,R7 分成 11 個來加以說明，但是亦可選擇除此以外的分割數。

其次，根據第 5 至 8 圖說明本發明之第二實施例。

如第 5 圖所示，本發明之第二實施例，係除了設置傳輸開 TG11 至 TG12 之外，其餘皆與第一實施例相同。

傳輸開 TG11(相當於申請專利範圍第 6 項所記載之第一開關電路)，係連接在電源端子(2)與運算放大器(8)之輸出端子之間，使之對 4 個串聯電阻 R1 之一端施加電源 VLCD 或基準電壓(V0 至 V10)中之一個者。傳輸開 TG12(相當於申請專利範圍第 6 項所記載之第二開關電路)，係連接在電源端子(2)與電阻 R5 之一端之間，使之對 12 個串聯電阻 R5,R6,R7 施加或遮斷電源 VLCD 者。傳輸開 TG11、TG12 係以根據後述之控制資料 D4 的信號 L4 進行互補的動作者。運算放大器(8)係利用信號 L4 進行動作控制者。例如，只要利用信號 L4 來控制構成運算放大器(8)之電流用電晶體之控制電極的位準即可。詳言之，運算放大器(8)，係當信號 L4 為一方之邏輯值時電流源用電晶體就會導通並進行動作，而當信號 L4 為另一方之邏輯值時電流源用電晶體就會截止並停止動作。另外，當運算放大器(8)

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

動作時，傳輸閘 TG11、TG12 就會個別截斷、導通，而當運算放大器(8)停止動作時，傳輸閘 TG11、TG12 就會個別導通、截斷。

第 6 圖係顯示用以產生控制信號 CA0 至 CA10 之液晶驅動積體電路之一部分的電路圖。另外，在本發明之實施形態中，液晶驅動積體電路(1)，係具有只允許特定之輸入資料之積體電路間的介面機能。

三端子(9)(10)(11)係用以確定控制信號 CA0 至 CA10 的外部輸入端子，可從微電腦等之其他的積體電路中供給動作允許信號 CE、時脈信號 CL、串列資料 DI。詳言之，串列資料 DI，係串列連接用以識別液晶驅動積體電路(1)之固有的位址資料及用以確定控制信號 CA0 至 CA10 之控制料者。介面電路(12)，係用以檢測動作允許信號 CE、時脈信號 CL、串列資料 DI 之狀態，而輸出控制資料 SDI 及時脈信號 SCL 者。詳言之，介面電路(12)，係當動作允許信號 CE 為低位準時進行位址資料之一致檢測，於動作允許信號 CE 變化為高位準時進行控制資料輸出。

繼之以第 8 圖之時序圖為基準說明介面電路(12)之動作。首先，當動作允許信號 CE 為低位準時，介面電路(12)會檢測與時脈信號 CL 同步供給而來的位址資料 B0 至 B3，A0 至 A3 是否為液晶驅動積體電路(1)所預定的固有价值。其次，當前述位址資料 B0 至 B3，A0 至 A3 與液晶驅動積體電路(1)之固有价值一致，且動作允許信號 CE 變化成高位準時，介面電路(12)會將時脈信號 CL 及控制資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

D0 至 D7 分別當作時脈信號 SCL 及控制資料 SDI 而輸出。

移位暫存器(13)係梯級連接 8 個 D 型正反器者，使 8 位元之控制資料 D0 至 D7 與時脈信號 SCL 同步而依序移位至右側。

指令解碼器(14)，係在檢測出相當於命令碼之控制資料的 4 位元 D4 至 D7 為液晶驅動積體電路(1)所預定的固有值時，用以輸出門鎖時脈信號 LCK 者。

門鎖電路(15)(16)(17)(18)，係使確定控制信號 CA0 至 CA10 之控制資料之其他的 4 位元 D0 至 D3 與門鎖時脈信號 LCK 同步而予以門鎖者。同樣地，門鎖電路(24)，係將控制資料之 1 位元 D4 與門鎖時脈信號 LCK 同步而門鎖者。來自門鎖電路(24)之 Q 端子的輸出信號 L4，係供給至傳輸閘 TG11, TG12 及運算放大器(8)。亦即，當控制資料 D4 為邏輯值「0」時，傳輸閘 TG11 就會導通，傳輸閘 TG12 會截斷，而運算放大器(8)會停止動作。藉此，液晶驅動電壓 VLCD0 至 VLCD3 就可利用電源電壓 VLCD 來固定，而液晶面板之顯示對比可利用固定或外部電阻來調整。另一方面，當控制資料 D4 為邏輯值「1」時，傳輸閘 TG11 即截斷，傳輸閘 TG12 導通，而運算放大器(8)即動作。藉此，液晶驅動電壓 VLCD0 至 VLCD3 即可按照控制信號 CA0 至 CA10 在電壓 V0 至 V10 之範圍內變化，而液晶面板之顯示對比就變成可調整。

解碼器(19)，係以將來自門鎖電路(15)(16)(17)(18)之 Q 端子的輸出信號及利用反相器(20)(21)(22)(23)反轉該輸

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

出信號的反轉輸出信號之合計 8 信號為基礎，用以輸出只有其中之一個變成高位準的控制信號 CA0 至 CA10 者。詳言之，解碼器(19)係具有 11 個 AND 閘，而 11 個 AND 閘係以可輸出只有其中之一個變成高位準的控制信號 CA0 至 CA10 的方式，將前述 8 信號與解碼器(19)內部之 11 個 AND 閘輸入做矩陣配線。另外，第 7 圖係顯示控制資料 D0 至 D3、控制信號 CA0 至 CA10、基準電壓 VLCD0 之關係的關係圖。亦即，當控制資料 D0 至 D3 為第 7 圖之值時，控制信號 CA0 至 CA10 之其中一個會變成高位準，而基準電壓 VLCD0 會被設定成 V0 至 V10 中的一個。

根據上述，可達成以下之作用效果。

(1)只要將控制資料 D0 至 D3 變更成使用者所指示的值，即可將液晶顯示用的基準電壓 VLCD0 之值設定成 11 階段(電壓 V0 至 V10)。亦即，不用在液晶驅動積體電路(1)上設置外加零件，即可調整顯示對比。因而，使用液晶驅動積體電路(1)之電子機器就可低價格化。

(2)無須為了要使用外部控制器之串列輸出埠而佔有特定埠。因而，隨著可將外部控制器之特定埠使用於其他用途，使用液晶驅動積體電路(1)之電子機器的高機能化也就成為可能。

(3)使用者只要判斷顯示對比調整用之基準電壓 V0 至 V10 的設定間隔為不適當時，就可利用外部電阻來調整顯示對比，而依使用者進行顯示對比調整用的電壓選擇幅度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

就可擴展。

[發明之效果]

若依據本發明，則只要將控制資料變更成使用者所指示的值，即可將液晶顯示用基準電壓之值設定成複數個階段。亦即，不用在液晶驅動積體電路上設置外加零件，即可調整顯示對比。因而，就可將使用液晶驅動積體電路之電子機器低價格化。又，無須為了要使用外部控制器之串列輸出埠，而佔有特定埠。因而，可獲得隨著可將外部控制器之特定埠使用於其他的用途中，而也可將使用液晶驅動積體電路之電子機器高機能化的優點。

更且，只要判斷使用者由複數個第二串聯電阻中所得之顯示對比調整用之基準電壓的設定間隔為不適當時，就可利用外部電阻來調整顯示對比，而可獲得顯示對比調整用之基準電壓的選擇幅度很廣而通用性可擴展等的優點。

[圖式之簡單說明]

第 1 圖顯示本發明之第一實施例之液晶驅動積體電路的電路圖。

第 2 圖顯示用以輸出控制信號之液晶驅動積體電路之一部分的電路圖。

第 3 圖顯示控制資料、控制信號、基準電壓之關係的關係圖。

第 4 圖為外部輸入信號之時序圖。

第 5 圖顯示本發明之第二實施例之液晶驅動積體電路的電路圖。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (15)

第 6 圖顯示用以輸出控制信號之液晶驅動積體電路之一部分的電路圖。

第 7 圖顯示控制資料、控制信號、基準電壓之關係的關係圖。

第 8 圖為外部輸入信號之時序圖。

第 9 圖顯示習知之液晶驅動積體電路的電路方塊圖。

第 10 圖顯示習知之液晶驅動積體電路的另一電路方塊圖。

[元件編號說明]

1	液晶驅動積體電路		
2	電源端子	3,4,5,6,7	端子
8	運算放大器	9,10,11	三端子
12	介面電路	13	移位暫存器
14	指令解碼器	15,16,17,18,24	門鎖電路
19	解碼器	20,21,22,23	反相器
R1	第一串聯電阻	R5,R6,R7	第二電聯電阻
TG11,TG12	傳輸閘		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 液晶驅動積體電路)

本發明提供一種具有顯示對比調整機能且不需要外加零件的液晶驅動積體電路。

在串聯電阻 R5,R6,R7 之各連接點上設有傳輸閘 TG0 至 TG10，按照控制信號 CA0 至 CA10 將由傳輸閘 TG0 至 TG10 導出的電壓 V0 至 V10 中之一個通過運算放大器 8 以作為基準電壓 VLCD0。控制信號 CA0 至 CA10 係將由外部所供給的控制資料 D0 至 D3 之值利用解碼器 19 予以解碼所得者。因而，只要將控制資料 D0 至 D3 變更成使用者所指示的值，即可將基準電壓 VLCD0 設定成複數個階段。換句話說，不用在液晶驅動積體電路 1 上設置外加零件，即可調整顯示對比。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱:)

另一方面，當控制資料 D4 為邏輯值「0」時，傳輸閘 TG11 即導通，而可調整依存於使用者所準備之外部電阻之值，及不依存於串聯電阻 R5,R6,R7 之值的顯示對比。藉此，液晶驅動積體電路 1 之通用性就會擴展。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

象

英文發明摘要(發明之名稱:)

六、申請專利範圍

1. 一種液晶驅動積體電路，係為了顯示驅動液晶面板而從複數個第一串聯電阻之各連接點中產生液晶驅動電壓的積體電路，可改變施加在前述複數個第一串聯電阻之一端的基準電壓而藉以調整前述液晶面板之顯示對比者，其特徵為，包含有：

與電源相連接之複數個第二串聯電阻；

基準電壓產生電路，包含用以導出前述複數個第二串聯電阻之各連接點電壓中之任一個的選擇電路，且以前述選擇電路之輸出為基礎而產生前述基準電壓；

保持電路，保持用以控制外部輸入之前述選擇電路的控制資料；以及

解碼電路，解碼前述保持電路中所保持之控制資料，以產生使前述選擇電路動作用的控制信號。

2. 如申請專利範圍第1項之液晶驅動積體電路，其中前述基準電壓產生電路，係具有按照前述控制信號之值以導出前述複數個第二串聯電阻之各連接點電壓中之任一個的複數個閘極電路，及供給來自前述複數個閘極電路之導出電壓的運算放大器，且將前述運算放大器之輸出當作前述基準電壓者。
3. 如申請專利範圍第1項之液晶驅動積體電路，其中前述保持電路係包含有用以保持串聯連接第一位元及第二位元之控制資料的移位暫存器；以前述第一位元為基準而產生時脈信號的時脈產生電路；以及在利用前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

述時脈信號門鎖前述第二位元之後供給至前述解碼電路的門鎖電路。

4. 如申請專利範圍第3項之液晶驅動積體電路，其中前述控制資料係以與輸入目的地之液晶驅動積體電路確認控制對象用的位址資料串聯連接的狀態由外部輸入，且只有在前述位址資料與預定值一致時，才使前述控制資料保持於前述移位暫存器內者。
5. 如申請專利範圍第4項之液晶驅動積體電路，其中將前述位址資料和預定值之一致檢測電路設在外部輸入和前述移位暫存器之輸入之間。
6. 一種液晶驅動積體電路，係為了顯示驅動液晶面板而從複數個第一串聯電阻之各連接點中產生液晶驅動電壓的積體電路，可改變施加在前述複數個第一串聯電阻之一端的基準電壓而藉以調整前述液晶面板之顯示對比者，其特徵為，包含有：

與電源相連接之複數個第二串聯電阻；

基準電壓產生電路，包含用以導出前述複數個第二串聯電阻之各連接點電壓中之任一個的選擇電路，且以前述選擇電路之輸出為基礎而產生前述基準電壓；

第一開關電路，用以選擇前述複數個第一串聯電阻之一端與電源或前述基準電壓產生電路連接；

第二開關電路，俾使前述複數個第二串聯電阻與電源連接或遮斷者；以及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

使前述基準電壓產生電路之動作允許或停止的電路，其中

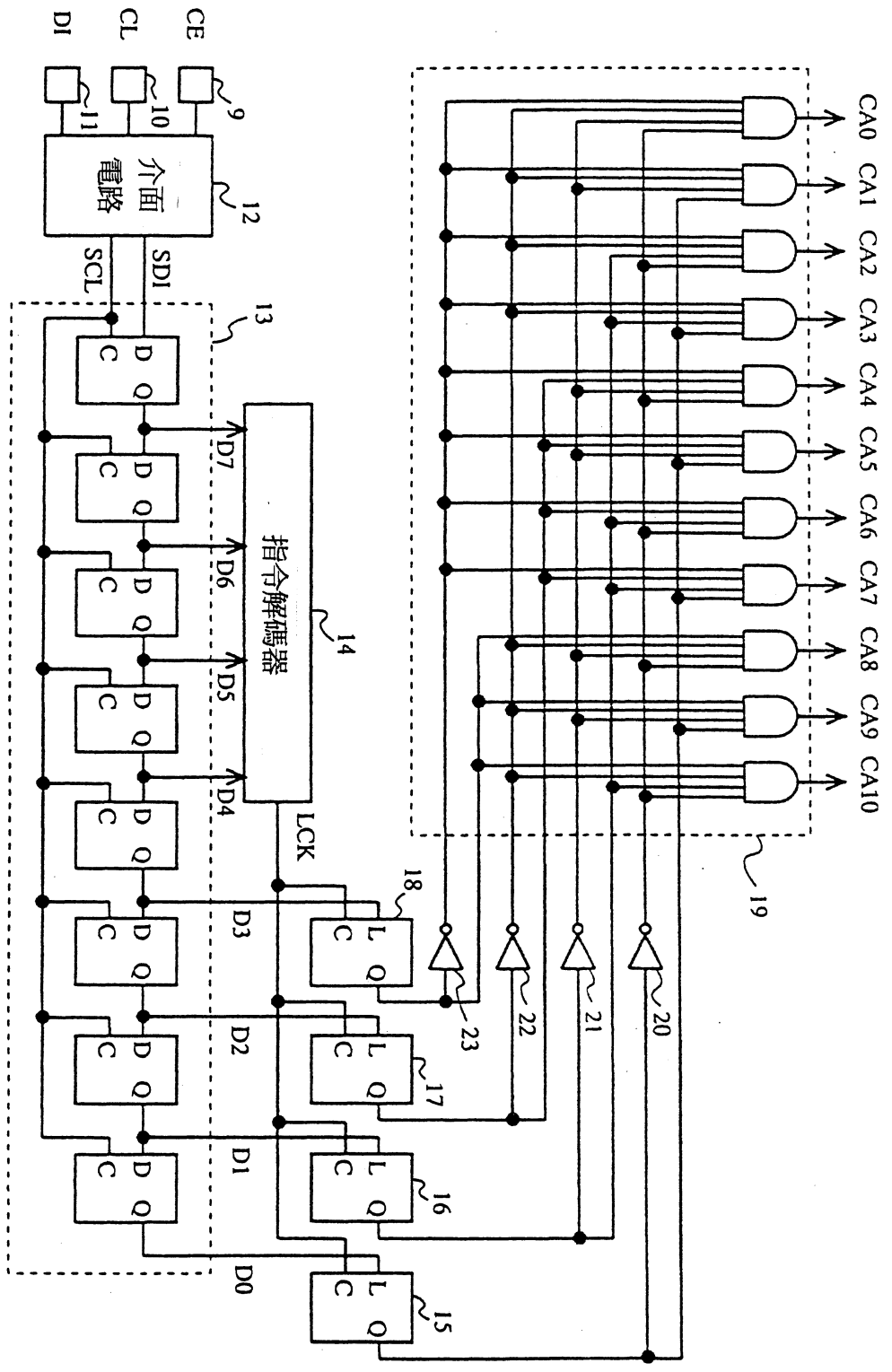
當使前述基準電壓產生電路動作時，使前述第一開關電路截斷而使前述第二開關電路導通，而當使前述基準電壓產生電路截斷時，使前述第一開關電路導通且使前述第二開關電路截斷者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

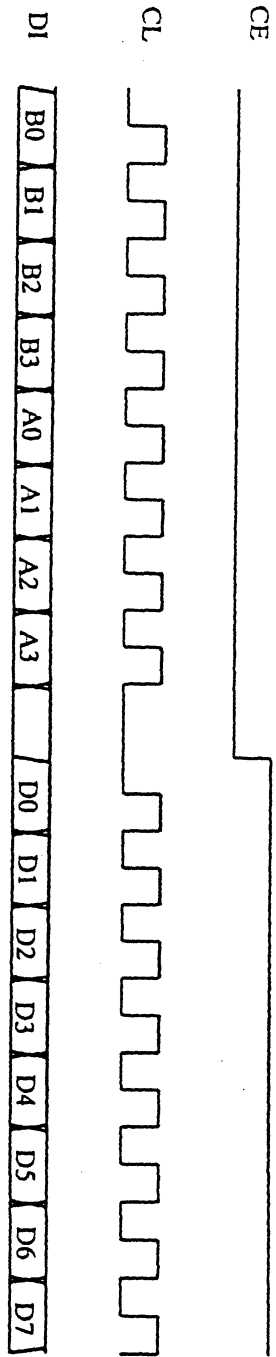
線



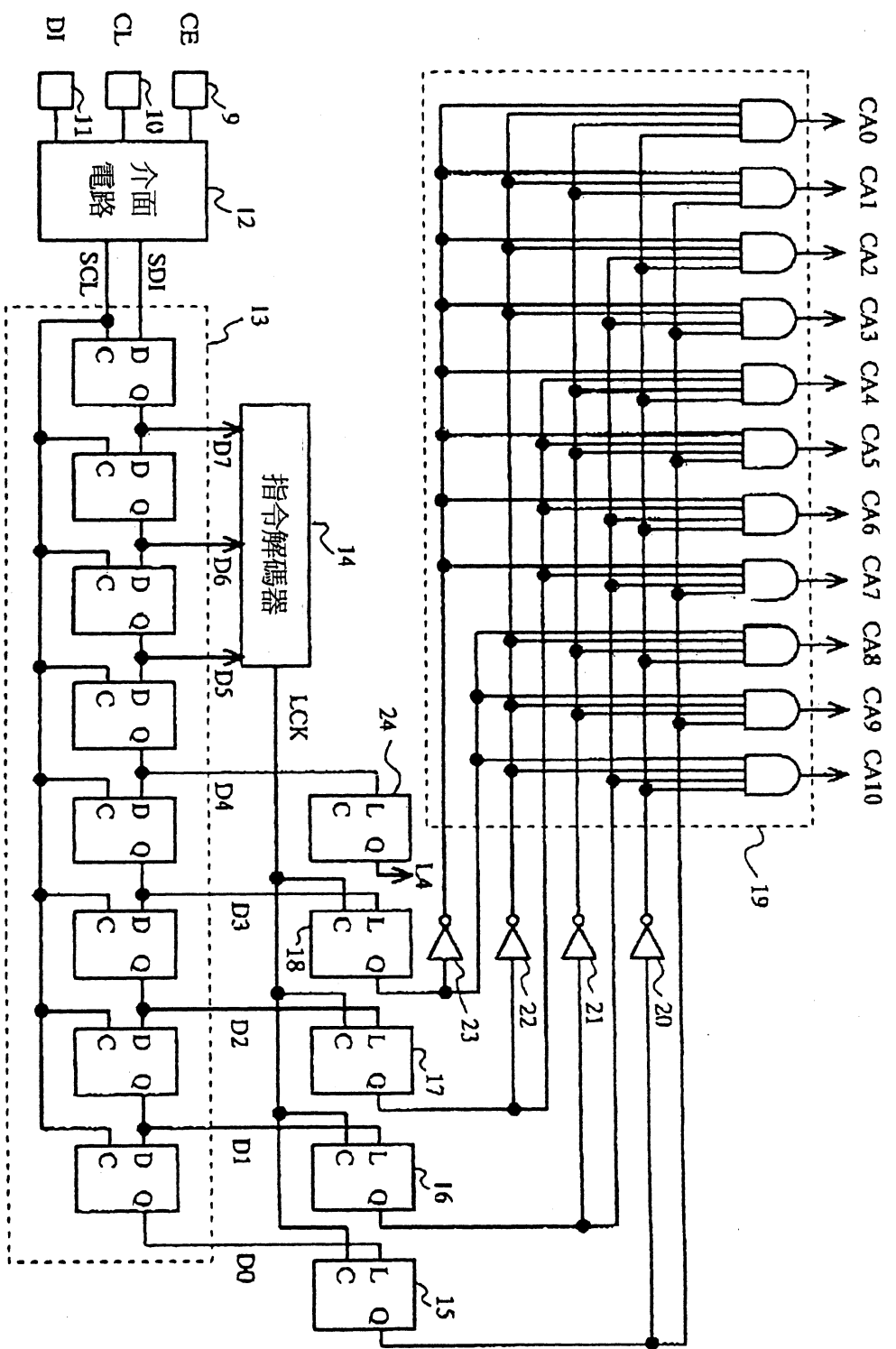
第2圖

控制資料				控制信號										基準電壓	
D0	D1	D2	D3	CA0	CA1	CA2	CA3	CA4	CA5	CA6	CA7	CA8	CA9	CA10	VLCD0
0	0	0	0	H	L	L	L	L	L	L	L	L	L	L	V0
1	0	0	0	L	H	L	L	L	L	L	L	L	L	L	V1
0	1	0	0	L	L	H	L	L	L	L	L	L	L	L	V2
1	1	0	0	L	L	L	H	L	L	L	L	L	L	L	V3
0	0	1	0	L	L	L	L	H	L	L	L	L	L	L	V4
1	0	1	0	L	L	L	L	L	H	L	L	L	L	L	V5
0	1	1	0	L	L	L	L	L	L	L	L	L	L	L	V6
1	1	1	0	L	L	L	L	L	L	H	L	L	L	L	V7
0	0	0	1	L	L	L	L	L	L	L	L	H	L	L	V8
1	0	0	1	L	L	L	L	L	L	L	L	L	H	L	V9
0	1	0	1	L	L	L	L	L	L	L	L	L	L	H	V10

第 3 圖



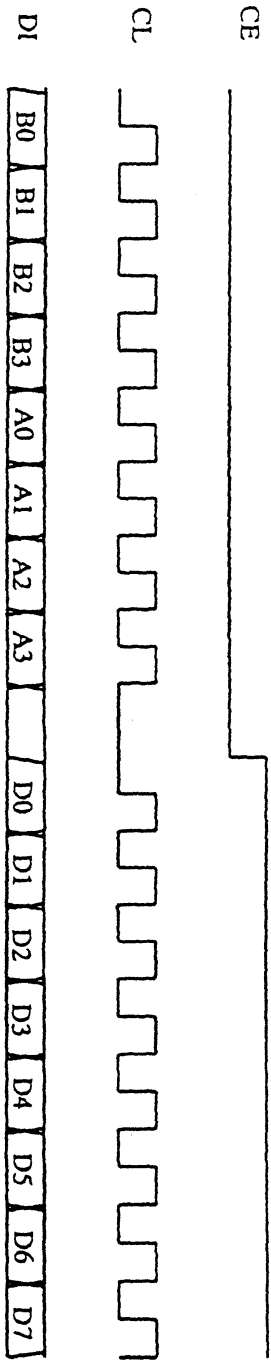
第 4 圖



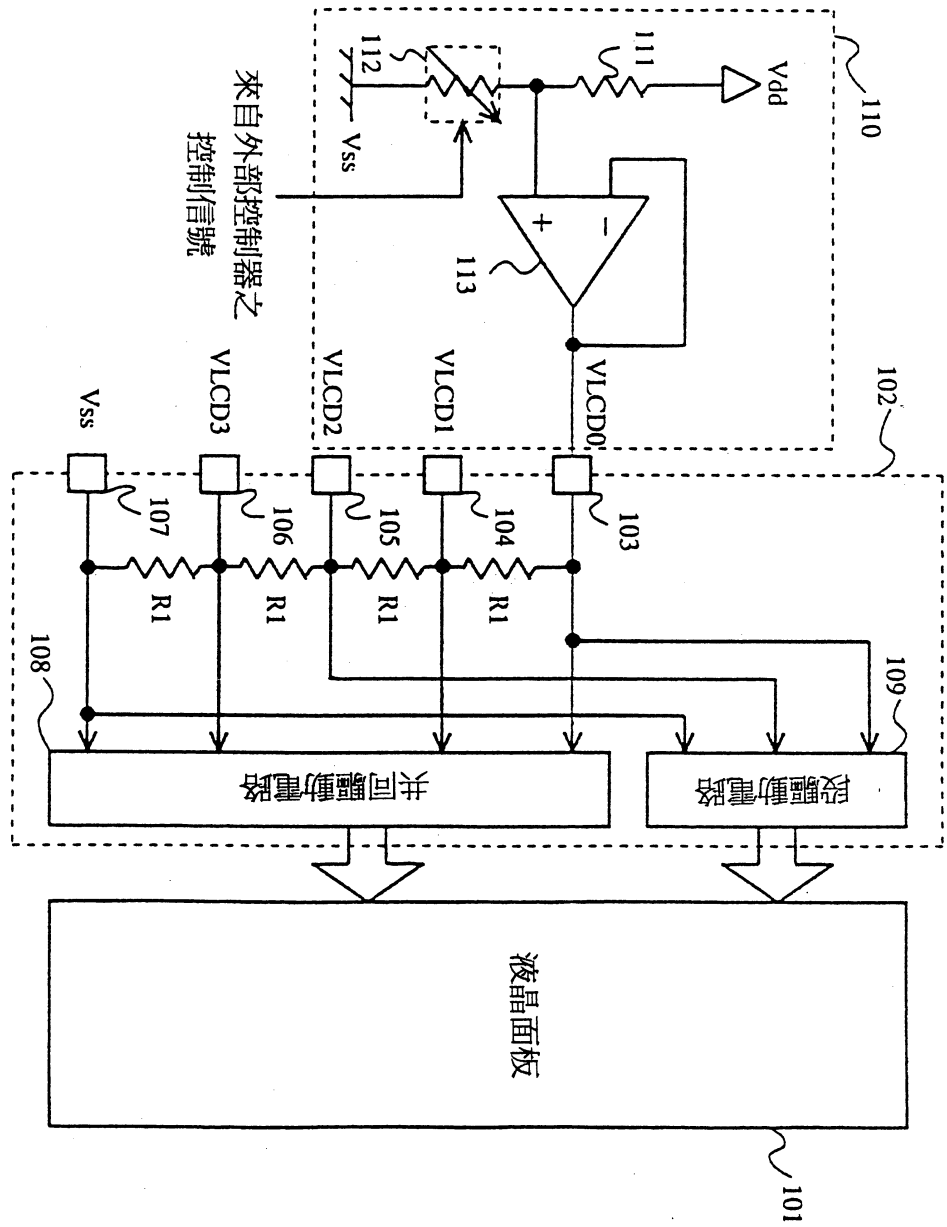
第 6 圖

控制資料				控制信號										基準電壓	
D0	D1	D2	D3	CA0	CA1	CA2	CA3	CA4	CA5	CA6	CA7	CA8	CA9	CA10	VLCD0
0	0	0	0	H	L	L	L	L	L	L	L	L	L	L	V0
1	0	0	0	L	H	L	L	L	L	L	L	L	L	L	V1
0	1	0	0	L	L	H	L	L	L	L	L	L	L	L	V2
1	1	0	0	L	L	L	H	L	L	L	L	L	L	L	V3
0	0	1	0	L	L	L	L	H	L	L	L	L	L	L	V4
1	0	1	0	L	L	L	L	L	H	L	L	L	L	L	V5
0	1	1	0	L	L	L	L	L	L	H	L	L	L	L	V6
1	1	1	0	L	L	L	L	L	L	L	H	L	L	L	V7
0	0	0	1	L	L	L	L	L	L	L	L	H	L	L	V8
1	0	0	1	L	L	L	L	L	L	L	L	L	H	L	V9
0	1	0	1	L	L	L	L	L	L	L	L	L	L	H	V10

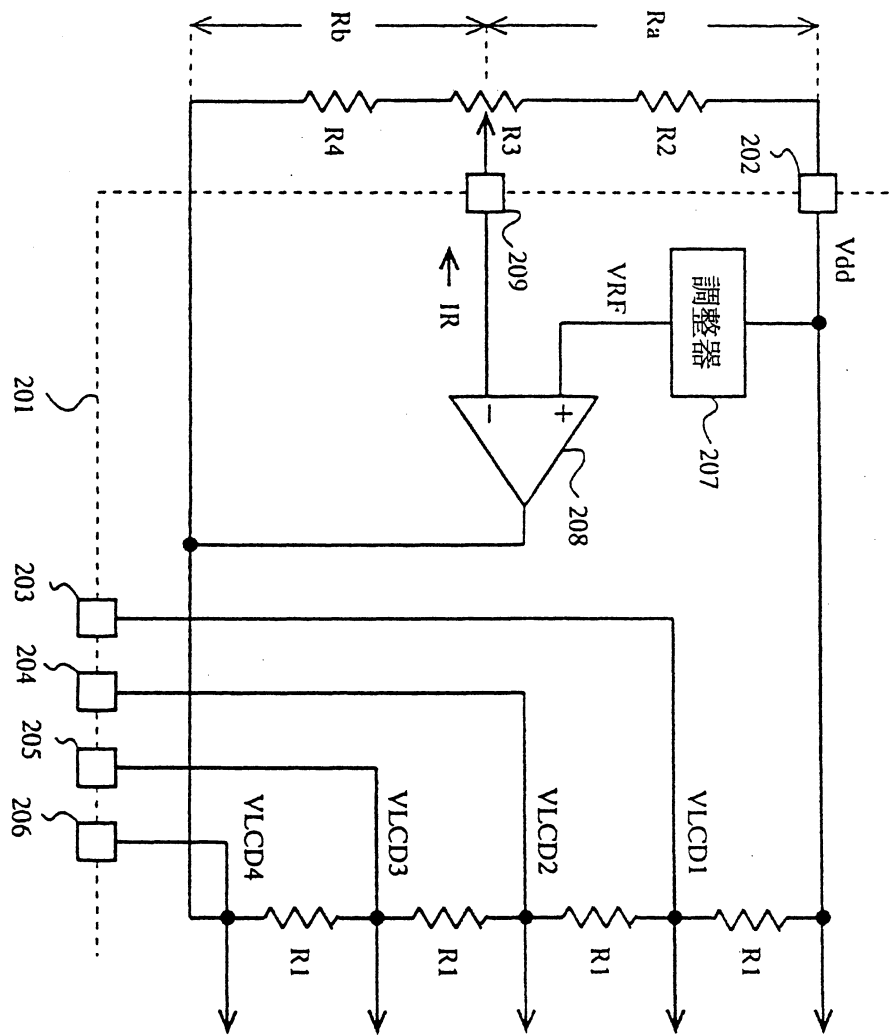
第 7 圖



第 8 圖



第 9 圖



第10圖