

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 17/00

(45) 공고일자 1990년 11월 05일
(11) 공고번호 90-008189

(21) 출원번호	특 1987-0010907	(65) 공개번호	특 1988-0004489
(22) 출원일자	1987년 09월 30일	(43) 공개일자	1988년 06월 07일

(30) 우선권주장	231803 1986년 09월 30일	일본(JP)
(71) 출원인	가부시키가이샤 도시바	아오이 죠이치

일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지

(72) 발명자
사에키 유키히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부
시키가이샤 도시바 다마가와공장내
나카무라 도시마사
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부
시키가이샤 도시바 다마가와공장내
(74) 대리인
김윤배

심사관 : 정현영 (책자공보 제2095호)

(54) 반도체 기억장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 관한 반도체 기억장치를 나타낸 회로도.

제2도는 제1도에 도시된 회로에 있어서의 기록동작을 설명하기 위한 도면.

제3도 및 제4도는 각각 본 발명의 다른 실시예를 설명하기 위한 회로도.

제5도는 제4도에 도시된 회로에 있어서의 기록용 열선택회로의 패턴구성예를 나타낸 평면도.

제6도는 종래의 반도체 기억장치를 나타낸 회로도.

제7도 및 제8도는 각각 상기 제6도에 도시된 회로에 있어서의 기록동작을 설명하기 위한 도면이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 메모리셀 어레이

12₁₁~12_m : MOS트랜지스터

13₁~13_m : 행신호선

14₁~14_n : 열선택선

15 : 행디코더

16, 34 : 열선택회로

17₁~17_n : 열선택MOS트랜지스터

18 : 독출용 MOS트랜지스터

19 : 기록용 MOS트랜지스터(프로그램용 MOS트랜지스터)

20 : 센서회로

21 : 저항

22 : 프로그램용 게이트회로

23 : 버퍼회로

25 : 독출용 열선택회로

26 : 기록용 열선택회로

27₁~27_n, 31₁~31_n : N채널형 MOS트랜지스터(독출용 열선택 MOS트랜지스터)

28₁~28_n, 32₁~32_n : P챈널형 MOS트랜지스터(기록용 열선택 MOS트랜지스터)

29 : 기록(프로그램)용 MOS트랜지스터 30 : 낸드게이트

33₁~33_n : 전송게이트 34₁~34₁₅ : 알루미늄배선층

35₁~35₁₈ : 접촉부 36₁~36₇ : 확산층

38₁~38₄ : 플로우팅게이트 $A_1 \sim A_n$, $\overline{A_1} \sim \overline{A_n}$, $B_1 \sim B_n$: 디코드신호

Vcc : 전원 RM : 독출모우드신호

PM : 프로그램모우드신호 Vpp : 고전압전원

Din : 프로그램용 데이터 Va, Vb, Vc, Vd : 드레인전위

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 기억장치에 관한 것으로, 특히 프로그램 가능한 ROM(Read Only Memory)의 기록동작에 관한 것이다.

[종래기술 및 그 문제점]

일반적으로 PROM(Programmable Read Only Memory)은 예컨대 제6도에 도시한 바와 같이 구성되어 있는 바, 제6도에 있어서, 참조부호 11은 메모리셀 어레이로서, 이 메모리셀 어레이(11)는 메모리셀로서의 플로우팅게이트형 MOS트랜지스터(12₁₁ ~ 12_{nn})가 매트릭스형태로 배치되어 구성되고, 상기 플로우팅게이트형 MOS트랜지스터(12₁₁ ~ 12_{nn})의 각 제어게이트에는 각각 각 행마다 행신호선(13₁ ~ 13_m)이 접속됨과 더불어 각 드레인에는 각각 각 열마다 열신호선(14₁ ~ 14_n)이 접속되며, 각 소오스에는 접지점이 접속되어 있다. 또 상기 행신호선(13₁ ~ 13_m)에는 행디코더(15)의 출력단이 접속되어지고, 상기 열신호선(14₁ ~ 14_n)에는 열선택회로(16)가 접속되어져 있다.

상기 열선택회로(16)는 열디코더(도시되지 않았음)의 디코드출력($A_1 \sim A_n$)으로 도통되어지는 열선택 MOS트랜지스터(17₁ ~ 17_n)로 구성되어지고, 이들 MOS트랜지스터(17₁ ~ 17_n)의 일단에는 각각 상기 열신호선(14₁ ~ 14_n)이 접속되어지며, 타단은 공통접속되어 있다. 이 공통접속점에 독출(read)용의 MOS트랜지스터(18)와 기록(프로그램)용의 MOS트랜지스터(19)의 일단이 각각 접속되어 있다. 한편, 상기 독출용 MOS트랜지스터(18)의 타단에는 센서회로(20)의 입력단이 접속되어짐과 동시에 저항(21)을 거쳐서 전원(Vcc)이 접속되고, 상기 독출용 MOS트랜지스터(18)는 독출모우드신호(RM)로 도통제어되게 된다. 또한 상기 프로그램용 MOS트랜지스터(19)의 타단에는 고전압전원(Vpp)이 접속되고, 상기 프로그램용 MOS트랜지스터(19)는 프로그램용 게이트회로(22)의 출력으로 도통제어되게 된다. 이 프로그램용 게이트회로(22)는 동작전원이 Vpp이면서 출력단이 상기 MOS트랜지스터(19)의 게이트에 접속된

버퍼회로(23)와, 프로그램모우드신호(PM)와 프로그램용 데이터 **(Din)**의 논리적을 취하면서 그 출력단이 상기 버퍼회로(23)의 입력단에 접속된 앤드게이트(24)로 구성되어 있다.

상기한 바와 같은 구성에 있어서, 독출모우드신호(RM)가 “1” 레벨, 프로그램모우드신호(PM)가 “0” 레벨인 때에는 MOS트랜지스터(18)가 턴온상태, MOS트랜지스터(19)가 턴오프상태로 되고, 행디코더(15)와 열디코더에 의해 선택된 메모리셀(12_{ij} ; i=1~m, j=1~n)로부터 독출된 데이터가 센서회로(20)로 공급된다. 그리고 이 센서회로(20)에서 증폭이 행해져서 그 출력단으로부터 독출된 데이터(Dout)가 얻어지게 된다.

이와는 달리 프로그램모우드신호(PM)가 “1” 레벨, 독출모우드신호(RM)가 “0” 레벨인 때에는 MOS트랜지스터(18)가 턴오프상태로 되고, 데이터 **(Din)** 가 “1” 레벨인 때에는 앤드게이트(24)의 출력이 “1” 레벨로 되어 MOS트랜지스터(19)가 턴온상태로 된다. 그에 따라 고전압전원(Vpp)으로부터 MOS트랜지스터(19) 및 열디코더에 의해 선택되어 턴온상태로 있는 열선택 MOS트랜지스터(17_j ; j=1 ~ n)를 거쳐 고전압이 열신호선(14_j)으로 인가된다. 그리고 상기 행디코더(15)에 의해 선택된 행과 열디코더에 의해 선택된 열의 교차점에 위치하게 되는 메모리셀(12_{ij})에 데이터 “0”이 기록된다.

한편, 프로그램모우드신호(PM)가 “1” 레벨, 독출모우드신호(RM)가 “0” 레벨이고, 데이터 “0”인 때에는 앤드게이트(24)의 출력이 “0” 레벨로 되고, MOS트랜지스터(19)는 턴오프상태로 되는 바, 이때 MOS트랜지스터(18)도 턴오프상태로 되어 있기 때문에 행디코더(15)와 열디코더에 의해 선택된 메모리셀(12_{ij})에는 고전압이 인가되지 않고, 데이터 “1”이 기록된다.

제7도는 상기 제6도에 도시된 회로에 있어서의 1개의 메모리셀에 프로그램을 할 경우에 착안해서 필요한 MOS트랜지스터를 도시한 것으로서, PROM의 메모리셀(12_{ij})에 데이터 “0”을 프로그램할 경우에는 다음과 같이 동작되게 된다. 즉, 프로그램용 MOS트랜지스터(19)와 열선택 MOS트랜지스터(17_j) 및 메모리셀(12_{ij})의 게이트전위를 Vpp레벨(21V 또는 12.5V)로 설정해서 각 MOS트랜지스터(19, 17_j, 12_{ij})를 온상태로 설정한다. 이에 따라 프로그램용 MOS트랜지스터(19)의 드레인에 접속되어 있는 고전압전원(Vpp)으로부터 메모리셀인 플로우팅게이트형 MOS트랜지스터(12_{ij})의 소오스(접지점(GND))로 향해서 전류(I)가 흐르게 되고, 이 전류(I)에 의해 유기된 핫캐리어(전자)가 메모리셀(12_{ij})의 플로우팅게이트로 주입된다. 이 상태가 메모리셀(12_{ij})에 데이터 “0”이 기록된 상태이다. 한편, 프

그램용 MOS트랜지스터(19)의 게이트전위를 GND레벨로 설정해 주게 되면, 열선택 MOS트랜지스터(17j)의 게이트전위 및 메모리셀(12ij)의 제어게이트전위가 V_{pp}레벨로 되어도 MOS트랜지스터(19)가 오프상태이기 때문에 고전압전원(V_{pp})으로부터 메모리셀(12ij)로 전류가 흐르지 않게 된다. 따라서 메모리셀(12ij)의 플로우팅게이트에는 전자가 주입되지 않아 기록데이터는 “1”로 된다. 이상의 설명에서 MOS트랜지스터(19, 17j, 12ij)는 모두 N채널형 MOSFET로서 설명되고 있다.

제8도는 상기 제7도에 도시된 회로를 데이터 “0”의 프로그램때의 상태로 도시한 것으로서, 프로그램용 MOS트랜지스터(19)의 게이트 및 소오스에 고전압(V_{pp})이 인가되고 있는 것으로 하면, 이 MOS트랜지스터(19)는 턴온상태로 있게 된다. 이때 MOS트랜지스터(19)의 드레인전위(V_a)는 V_{pp}레벨까지는 도달하지 못하고, MOS트랜지스터(19)가 인핸스먼트형으로 그의 임계전압을 V_{THN}으로 가정하면, 「V_a ≤ V_{pp} - V_{THN}」로 된다. 실제로는 드레인전위(V_a)와 기판전압(GND)과의 사이에 전위차가 있기 때문에 백게이트바이어스효과에 의해 MOS트랜지스터(19)의 외관상의 임계전압이 상승하게 되고, 드레인전위(V_a)는 「V_{pp} - V_{THN}」보다 낮아지게 된다. 또 열선택용 MOS트랜지스터(17j)의 드레인전위(V_b)는 거의 상기 V_a와 같게 되고, 이 결과 메모리셀(12ij)의 소오스에는 V_a로 되는 전위가 걸리게 된다. 이때 고전압전원(V_{pp})의 레벨이 충분히 높은 경우에는 프로그램에 관해서는 특히 아무 문제가 없다.

그러나, 최근에는 상기 고전압전원(V_{pp})의 레벨을 저하시키는 방향으로 개발되어 진행되고 있는 바, 이것은 LSI내부를 높은 전위의 신호선이 통과하게 되면 LSI내부의 열화를 촉진함으로써 CMOS-LSI에서는 래치업(latch up)의 원인으로 되기 때문이다. 또한 외부에서 고전압을 생성할 필요가 있지만 이 고전압의 생성이 어려운 것도 하나의 원인으로 되고 있다. 이와 같이 고전압전원(V_{pp})의 레벨을 저하시키면, 낮은 전압에서도 메모리셀(12ij)의 소오스, 드레인 사이에 핫캐리어를 발생시킬 수 있는 충분한 전류를 흘릴 필요가 있고 이 때문에 상기 열선택 MOS트랜지스터(17j)의 드레인전위(V_b)를 가능한한 V_{pp}레벨에 인접시킬 필요가 있다. 그러나 상기한 바와 같이 프로그램용 MOS트랜지스터(19)의 임계전압(V_{THN}) 정도의 전위저하는 피할 수가 없고, 이 때문에 메모리셀(12ij)의 소오스, 드레인 사이의 전류도 감소하게 되어 메모리셀에 “0”를 기록할 때의 효율이 나빠지게 된다고 하는 결점이 있었다.

상기한 바와 같이 종래의 반도체 기억장치(PROM)에서는 프로그램용 MOS트랜지스터의 임계전압정도의 기록전압이 낮아지기 때문에 메모리셀에서의 소오스, 드레인사이 전류가 감소하게 되어 메모리셀에 “0”를 기록할 때의 효율이 나빠지게되는 결점이 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안해서 발명된 것으로, 기록전압이 비교적 낮아도 메모리셀에 충분한 전류를 공급시켜 “0”를 기록할 때의 효율을 향상시킬 수 있도록 된 반도체 기억장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기한 목적을 달성하기 위한 본 발명은, 플로우팅게이트형 MOS트랜지스터(12₁₁~12_m)가 매트릭스형태로 배치되어 구성된 메모리셀 어레이(11)와, 상기 플로우팅게이트형 MOS트랜지스터(12₁₁~12_m)의 각 제어게이트가 각 행마다 접속된 행신호선(13₁~13_m), 이 행신호선(13₁~13_m)에 행디코더신호를 공급해서 상기 메모리셀 어레이(11)의 행방향을 선택하는 행디코더(15), 상기 플로우팅게이트형 MOS트랜지스터(12₁₁~12_m)의 각 드레인이 각 열마다 접속된 열신호선(14₁~14_n), 상기 열신호선(14₁~14_n)

에 일단이 접속되면서 기록용의 열디코드신호($\overline{B_1} \sim \overline{B_n}$)로 도통제어되는 P채널형의 MOS트랜지스터(28₁~28_n)로 구성된 기록용 열선택회로(26), 상기 열신호선(14₁~14_n)에 일단이 접속되면서 출력용의 열디코드신호(A₁~A_n)로 도통제어되는 N채널형의 MOS트랜지스터(27₁~27_n)로 구성된 독출용 열선택회

로(25), 상기 기록용의 열디코드신호 및 독출용의 열디코드신호(A₁~A_n)를 상기 기록용 및 독출용의 열선택회로(26, 25)로 공급해주는 열디코더, 상기 기록용의 열선택회로(26)를 구성하는 P채널형 MOS트랜지스터(28₁~28_n)의 각 타단에 접속되어 데이터 “0”의 기록시에 턴온상태로 됨으로써 선택된 메모리셀에 고전압전원을 공급해 주는 P채널형의 기록용 MOS트랜지스터(29) 및, 이 P채널형의 기록용 MOS트랜지스터(29)에 제어신호를 인가하도록 동작하는 버퍼회로(23)와 낸드게이트(30)를 구비하여 구성된 것을 특징으로 한다.

실시예

이하, 예시도면을 참조하여 본 발명의 1실시예를 상세히 설명한다.

제1도는 본 발명의 1실시예에 관한 반도체 기억장치를 나타낸 것으로, 제1도중 상기 제6도와 동일 구성부분에는 같은 부호를 기재한다.

상기 제1도에 있어서, 메모리셀 어레이(11)는 메모리셀로서의 플로우팅게이트형 MOS트랜지스터(12₁~12_m)가 매트릭스형태로 배치되어 형성되고, 상기 플로우팅게이트형 MOS트랜지스터(12₁₁~12_m)의 각 제어게이트는 각각 각 행마다 행신호선(13₁~13_m)이 접속됨과 더불어 각 드레인에는 각각 각 열마다 열신호선(14₁~14_n)이 접속되며, 각 소오스에는 접지점이 접속되어 있다. 그리고 상기 행신호선(13₁~13_m)에는 행디코더(15)의 출력단이 접속되어 있으며, 상기 열신호선(14₁~14_n)에는 독출용 열선택회로(25) 및 기록용 열선택회로(26)가 각각 접속되어 있다. 또 상기 독출용 열선택회로(25)는 독출용 열디코더(도시되지 않았음)로부터 출력되는 디코드신호(A₁~A_n)로 도통제어되는 N채널형 MOS트랜지스터(27₁~27_n) 및 독출용 열선택 MOS트랜지스터(25)로 구성되고, 이들 MOS트랜지스터(27₁~27_n)의 열단에

는 각각 상기 열신호선($14_1 \sim 14_n$)이 접속되어, 타단은 공통접속되어 있다.

($\overline{B_1} \sim \overline{B_n}$)

한편, 상기 기록용 열선택회로(26)는 기록용 열디코더(도시되지 않았음)의 디코드신호로 도통제어되는 P챈널형 MOS트랜지스터($28_1 \sim 28_n$; 기록용 열선택 MOS트랜지스터)로 구성되고, 이들 MOS트랜지스터($28_1 \sim 28_n$)의 일단에는 각각 상기 열신호선($14_1 \sim 14_n$)이 접속되어, 타단은 공통접속되어 있다. 또한, 상기 기록용 열선택 MOS트랜지스터($27_1 \sim 27_n$)의 타단측 공통접속점에는 독출(read)용 N챈널형 MOS트랜지스터(18)의 일단이 접속되고, 상기 기록용 열선택 MOS트랜지스터($28_1 \sim 28_n$)의 타단측 공통접속점에는 기록(프로그램)용 P챈널형 MOS트랜지스터(29)의 일단이 각각 접속되어, 상기 독출용 MOS트랜지스터(18)의 타단에는 센서회로(20)의 입력단이 접속됨과 더불어 저항(21)을 통해서 전원(V_{cc})이 접속되고, 독출모우드신호(RM)로 도통제어된다. 한편, 상기 프로그램용 MOS트랜지스터(29)의 타단에는 고전압전원(V_{pp})이 접속되고, 이 MOS트랜지스터(29)는 동작전원이 V_{pp} 인 버퍼회로(23)의 출력으로 도통제어되어, 이 버퍼회로(23)의 입력단에는 프로그램모우드신호(PM)와 프로그램용 데

이터 (\overline{Din})의 논리적을 취하는 낸드게이트(30)의 출력단이 접속되어 있다.

다음에 상기한 바와 같은 구성을 갖춘 본 발명의 1실시예에 따른 동작을 설명한다.

먼저, 독출하는 동작일 때에는 독출모우드신호(RM)가 “1” 레벨, 프로그램모우드신호(PM)가 “0” 레벨로 되어 MOS트랜지스터(18)가 턴온상태, MOS트랜지스터(29)가 턴오프상태로 된다. 이때 독출용 열디코더의 출력($A_1 \sim A_n$)중의 하나가 “1” 레벨로 되며, 독출용 열선택 MOS트랜지스터($27_1 \sim 27_n$)중의 선택된 MOS트랜지스터(27_j ; $j=1 \sim n$)가 턴온상태로 된다. 이 경우 기록용 열디코더의 디코드출력 ($\overline{B_1} \sim \overline{B_n}$)은 모두 V_{cc} 레벨로 되어 기록용 열선택 MOS트랜지스터($28_1 \sim 28_n$)는 턴오프상태로 된다. 그에 따라 행디코더(15)와 독출용 열디코더에 의해서 선택된 메모리셀($12ij$; $i=1 \sim m$, $j=1 \sim n$)로부터 독출된 데이터가 센서회로(20)로 인가되어 증폭되므로 그 출력단으로부터 독출용 데이터(Dout)가 얻어지게 된다.

이와는 달리 기록모우드에서는 프로그램모우드신호(PM)가 “1” 레벨, 독출모우드신호(RM)가 “0” 레벨로 됨과 더불어 독출용 열디코더의 출력이 모두 GND레벨로 되어 MOS트랜지스터(18) 및 독출용 열선택 MOS트랜지스터($27_1 \sim 27_n$)는 모두 턴오프상태로 된다. 여기서 프로그램용 데이터 (\overline{Din}) 가 “1”

인 때에는 낸드게이트(30)의 출력이 “0” 레벨로 되어 MOS트랜지스터(29)가 턴온상태로 된다. 그에 따라 고전압전원(V_{pp})으로부터 MOS트랜지스터(29) 및 기록용 열디코더에 의해 선택되어 턴온상태에 있는 기록용 열선택형 MOS트랜지스터(28_j ; $j=1 \sim n$)를 거쳐서 열신호선(14_j)으로 고전압이 인가되게 된다. 그리고 상기 행디코더(15)에 의해 선택된 행의 행신호선(131)과 기록용의 열디코더에 의해서 선택된 열의 열신호선(14_j)과의 교점에 위치하게 되는 메모리셀($12ij$)에 데이터 “0”이 기록되게 된다. 한편, 프로그램모우드신호(PM)가 1레벨, 독출모우드신호(RM)가 “0” 레벨의 상태에서 데이터

이터 (\overline{Din}) 가 “0” 레벨인 때에는 낸드게이트(30)의 출력이 “1” 레벨로 되어 MOS트랜지스터(29)는 턴오프상태로 된다. 이 때 MOS트랜지스터(18)도 턴오프상태로 되어 있다. 따라서 기록용 열디코더와 행디코더(15)에 의해 선택되어진 메모리셀($12ij$)에는 고전압(V_{pp})이 인가되지 않아 기록이 이루어지지 않게 된다(데이터 “1”이 기록된다).

제2도는 상기 제1도에 도시된 회로에 있는 하나의 메모리셀에다 “0”을 기록해 주는 것에 착안해서 필요한 MOS트랜지스터를 도시한 것으로, 프로그램용 MOS트랜지스터(29) 및 기록용 열선택 MOS트랜지스터(28_j)의 게이트에는 GND레벨이 인가되고, 이들 MOS트랜지스터(29, 28_j)의 백게이트에는 고전압(V_{pp})이 인가되는 바, 상기 MOS트랜지스터(28_1 , 29_j)는 P챈널형으로서 임계전압에 의한 레벨의 저하가 없고, MOS트랜지스터(29_1 , 28_j)의 드레인전위(V_c , V_d)는 각각 MOS트랜지스터(29)의 소오스전위인 V_{pp} 와 같은 전위로 되게 된다. 따라서 메모리셀($12ij$)의 소오스, 드레인 사이에는 고전압(V_{pp})이 인가되어 데이터 “0”의 기록을 위한 충분한 전류가 얻어지게 된다.

여기서 독출용과 기록용으로 각각 N챈널형 MOS트랜지스터와 P챈널형 MOS트랜지스터로 구성된 2개의 열선택회로(25, 26)를 설치해 주는 것은 다음과 같은 이유에 따른 것이다. 즉, 기록용으로 P챈널형의 MOS트랜지스터로 이루어지는 열선택회로(26)를 이용하는 것은 상기한 바와 같이 메모리셀의 드레인에 V_{pp} 레벨을 인가해 주기 위한 것이고, 독출용으로 N챈널형의 MOS트랜지스터를 이용하는 것은 메모리셀($12ij$)의 소오스가 GND레벨상태에서(메모리셀($12_1 \sim 12_mn$)이 N챈널형이기 때문) 이와 같은 GND레벨을 독출하기 위한 것이다. 즉, 여기서 GND레벨의 독출을 위해서는 독출용 열선택 MOS트랜지스터가 N챈널형일 필요가 있는 바, 이것은 P챈널형 MOS트랜지스터로 구성시켜 주면 그의 드레인전위는 GND레벨로는 되지 않고 이것보다도 V_{THN} (V_{THN} 는 P챈널형 MOS트랜지스터의 임계전압)만큼 높은 전위로 되어 버리기 때문이다.

이와 같은 구성에 의하면, “0”의 프로그램시 고전압전원(V_{pp})의 전위지하가 없기 때문에 고전압전원(V_{pp})의 레벨을 낮게 설정해 주어도 효율좋게 기록할 수 있게 된다. 또한 상기 V_{pp} 의 레벨을 낮게 설정해 줌에 따라 LSI내부의 열화방지, 래치업(latch up)의 방지 및 LSI내부에서는 고전압을 생성하는 회로의 간단화등이 이룩되게 된다.

제3도는 본 발명의 다른 실시예를 도시한 것으로, 제3도에 있어서, 상기 제1도와 동일한 구성부분에는 같은 부호를 붙이고, 그에 대한 상세한 설명은 생략한다. 즉, 상기 제1도에 있어서의 독출용의 열선택회로(25)와 기록용의 열선택회로(26)를 N챈널형의 MOS트랜지스터($31_1 \sim 31_n$)와 P챈널형의 MOS트랜지스터($32_1 \sim 32_n$)로 이루어진 상보형의 전송게이트($33_1 \sim 33_n$)로 구성시킨 것인 바, 이 전송게이트($33_1 \sim 33_n$)

~33_n)로 이루어진 열선택회로(34)는 독출시와 기록시의 양쪽 동작모우드에 있어서 모두 동작하게 되고, 도시하지 않은 열디코더의 디코드신호(A₁~A_n)와 그 반전신호($\overline{A_1} \sim \overline{A_n}$)에 의해서 제어된다.

상기한 바와 같은 구성에 있어서, 기본적으로는 상기 제1도에 도시된 회로와 동일한 동작을 행하게 되지만, 독출동작때의 GND레벨은 주로 N챈널형 MOS트랜지스터를 거쳐서 출력되고, 기록때의 V_{pp}레벨은 주로 P챈널형 MOS트랜지스터를 거쳐서 입력된다. 따라서 데이터 “0”의 기록때에는 V_{pp}레벨이 N챈널형의 MOS트랜지스터의 임계전압(V_{THN}) 정도 저하됨이 없을 뿐만 아니라 독출때의 GND레벨이 P챈널형의 MOS트랜지스터의 임계전압(V_{THP}) 정도 상승하지도 않는다.

이와 같은 구성에 의하면, 상기 제1도에 도시된 회로에 의해 독출용과 기록용의 2개의 열디코더를 필요로 하지 않고, 하나의 열디코더의 디코더출력을 이용해서 그 반전신호를 발생시키게 되면 되기 때문에 본 발명을 적용시킴에 따른 패턴면적의 증대를 적게할 수 있다.

제4도는 본 발명의 다른 실시예를 도시한 것으로, 상기 제1도에 도시된 회로에 있어서의 독출용 열선택회로(25)와 기록용 열선택회로(26)를 메모리셀 어레이(11)의 양쪽으로 분리시킨 것이다. 제4도에 있어서, 상기 제1도와 동일한 부분에는 같은 부호를 붙이고, 그에 대한 상세한 설명은 생략한다. 이와 같이 구성시키는 것은 메모리셀 어레이(11)는 접적밀도를 향상시키고자 플로우팅게이트형 MOS트랜지스터(12₁~12_m)의 각 드레인을 접속시킨 열신호선(14₁~14_n)이 매우 좁은 피치로 늘어서 있기 때문에 독출용 및 기록용의 열선택회로(25, 26)가 메모리셀 어레이(11)와 같은 쪽에 존재하게 되면, 열디코더의 신호선이 N챈널형 MOS트랜지스터(27₁~27_n) 및 P챈널형 MOS트랜지스터(28₁~28_n)의 2곳에 접속되기 때문에 이 부분에 큰 패턴면적이 필요하게 되어 배선을 위한 필요없는 면적이 증가하기 때문이다. 또 P챈널형 MOS트랜지스터와 N챈널형의 MOS트랜지스터가 인접해서 존재하게 되면 래치업에 약하게 되기 때문에 P챈널형 MOS트랜지스터와 N챈널형 MOS트랜지스터 사이의 소자분리를 확실하게 해 줄 필요가 있는 바(프로그램모우드에서는 기록용 열선택 MOS트랜지스터에 수 mA의 큰 전류가 흐르기 때문에 래치업에 강한 패턴이 필요하게 된다), 상기한 제반문제를 해결하기 위해서 독출용과 기록용의 열선택회로(25, 26)을 격리시키고 있다.

제5도는 상기 제4도에 도시된 기록용 열선택회로(26)의 패턴구성의 일례를 도시한 것으로, 제5도에 있어서, 상기 제4도와 대응하는 부분에는 동일한 부호가 기재되어 있는 바, 참조부호 34₁~34₁₅는 알루미늄 배선층, 35₁~35₁₈은 접촉부, 36₁~36₇은 확산층, 38₁~38₄는 플로우팅게이트로서 점선으로 둘러싸인 영역에 기록용 열선택 MOS트랜지스터(28₁~28₄)가 형성되게 된다.

[발명의 효과]

상기한 바와 같이 본 발명에 의하면, 기록전압이 비교적 낮으면서도 메모리셀에다 충분한 전류를 공급할 수 있어 데이터 “0”를 기록시킬 때의 효율을 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1

플루우팅게이트형 MOS트랜지스터(12₁₁~12_m)가 매트릭스형태로 배치되어 구성된 메모리셀 어레이(11)와, 상기 플루우팅게이트형 MOS트랜지스터(12₁₁~12_m)의 각 제어게이트가 각 행마다 접속된 행신호선(13₁~13_m), 이 행신호선(13₁~13_m)에 행디코더신호를 공급해서 상기 메모리셀 어레이(11)의 행방향을 선택하는 행디코더(15), 상기 플루우팅게이트형 MOS트랜지스터(12₁₁~12_m)의 각 드레인이 각 열마다 접속된 열신호선(14₁~14_n), 상기 열신호선(14₁~14_n)에 일단이 접속되면서 기록용의 열디코더

신호($\overline{B_1} \sim \overline{B_n}$)로 도통 제어되는 P챈널형의 MOS트랜지스터(28₁~28_n)로 구성된 기록용 열선택회로(26), 상기 열신호선(14₁~14_n)에 일단이 접속되면서 출력용의 열디코드신호(A₁~A_n)로 도통제어되는 N챈널형의 MOS트랜지스터(27₁~27_n)로 구성된 독출용 열선택회로(25), 상기 기록용의 열디코드신호

($\overline{B_1} \sim \overline{B_n}$) 및 독출용의 열디코드신호(A₁~A_n)를 상기 기록용 및 독출용의 열선택회로(26, 25)로 공급해 주는 열디코더, 상기 기록용의 열선택회로(26)를 구성하는 P챈널형 MOS트랜지스터(28₁~28_n)의 각 타단에 접속되어 데이터 “0”의 기록시에 턴온상태로 됨으로써 선택된 메모리셀에다 고전압전원을 공급해 주는 P챈널형의 기록용 MOS트랜지스터(29) 및, 이 P챈널형의 기록용 MOS트랜지스터(29)에 제어신호를 인가하도록 동작하는 버퍼회로(23)와 낸드게이트(30)를 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 2

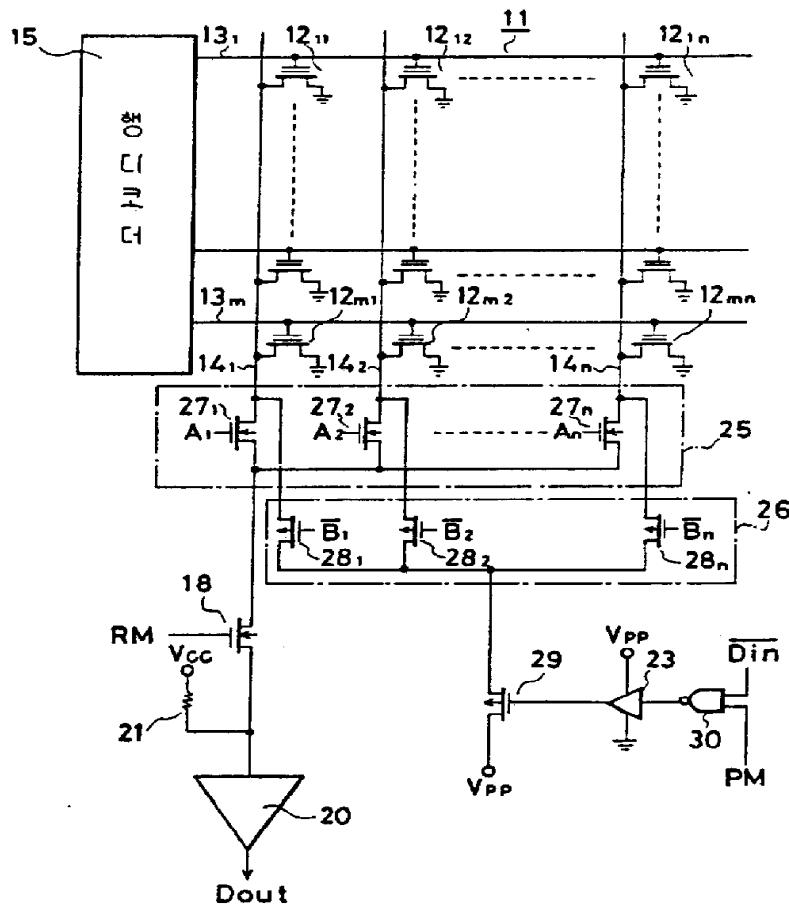
제1항에 있어서, 상기 기록용 열선택회로(26)의 P챈널형 MOS트랜지스터(28₁~28_n)와 독출용 열선택회로(25)의 N챈널형 MOS트랜지스터(27₁~27_n)는 각각 각 열마다 대응하는 MOS트랜지스터(31₁~31_n)(32₁~32_n)가 병렬접속되어 전송게이트(33₁~33_n)를 구성하면서 이 전송게이트(33₁~33_n)가 열디코더로부터 출력되는 열디코드신호(A₁~A_n)와 그의 반전신호($\overline{A_1} \sim \overline{A_n}$)에 의해 스위칭제어되는 것을 특징으로 하는 반도체기억장치.

청구항 3

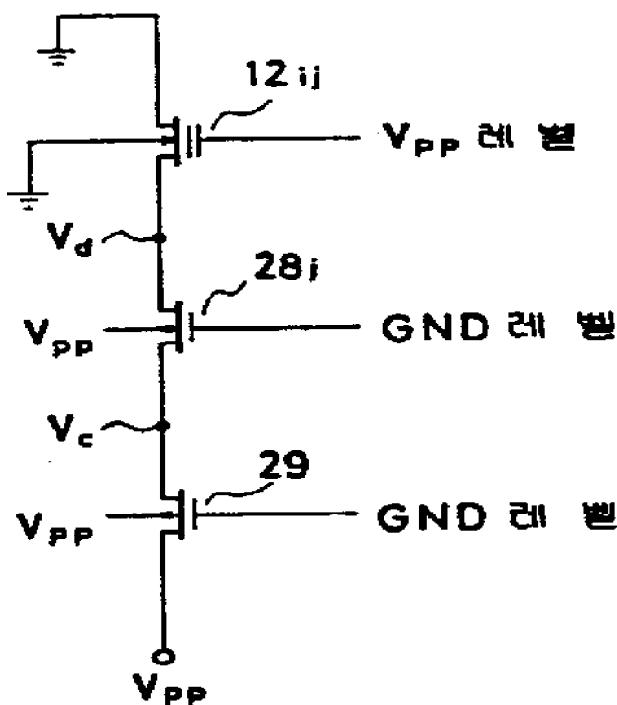
제1항에 있어서, 상기 기록용 및 톤출용의 열선택회로(26, 25)는 각각 열신호선의 양단에 배치되는 것을 특징으로 하는 반도체 기억장치.

도면

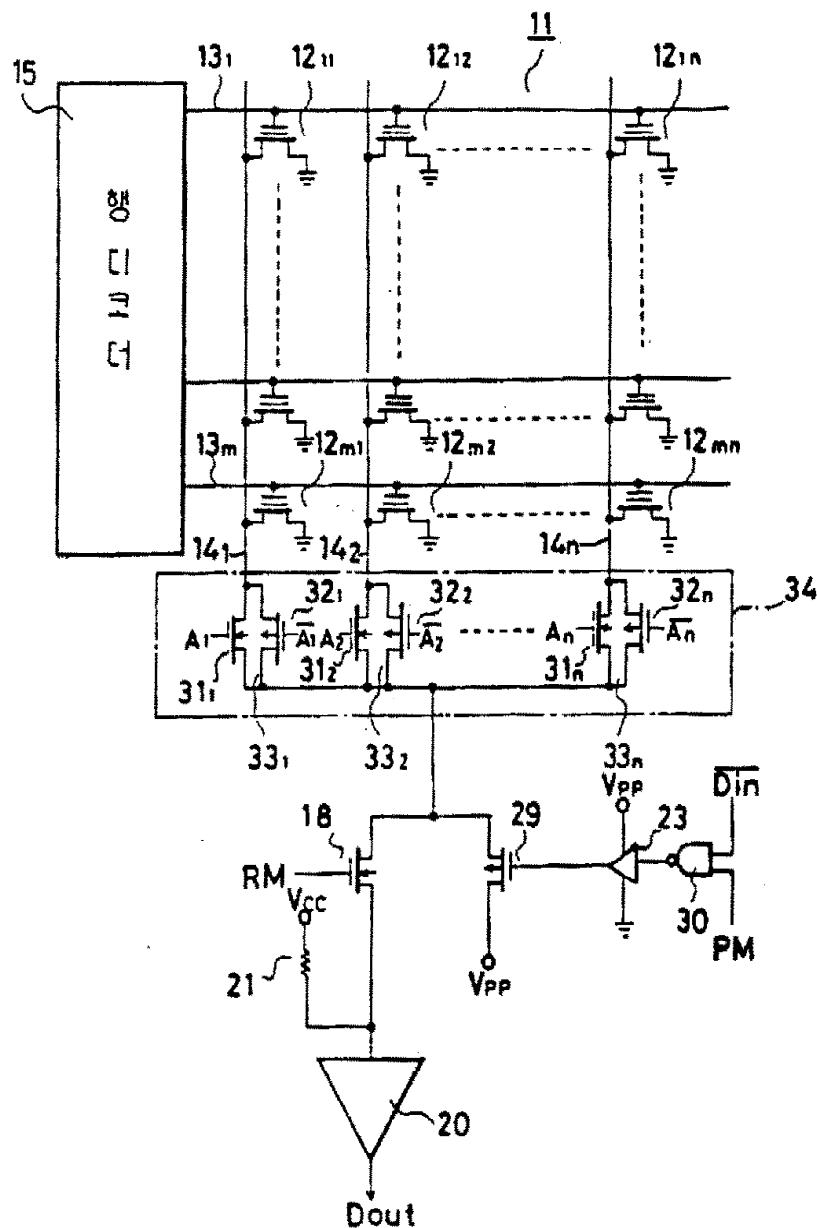
도면1



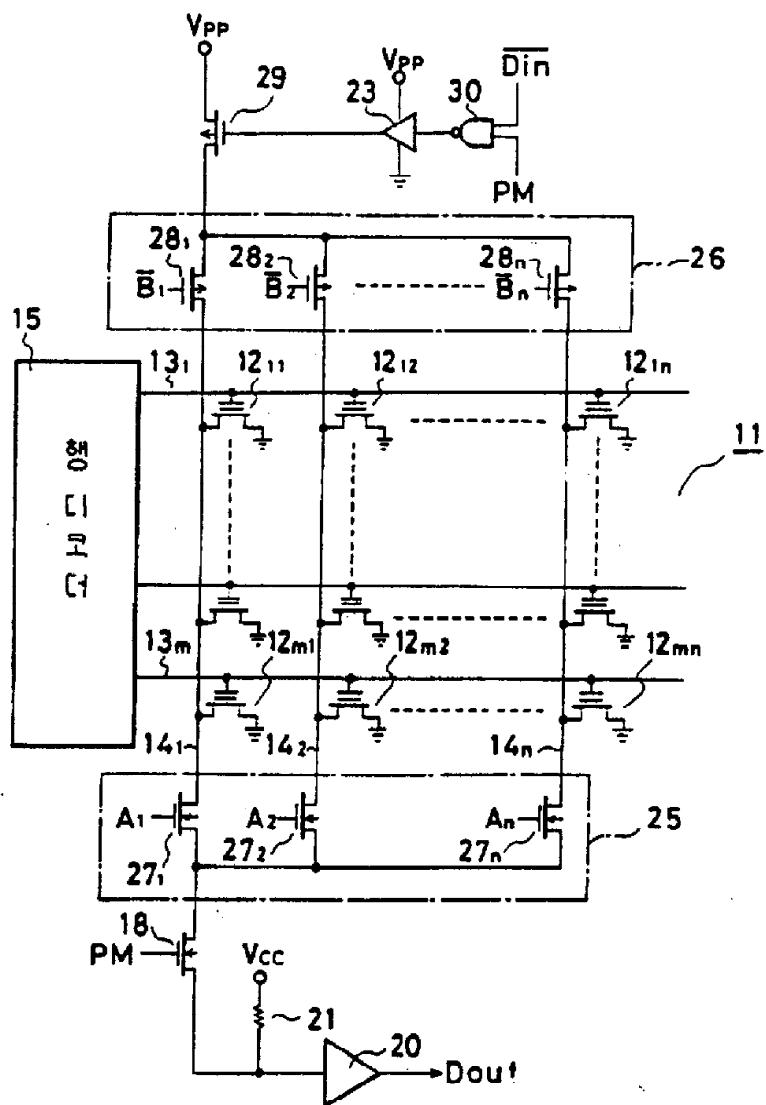
도면2



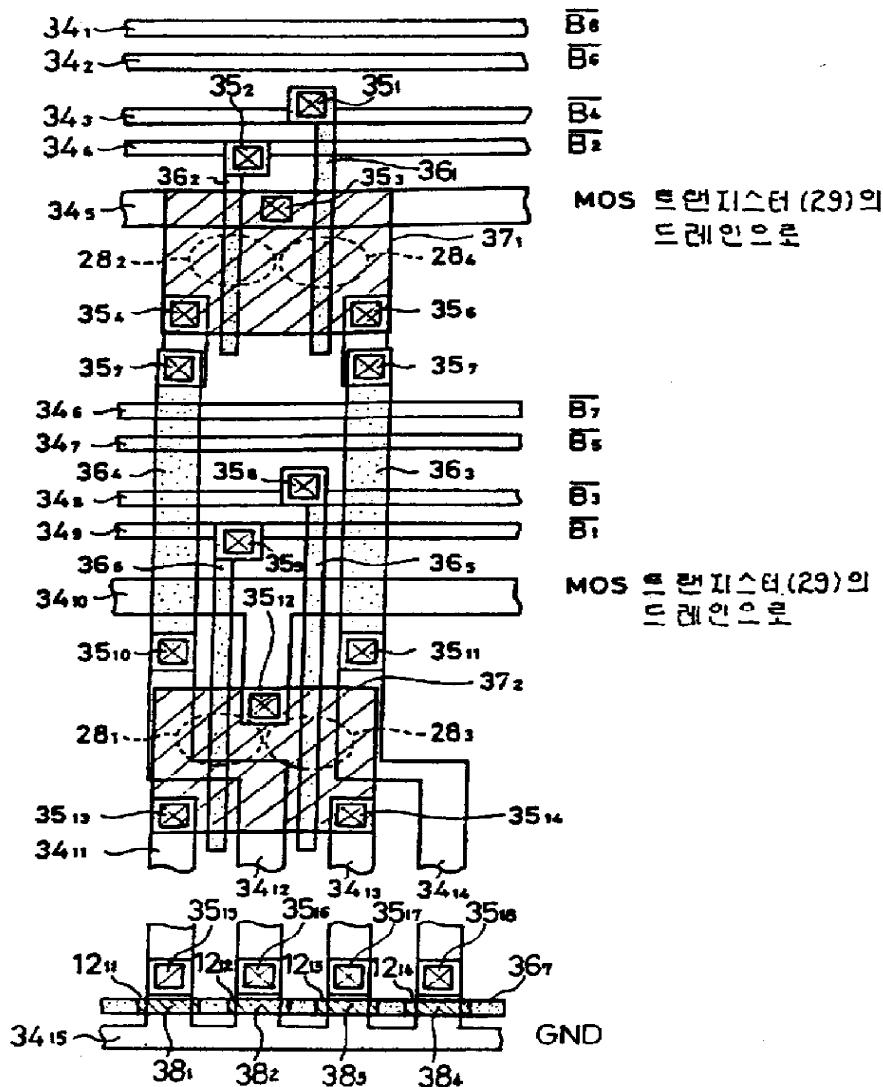
도면3



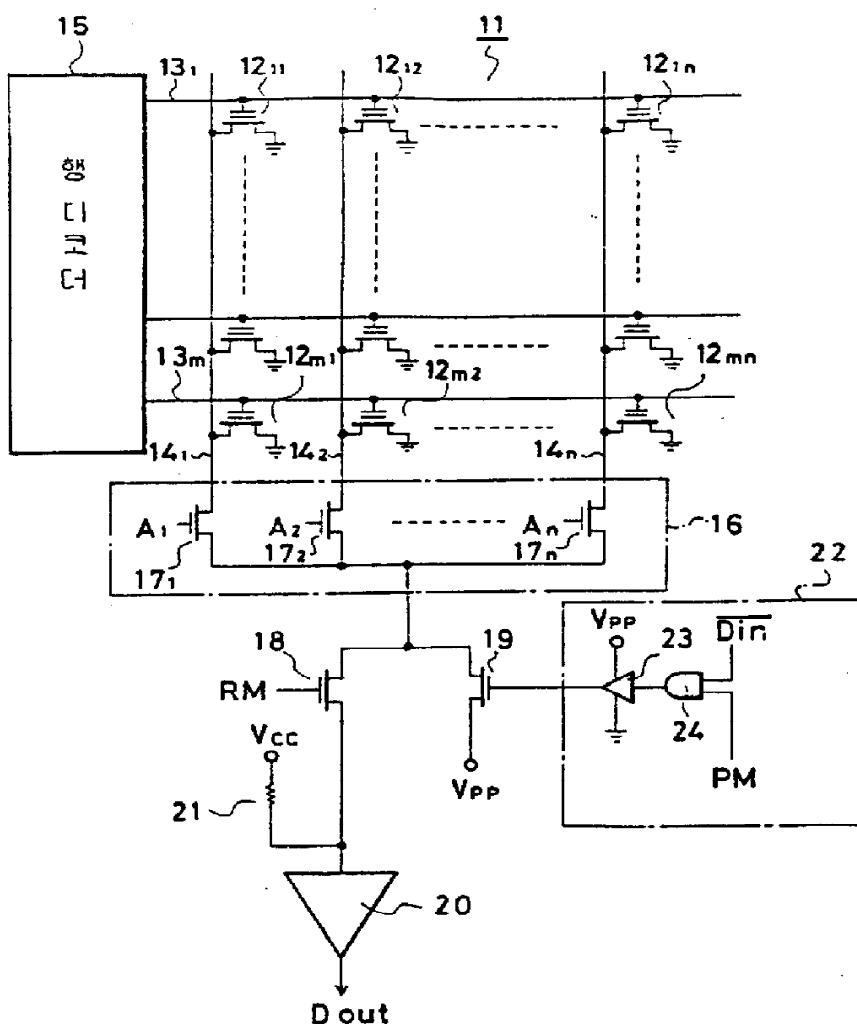
도면4



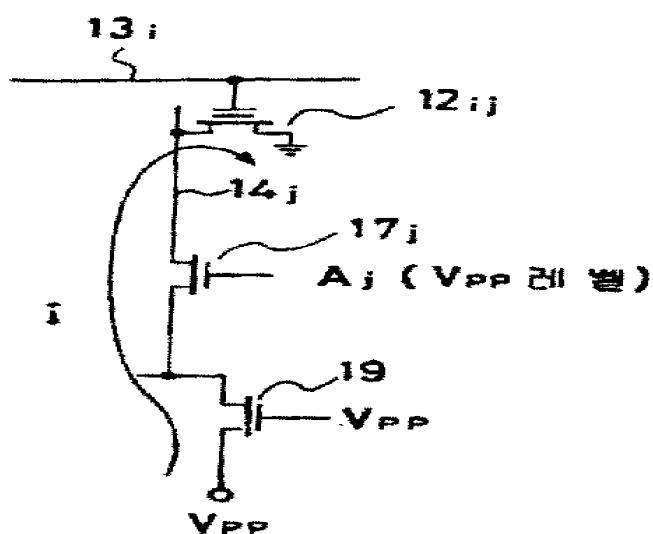
도면5



도면6



도면7



도면8

