



등록특허 10-2192753



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년12월18일

(11) 등록번호 10-2192753

(24) 등록일자 2020년12월14일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2012-7026186

(22) 출원일자(국제) 2011년02월14일

심사청구일자 2016년02월12일

(85) 번역문제출일자 2012년10월05일

(65) 공개번호 10-2013-0029058

(43) 공개일자 2013년03월21일

(86) 국제출원번호 PCT/JP2011/053589

(87) 국제공개번호 WO 2011/111503

국제공개일자 2011년09월15일

(30) 우선권주장

JP-P-2010-051008 2010년03월08일 일본(JP)

(56) 선행기술조사문헌

JP2009135350 A*

(뒷면에 계속)

전체 청구항 수 : 총 10 항

심사관 : 강필승

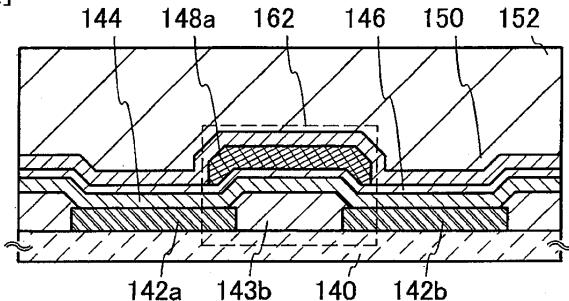
(54) 발명의 명칭 반도체 장치 및 반도체 장치를 제작하는 방법

(57) 요 약

절연층과, 절연층에 임베딩된 소스 전극 및 드레인 전극과, 절연층, 소스 전극, 및 드레인 전극과 접하는 산화물 반도체층과, 산화물 반도체층을 덮는 게이트 절연층과, 게이트 절연층 위의 게이트 전극을 포함하는 반도체 장치가 개시된다. 산화물 반도체층과 접하는, 절연층의 표면의 상면은 1nm 이하의 평균제곱근(RMS) 거칠기를 갖는다. 절연층의 상면과, 소스 전극의 상면 및 드레인 전극의 상면 각각과의 사이에 높이차가 있다. 높이차는 5nm 이상인 것이 바람직하다. 이러한 구조는 반도체 장치의 불량률의 억제에 기여하며 그의 미세화를 가능하게 한다.

대 표 도

[도 1a]



(56) 선행기술조사문현

JP61204976 A*

KR100647695 B1*

JP08023101 A*

JP2002368226 A*

JP2009212443 A*

JP6012799 B2*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

중앙 처리 유닛에 있어서,

레지스터 어레이;

상기 레지스터 어레이에 동작가능하게 접속된 연산 로직 유닛; 및

상기 연산 로직 유닛에 동작가능하게 접속된 명령 레지스터를 포함하고,

상기 레지스터 어레이, 상기 연산 로직 유닛, 및 상기 명령 레지스터 중 적어도 하나는 제 1 트랜지스터 및 상기 제 1 트랜지스터 위의 제 2 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 채널 형성 영역은 실리콘을 포함하고,

상기 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하고,

상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속되는, 중앙 처리 유닛.

청구항 31

중앙 처리 유닛에 있어서,

레지스터 어레이;

상기 레지스터 어레이에 동작가능하게 접속된 연산 로직 유닛; 및

상기 연산 로직 유닛에 동작가능하게 접속된 명령 레지스터를 포함하고,

상기 레지스터 어레이, 상기 연산 로직 유닛, 및 상기 명령 레지스터 중 적어도 하나는 제 1 트랜지스터 및 상기 제 1 트랜지스터 위의 제 2 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 채널 형성 영역은 실리콘을 포함하고,

상기 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함하고,

상기 산화물 반도체의 수소 농도는 5×10^{19} atoms/cm³ 이하이고,

상기 제 1 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트 전극은 상기 제 2 트랜지스터의 상기 채널 형성 영역 위에 형성되는, 중앙 처리 유닛.

청구항 32

제 30 항 또는 제 31 항에 있어서,

상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극은 절연층에 임베딩되고,

상기 절연층의 상면의 높이는 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 상면들의 높이들 보다 높은, 중앙 처리 유닛.

청구항 33

제 32 항에 있어서,

상기 절연층의 상기 상면은 상기 제 2 트랜지스터의 상기 채널 형성 영역과 접하고,

상기 절연층의 상기 상면은 1 nm 이하의 평균제곱근 거칠기를 갖는, 중앙 처리 유닛.

청구항 34

제 32 항에 있어서,

상기 절연층의 상기 상면과 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 상기 상면들 사이의 상기 높이의 차는 5 nm 이상인, 중앙 처리 유닛.

청구항 35

제 32 항에 있어서,

상기 절연층의 상기 상면과 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 상기 상면들 사이의

상기 높이의 차는 20 nm 이하인, 중앙 처리 유닛.

청구항 36

제 32 항에 있어서,

상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 상기 상면들은 상기 절연층으로 부분적으로 덮이는, 중앙 처리 유닛.

청구항 37

삭제

청구항 38

제 30 항 또는 제 31 항에 있어서,

실리콘 기판으로서, 상기 제 1 트랜지스터의 상기 채널 형성 영역은 상기 실리콘 기판에 형성되는, 상기 실리콘 기판; 및

상기 제 1 트랜지스터 위의 절연층으로서, 상기 제 2 트랜지스터는 상기 절연층 위에 형성되는, 상기 절연층을 더 포함하는, 중앙 처리 유닛.

청구항 39

제 30 항 또는 제 31 항에 있어서,

절연 기판으로서, 상기 제 1 트랜지스터는 상기 채널 형성 영역을 포함하는 반도체층을 포함하고, 상기 반도체층은 상기 절연 기판 위에 형성되는, 상기 절연 기판; 및

상기 제 1 트랜지스터 위의 절연층으로서, 상기 제 2 트랜지스터는 상기 절연층 위에 형성되는, 상기 절연층을 더 포함하는, 중앙 처리 유닛.

청구항 40

제 30 항 또는 제 31 항에 있어서,

상기 산화물 반도체는 진성 산화물 반도체이고,

상기 산화물 반도체는 인듐, 갈륨, 및 아연을 포함하는, 중앙 처리 유닛.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그의 제작 방법에 관한 것이다. 여기서 반도체 장치들은 반도체 특성들을 사용하는 것에 의해 기능하는 일반적인 소자들 및 장치들을 나타낸다는 것에 주의한다.

배경 기술

[0002] 매우 다양한 금속 산화물들이 있으며 이러한 금속 산화물들은 다양한 응용들에 이용된다. 산화 인듐은 잘 알려진 재료이며 액정 표시 장치들 등에 필요한 투명(transparent) 전극들을 위한 재료로 이용된다.

[0003] 일부 금속 산화물들은 반도체 특성들을 갖는다. 이러한 반도체 특성들을 갖는 금속 산화물들의 예들은 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연, 등을 포함한다. 이러한 금속 산화물을 이용하여 채널 형성 영역이 형성되는 박막 트랜지스터가 이미 알려져 있다(예를 들어, 특허문현 1 내지 4, 비특허문현 1, 등 참조).

[0004] 금속 산화물들의 예들은 단일 구성성분 산화물 뿐만 아니라 다중 구성성분 산화물도 포함한다. 예를 들어, 호모리거스상(homologous phase)을 갖는 $\text{InGaO}_3(\text{ZnO})_m$ (m: 자연수)가 In, Ga, 및 Zn을 포함하는 다중 구성성분 산화물 반도체로 알려져 있다(예를 들어, 비특허문현 2 내지 4 등 참조).

[0005] 또한, 이러한 In-Ga-Zn계 산화물을 포함하는 산화물 반도체가 또한 박막 트랜지스터의 채널 형성 영역으로 적용

될 수 있다는 것이 확인되었다(예를 들어, 특허문헌 5, 비특허문헌 5 및 6, 등 참조).

- [0006] 트랜지스터의 고속 동작 등을 달성하기 위하여, 트랜지스터의 미세화(miniaturization)가 요구된다. 예를 들어, 특허문헌 6에서, 약 10nm 이하의 두께를 갖는 채널층을 위해 이용된 산화물 반도체를 포함하는 박막 트랜지스터가 개시된다. 비특허문헌 7에서, 그의 채널 길이가 $2\mu\text{m}$ 내지 $100\mu\text{m}$ 인 산화물 반도체를 포함하는 박막 트랜지스터가 개시된다.
- [0007] [참조문헌]
- [0008] [특허문헌]
- [0009] (특허문헌 1) 일본 공개 특허 출원 번호 S60-198861
- [0010] (특허문헌 2) 일본 공개 특허 출원 번호 H8-264794
- [0011] (특허문헌 3) PCT 국제 출원의 일본 번역문 번호 H11-505377
- [0012] (특허문헌 4) 일본 공개 특허 출원 번호 2000-150900
- [0013] (특허문헌 5) 일본 공개 특허 출원 번호 2004-103957
- [0014] (특허문헌 6) 일본 공개 특허 출원 번호 2010-21170
- [0015] [비특허문헌]
- [0016] (비특허문헌 1) M.W.Prins, K.O.Grosse-Holz, G.Muller, J.F.M.Cillessen, J.B.Giesbers, R.P.Weening, and R.M.Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol.68, pp.3650-3652
- [0017] (비특허문헌 2) M.Nakamura, N.Kimizuka, and T.Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350°C", J. Solid State Chem., 1991, Vol. 93, pp. 298-315
- [0018] (비특허문헌 3) N.Kimizuka, M.Isobe, and M.Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System", J. Solid State Chem., 1995, Vol. 116, pp. 170-178
- [0019] (비특허문헌 4) M.Nakamura, N.Kimizuka, T.Mohri, and M.Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides($\text{InFeO}_3(\text{ZnO})_m$) (m :natural number) and related compounds", KOTAI BUTSURI(SOLID STATE PHYSICS), 1993, Vol. 28, No.5, pp.317-327
- [0020] (비특허문헌 5) K.Nomura, H.Ohta, K.Ueda, T.Kamiya, M.Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol.300, pp. 1269-1272
- [0021] (비특허문헌 6) K.Nomura, H.Ohta, A.Takagi, T.Kamiya, M.Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol. 432, pp. 488-492
- [0022] (비특허문헌 7) T.Kawamura, H.Uchiyama, S.Saito, H.Wakana, T.Mine, and M.Hatano, "Low-Voltage Operating Amorphous Oxide TFTs", IDW'09, pp.1689-1692

발명의 내용

해결하려는 과제

- [0023] 트랜지스터가 미세화되는 경우에, 제조 공정에서 생성되는 불량(defect)은 큰 문제가 된다. 예를 들어, 반도체 층이 소스 또는 드레인 전극, 게이트 전극 등으로 기능하는 배선 위에 형성되는 트랜지스터에서, 배선은 반도체 층보다 큰 두께를 가지며, 이는 미세화에 따라 반도체층의 두께가 감소될 때 반도체층의 빈약한 커버리지(coverage)를 유발한다. 결과적으로, 단선, 접속 불량, 등이 일어날 수 있다.
- [0024] 트랜지스터가 미세화되는 경우에, 단채널 효과(short channel effect)의 다른 문제가 일어난다. 단채널 효과는

트랜지스터의 미세화(채널 길이(L)의 감소)로 명백해지는 전기적 특성들의 열화를 말한다. 단채널 효과는 소스 상의 드레인의 전기장의 효과로부터 기인한다. 단채널 효과의 구체적인 예들은 임계 전압의 감소, S 값(서브스레스홀드 스윙(subthreshold swing))의 증가, 누설 전류의 증가, 등이다. 실리콘을 포함하는 트랜지스터와 달리, 산화물 반도체를 포함하는 트랜지스터는 도핑에 의해 임계 전압을 제어할 수 없으므로, 단채널 효과는 특히 산화물 반도체를 포함하는 트랜지스터에서 일어날 수 있다.

[0025] 이러한 관점에서, 개시된 발명의 한 실시형태의 목적은 불량을 억제하고 미세화를 달성하는 반도체 장치를 제공하는 것이다. 또한, 개시된 발명의 한 실시형태의 다른 목적은 양호한 특성들을 유지하고 미세화를 달성하는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0026] 개시된 발명의 실시형태는 절연층, 절연층에 임베딩된 소스 전극과 드레인 전극, 절연층의 표면의 일부, 소스 전극의 표면의 일부, 및 드레인 전극의 표면의 일부와 접하는 산화물 반도체층, 산화물 반도체층을 덮는 게이트 절연층, 및 게이트 절연층 위의 게이트 전극을 포함하는 반도체 장치이다. 산화물 반도체층과 접하는, 절연층의 표면의 일부는 1nm 이하의 평균제곱근(root-mean-square; RMS)의 거칠기(roughness)를 갖는다. 절연층의 표면의 일부와 소스 전극의 표면 사이의 높이차와 절연층의 표면의 일부와 드레인 전극의 표면 사이의 높이차는 5nm 이상이다. 상기 반도체 장치에서, 절연층의 표면의 일부와 소스 전극의 표면 사이의 높이차와 절연층의 표면의 일부와 드레인 전극의 표면 사이의 높이차는 20nm 이하일 수 있다는 것에 주의한다.

[0027] 본 명세서에서, 평균제곱근(RMS) 거칠기는 이를 측정 표면으로 적용할 수 있도록 하기 위해 단면 곡선의 RMS 거칠기를 3차원적으로 확장하는 것에 의해 얻어짐에 주의한다. RMS 거칠기는 기준 표면으로부터 지정면까지의 편차의 제곱의 평균값의 제곱근에 의해 표현되며, 다음 식에 의해 얻어진다.

수학식 1

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dX dY}$$

[0028] 측정 표면은 모든 측정 데이터에 의해 보여지는 표면이며, 이는 다음 식에 의해 표현된다는 것에 주의한다.

수학식 2

$$Z = F(X, Y)$$

[0031] 지정면은 거칠기 측정의 대상인 표면이며, 좌표들(X_1, Y_1), (X_1, Y_2), (X_2, Y_1), 및 (X_2, Y_2)에 의해 표현된 4개의 점들에 의해 둘러싸인 사각형의 영역이다. 지정면이 이상적으로 편평할 때의 지정면의 면적은 S_0 에 의해 표현된다. S_0 은 다음 식에 의해 얻어질 수 있다는 것에 주의한다.

수학식 3

$$S_0 = |X_2 - X_1| \cdot |Y_2 - Y_1|$$

[0032] 또한, 기준 표면은 지정면의 평균 높이에서 X-Y 표면으로 평행한 표면을 말한다. 즉, 지정면의 높이의 평균값이 Z_0 에 의해 표시될 때, 기준 표면의 높이가 또한 Z_0 에 의해 표시된다. Z_0 은 다음 식에 의해 얻어질 수 있다는 것에 주의한다.

수학식 4

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dX dY$$

[0034]

[0035] 본 명세서에서, 평균제곱근(RMS) 거칠기는 원자간력 현미경(atomic force microscope;AFM)을 이용하여 얻어진 AFM 이미지로부터 $10 \text{ nm} \times 10 \text{ nm}$, 바람직하게는 $100 \text{ nm} \times 100 \text{ nm}$, 더욱 바람직하게는 $1 \mu\text{m} \times 1 \mu\text{m}$ 의 영역에서 계산된다는 것에 주의한다.

[0036] 개시된 발명의 다른 실시형태는 제 1 트랜지스터와, 제 1 트랜지스터 위의 제 2 트랜지스터를 포함하는 반도체 장치이다. 제 1 트랜지스터는 제 1 채널 형성 영역, 제 1 채널 형성 영역의 위에 제공된 제 1 게이트 절연층, 제 1 채널 형성 영역과 중첩하도록 제 1 게이트 절연층 위에 제공된 제 1 게이트 전극, 및 제 1 채널 형성 영역과 전기적으로 접속된 제 1 소스 전극 및 제 1 드레인 전극을 포함한다. 제 2 트랜지스터는 절연층에 임베딩된 제 2 소스 전극 및 제 2 드레인 전극, 절연층의 표면의 일부, 제 2 소스 전극의 표면의 일부, 및 제 2 드레인 전극의 표면의 일부와 접하는 제 2 채널 형성 영역, 제 2 채널 형성 영역을 덮는 제 2 게이트 절연층, 및 제 2 게이트 절연층 위의 제 2 게이트 전극을 포함한다. 제 2 채널 형성 영역과 접하는, 절연층의 표면의 일부는, 1nm 이하의 평균제곱근 거칠기를 갖는다. 절연층의 표면의 일부와 제 2 소스 전극의 표면 사이의 높이차와 절연층의 표면의 일부와 제 2 드레인 전극의 표면 사이의 높이차는 5nm 이상이다. 상기 반도체 장치에서, 절연층의 표면의 일부와 제 2 소스 전극의 표면 사이의 높이차와 절연층의 표면의 일부와 제 2 드레인 전극의 표면 사이의 높이차는 20nm 이하일 수 있다는 것에 주의한다.

[0037] 개시된 발명의 다른 실시형태는: 1nm 이하의 평균제곱근 거칠기를 갖는 표면 위에 소스 전극 및 드레인 전극을 형성하고; 소스 전극과 드레인 전극을 덮도록 절연층을 형성하고; 절연층의 표면의 평탄화 처리를 수행하여, 1nm 이하의 평균제곱근 거칠기의 표면을 갖는 평탄화된 절연층을 형성하고; 평탄화된 절연층에 소스 전극과 드레인 전극에 이르는 개구부를 형성하여, 평탄화된 절연층의 표면의 일부와 소스 전극의 표면 사이의 높이차와 평탄화된 절연층의 표면의 일부와 드레인 전극의 표면 사이의 높이차가 5nm 이상이 되게 하고; 평탄화된 절연층의 표면의 일부, 소스 전극의 표면의 일부, 및 드레인 전극의 표면의 일부와 접하는 산화물 반도체를 형성하고; 산화물 반도체층을 덮도록 게이트 절연층을 형성하고; 게이트 절연층 위에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치를 제작하는 방법이다.

[0038] 다른 실시형태는: 1nm 이하의 평균제곱근 거칠기의 표면 위에 소스 전극과 드레인 전극을 형성하고; 소스 전극과 드레인 전극을 덮도록 절연층을 형성하고; 절연층의 표면의 평탄화 처리를 수행하여, 1nm 이하의 평균제곱근 거칠기를 갖는 표면을 갖는 평탄화된 절연층을 형성하고 소스 전극과 드레인 전극을 노출시키며; 소스 전극과 드레인 전극을 박막화하여 평탄화된 절연층의 표면의 일부와 소스 전극의 표면 사이의 높이차와 평탄화된 절연층의 표면의 일부와 드레인 전극의 표면 사이의 높이차가 5nm 이상이 되도록 하고; 평탄화된 절연층의 표면의 일부, 소스 전극의 표면의 일부, 및 드레인 전극의 표면의 일부와 접하는 산화물 반도체층을 형성하고; 산화물 반도체층을 덮도록 게이트 절연층을 형성하고; 게이트 절연층 위에 게이트 전극을 형성하는 단계들을 포함하는, 반도체 장치를 제작하는 방법이다. 상기 반도체 장치를 제작하는 방법에서, 평탄화된 절연층의 표면의 일부와 소스 전극의 표면 사이의 높이차와 평탄화된 절연층의 표면의 일부와 드레인 전극의 표면 사이의 높이차는 20nm 이하일 수 있다는 것에 주의한다.

[0039] 개시된 발명의 다른 실시형태는: 채널 형성 영역, 채널 형성 영역 위의 제 1 게이트 절연층, 채널 형성 영역과 중첩하는, 제 1 게이트 절연층 위의 제 1 게이트 전극, 및 채널 형성 영역과 전기적으로 접속된 제 1 소스 전극과 제 1 드레인 전극을 포함하는 제 1 트랜지스터를 형성하고; 제 1 트랜지스터를 덮도록 1nm 이하의 평균제곱근 거칠기의 표면을 갖는 제 1 절연층을 형성하고; 제 1 절연층의 표면 위에 제 2 소스 전극과 제 2 드레인 전극을 형성하고; 제 2 소스 전극과 제 2 드레인 전극을 덮도록 제 2 절연층을 형성하고; 제 2 절연층의 표면의 평탄화 처리를 수행하여, 1nm 이하의 평균제곱근 거칠기의 표면을 갖는 평탄화된 절연층을 형성하고; 평탄화된 절연층에 제 2 소스 전극과 제 2 드레인 전극에 이르는 개구부를 형성하여, 평탄화된 절연층의 표면의 일부와 제 2 소스 전극의 표면 사이의 높이차가 5nm 이상이 되도록 하고; 평탄화된 절연층의 표면의 일부, 제 2 소스 전극의 표면의 일부, 및 제 2 드레인 전극의 표면의 일부와 접하는 산화물 반도체층을 형성하고; 산화물 반도체층을 덮도록 제 2 게이트 절연층을 형성하고; 제 2 게이트 절연층 위에 제 2 게이트 전극을 형성하는 단계들을 포함하는, 반도체 장치를 제작하는

방법이다.

[0040] 다른 실시형태는: 채널 형성 영역, 채널 형성 영역 위의 제 1 게이트 절연층, 채널 형성 영역과 중첩하는, 제 1 게이트 절연층 위의 제 1 게이트 전극, 및 채널 형성 영역과 전기적으로 접속된 제 1 소스 전극과 제 1 드레인 전극을 포함하는 제 1 트랜지스터를 형성하고; 제 1 트랜지스터를 덮도록 1nm 이하의 평균제곱근 거칠기의 표면을 갖는 제 1 절연층을 형성하고; 제 1 절연층의 표면 위에 제 2 소스 전극과 제 2 드레인 전극을 형성하고; 제 2 소스 전극과 제 2 드레인 전극을 덮도록 제 2 절연층을 형성하고; 제 2 절연층의 표면의 평탄화 처리를 수행하여, 1nm 이하의 평균제곱근 거칠기의 표면을 갖는 평탄화된 절연층을 형성하고 제 2 소스 전극과 제 2 드레인 전극을 노출시키고; 제 2 소스 전극과 제 2 드레인 전극을 박막화하여 평탄화된 절연층의 표면의 일부와 제 2 소스 전극의 표면 사이의 높이차와 평탄화된 절연층의 표면의 일부와 제 2 드레인 전극의 표면 사이의 높이차가 5nm 이상이 되도록 하고; 평탄화된 절연층의 표면의 일부, 제 2 소스 전극의 표면의 일부, 및 제 2 드레인 전극의 표면의 일부와 접하는 산화물 반도체층을 형성하고; 산화물 반도체층을 덮도록 제 2 게이트 절연층을 형성하고; 제 2 게이트 절연층 위에 제 2 게이트 전극을 형성하는 단계들을 포함하는, 반도체 장치를 제작하는 방법이다. 상기 반도체 장치를 제작하는 방법에서, 평탄화된 절연층의 표면의 일부와 제 2 소스 전극의 표면 사이의 높이차와 평탄화된 절연층의 표면의 일부와 제 2 드레인 전극의 표면 사이의 높이차는 20nm 이하일 수 있다는 것에 주의한다.

[0041] 트랜지스터의 채널 길이(L)는 $2\mu\text{m}$ 미만인 것이 바람직하고, 더욱 바람직하게는 10nm 내지 350nm($0.35\mu\text{m}$) 임에 주의한다. 산화물 반도체층의 두께는 1nm 내지 50nm, 바람직하게는 2nm 내지 20nm, 더욱 바람직하게는 3nm 내지 15nm의 범위에 있다. 이러한 구조로, 고속으로 동작하고 적은 전력을 소비하는 반도체 장치가 달성될 수 있다. 게이트 절연층으로, 산화 하프늄과 같은 고유전율 재료가 이용된다. 예를 들어, 산화 하프늄의 비유전율은 약 15이며, 이는 3 내지 4인 산화물 반도체보다 훨씬 높다. 이러한 재료로, 동등 산화물 두께가 15nm보다 작은, 바람직하게는 2nm 내지 10nm인 게이트 절연층이 쉽게 형성될 수 있다. 다시 말해, 반도체 장치가 쉽게 미세화될 수 있다. 또한, 산화물 반도체층으로서, 고순도화되는(purified) 진성(intrinsic) 산화물 반도체가 이용된다. 이러한 산화물 반도체로, 산화물 반도체층의 캐리어 밀도는, 예를 들면, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는, $1.45 \times 10^{10}/\text{cm}^3$ 미만일 수 있고, 트랜지스터의 오프 상태 전류는 $100 \text{ zA}/\mu\text{m}$ (1 zA (캡토암페어))는 $1 \times 10^{-21} \text{ A}$ 이하, 바람직하게는, $10 \text{ zA}/\mu\text{m}$ 이하일 수 있고, 트랜지스터의 S 값은 65mV/dec 이하, 바람직하게는, 63 mV/dec 미만일 수 있다. 상기 구조가 채용될 때, 트랜지스터의 오프 상태 전류는 이론적으로 $1 \times 10^{-24} \text{ A}/\mu\text{m}$ 내지 $1 \times 10^{-30} \text{ A}/\mu\text{m}$ 일 수 있다. 게이트 전극이 소스 전극 및 드레인 전극과 중첩하도록 제공될 수 있으며, 대안적으로, 게이트 전극의 단부만이 소스 전극의 단부 및 드레인 전극의 단부와 중첩하도록 제공될 수 있다.

[0042] 여기서 반도체 장치들은 반도체 특성들을 사용하는 것에 의해 기능하는 일반적인 장치들을 나타낸다는 것에 주의한다. 예를 들어, 표시 장치, 메모리 장치, 접적 회로, 등이 반도체 장치의 카테고리에 포함된다.

[0043] 본 명세서에서 "위에(over)" 또는 "아래에(below)"와 같은 용어는 구성성분이 다른 구성성분의 "직접적으로 위에" 또는 "직접적으로 아래에" 위치되는 것을 반드시 의미하는 것은 아님에 주의한다. 예를 들어, "게이트 절연층 위의 게이트 전극"이라는 표현은 구성성분이 게이트 절연층과 게이트 전극 사이에 위치되는 경우를 배제하지 않는다.

[0044] 또한, 본 명세서에서 "전극" 또는 "배선"과 같은 용어는 구성성분의 기능을 제한하지 않는다. 예를 들어, "전극"은 "배선"의 일부로 이용될 수 있으며, "배선"은 "전극"의 일부로 이용될 수 있다. 또한, "전극" 또는 "배선"이라는 용어는 복수의 "전극들" 또는 "배선들"이 일체가 되는(integrated) 방식으로 형성되는 경우를 포함할 수 있다.

[0045] 예를 들어, 반대의 극성의 트랜지스터가 이용되거나 또는 전류 흐름의 방향이 회로 동작에서 변화될 때, "소스"와 "드레인"의 기능들은 종종 서로 교환된다. 따라서, "소스"와 "드레인"이라는 용어들은 본 명세서에서 각각 드레인과 소스를 나타내도록 이용될 수 있다.

[0046] 본 명세서에서 "전기적으로 접속된"이라는 용어는 구성성분들이 "임의의 전기적 기능을 갖는 객체"를 통하여 접속되는 경우를 포함한다는 것에 주의한다. 전기적 신호들이 객체를 통해 접속되는 구성성분들 사이에서 송신되고 수신될 수 있는 한 임의의 전기적 기능을 갖는 객체에는 특별한 제한은 없다. "임의의 전기적 기능을 갖는 객체"의 예들은 전극과 배선 뿐만 아니라, 트랜지스터와 같은 스위치 소자, 저항, 인덕터, 용량소자, 및 다양한 기능들을 갖는 소자이다.

발명의 효과

[0047]

개시된 발명의 한 실시형태에 따라, 미세화에 의해 유발된 문제가 해결될 수 있다. 결과적으로, 트랜지스터의 크기가 충분히 감소될 수 있다. 트랜지스터의 크기를 상당히 줄이는 것에 의해, 트랜지스터를 포함하는 반도체 장치의 면적이 감소될 수 있고, 하나의 기판으로 제작된 반도체 장치들의 수가 증가된다. 따라서, 반도체 장치 당 제조 비용이 감소된다. 또한, 반도체 장치의 크기가 줄어들기 때문에, 종래의 반도체 장치와 유사한 크기를 갖는 반도체 장치가 향상된 기능들을 가질 수 있다. 또한, 채널 길이의 감소로 인해 고속 동작과 낮은 전력 소비와 같은 이로운 효과들이 얻어질 수 있다. 즉, 개시된 발명의 한 실시형태에 따라, 산화물 반도체를 포함하는 트랜지스터의 미세화가 달성될 수 있고, 따라서 그와 함께 다양한 이로운 효과들이 얻어질 수 있다.

[0048]

상술된 바와 같이, 개시된 발명의 한 실시형태에 따라, 불량을 억제하거나 양호한 특성들을 유지할 뿐만 아니라 미세화를 달성하는 반도체 장치가 제공될 수 있다.

도면의 간단한 설명

[0049]

도 1a 내지 도 1c는 각각 반도체 장치의 구성의 예를 도시하는 단면도.

도 2a 내지 도 2g는 반도체 장치의 제작 공정을 도시하는 단면도.

도 3a 내지 도 3g는 반도체 장치의 제작 공정을 도시하는 단면도.

도 4a 내지 도 4c는 반도체 장치의 구성의 예를 도시하는 단면도, 평면도, 및 회로도.

도 5a 내지 도 5d는 반도체 장치의 제작 공정을 도시하는 단면도.

도 6a 내지 도 6c는 반도체 장치의 제작 공정을 도시하는 단면도.

도 7a1, 도 7a2, 및 도 7b는 반도체 장치의 응용의 예를 도시하는 도면.

도 8a 및 도 8b는 반도체 장치의 응용의 예를 도시하는 도면.

도 9a 내지 도 9c는 반도체 장치의 응용의 예를 도시하는 도면.

도 10은 반도체 장치의 응용의 예를 도시하는 도면.

도 11a 및 도 11b는 반도체 장치의 응용의 예를 도시하는 도면.

도 12a 내지 도 12f는 각각 반도체 장치를 포함하는 전자 장치를 도시하는 도면.

도 13a 및 도 13b는 각각 계산에 이용된 모델을 도시하는 도면.

도 14는 게이트 전압(VG)(V)과 드레인 전류(ID)(A) 사이의 관계를 도시하는 도면.

도 15는 채널 길이(L)(nm)와 임계 전압(Vth)(V) 사이의 관계를 도시하는 도면.

도 16은 채널 길이(L)(nm)와 S 截(V/dec) 사이의 관계를 도시하는 도면.

도 17a 및 도 17b는 각각 계산에 이용된 모델을 도시하는 도면.

도 18은 게이트 전압(VG)(V)과 드레인 전류(ID)(A) 사이의 관계를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0050]

본 발명의 실시형태들의 예들이 이하 도면들을 참조하여 설명될 것이다. 본 발명은 다음 설명에 제한되지 않으며, 본 발명의 모드들 및 상세한 설명들은 그의 정신과 범주를 벗어나지 않고 다양한 방법들로 변경될 수 있다 는 것이 당업자에 의해 쉽게 인식될 것임을 주의한다. 따라서, 본 발명은 다음 실시형태들의 설명으로 제한되는 것으로 해석되어서는 안된다.

[0051]

도면들 등에 도시된 각 구성성분의 위치, 크기, 범위, 등은 쉬운 이해를 위해 일부 경우들에서 정밀하게 표현되지 않는다는 것에 주의한다. 따라서, 개시된 발명은 도면들 등에서 개시된 위치, 크기, 범위, 등으로 제한될 필요는 없다.

[0052]

본 명세서의 "제 1", "제 2", 및 "제 3"과 같은 서수들은 구성성분들 중의 혼란을 피하기 위하여 이용되며, 용어들은 구성성분들을 수적으로 제한하지 않는다는 것에 주의한다.

[0053] (실시형태 1)

[0054] 본 실시형태에서, 개시된 발명의 한 실시형태에 따른 반도체 장치의 구성과 제작 방법이 도 1a 내지 도 1c, 도 2a 내지 도 2g, 및 도 3a 내지 도 3g를 참조하여 설명될 것이다.

[0055] <반도체 장치의 구성의 예>

[0056] 도 1a 내지 도 1c는 각각 반도체 장치의 구성의 예를 도시한다. 도 1a는 제 1 구성예이며, 도 1b는 제 2 구성예이다. 도 1c는 도 1a의 변형예이다.

[0057] 도 1a의 트랜지스터(162)는 구성성분들이 형성되는 표면을 갖는 기판(140) 위의 절연층(143b)과, 절연층(143b)을 포함하는 절연층에 임베딩된 소스 전극(142a) 및 드레인 전극(142b)과, 절연층(143b)의 상면, 소스 전극(142a)의 상면, 및 드레인 전극(142b)의 상면의 일부와 접하는 산화물 반도체층(144)과, 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위의 게이트 전극(148a)을 포함한다.

[0058] 도 1a에 도시된 바와 같은 트랜지스터의 활성층에 산화물 반도체를 이용하여, 양호한 특성들이 얻어질 수 있다. 예를 들어, 트랜지스터의 S 값이 65 mV/dec 이하, 바람직하게는 63 mV/dec 미만일 수 있다.

[0059] 또한, 산화물 반도체층과 접하는, 절연층(143b)의 상면의 일부(특히 구성성분들이 형성되는 표면과 평행한 영역을 말함)는 1nm 이하의(바람직하게는 0.5nm 이하) 평균제곱근(RMS) 거칠기를 갖는다. 절연층(143b)의 상면의 일부와 소스 전극(142a)의 상면 사이의 높이차와 절연층(143b)의 상면의 일부와 드레인 전극(142b)의 상면 사이의 높이차는 5nm 이상이다.

[0060] 상술된 바와 같이, 개시된 발명의 한 실시형태에서, 트랜지스터(162)의 채널 형성 영역은 1nm 이하의 평균제곱근(RMS) 거칠기를 갖는 매우 편평한 영역 위에 제공된다. 이는 트랜지스터(162)가 미세화되는 상황에서도 단채널 효과와 같은 문제를 방지할 수 있게 하며 트랜지스터(162)에 양호한 특성들을 제공할 수 있게 한다.

[0061] 또한, 구성성분들이 형성되는 표면의 평탄성을 향상시키는 것에 의해, 산화물 반도체층(144)은 균일한 두께를 가질 수 있고, 트랜지스터(162)는 향상된 특성들을 가질 수 있다. 또한, 높이의 큰 차이에 의해 유발될 수 있는 커버리지의 감소가 억제될 수 있고, 산화물 반도체층(144)의 단선 또는 접속 불량이 방지될 수 있다.

[0062] 또한, 절연층(143b)의 상면의 일부와 소스 전극(142a)의 상면 사이와 절연층(143b)의 상면의 일부와 드레인 전극(142b)의 상면 사이의 높이차를 작게(예를 들면, 5nm 내지 20nm) 함으로써 전류의 경로가 확장될 수 있다. 이는 트랜지스터(162)의 전기장의 농도를 완화시키고 단채널 효과를 억제시킬 수 있게 한다.

[0063] 여기서, 산화물 반도체층(144)은 그로부터 수소와 같은 불순물을 충분히 제거하거나 그에게 산소를 충분히 공급하는 것에 의해 고순도화된 산화물 반도체층인 것이 바람직하다. 구체적으로, 산화물 반도체층(144)의 수소 농도는, 예를 들면, $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 상기 산화물 반도체층(144)의 수소 농도는 2차 이온 질량 분석법(secondary ion mass spectrometry; SIMS)에 의해 측정된다는 것에 주의한다. 수소가 충분히 낮은 농도로 감소되어 산화물 반도체층이 고순도화되고, 산소 결핍으로 인한 에너지 캡에서의 결함 준위들이 상술된 바와 같이 산소를 충분히 공급하는 것에 의해 감소되는, 산화물 반도체층(144)에서 수소와 같은 도너(donor)로 인해 생성된 캐리어들의 농도는, $1 \times 10^{12} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만, 더욱 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 미만이다. 또한, 예를 들어, 실온(25°C)에서의 오프 상태 전류(여기서는, 단위 채널 폭(1μm)당)는 100zA(1zA(젭토암페어)는 $1 \times 10^{-21} \text{ A}$) 이하, 바람직하게는 10zA 이하이다. 이러한 방식으로, i-형(진성) 또는 실질적으로 i-형 산화물 반도체를 이용하는 것에 의해, 극히 양호한 오프 상태 전류 특성들을 갖는 트랜지스터(162)가 얻어질 수 있다.

[0064] 비특허문현 7 등에서 개시된 것과 같이, 그의 채널 길이가 2μm 내지 100μm인 상대적으로 큰 크기의 트랜지스터는 $2 \times 10^{19} / \text{cm}^3$ 의 높은 캐리어 밀도를 갖는 n-형 산화물 반도체의 이용으로 제작될 수 있다는 것에 주의한다. 그러나, 이러한 재료가 그의 채널 길이가 2μm 미만인 미세화된 트랜지스터에 적용될 때, 임계 전압이 대단히 네거티브하게 시프트하고, 따라서 노멀리 오프(normally-off) 트랜지스터를 실현하는 것이 어려워진다. 다시 말해, 2μm 미만의 채널 길이를 갖고 이러한 재료를 이용하여 제작되는 트랜지스터는 현실적으로 쓸모가 없다. 반대로, 고순도화되는 진성 또는 실질적으로 진성 산화물 반도체는 최대 $1 \times 10^{14} / \text{cm}^3$ 미만의 캐리어 밀도를 갖고, 노멀리 온(normally-on)의 문제를 유발하지 않으며; 따라서, 이러한 진성 또는 실질적으로 진성 산화물 반도체의 이용으로, 그의 채널 길이가 2μm 미만인 트랜지스터가 쉽게 실현될 수 있다.

- [0065] 도 1b의 트랜지스터(262)는 트랜지스터(162)와 유사한 구조를 갖는다. 즉, 트랜지스터(262)는 구성성분들이 형성되는 표면을 갖는 기판(240) 위의 절연층(243b)과, 절연층(243b)을 포함하는 절연층에 임베딩된 소스 전극(242a) 및 드레인 전극(242b)과, 절연층(243b)의 상면, 소스 전극(242a)의 상면, 및 드레인 전극(242b)의 상면의 일부와 접하는 산화물 반도체층(244)과, 산화물 반도체층(244)을 덮는 게이트 절연층(246)과, 게이트 절연층(246) 위의 게이트 전극(248a)을 포함한다.
- [0066] 또한, 산화물 반도체층과 접하는, 절연층(243b)의 상면의 일부는 1nm 이하의(바람직하게는 0.5nm 이하) 평균제곱근(RMS) 거칠기를 갖는다. 절연층(243b)의 상면의 일부와 소스 전극(242a)의 상면 사이의 높이차와 절연층(243b)의 상면의 일부와 드레인 전극(242b)의 상면 사이의 높이차는 5nm 이상이다.
- [0067] 도 1b의 트랜지스터(262)와 도 1a의 트랜지스터(162) 사이의 차이는 소스 전극 및 드레인 전극의 단부들을 덮도록 절연층의 일부가 제공되는지 여부이다. 다시 말해, 도 1a의 트랜지스터(162)의 절연층(143b)은 소스 전극(142a)과 드레인 전극(142b)을 덮도록 제공되고, 도 1b의 트랜지스터(262)의 절연층(243b)은 소스 전극(242a)과 드레인 전극(242b)을 덮지 않는다.
- [0068] 도 1b의 구성으로부터 기인한 효과들은 도 1a의 경우에서 얻어지는 것과 유사하다. 다시 말해, 트랜지스터(262)의 채널 형성 영역이 매우 편평한 영역 위에 제공되므로, 트랜지스터(262)가 미세화되는 상황에서도 단채널 효과와 같은 문제가 방지될 수 있고, 양호한 특성들을 갖는 트랜지스터(262)가 제공될 수 있다. 또한, 구성성분들이 형성되는 표면의 평탄성을 향상시키는 것에 의해, 산화물 반도체층(244)은 균일한 두께를 가질 수 있고, 트랜지스터(262)는 향상된 특성들을 가질 수 있다. 또한, 높이의 큰 차이에 의해 유발될 수 있는 커버리지의 감소가 억제될 수 있고, 산화물 반도체층(244)의 단선 또는 접속 불량이 방지될 수 있다. 또한, 상술된 바와 같이 절연층과 소스 전극(및 드레인 전극) 사이의 높이차를 작게 함으로써, 트랜지스터(262)의 전기장의 농도가 완화될 수 있고, 단채널 효과가 억제될 수 있다.
- [0069] 도 1c의 트랜지스터(162)는 도 1a의 트랜지스터(162)의 변형예이다. 구체적으로, 도 1c의 트랜지스터(162)는 도 1a의 소스 전극(142a)과 드레인 전극(142b)을 테이퍼 형상(tapered shape)으로 변경시키는 것에 의해 얻어진 트랜지스터에 대응한다. 예를 들어, 테이퍼 각(taper angle)은 30° 이상 60° 이하일 수 있다. "테이퍼 각"은 그의 단면(기판(140)의 표면에 수직인 평면)에 수직인 방향으로부터 관찰될 때 테이퍼 형상을 갖는 층(예를 들면, 소스 전극(142a))의 측면과 저면에 의해 형성된 각을 의미한다는 것에 주의한다.
- [0070] <반도체 장치를 제작하는 방법의 예>
- [0071] 다음, 반도체 장치를 제작하는 방법의 예가 도 2a 내지 도 2g와 도 3a 내지 도 3g를 참조하여 설명될 것이다. 여기서, 도 2a 내지 도 2g는 도 1a에 도시된 트랜지스터(162)를 제작하는 방법의 예를 도시하고, 도 3a 내지 도 3g는 도 1b에 도시된 트랜지스터(262)를 제작하는 방법의 예를 도시한다. 도 2a 내지 도 2g가 이하에 먼저 설명될 것이며, 이후, 도 3a 내지 도 3g에 대하여, 도 2a 내지 도 2g와의 주요 차이점만이 설명될 것임에 주의한다. 또한, 도 1c에 도시된 구성이 도 1a에 도시된 구성과 유사한 방식으로 제작될 수 있고; 따라서, 그의 상세한 설명은 생략된다.
- [0072] 도 2a 내지 도 2g가 이하에 설명될 것이다. 먼저, 소스 전극(142a)과 드레인 전극(142b)이 구성성분들이 형성되는 표면을 갖는 기판(140) 위에 형성된다(도 2a 참조).
- [0073] 기판(140)으로 이용될 수 있는 기판에는 특별한 제한이 없으나, 기판(140)은 적어도 나중에 수행될 열 처리를 견디기에 충분히 높은 내열성을 가질 필요가 있다. 예를 들어, 기판은 유리 기판, 세라믹 기판, 수정 기판, 사파이어 기판, 등일 수 있다. 대안적으로, 기판이 절연 표면을 갖는 한, 기판은 실리콘, 탄화 실리콘, 등의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등일 수 있다. 또한 대안적으로, 기판은 반도체 소자가 제공된 이러한 기판들 중 임의의 것일 수 있다. 또한 대안적으로, 기판(140)에 기저막이 제공될 수 있다.
- [0074] 구성성분들이 형성되는 기판(140)의 표면은 충분히 편평한 표면인 것이 바람직하다는 것에 주의한다. 예를 들어, 1nm 이하의(바람직하게는 0.5nm 이하) 평균제곱근 거칠기(RMS)를 갖는 표면이 채용된다. 트랜지스터(162)가 이러한 표면 위에 형성될 때, 특성들이 충분히 향상될 수 있다. 기판(140)의 표면이 나쁜 편평도를 갖는 경우, 상기 편평도를 갖도록 표면이 화학적 기계적 연마(CMP) 처리, 에칭 처리, 등을 거치게 되는 것이 바람직하다. CMP 처리의 상세한 설명들을 위해, 이하에서 언급된 절연층(143)을 위한 CMP 처리의 설명이 참조될 수 있다는 것에 주의한다.

- [0075] 소스 전극(142a)과 드레인 전극(142b)은 구성성분들이 형성되는 표면을 갖는 기판(140) 위에 도전층을 형성하고 이후 도전층을 선택적으로 에칭하는 것에 의해 형성될 수 있다.
- [0076] 상기 도전층은 스퍼터링 방법과 같은 PVD 방법, 또는 플라즈마 CVD 방법과 같은 CVD 방법에 의해 형성될 수 있다. 도전층의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소, 구성성분으로서 이러한 원소들 중 임의의 것을 포함하는 합금, 등이 이용될 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 또는 스칸듐 중 하나 또는 복수의 이러한 원소들의 조합을 포함하는 재료가 이용될 수 있다.
- [0077] 도전층은 단층 구조 또는 둘 이상의 층들을 포함하는 적층 구조를 가질 수 있다. 예를 들어, 도전층은 티타늄막 또는 질화 티타늄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층되는 이층구조, 질화 티타늄막 위에 티타늄막이 적층되는 2층 구조, 티타늄막, 알루미늄막, 및 티타늄막이 이러한 순서로 적층되는 3층 구조, 등을 가질 수 있다. 티타늄막 또는 질화 티타늄막의 단층 구조를 갖는 도전층은 테이퍼 형상을 갖는 소스 전극(142a)과 드레인 전극(142b)으로 쉽게 가공될 수 있다는 장점을 갖는다는 것에 주의한다.
- [0078] 도전층은 도전성 금속 산화물을 이용하여 형성될 수 있다. 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, 일부 경우들에서 ITO로 줄여부름), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 실리콘이나 산화 실리콘을 포함하는 이러한 금속 산화물 재료들 중 임의의 것이 이용될 수 있다.
- [0079] 건식 에칭 또는 습식 에칭이 도전층의 에칭으로 수행될 수 있으나, 높은 제어성을 갖는 건식 에칭이 미세화에 이용되는 것이 바람직하다. 에칭이 수행되어 소스 전극(142a)과 드레인 전극(142b)이 테이퍼 형상을 갖도록 형성될 수 있다. 예를 들어, 테이퍼 각은 30° 이상 60° 이하일 수 있다.
- [0080] 트랜지스터(162)의 채널 길이(L)는 소스 전극(142a)과 드레인 전극(142b)의 상부 예지부들(edge portions) 사이의 거리에 의해 결정된다. 25nm 이하의 채널 길이(L)를 갖는 트랜지스터를 제작하는 경우에 마스크를 형성하기 위한 노광을 위해, 그의 파장이 몇 나노미터 내지 몇십 나노미터로 극도로 짧은, 초자외선 광으로 노광이 수행되는 것이 바람직하다는 것에 주의한다. 초자외선 광으로의 노광의 해상도는 높고 초점 심도(depth of focus)는 크다. 이러한 이유들로, 나중에 형성될 트랜지스터의 채널 길이(L)는 $2\mu m$ 이하, 바람직하게는 10nm 내지 350nm($0.35\mu m$)의 범위로 설정될 수 있으며, 이 경우 회로가 더 고속으로 동작할 수 있다. 또한, 반도체 장치의 전력 소비가 미세화에 의해 감소될 수 있다.
- [0081] 다음, 소스 전극(142a)과 드레인 전극(142b)을 덮도록 절연층(143)이 형성된다(도 2b 참조).
- [0082] 절연층(143)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 이용하여 형성될 수 있다. 나중에 형성된 산화물 반도체층(144)이 절연층(143)과 접하기 때문에 절연층(143)은 산화 실리콘을 이용하여 형성되는 것이 특히 바람직하다. 절연층(143)의 형성 방법에 특별한 제한은 없으나, 산화물 반도체층(144)과의 접촉을 고려하면, 수소가 충분히 감소되는 방법이 채용되는 것이 바람직하다. 이러한 방법의 예들은 스퍼터링 방법 등을 포함한다. 말할 필요도 없이, 플라즈마 CVD 방법과 같은 다른 성막 방법이 이용될 수 있다.
- [0083] 다음, 화학적 기계적 연마(CMP) 처리에 의해 절연층(143)을 박막화하는 것에 의해 절연층(143a)이 형성된다(도 2c 참조). 여기서, CMP 처리는 소스 전극(142a)과 드레인 전극(142b)의 표면들이 노출되지 않고 남아있는 조건들 하에서 수행된다. 또한, CMP 처리는 절연층(143a)의 표면의 평균제곱근(RMS) 거칠기가 1nm 이하인(바람직하게는 0.5nm 이하) 조건들 하에서 수행된다. 이러한 조건들 하에서 수행된 CMP 처리에 의해, 나중에 산화물 반도체층(144)이 형성되는 표면의 평탄성이 향상될 수 있으며, 트랜지스터(162)의 특성들이 향상될 수 있다.
- [0084] CMP 처리는 화학적이고 기계적인 작용들의 조합에 의해 피처리물의 표면을 평탄화하는 방법이다. 보다 구체적으로, CMP 처리는 연마 스테이지로 부착되고, 슬러리(slurry)(연마재)가 피처리물과 연마포 사이에 공급되는 동안 연마 스테이지와 피처리물이 서로 회전되거나 스윙되어, 피처리물의 표면이 슬러리와 피처리물의 표면 사이의 화학적 반응과 피처리물 상에서의 연마포의 기계적 연마 작용에 의해 연마되는 방법이다.
- [0085] CMP 처리는 오직 한번 또는 복수회 수행될 수 있다는 것에 주의한다. CMP 처리가 복수회 수행될 때, 제 1 연마는 높은 연마 레이트로 수행되고 마지막 연마는 낮은 연마 레이트로 수행되는 것이 바람직하다. 상이한 연마 레이트들로 연마를 수행하는 것에 의해, 절연층(143a)의 표면의 평탄성이 더욱 향상될 수 있다.

- [0086] 다음, 소스 전극(142a)과 드레인 전극(142b)에 이르는 개구부들을 갖는 절연층(143b)이 소스 전극(142a)과 드레인 전극(142b)과 중첩하는 절연층(143a)의 영역들을 선택적으로 제거하는 것에 의해 형성된다(도 2d 참조). 절연층(143a)은 에칭과 같은 방법에 의해 선택적으로 제거될 수 있다.
- [0087] 절연층(143a)은 건식 에칭 또는 습식 에칭에 의해 에칭될 수 있다. 또한, 절연층(143a)이 에칭되어, 형성될 개구부들이 경사진 표면을 갖게 되는 것이 바람직하다. 경사진 표면은, 기판(140)의 표면과, 경사진 표면의 단면(기판(140)의 표면에 수직인 평면)에 수직인 방향으로부터 보여질 때 30° 이상 60° 이하의 경사진 표면으로 형성된 각을 갖는 것이 바람직하다. 이러한 조건들 하에서 절연층(143a)을 에칭하는 것에 의해, 절연층(143b)을 덮도록 나중에 형성될 산화물 반도체층의 커버리지가 증가되고, 산화물 반도체층의 단선 등이 방지될 수 있다.
- [0088] 상기 에칭 단계에 의해, 작은 높이차(예를 들면, 5nm 내지 20nm)를 갖는 표면이 절연층(143b)의 상면, 소스 전극(142a)의 상면, 및 드레인 전극(142b)의 상면의 일부에 의해 형성된다. 또한, 소스 전극(142a)과 드레인 전극(142b)의 단부들이 절연층(143b)으로 덮인다. 개구부들의 형성시 더 높은 패터닝 정밀성으로, 소스 전극(142a)과 드레인 전극(142b)의 단부들이 절연층(143b)으로 덮이지 않는 구성을 얻는 것이 가능하다는 것에 주의한다.
- [0089] 다음, 상술된 표면을 덮는 산화물 반도체층(144)이 소스 전극(142a), 드레인 전극(142b), 및 절연층(143b)의 일부와 접하여 형성되며; 이후, 산화물 반도체층(144)을 덮도록 게이트 절연층(146)이 형성된다(도 2e 참조).
- [0090] 산화물 반도체층(144)은 In, Ga, Sn, 및 Zn으로부터 선택된 하나 이상의 원소를 함유한다. 예를 들어, In-Sn-Ga-Zn-0계 산화물 반도체와 같은 4원계 금속 산화물, In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체, 또는 Sn-Al-Zn-0계 산화물 반도체와 같은 3원계 금속 산화물, In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체, 또는 In-Ga-0계 산화물 반도체와 같은 2원계 금속 산화물, In-0계 산화물 반도체, Sn-0계 산화물 반도체, 또는 Zn-0계 산화물 반도체와 같은 1원계 금속 산화물, 등이 이용될 수 있다. 또한, 상기 산화물 반도체들 중 임의의 것은 In, Ga, Sn, 및 Zn 이외의 원소, 예를 들면, SiO_2 를 함유할 수 있다.
- [0091] 예를 들어, In-Ga-Zn-0계 산화물 반도체는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유하는 산화물막을 의미하며, 그의 조성비에 특별한 제한은 없다.
- [0092] 특히, In-Ga-Zn-0계 산화물 반도체 재료는 전기장이 없을 때 충분히 높은 저항을 가지며 따라서 오프 상태 전류가 충분히 감소될 수 있다. 게다가, 높은 전계 효과 이동도를 또한 가져서, In-Ga-Zn-0계 산화물 반도체 재료는 반도체 장치에 이용된 반도체 재료로 적절하다.
- [0093] In-Ga-Zn-0계 산화물 반도체 재료의 전형적인 예로써, $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)에 의해 표현된 산화물 반도체 재료가 주어진다. Ga 대신 M을 이용하여, $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)에 의해 표현된 산화물 반도체 재료가 있다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co), 등으로부터 선택된 하나 또는 그 이상의 금속 원소들을 나타낸다. 예를 들어, M은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수 있다. 상술된 조성들은 산화물 반도체 재료가 가질 수 있는 결정 구조들로부터 얻어지며, 이는 단지 예들이라는 것에 주의한다.
- [0094] In-Zn-0계 재료가 산화물 반도체로 이용되는 경우에, 타겟은 따라서 원자비(atomic ratio)로 $\text{In:Zn} = 50:1$ 내지 $1:2$ (몰비(molar ratio)로 $\text{In}_2\text{O}_3:\text{ZnO} = 25:1$ 내지 $1:4$), 바람직하게는, 원자비로 $\text{In:Zn} = 20:1$ 내지 $1:1$ (몰비로 $\text{In}_2\text{O}_3:\text{ZnO} = 10:1$ 내지 $1:2$), 더욱 바람직하게는, 원자비로 $\text{In:Zn} = 15:1$ 내지 $1.5:1$ (몰비로 $\text{In}_2\text{O}_3:\text{ZnO} = 15:2$ 내지 $3:4$)의 조성비를 갖는다. 예를 들어, $\text{In:Zn:O} = X:Y:Z$ 의 원자비를 갖는 In-Zn-0계 산화물 반도체의 형성에 이용된 타겟에서, $Z > 1.5X+Y$ 의 관계가 만족된다.
- [0095] 스퍼터링 방법에 의해 산화물 반도체층(144)을 형성하는데 이용된 타겟으로서, $\text{In:Ga:Zn}=1:x:y$ (x 는 0 이상 y 는 0.5 이상 5 이하)의 조성비를 갖는 타겟이 이용되는 것이 바람직하다. 예를 들어, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ [몰비]의 조성비를 갖는 타겟 등이 이용될 수 있다. 또한, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [몰비]의 조성비를 갖는 타겟, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$ [몰비]의 조성비를 갖는 타겟, 또는 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:0:2$ [몰비]의 조성비를 갖는 타겟이 또한 이용될 수 있다.
- [0096] 본 실시형태에서, 비정질 구조를 갖는 산화물 반도체층(144)이 In-Ga-Zn-0계 금속 산화물 타겟의 이용으로 스퍼

터링 방법에 의해 형성된다. 두께는 1nm 내지 50nm, 바람직하게는 2nm 내지 20nm, 더욱 바람직하게는 3nm 내지 15nm의 범위에 있다.

[0097] 금속 산화물 타겟의 금속 산화물의 상대 밀도는 80 % 이상, 바람직하게는 95 % 이상, 더욱 바람직하게는 99.9 % 이상이다. 높은 상대 밀도를 갖는 금속 산화물 타겟의 이용은 조밀한 구조를 갖는 산화물 반도체층을 형성하는 것을 가능하게 한다.

[0098] 산화물 반도체층(144)이 형성되는 분위기는 희가스(전형적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(전형적으로, 아르곤)와 산소를 함유하는 혼합 분위기인 것이 바람직하다. 구체적으로, 예를 들면, 수소, 물, 수산기, 또는 수소화물과 같은 불순물이 1ppm 이하로(바람직하게는, 10ppb 이하) 제거되는 고순도 가스 분위기를 이용하는 것이 바람직하다.

[0099] 산화물 반도체층(144)의 형성시, 예를 들면, 감소된 압력 하에서 유지되는 처리실에 피처리물이 보유되고, 피처리물이 100°C 이상 550°C 이하, 바람직하게는 200°C 이상 400°C 이하의 온도로 가열된다. 대안적으로, 산화물 반도체층(144)의 형성시 피처리물의 온도는 실온(25°C±10°C(15°C 이상 35°C 이하))일 수 있다. 이후, 처리실의 습기가 제거되고, 수소, 물, 등이 제거된 스퍼터링 가스가 주입되며, 상술된 타겟이 이용되어; 따라서, 산화물 반도체층(144)이 형성된다. 피처리물을 가열하는 동안 산화물 반도체층(144)을 형성하는 것에 의해, 산화물 반도체층(144)의 불순물이 감소될 수 있다. 또한, 스퍼터링으로 인한 손상이 감소될 수 있다. 처리실의 습기를 제거하기 위하여, 흡착 진공 펌프(entrainment vacuum pump)를 이용하는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 티타늄 승화 펌프, 등이 이용될 수 있다. 콜드트랩이 제공된 터보 펌프가 이용될 수 있다. 수소, 물, 등이 크라이오 펌프 등으로 배기된 처리실로부터 제거될 수 있으므로, 산화물 반도체층의 불순물의 농도가 감소될 수 있다.

[0100] 예를 들어, 산화물 반도체층(144)을 형성하는 조건들이 다음과 같이 설정될 수 있다: 피처리물과 타겟 사이의 거리는 170 mm, 압력은 0.4 Pa, 직류(DC) 전력은 0.5 kW, 및 분위기는 산소(100 % 산소) 분위기, 아르곤(100 % 아르곤) 분위기, 또는 산소와 아르곤의 혼합 분위기. 먼지(막 형성시 형성된 가루 또는 조각 같은 물질들)가 감소될 수 있고 막 두께가 균일하게 형성될 수 있으므로 펄스(pulsed) 직류(DC) 전원이 이용되는 것이 바람직하다는 것에 주의한다. 산화물 반도체층(144)의 두께는 1 nm 내지 50 nm, 바람직하게는 2 nm 내지 20 nm, 더욱 바람직하게는 3 nm 내지 15 nm의 범위에서 설정된다. 개시된 발명에 따른 구조를 채용하는 것에 의해, 이러한 두께를 갖는 산화물 반도체층(144)을 이용하는 경우에라도 미세화로 인한 단채널 효과가 억제될 수 있다. 산화물 반도체층의 적절한 두께는 이용된 산화물 반도체 재료, 반도체 장치의 의도된 이용, 등에 따라 다르며; 따라서, 두께는 재료, 의도된 이용, 등에 따라 적절하게 결정될 수 있다는 것에 주의한다. 산화물 반도체층(144)이 형성되는 표면은 개시된 발명의 한 실시형태에서 충분히 평탄화된다는 것에 주의한다. 따라서, 작은 두께를 갖는 산화물 반도체층도 양호하게 형성될 수 있다.

[0101] 산화물 반도체층(144)이 스퍼터링 방법에 의해 형성되기 전에, 주입된 아르곤 가스로 플라즈마가 생성되는 역스퍼터링이 수행되어 산화물 반도체층(144)이 형성될 표면(예를 들면, 절연층(143b)의 표면)에 부착된 재료가 제거된다는 것에 주의한다. 여기서, 역 스퍼터링은, 이온들이 스퍼터링 타겟과 충돌하는 정상적인 스퍼터링과 반대로, 이온들이 처리될 표면과 충돌하여 표면이 변경되는 방법이다. 이온들이 처리될 표면과 충돌하도록 만드는 방법의 예는 아르곤 분위기에서 고주파수 전압이 표면 측에 인가되어 피처리물 근처에서 플라즈마가 생성되도록 하는 방법이다. 질소, 헬륨, 산소, 등의 분위기가 아르곤 분위기 대신 이용될 수 있다는 것에 주의한다.

[0102] 산화물 반도체층(144)이 형성된 후, 열 처리(제 1 열 처리)가 산화물 반도체층(144) 상에서 수행되는 것이 바람직하다. 제 1 열 처리를 통하여, 산화물 반도체층(144)의 과도한 수소(물 또는 수산기를 포함)가 제거될 수 있으며, 산화물 반도체층(144)의 구조가 정리될 수 있어서, 에너지 캡의 결함 준위들이 감소될 수 있다. 예를 들어, 제 1 열 처리의 온도는 300°C 이상 550°C 미만, 또는 400°C 이상 500°C 이하로 설정된다.

[0103] 예를 들어, 피처리물이 저항 히터 등을 포함하는 전기노(electric furnace)로 들어간 후, 열 처리가 질소 분위기의 450°C에서 1시간 동안 수행될 수 있다. 산화물 반도체층은 열 처리동안 대기에 노출되지 않으며 따라서 물 또는 수소의 진입이 방지될 수 있다.

[0104] 열 처리 장치는 전기노로 제한되지 않으며 가열된 가스와 같은 매체로부터 열 복사 또는 열 전도에 의해 피처리물을 가열하는 장치일 수 있다. 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은

램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열 처리를 수행하는 장치이다. 가스로서, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들면, 질소 또는 아르곤과 같은 희가스가 이용된다.

[0105] 예를 들어, 제 1 열 처리로서, GRTA 처리가 다음과 같이 수행될 수 있다. 피처리물이 가열된 불활성 가스 분위기로 넣어지고, 몇분간 가열되며, 불활성 가스 분위기로부터 꺼내진다. GRTA 처리는 고온의 열 처리를 단시간에 가능하게 한다. 또한, GRTA 처리는 온도가 피처리물의 내열온도를 초과하는 때에라도 채용될 수 있다. 처리동안 불활성 가스가 산소를 포함하는 가스로 전환될 수 있다는 것에 주의한다. 이는 산소를 포함하는 분위기에서 제 1 열 처리를 수행하는 것에 의해 산소 결손들에 의해 유발된 에너지 캡의 결함 준위들이 감소될 수 있기 때문이다.

[0106] 불활성 가스 분위기로서, 그의 주요 구성성분으로 질소 또는 희가스(예를 들면, 헬륨, 네온, 또는 아르곤)를 함유하고, 물, 수소, 등을 함유하지 않는 분위기가 이용되는 것이 바람직하다는 것에 주의한다. 예를 들어, 열 처리 장치로 주입된 질소 또는 헬륨, 네온, 또는 아르곤과 같은 희가스의 순도는 6N(99.9999 %) 이상, 바람직하게는 7N(99.99999 %) 이상으로(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하) 설정된다.

[0107] 임의의 경우에, 제 1 열 처리를 통해 불순물을 감소시키는 것에 의해 얻어진 i-형(진성) 또는 실질적으로 i-형 산화물 반도체인 산화물 반도체층의 이용으로 극히 탁월한 특성들을 갖는 트랜지스터가 얻어질 수 있다.

[0108] 수소, 물, 등을 제거하는 효과를 갖기 때문에, 상기 열 처리(제 1 열 처리)는 탈수화(dehydration) 처리, 탈수소화(dehydrogenation) 처리, 등으로 또한 불릴 수 있다. 탈수화 처리 또는 탈수소화 처리는 게이트 절연층(146)이 형성된 후, 또는 게이트 전극이 형성된 후에 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 한번 또는 복수회 수행될 수 있다.

[0109] 산화물 반도체층(144)이 형성된 후, 산화물 반도체층(144)이 섬 형상 산화물 반도체층으로 가공될 수 있다. 산화물 반도체층(144)은 예를 들면, 에칭에 의해 섬 형상(island-shaped) 산화물 반도체층으로 가공될 수 있다. 에칭이 열 처리 전 또는 열 처리 후에 수행될 수 있다. 소자 미세화의 관점에서 건식 에칭이 이용되는 것이 바람직하나, 습식 에칭이 이용될 수 있다. 에칭 가스 또는 에 chant(etchant)는 에칭될 재료에 따라 적절하게 선택될 수 있다.

[0110] 게이트 절연층(146)은 CVD 방법, 스퍼터링 방법, 등에 의해 형성될 수 있다. 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가되는 하프늄 실리케이트($HfSi_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가되는 하프늄 알루미네이트($HfAl_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 등을 함유하도록 게이트 절연층(146)이 형성되는 것이 바람직하다. 게이트 절연층(146)은 단층 구조 또는 적층 구조를 가질 수 있다. 게이트 절연층(146)의 두께에 특별한 제한은 없으나; 반도체 장치가 미세화될 때 트랜지스터의 동작을 확보하기 위해 두께가 작은 것이 바람직하다. 예를 들어, 산화 실리콘을 이용하는 경우에, 두께는 1 nm 내지 100nm, 바람직하게는 10 nm 내지 50 nm일 수 있다.

[0111] 게이트 절연층이 상술된 바와 같이 얇을 때, 터널 효과(tunnel effect) 등으로 인한 게이트 누설이 문제가 된다. 게이트 누설의 문제를 해결하기 위하여, 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가되는 하프늄 실리케이트($HfSi_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가되는 하프늄 알루미네이트($HfAl_xO_yN_z$ ($x>0$, $y>0$, $z>0$))와 같은 고유전율(high-k) 재료를 이용하여 게이트 절연층(146)이 형성될 수 있다. 게이트 절연층(146)을 위한 high-k 재료의 이용은 전기적 특성들을 확보하는 것 뿐만 아니라 게이트 누설을 억제하기 위해 두께를 증가시키는 것이 가능하도록 만든다. 예를 들어, 산화 하프늄의 비유전율은 약 15이며, 이는 3 내지 4인 산화 실리콘의 비유전율보다 매우 높다. 이러한 재료로, 동등 산화물 두께가 15 nm 미만, 바람직하게는 2 nm 내지 10nm인 게이트 절연층이 쉽게 형성될 수 있다. high-k 재료를 포함하는 막과 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 등 중 임의의 것을 포함하는 막의 적층 구조가 또한 채용될 수 있다는 것에 주의한다.

[0112] 게이트 절연층(146)이 형성된 후, 불활성 가스 분위기 또는 산소 분위기에서 제 2 열 처리가 수행되는 것이 바람직하다. 열 처리의 온도는 200°C 내지 450°C, 바람직하게는 250°C 내지 350°C의 범위에서 설정된다. 예를 들어, 열 처리가 질소 분위기의 250°C에서 한 시간동안 수행될 수 있다. 제 2 열 처리에 의해, 트랜지스터의 전기적 특성들의 변동이 감소될 수 있다. 게이트 절연층(146)이 산소를 함유하는 경우에, 산소가 산화물 반도체층(144)으로 공급될 수 있어서 산화물 반도체층(144)의 산소 결손들이 채워질 수 있고; 따라서, i-형(진성) 또는

실질적으로 i-형인 산화물 반도체층(144)이 또한 형성될 수 있다.

- [0113] 본 실시형태의 제 2 열 처리는 게이트 절연층(146)이 형성된 후 수행되지만; 제 2 열 처리의 타이밍에는 제한이 없다는 것에 주의한다. 예를 들어, 제 2 열 처리는 게이트 전극이 형성된 후에 수행될 수 있다. 대안적으로, 제 1 열 처리와 제 2 열 처리가 연속적으로 수행될 수 있거나, 또는 제 1 열 처리가 제 2 열 처리로서 2회 수행될 수 있거나, 또는 제 2 열 처리가 제 1 열 처리로서 2회 수행될 수 있다.
- [0114] 상술된 바와 같은 제 1 열 처리와 제 2 열 처리 중 적어도 하나를 수행하는 것에 의해, 주요 구성성분들 이외의 불순물들을 가능한한 함유하지 않도록 산화물 반도체층(144)이 고순도화될 수 있다.
- [0115] 다음, 게이트 전극(148a)이 게이트 절연층(146) 위에 형성된다(도 2f 참조). 게이트 전극(148a)이 게이트 절연층(146) 위에 도전층을 형성하고 이후 도전층을 선택적으로 에칭하는 것에 의해 형성될 수 있다. 게이트 전극(148a)이 될 도전층은 스퍼터링 방법과 같은 PVD 방법, 또는 플라즈마 CVD 방법과 같은 CVD 방법에 의해 형성될 수 있다. 상세한 설명들은 소스 전극(142a), 드레인 전극(142b), 등의 경우에서와 유사하며; 따라서, 그의 설명이 참조될 수 있다. 여기서 채용된 구조에서 게이트 전극(148a)의 일부가 소스 전극(142a) 및 드레인 전극(142b)과 중첩하지만, 개시된 발명은 이러한 구조로 제한되지 않는다는 것에 주의한다. 게이트 전극(148a)의 단부와 소스 전극(142a)의 단부가 서로 중첩하고, 게이트 전극(148a)의 단부와 드레인 전극(142b)의 단부가 서로 중첩하는 구조를 채용하는 것이 가능하다.
- [0116] 다음, 게이트 절연층(146), 게이트 전극(148a), 등을 덮도록 절연층(150)과 절연층(152)이 형성된다(도 2g 참조). 절연층(150)과 절연층(152)은 PVD 방법, CVD 방법, 등에 의해 형성될 수 있다. 절연층(150)과 절연층(152)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 또는 산화 알루미늄과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다.
- [0117] 절연층(150)과 절연층(152)은 저유전율 재료 또는 저유전율 구조(다공성 구조와 같은)를 이용하여 형성되는 것이 바람직하다는 것에 주의한다. 이는 절연층(150)과 절연층(152)이 저유전율을 가질 때, 배선들, 전극들, 등의 사이에서 생성된 용량이 감소될 수 있고 더 높은 속도에서의 동작이 달성될 수 있기 때문이다.
- [0118] 절연층(150)과 절연층(152)의 적층 구조가 본 실시형태에서 이용되었으나, 개시된 발명의 구조는 이러한 예로 제한되지 않는다는 것에 주의한다. 단층 구조 또는 셋 또는 그 이상의 층들을 포함하는 적층 구조가 또한 이용될 수 있다. 대안적으로, 절연층들이 제공되지 않는 구조가 또한 가능하다.
- [0119] 절연층(152)이 편평한 표면을 갖도록 형성되는 것이 바람직하다는 것에 주의한다. 이는 절연층(152)이 편평한 표면을 가질 때, 반도체 장치 등이 미세화되는 경우에라도 전극, 배선, 등이 절연층(152) 위에 양호하게 형성될 수 있기 때문이다. 절연층(152)은 화학적 기계적 연마(CMP)와 같은 방법을 이용하여 평탄화될 수 있다는 것에 주의한다.
- [0120] 상기 단계들을 통하여, 고순도화되는, 산화물 반도체층(144)을 포함하는 트랜지스터(162)가 완성된다(도 2g 참조).
- [0121] 다양한 배선들, 전극들, 등이 상기 단계들 후에 형성될 수 있다는 것에 주의한다. 배선들 또는 전극들은 소위 다마신(damascene) 방법 또는 듀얼 다마신(dual damascene) 방법과 같은 방법에 의해 형성될 수 있다.
- [0122] 상술된 바와 같이, 개시된 발명의 한 실시형태에서, 트랜지스터(162)의 채널 형성 영역이 1 nm 이하의 평균제곱근(RMS) 거칠기를 갖는 매우 편평한 영역 위에 제공된다. 이는 트랜지스터(162)가 미세화되는 상황에서도 단채널 효과와 같은 문제를 방지할 수 있게 하고 양호한 특성들을 갖는 트랜지스터(162)를 얻는 것을 가능하게 한다.
- [0123] 또한, 산화물 반도체층(144)은 구성성분들이 형성되는 표면의 평탄성을 향상시키는 것에 의해 균일한 두께를 가질 수 있고, 트랜지스터(162)는 향상된 특성들을 가질 수 있다. 또한, 높이의 큰 차이에 의해 유발될 수 있는 커버리지의 감소가 억제될 수 있으며, 산화물 반도체층(144)의 단선 또는 접속 불량이 방지될 수 있다.
- [0124] 또한, 절연층(143b)의 상면의 일부와 소스 전극(142a)의 상면 사이의 높이차와 절연층(143b)의 상면의 일부와 드레인 전극(142b)의 상면 사이의 높이차를 작게(예를 들면, 5nm 내지 20nm) 함으로써 전류의 경로가 확장될 수 있다. 이는 트랜지스터(162)의 전기장의 농도를 완화시키고 단채널 효과를 완화시킬 수 있게 한다.
- [0125] 본 실시형태에서 설명된 트랜지스터(162)에서, 산화물 반도체층(144)이 고순도화되고 따라서 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하의 농도의

수소를 함유한다. 또한, 산화물 반도체층(144)의 수소와 같은 도너로 인해 생성된 캐리어들의 밀도는, 예를 들면, $1 \times 10^{12} / \text{cm}^3$ 미만, 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 미만이고, 이는 일반적인 실리콘 웨이퍼의 캐리어 밀도(약 $1 \times 10^{14} / \text{cm}^3$)보다 충분히 낮다. 또한, 트랜지스터(162)의 오프 상태 전류가 충분히 작다. 예를 들어, 실온(25°C)에서의 트랜지스터(162)의 오프 상태 전류(여기서, 단위 채널 폭($1\mu\text{m}$)당)는 100zA (1zA (జETO암페어)는 $1 \times 10^{-21} \text{A}$) 이하, 바람직하게는 10zA 이하이다. 상기 구성이 채용될 때, 트랜지스터의 오프 상태 전류는 이론적으로 $1 \times 10^{-24} \text{ A}/\mu\text{m}$ 내지 $1 \times 10^{-30} \text{ A}/\mu\text{m}$ 일 수 있다.

[0126] 이러한 방식으로, 고순도화되고 진성인 산화물 반도체층(144)을 이용하는 것에 의해, 트랜지스터의 오프 상태 전류를 충분히 감소시키는 것이 쉬워진다. 또한, 이러한 방식으로 고순도화되고 진성인 산화물 반도체층(144)을 이용하는 것에 의해, 트랜지스터의 S 값이 $65\text{mV}/\text{dec}$ 이하, 바람직하게는 $63\text{mV}/\text{dec}$ 미만일 수 있다.

[0127] 다음, 도 3a 내지 도 3g가 설명될 것이다.

[0128] 도 2a 내지 도 2g의 경우와 유사한 방식으로, 먼저, 나중에 소스 전극이 될 도전층(241a)과 나중에 드레인 전극이 될 도전층(241b)이 구성성분들이 형성되는 표면을 갖는 기판(240) 위에 형성된다(도 3a 참조). 이후, 도전층(241a)과 도전층(241b)을 덮도록 절연층(243)이 형성된다(도 3b 참조). 상세한 설명들은 도 2a 및 도 2b의 경우에서와 유사하다.

[0129] 다음, 화학적 기계적 연마(CMP) 처리에 의해 절연층(243)을 박막화하는 것에 의해 절연층(243b)이 형성된다(도 3c 참조). 도 2c의 경우와 차이점은 도전층(241a)과 도전층(241b)의 표면들이 노출되는 조건들 하에서 CMP 처리를 수행한다는 것이다. CMP 처리를 위한 다른 조건들은 도 2c의 경우에서와 유사하다. 상세한 설명들을 위해, 도 2c에 대한 설명이 참조될 수 있다.

[0130] 다음, 도전층(241a)과 도전층(241b)을 박막화하는 것에 의해 소스 전극(242a)과 드레인 전극(242b)이 형성된다(도 3d 참조). 도전층(241a)과 도전층(241b)은 에칭에 의해 박막화될 수 있다. 에칭으로서, 전식 에칭 또는 습식 에칭이 채용될 수 있다. 절연층(243b)의 표면의 충분한 평탄성을 확보하기 위하여, 도전층들만이 선택적으로 에칭될 수 있는 조건들 하에서 에칭이 수행될 필요가 있다는 것에 주의한다. 에칭 가스 또는 에친트가 에칭될 재료에 따라 적절하게 선택될 수 있다.

[0131] 상기 박막화 단계에 의해, 작은 높이차(예를 들면, 5nm 내지 20nm)를 갖는 표면이 절연층(243b)의 상면, 소스 전극(242a)의 상면, 및 드레인 전극(242b)의 상면의 일부에 의해 형성된다. 또한, 소스 전극(242a)과 드레인 전극(242b)의 단부들은 절연층(243b)으로 덮이지 않는다. 절연층(243b)의 측면은 저면에 대하여 경사질 수 있다는 것에 주의한다.

[0132] 다음, 상술된 표면을 덮는 산화물 반도체층(244)이 소스 전극(242a), 드레인 전극(242b), 및 절연층(243b)의 일부와 접하여 형성되고; 이후, 산화물 반도체층(244)을 덮도록 게이트 절연층(246)이 형성된다(도 3e 참조). 또한, 게이트 전극(248a)이 게이트 절연층(246) 위에 형성된다(도 3f 참조). 이후, 게이트 절연층(246), 게이트 전극(248a), 등을 덮도록 절연층(250)과 절연층(252)이 형성된다(도 3g 참조). 상세한 설명들은 도 2e 내지 도 2g의 경우에서와 유사하다.

[0133] 본 실시형태에서 설명된 구성들, 방법들, 등이 다른 실시형태들에서 설명된 구성들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.

[0134] (실시형태 2)

[0135] 본 실시형태에서, 개시된 발명의 다른 실시형태에 따른 반도체 장치의 구성 및 제작 방법이 도 4a 내지 도 4c, 도 5a 내지 도 5d, 및 도 6a 내지 도 6c를 참조하여 설명될 것이다. 이하에 언급된 일부 회로도들에서, 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위하여 "OS"가 트랜지스터 옆에 부기된다.

[0136] <반도체 장치의 구성의 예>

[0137] 도 4a 내지 도 4c는 반도체 장치의 구성의 예를 도시한다. 도 4a는 반도체 장치의 단면도이며; 도 4b는 반도체 장치의 평면도이고; 도 4c는 반도체 장치의 회로 구성도를 도시한다. 반도체 장치의 구성이 본 실시형태에서 주로 설명되며, 반도체 장치의 동작은 이하의 실시형태에서 상세하게 설명될 것임에 주의한다. 도 4a 내지 도 4c에 도시된 반도체 장치는 단지 미리 정해진 기능들을 갖는 예이며, 개시된 발명에 따른 모든 반도체 장치들을 나타내지 않는다는 것에 주의한다. 개시된 발명에 따른 반도체 장치는 전극들 등의 접속 관계를 적절하게 변화시키

는 것에 의해 다른 기능을 가질 수 있다.

[0138] 도 4a는 도 4b의 선(A1-A2)과 선(B1-B2)에 따른 단면도에 대응한다. 도 4a 및 4b에 도시된 반도체 장치는 상기 실시형태에서 설명된 트랜지스터(162)와 트랜지스터(162) 하부의 트랜지스터(160)와 용량소자(164)를 포함한다.

[0139] 여기서, 트랜지스터(162)의 반도체 재료와 트랜지스터(160)의 반도체 재료는 상이한 재료들인 것이 바람직하다. 예를 들어, 트랜지스터(162)의 반도체 재료는 산화물 반도체일 수 있고, 트랜지스터(160)의 반도체 재료는 산화물 반도체 이외의 반도체 재료(실리콘과 같은)일 수 있다. 산화물 반도체를 포함하는 트랜지스터는 그의 특성들 때문에 장시간 동안 전하를 보유할 수 있다. 한편, 산화물 반도체 이외의 재료를 포함하는 트랜지스터는 고속으로 쉽게 동작할 수 있다.

[0140] 도 4a 내지 도 4c의 트랜지스터(160)는 반도체 재료(실리콘과 같은)를 포함하는 기판(100)에 제공된 채널 형성 영역(116)과, 채널 형성 영역(116)이 그 사이에 샌드위치되도록 제공되는 불순물 영역들(120)과, 불순물 영역들(120)과 접하는 금속 화합물 영역들(124)과, 채널 형성 영역(116) 위에 제공된 게이트 절연층(108)과, 게이트 절연층(108) 위에 제공된 게이트 전극(110)을 포함한다. 그의 소스 전극 및 드레인 전극이 도면에 도시되지 않은 트랜지스터가 또한 편의를 위해 트랜지스터로 불릴 수 있다는 것에 주의한다. 또한, 그러한 경우에, 트랜지스터의 접속의 설명에서, 소스 영역과 소스 전극이 소스 전극으로 통합적으로 불릴 수 있고, 드레인 영역과 드레인 전극이 드레인 전극으로 통합적으로 불릴 수 있다. 즉, 본 명세서에서, "소스 전극"이라는 용어는 소스 영역을 포함할 수 있다.

[0141] 또한, 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 기판(100) 위에 형성되고, 절연층(130)이 트랜지스터(160)를 덮도록 형성된다. 더 높은 접적화를 실현하기 위하여, 트랜지스터(160)는 도 4a 및 도 4b에 도시된 바와 같이 측벽 절연층이 없는 구조를 갖는 것이 바람직하다는 것에 주의한다. 한편, 트랜지스터(160)의 특성들이 우선순위를 갖는 경우에, 측벽 절연층이 게이트 전극(110)의 측면 상에 제공될 수 있고, 불순물 영역들(120)이 상이한 불순물 농도를 갖는 영역을 포함할 수 있다.

[0142] 도 4a 내지 도 4c의 트랜지스터(162)의 구성은 상기 실시형태의 트랜지스터(162)의 구성과 유사하다. 본 실시형태에서, 트랜지스터(162)의 소스 전극(142a)(드레인 전극일 수 있는)은 트랜지스터(160)의 게이트 전극(110)에 접속된다는 것에 주의한다. 트랜지스터(162)가 트랜지스터(262)로 대체될 수 있다는 것은 말할 필요도 없다.

[0143] 도 4a 내지 도 4c의 용량소자(164)는 소스 전극(142a)(드레인 전극일 수 있는), 산화물 반도체층(144), 게이트 절연층(146), 및 전극(148b)을 포함한다. 다시 말해, 소스 전극(142a)은 용량소자(164)의 한 전극으로 기능하고, 전극(148b)은 용량소자(164)의 다른 전극으로 기능한다. 트랜지스터(162)의 게이트 전극(148a)과 유사한 공정으로 전극(148b)이 형성된다는 것에 주의한다.

[0144] 도 4a 내지 도 4c의 용량소자(164)에서, 산화물 반도체층(144)과 게이트 절연층(146)이 적층되고, 따라서 소스 전극(142a)과 전극(148b) 사이의 절연성이 충분히 확보될 수 있다는 것에 주의한다. 산화물 반도체층(144)을 포함하지 않는 용량소자(164)가 충분한 용량을 확보하기 위하여 채용될 수 있다는 것은 말할 필요도 없다. 또한, 용량소자가 필요하지 않은 경우에, 용량소자(164)가 제공되지 않는 구성이 또한 가능하다.

[0145] 본 실시형태에서, 트랜지스터(160)와 중첩하도록 트랜지스터(162)와 용량소자(164)가 제공된다. 이러한 평면의 레이아웃을 채용하는 것에 의해, 더 높은 접적화가 실현될 수 있다. 예를 들어, 최소 피처(feature) 크기가 F 라고 하면, 반도체 장치에 의해 점유된 영역은 $15 F^2$ 내지 $25 F^2$ 이 될 수 있다.

[0146] 개시된 발명에 따른 반도체 장치의 구성은 도 4a 내지 도 4c에 도시된 것으로 제한되지 않는다는 것에 주의한다. 개시된 발명의 기술적 아이디어는 산화물 반도체와 산화물 반도체 이외의 재료로 적층 구조를 형성하는 것이므로, 전극들 등의 접속 관계의 상세한 설명들은 적절하게 변화될 수 있다.

[0147] <반도체 장치를 제작하는 방법의 예>

[0148] 다음, 반도체 장치를 제작하는 방법의 예가 도 5a 내지 도 5d, 및 도 6a 내지 도 6c를 참조하여 설명될 것이다. 트랜지스터(162)를 제작하는 방법은 상기 실시형태와 유사하며; 따라서, 트랜지스터(160)를 제작하는 방법이 여기서 주로 설명될 것임에 주의한다.

[0149] 먼저, 반도체 재료를 포함하는 기판(100)이 준비된다(도 5a 참조). 실리콘, 탄화 실리콘, 등의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판, 등이 반도체 재료를 포함하는 기판(100)으로 이용될 수 있다. 여기서, 단결정 실리콘 기판이 반도체 재료를 포함하는 기판(100)으로 이

용되는 경우의 예가 설명된다. "SOI 기판"이라는 용어는 일반적으로 실리콘 반도체층이 절연 표면 위에 제공되는 기판을 의미한다는 것에 주의한다. 본 명세서에서, "SOI 기판"이라는 용어는 또한 실리콘 이외의 재료를 포함하는 반도체층이 절연 표면 위에 제공되는 기판을 의미한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 제한되지 않는다. 또한, SOI 기판은 절연층을 사이에 개재하여 유리 기판과 같은 절연 기판 위에 반도체층이 제공되는 구조를 갖는 기판일 수 있다.

- [0150] 반도체 장치의 판독 동작의 속도가 증가될 수 있으므로, 반도체 재료를 포함하는 기판(100)으로 특히 실리콘 등의 단결정 반도체 기판이 이용되는 것이 바람직하다.
- [0151] 트랜지스터의 임계 전압을 제어하기 위하여, 트랜지스터(160)의 채널 형성 영역(116)으로 나중에 기능하는 영역으로 불순물 원소가 첨가될 수 있다는 것에 주의한다. 여기서, 도전성을 부여하는 불순물 원소가 첨가되어 트랜지스터(160)의 임계 전압이 포지티브(positive)가 될 수 있다. 반도체 재료가 실리콘일 때, 도전성을 부여하는 불순물은 붕소, 알루미늄, 갈륨, 등일 수 있다. 불순물 원소를 활성화시키거나 불순물 원소의 주입동안 생성될 수 있는 결함들을 감소시키기 위하여, 불순물 원소를 첨가한 후에 열 처리를 수행하는 것이 바람직하다는 것에 주의한다.
- [0152] 다음, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)이 기판(100) 위에 형성된다(도 5a 참조). 보호층(102)으로서, 예를 들면, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 등과 같은 재료를 이용하여 형성된 절연층이 이용될 수 있다.
- [0153] 다음, 보호층(102)으로 덮이지 않은 영역(즉, 노출된 영역)의 기판(100)의 일부가 마스크로서 보호층(102)을 이용하는 에칭에 의해 제거된다. 따라서, 다른 반도체 영역들로부터 분리된 반도체 영역(104)이 형성된다(도 5b 참조). 에칭으로서, 건식 에칭이 수행되는 것이 바람직하나, 습식 에칭이 수행될 수 있다. 에칭 가스 또는 에센트는 에칭될 재료에 따라 적절하게 선택될 수 있다.
- [0154] 이후, 반도체 영역(104)을 덮도록 절연층이 형성되고, 반도체 영역(104)과 중첩하는 영역의 절연층이 선택적으로 제거되며; 따라서, 소자 분리 절연층(106)이 형성된다(도 5c 참조). 절연층은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 등을 이용하여 형성된다. 절연층을 제거하는 방법으로서, 에칭 처리, 화학적 기계적 연마(CMP) 처리와 같은 연마 처리, 등 중 임의의 것이 채용될 수 있다. 보호층(102)은 반도체 영역(104)의 형성 후에 또는 소자 분리 절연층(106)의 형성 후에 제거된다는 것에 주의한다.
- [0155] 다음, 절연층이 반도체 영역(104)의 표면 위에 형성되고, 도전성 재료를 포함하는 층이 절연층 위에 형성된다.
- [0156] 절연층은 나중에 게이트 절연층으로 가공되고, 예를 들면, 반도체 영역(104)의 표면의 열 처리(열 산화 처리, 열 질화 처리, 등)에 의해 형성될 수 있다. 열 처리 대신, 고밀도 플라즈마 처리가 채용될 수 있다. 고밀도 플라즈마 처리는 예를 들면, 헬륨(He), 아르곤(Ar), 크립톤(Kr), 또는 크세논(Xe)과 같은 희가스, 산소, 산화 질소, 암모니아, 질소, 수소, 등 중 어느 것의 혼합 가스를 이용하여 수행될 수 있다. 절연층이 CVD 방법, 스퍼터링 방법, 등에 의해 형성될 수 있다는 것은 말할 필요도 없다. 절연층은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가되는 하프늄 실리케이트($HfSi_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가되는 하프늄 알루미네이트($HfAl_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 등을 포함하는 막의 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 절연층은 예를 들어, 1 nm 내지 100 nm, 바람직하게는 10 nm 내지 50 nm의 두께를 가질 수 있다.
- [0157] 도전성 재료를 포함하는 층이 알루미늄, 구리, 티타늄, 탄탈, 또는 텉스텐과 같은 금속 재료를 이용하여 형성될 수 있다. 도전성 재료를 포함하는 층은 다결정 실리콘과 같은 반도체 재료를 이용하여 형성될 수 있다. 도전성 재료를 포함하는 층을 형성하는 방법에는 특별한 제한은 없으나, 증착 방법, CVD 방법, 스퍼터링 방법 또는 스펀 코팅 방법과 같은 다양한 막 형성 방법들이 채용될 수 있다. 본 실시형태는 도전성 재료를 포함하는 층이 금속 재료를 이용하여 형성되는 경우의 예를 도시한다는 것에 주의한다.
- [0158] 그 후, 절연층과 도전성 재료를 포함하는 층이 선택적으로 에칭되며; 따라서, 게이트 절연층(108)과 게이트 전극(110)이 형성된다(도 5c 참조).
- [0159] 다음, 인(P), 비소(As), 등이 반도체 영역(104)으로 첨가되고, 따라서 채널 형성 영역(116)과 불순물 영역들(120)이 형성된다(도 5d 참조). 여기서 n-형 트랜지스터를 형성하기 위하여 인 또는 비소가 첨가되며; 붕소(B) 또는 알루미늄(Al)과 같은 불순물 원소가 p-형 트랜지스터를 형성하는 경우에 첨가될 수 있다는 것에 주의한다. 여기서, 첨가된 불순물의 농도는 적절하게 설정될 수 있으며; 농도는 반도체 소자가 매우 미세화될 때 높게 설

정되는 것이 바람직하다.

- [0160] 측벽 절연층이 게이트 전극(110) 주위에 형성될 수 있으며, 불순물 원소가 상이한 농도로 첨가되는 불순물 영역들이 형성될 수 있다는 것에 주의한다.
- [0161] 다음, 게이트 전극(110), 불순물 영역들(120), 등을 덮도록 금속층(122)이 형성된다(도 6a 참조). 금속층(122)은 진공 증착 방법, 스퍼터링 방법, 및 스피닝 코팅 방법과 같은 다양한 막 형성 방법들에 의해 형성될 수 있다. 금속층(122)은 반도체 영역(104)에 포함된 반도체 재료와의 반응에 의하여 낮은 저항의 금속 화합물을 형성하는 금속 재료를 이용하여 형성되는 것이 바람직하다. 이러한 금속 재료들의 예들은 티타늄, 탄탈, 텉스텐, 니켈, 코발트, 백금, 등이다.
- [0162] 다음, 열 처리가 수행되어 금속층(122)이 반도체 재료와 반응한다. 따라서, 불순물 영역들(120)과 접하는 금속 화합물 영역들(124)이 형성된다(도 6a 참조). 게이트 전극(110)이 다결정 실리콘 등을 이용하여 형성될 때, 금속 화합물 영역이 또한 금속층(122)과 접하는 게이트 전극(110)의 일부에 형성된다는 것에 주의한다.
- [0163] 열 처리로서, 예를 들면, 플래시 램프의 조사(irradiation)가 채용될 수 있다. 다른 열 처리 방법이 이용될 수 있다는 것은 말할 필요도 없지만, 금속 화합물의 형성을 위한 화학적 반응의 제어성을 향상시키기 위해 극적으로 짧은 시간에서 열 처리가 달성될 수 있는 방법이 이용되는 것이 바람직하다. 금속 화합물 영역들이 금속 재료와 반도체 재료의 반응에 의해 형성되고, 충분히 높은 도전성을 갖는다는 것에 주의한다. 금속 화합물 영역들의 형성은 전기 저항을 적절히 감소시킬 수 있고 소자 특성들을 향상시킬 수 있다. 금속층(122)이 금속 화합물 영역들(124)이 형성된 후에 제거된다는 것에 주의한다.
- [0164] 다음, 상기 단계들에서 형성된 구성성분들을 덮도록 절연층(130)이 형성된다(도 6b 참조). 절연층(130)이 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 또는 산화 알루미늄과 같은 무기 절연 재료를 이용하여 형성될 수 있다. 전극들 또는 배선들의 중첩으로 인한 용량이 충분히 감소될 수 있기 때문에 절연층(130)을 위해 저유전율(low-k) 재료를 이용하는 것이 특히 바람직하다. 이러한 재료의 다공성 절연층이 절연층(130)으로 채용될 수 있다는 것에 주의한다. 다공성 절연층은 고밀도의 절연층보다 저유전율을 갖고 따라서 전극들 또는 배선들로 인한 용량을 더욱 감소시키는 것이 가능하게 한다. 대안적으로, 절연층(130)이 폴리이미드 또는 아크릴 수지와 같은 유기 절연 재료를 이용하여 형성될 수 있다. 본 실시형태에서 절연층(130)의 단층 구조가 이용되었으나, 개시된 발명의 실시형태는 이러한 예로 제한되지 않는다는 것에 주의한다. 둘 이상의 층들을 갖는 적층 구조가 채용될 수 있다.
- [0165] 상기 단계들을 통하여, 반도체 재료를 포함하는 기판(100)의 이용으로 트랜지스터(160)가 형성된다(도 6b 참조). 트랜지스터(160)의 특징은 고속으로 동작할 수 있다는 것이다. 판독을 위한 트랜지스터로 상기 트랜지스터를 이용하여, 데이터가 고속으로 판독될 수 있다.
- [0166] 그 후, 트랜지스터(162)와 용량소자(164)가 형성되기 전에 수행된 처리로서, 절연층(130)의 CMP 처리가 수행되어 게이트 전극(110)의 상면이 노출된다(도 6c 참조). 게이트 전극(110)의 상면을 노출시키기 위한 처리로서, CMP 처리 대신 예칭 처리 등이 또한 채용될 수 있으며; 트랜지스터(162)의 특성들을 향상시키기 위하여, 절연층(130)의 표면이 가능한 한 편평하게 만들어지는 것이 바람직하다. 예를 들어, 절연층(130)은 그의 표면이 1nm 이하의 평균제곱근(RMS) 거칠기를 갖도록 평탄화된다. 이는 절연층(130) 위에 형성된 반도체 장치의 특성들을 향상시키는 것을 가능하게 한다.
- [0167] 상기 단계들의 각각의 전 또는 후에, 전극, 배선, 반도체층, 절연층, 등을 형성하는 단계가 또한 수행될 수 있다는 것에 주의한다. 예를 들어, 배선이 절연층들과 도전층들을 포함하는 적층 구조의 다층 구조를 가질 때, 매우 집적화된 반도체 장치가 실현될 수 있다.
- [0168] 그 후, 트랜지스터(162)와 용량소자(164)가 형성되고; 따라서, 반도체 장치가 완성된다.
- [0169] 본 실시형태에서 설명된 구성들, 방법들, 등은 다른 실시형태들에서 설명된 구성들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.
- [0170] (실시형태 3)
- [0171] 본 실시형태에서, 개시된 발명의 한 실시형태에 따른 반도체 장치의 응용 예가 도 7a1, 도 7a2, 및 도 7b를 참조하여 설명될 것이다. 여기서, 메모리 장치의 예가 설명된다. 이하에 언급된 일부 회로들에서, 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위하여 "OS"가 트랜지스터 옆에 부기된다는 것에 주의한다.

- [0172] 도 7a1에 도시되는, 메모리 장치로 이용될 수 있는 반도체 장치에서, 제 1 배선(1st Line)이 트랜지스터(1000)의 소스 전극으로 전기적으로 접속된다. 제 2 배선(2nd Line)이 트랜지스터(1000)의 드레인 전극으로 전기적으로 접속된다. 제 3 배선(3rd Line)이 트랜지스터(1010)의 소스 전극과 드레인 전극 중 하나로 전기적으로 접속된다. 제 4 배선(4th Line)이 트랜지스터(1010)의 게이트 전극으로 전기적으로 접속된다. 또한, 트랜지스터(1000)의 게이트 전극과 트랜지스터(1010)의 소스 전극 및 드레인 전극 중 다른 하나가 용량소자(1020)의 하나의 전극으로 전기적으로 접속된다. 제 5 배선(5th Line)이 용량소자(1020)의 다른 전극으로 전기적으로 접속된다.
- [0173] 여기서, 산화물 반도체를 포함하는 트랜지스터가 트랜지스터(1010)로 이용된다. 상기 실시형태들에서 설명된 임의의 트랜지스터들이 산화물 반도체를 포함하는 트랜지스터로 이용될 수 있다. 산화물 반도체를 포함하는 트랜지스터는 상당히 작은 오프 상태 전류의 특성을 갖는다. 그러한 이유로, 트랜지스터(1010)가 턴오프될 때에라도 트랜지스터(1000)의 게이트 전극의 전위가 극히 장시간 동안 유지될 수 있다. 또한, 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 트랜지스터(1010)의 단채널 효과가 억제될 수 있으며, 미세화가 달성될 수 있다. 용량소자(1020)를 제공하는 것에 의해, 트랜지스터(1000)의 게이트 전극으로 인가된 전하의 유지와 유지된 데이터의 관독이 더욱 쉽게 수행될 수 있다. 여기서, 예를 들면, 상기 실시형태에서 설명된 용량소자가 용량소자(1020)로 이용될 수 있다.
- [0174] 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터가 트랜지스터(1000)로 이용된다. 산화물 반도체 이외의 반도체 재료로서, 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 갈륨 비소, 등이 이용될 수 있고, 단결정 반도체가 이용되는 것이 바람직하다. 대안적으로, 유기 반도체 재료 등이 이용될 수 있다. 이러한 반도체 재료를 포함하는 트랜지스터는 고속으로 동작할 수 있다. 여기서, 예를 들면, 상기 실시형태들에서 설명된 임의의 트랜지스터들이 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터로 이용될 수 있다.
- [0175] 대안적으로, 도 7b에 도시된 바와 같은 용량소자(1020)가 제공되지 않는 구성이 또한 가능하다.
- [0176] 도 7a1의 반도체 장치는 트랜지스터(1000)의 게이트 전극의 전위가 유지될 수 있다는 특징을 사용하여, 다음과 같이 데이터를 기록, 유지 그리고 관독할 수 있다.
- [0177] 제일 먼저, 데이터의 기록과 유지가 설명될 것이다. 먼저, 제 4 배선의 전위가 트랜지스터(1010)가 턴온되는 전위로 설정되어, 트랜지스터(1010)가 턴온된다. 따라서, 제 3 배선의 전위가 트랜지스터(1000)의 게이트 전극과 용량소자(1020)로 공급된다. 즉, 미리 정해진 전하가 트랜지스터(1000)의 게이트 전극으로 공급된다(기록). 여기서, 상이한 전위들을 제공하는 두 종류들의 전하들(이후로, 낮은 전위를 제공하는 전하는 전하(Q_L)로 불리고 높은 전위를 제공하는 전하는 전하(Q_H)로 불린다) 중 하나가 인가된다. 상이한 전위들을 제공하는 셋 이상의 종류들의 전하들이 저장 용량을 향상시키기 위해 인가될 수 있다는 것에 주의한다. 그 후, 제 4 배선의 전위가 트랜지스터(1010)가 턴오프되는 전위로 설정되어, 트랜지스터(1010)가 턴오프된다. 따라서, 트랜지스터(1000)의 게이트 전극으로 공급된 전하가 보유된다(유지).
- [0178] 트랜지스터(1010)의 오프 상태 전류가 상당히 작기 때문에, 트랜지스터(1000)의 게이트 전극의 전하가 장시간 동안 유지된다.
- [0179] 다음, 데이터의 관독이 설명될 것이다. 미리 정해진 전위(일정한 전위)가 제 1 배선으로 공급되는 동안 적절한 전위(관독 전위)를 제 5 배선으로 공급하는 것에 의해, 제 2 배선의 전위가 트랜지스터(1000)의 게이트 전극에서 유지된 전하의 양에 따라 변화한다. 이는 일반적으로, 트랜지스터(1000)가 n-채널 트랜지스터일 때, Q_H 가 트랜지스터(1000)의 게이트 전극으로 공급되는 경우의 걸보기 임계 전압($V_{th,H}$)이 Q_L 이 트랜지스터(1000)의 게이트 전극으로 공급되는 경우의 걸보기 임계 전압($V_{th,L}$)보다 낮기 때문이다. 여기서, 걸보기 임계 전압이란 트랜지스터(1000)를 턴온하기 위해 필요한, 제 5 배선의 전위를 나타낸다. 따라서, 제 5 배선의 전위가 $V_{th,H}$ 와 $V_{th,L}$ 사이의 중간의 전위(V_0)로 설정되고, 따라서 트랜지스터(1000)의 게이트 전극으로 공급된 전하가 결정될 수 있다. 예를 들어, Q_H 가 기록시 공급되는 경우에, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 일 때, 트랜지스터(1000)가 턴온된다. Q_L 이 기록시 공급되는 경우에, 제 5 배선의 전위가 $V_0(<V_{th,L})$ 일 때에라도, 트랜지스터(1000)는 오프(off)에 머무른다. 따라서, 유지된 데이터가 제 2 배선의 전위를 측정하는 것에 의해 관독될 수 있다.
- [0180] 메모리 셀들이 이용되도록 배열되는 경우에, 의도된 메모리 셀의 데이터만이 관독될 필요가 있다는 것에 주의한다. 미리 정해진 메모리 셀의 데이터를 관독하고 다른 메모리 셀들의 데이터를 관독하지 않기 위하여, 트랜지스

터들(1000)이 메모리 셀들 중에서 병렬로 접속되는 경우에, 판독용 타겟이 아닌 메모리 셀들의 제 5 배선들에 게이트 전극들의 상태에 상관없이 트랜지스터들(1000)이 턴오프되는 전위, 즉, $V_{th\parallel}$ 보다 낮은 전위가 공급된다. 한편, 트랜지스터들(1000)이 메모리 셀들 중에서 직렬로 접속되는 경우에, 판독용 타겟이 아닌 메모리 셀들의 제 5 배선들에 게이트 전극들의 상태에 상관없이 트랜지스터들(1000)이 턴온되는 전위, 즉, $V_{th\perp}$ 보다 높은 전위가 공급된다.

[0181] 다음, 데이터의 재기록이 설명될 것이다. 데이터의 재기록은 데이터의 기록 및 유지와 유사한 방식으로 수행된다. 즉, 제 4 배선의 전위가 트랜지스터(1010)가 턴온되는 전위로 설정되어, 트랜지스터(1010)가 턴온된다. 따라서, 제 3 배선의 전위(새로운 데이터에 대한 전위)가 트랜지스터(1000)의 게이트 전극과 용량소자(1020)로 공급된다. 그 후에, 제 4 배선의 전위가 트랜지스터(1010)가 턴오프되는 전위로 설정되어, 트랜지스터(1010)가 턴오프된다. 따라서, 새로운 데이터에 대한 전하가 트랜지스터(1000)의 게이트 전극으로 공급된다.

[0182] 개시된 발명에 따른 반도체 장치에서, 데이터가 상술된 바와 같은 데이터의 다른 기록에 의해 직접 재기록될 수 있다. 따라서, 플래시 메모리 등을 위해 필요한 높은 전압의 이용으로 플로팅 게이트로부터 전하를 추출하는 것은 불필요하고, 따라서 소거 동작으로 인한 동작 속도의 감소가 억제될 수 있다. 다시 말하면, 반도체 장치의 고속 동작이 실현될 수 있다.

[0183] 트랜지스터(1010)의 소스 전극 또는 드레인 전극이 트랜지스터(1000)의 게이트 전극에 전기적으로 접속되어, 비휘발성 메모리 소자로 이용된 플로팅 게이트 트랜지스터의 플로팅 게이트와 유사한 기능을 갖는다는 것에 주의한다. 따라서, 도면들에서, 트랜지스터(1010)의 소스 전극 또는 드레인 전극이 트랜지스터(1000)의 게이트 전극으로 전기적으로 접속되는 부분이 일부 경우들에서 플로팅 게이트부(FG)라고 불린다. 트랜지스터(1010)가 턴오프될 때, 플로팅 게이트부(FG)는 절연체에 임베딩되는 것으로 여겨질 수 있고 따라서 플로팅 게이트부(FG)에서 전하가 보유된다. 산화물 반도체를 포함하는 트랜지스터(1010)의 오프 상태 전류는 실리콘 반도체 등을 포함하는 트랜지스터의 오프 상태 전류의 1/100000 이하이고; 따라서, 트랜지스터(1010)의 누설로 인해 플로팅 게이트부(FG)에 누적된 전하의 손실은 무시할만 한다. 즉, 산화물 반도체를 포함하는 트랜지스터(1010)로, 전력이 공급되지 않고 데이터를 유지할 수 있는 비휘발성 메모리 장치가 실현될 수 있다.

[0184] 예를 들어, 트랜지스터(1010)의 오프 상태 전류가 실온에서 10zA (1zA (జප토암페어)는 $1 \times 10^{-21}\text{A}$) 이하, 용량소자(1020)의 용량은 약 10fF 일 때, 데이터는 10^4 초 이상 유지될 수 있다. 유지 시간은 트랜지스터 특성들과 용량에 의존한다는 것은 말할 필요도 없다.

[0185] 또한, 그러한 경우에, 종래의 플로팅 게이트 트랜지스터의 문제인, 게이트 절연막(터널 절연막)의 열화 문제가 존재하지 않는다. 즉, 종래 문제인, 플로팅 게이트로의 전자들의 주입으로 인한 게이트 절연막의 열화의 문제가 해결될 수 있다. 이는 이론적으로 기록 사이클들의 수에 제한이 없다는 것을 의미한다. 또한, 종래 플로팅 게이트 트랜지스터에서 기록 또는 소거를 위해 필요한 고전압이 필요하지 않다.

[0186] 도 7a1의 반도체 장치의 트랜지스터들과 같은 구성성분들은 도 7a2에 도시된 바와 같은 저항들 및 용량소자들을 포함하는 것으로 여겨질 수 있다. 즉, 도 7a2에서, 트랜지스터(1000)와 용량소자(1020)는 각각 저항과 용량소자를 포함하는 것으로 여겨진다. R1과 C1은 각각 용량소자(1020)의 저항값과 용량값을 나타낸다. 저항값(R1)은 용량소자(1020)에 포함된 절연층의 저항값에 대응한다. R2와 C2는 각각 트랜지스터(1000)의 저항값과 용량값을 나타낸다. 저항값(R2)은 트랜지스터(1000)가 턴온될 때 게이트 절연층의 저항값에 대응한다. 용량값(C2)은 소위 게이트 용량(게이트 전극과 소스 또는 드레인 전극 사이에서 형성된 용량, 및 게이트 전극과 채널 형성 영역 사이에서 형성된 용량)에 대응한다.

[0187] 전하 보유 기간(또한 데이터 유지 기간으로도 불림)은 주로 트랜지스터(1010)의 게이트 누설 전류가 상당히 작고 R1과 R2가 $R1 \geq \text{ROS}$ (R1은 ROS 이상)와 $R2 \geq \text{ROS}$ (R2는 ROS 이상)를 만족시키는 조건들 하에서 트랜지스터(1010)의 오프 상태 전류에 의해 결정되며, 여기서 ROS는 트랜지스터(1010)가 턴오프된 상태에서 소스 전극과 드레인 전극 사이의 저항값(또한 실효 저항으로도 불림)이다.

[0188] 한편, 상기 조건들이 만족되지 않는 경우에는, 트랜지스터(1010)의 오프 상태 전류가 충분히 작더라도 충분한 유지 기간을 확보하는 것이 어렵다. 이는 트랜지스터(1010)의 오프 상태 전류 이외의 누설 전류(예를 들면, 소스 전극과 게이트 전극 사이에서 생성된 누설 전류)가 크기 때문이다. 따라서, 본 실시형태에서 개시된 반도체 장치가 상기 관계들을 만족시키는 것이 바람직하다고 말할 수 있다.

[0189] 한편, C1과 C2는 $C1 \geq C2$ (C1은 C2 이상)를 만족시키는 것이 바람직하다. 이는, C1이 C2 이상이면, 플로팅 게이

트부(FG)의 전위가 제 5 배선에 의해 제어될 때, 제 5 배선의 전위가 플로팅 게이트부(FG)로 효율적으로 공급될 수 있고, 따라서 제 5 배선으로 공급된 전위들(예를 들면, 판독 전위와 비-판독 전위) 사이의 차이가 작게 유지될 수 있기 때문이다.

[0190] 상기 관계들이 만족될 때, 보다 양호한 반도체 장치가 실현될 수 있다. R1과 R2는 트랜지스터(1000)의 게이트 절연층과 용량소자(1020)의 절연층에 의존한다는 것에 주의한다. 동일한 의존성을 C1과 C2에도 적용한다. 따라서, 게이트 절연층의 재료, 두께, 등이 상기 관계들을 만족시키도록 적절하게 설정되는 것이 바람직하다.

[0191] 본 실시형태에서 설명된 반도체 장치에서, 플로팅 게이트부(FG)는 플래시 메모리 등의 플로팅 게이트 트랜지스터의 플로팅 게이트와 유사한 기능을 갖지만, 본 실시형태의 플로팅 게이트부(FG)는 플래시 메모리 등의 플로팅 게이트와 본질적으로 상이한 특징을 갖는다. 플래시 메모리의 경우에, 게이트를 제어하기 위해 높은 전압이 인가되기 때문에, 제어 게이트의 전위가 인근 셀의 플로팅 게이트에 영향을 주는 것을 방지하기 위하여 셀들 사이에 적절한 거리를 유지할 필요가 있다. 이는 반도체 장치의 더 높은 집적화를 저해하는 하나의 요소이다. 이러한 요소는 터널링 전류가 높은 전기장의 인가에 의해 생성되는 플래시 메모리의 기본 원리에 기인한다.

[0192] 또한, 플래시 메모리의 상기 원리 때문에, 절연막의 열화가 진행하고 따라서 재기록 횟수를 상의 제한(대략 10^4 내지 10^5 번)이라는 다른 문제가 발생한다.

[0193] 개시된 발명에 따른 반도체 장치는 산화물 반도체를 포함하는 트랜지스터의 스위칭에 의해 동작되며, 터널링 전류에 의한 전하 주입의 상술된 원리를 이용하지 않는다. 즉, 플래시 메모리와 달리, 전하의 주입을 위한 높은 전기장은 필요하지 않다. 따라서, 인근 셀에 대한 제어 게이트로부터의 높은 전기장의 영향을 고려할 필요가 없으며, 이는 더 높은 집적화를 용이하게 한다.

[0194] 또한, 터널링 전류에 의한 전하 주입이 채용되지 않는데, 이는 메모리 셀의 열화가 유발되지 않는다는 것을 의미한다. 다시 말해, 개시된 발명에 따른 반도체 장치는 플래시 메모리보다 높은 내구성과 신뢰성을 갖는다.

[0195] 게다가, 개시된 발명에 따른 반도체 장치는 또한 높은 전기장이 필요하지 않기 때문에 대형의 스텝-업(step-up) 회로 등이 필요하지 않다는 점에서 플래시 메모리보다 유리하다.

[0196] 용량소자(1020)에 포함된 절연층의 비유전률($\epsilon r1$)이 트랜지스터(1000)에 포함된 절연층의 비유전률($\epsilon r2$)과 다른 경우에, $2 \cdot S2 \geq S1$ ($S2$ 는 $S1$ 이상), 바람직하게는 $S2 \geq S1$ ($S2$ 는 $S1$ 이상)을 만족시키면서 $C1 \geq C2$ ($C1$ 은 $C2$ 이상)를 만족시키는 것은 쉽고, 여기서 $S1$ 은 용량소자(1020)에 포함된 절연층의 면적이고 $S2$ 는 트랜지스터(1000)의 게이트 용량을 형성하는 절연층의 면적이다. 다시 말해, 용량소자(1020)에 포함된 절연층의 면적이 작은 동안, $C1$ 이 $C2$ 이상으로 쉽게 만들어질 수 있다. 구체적으로, 예를 들어, 산화 하프늄과 같은 high-k 재료를 포함하는 막 또는 산화 하프늄과 같은 high-k 재료를 포함하는 막과 산화물 반도체를 포함하는 막의 적층이 용량소자(1020)에 포함된 절연층으로 이용되어 $\epsilon r1$ 이 10 이상, 바람직하게는 15 이상으로 설정될 수 있고, 산화 실리콘이 게이트 용량을 형성하는 절연층으로 이용되어 $3 \leq \epsilon r2 \leq 4$ ($\epsilon r2$ 는 3 이상 4 이하)가 된다.

[0197] 이러한 구성들의 조합은 개시된 발명에 따른 반도체 장치의 더 높은 집적화를 가능하게 한다.

[0198] 전자들이 다수 캐리어들인 n-형 트랜지스터(n-채널 트랜지스터)가 상기 설명에서 이용되지만; 정공들이 다수 캐리어들인 p-형 트랜지스터(p-채널 트랜지스터)가 n-형 트랜지스터 대신 이용될 수 있다는 것은 말할 필요도 없다는 것에 주의한다.

[0199] 상술된 바와 같이, 개시된 발명의 실시형태에 따른 반도체 장치는 오프 상태에서 소스와 드레인 사이의 누설 전류(오프 상태 전류)가 작은 기록 트랜지스터와, 기록 트랜지스터와는 상이한 반도체 재료를 포함하는 판독 트랜지스터와, 용량소자를 포함하는 비휘발성 메모리 셀을 갖는다.

[0200] 통상적인 실리콘 반도체로, 주위 온도(예를 들면, 25°C)에서 누설 전류(오프 상태 전류)를 $100zA(1 \times 10^{-19} A)$ 이하로 감소시키는 것은 어렵지만, 이러한 값은 적절한 조건들 하에서 처리되는 산화물 반도체를 포함하는 트랜지스터로 달성될 수 있다. 따라서, 산화물 반도체를 포함하는 트랜지스터가 기록 트랜지스터로 이용되는 것이 바람직하다.

[0201] 또한, 산화물 반도체를 포함하는 트랜지스터는 작은 서브스레스홀드 스윙(subthreshold swing)(S 戬)을 갖고, 따라서 이동도가 비교적 낮다고 하더라도 스위칭 속도가 충분히 증가될 수 있다. 따라서, 기록 트랜지스터로서 트랜지스터를 이용하는 것에 의해, 플로팅 게이트부(FG)로 공급된 기록 펄스의 상승이 매우 가파르게 될 수 있다. 또한, 이러한 작은 오프 상태 전류 때문에, 플로팅 게이트부(FG)에서 보유되도록 요구된 전하의 양이 감소

될 수 있다. 즉, 기록 트랜지스터로서 산화물 반도체를 포함하는 트랜지스터를 이용하는 것에 의해, 데이터의 재기록이 고속으로 수행될 수 있다.

[0202] 판독 트랜지스터의 오프 상태 전류에는 제한이 없지만; 판독 속도를 증가시키기 위하여 고속으로 동작하는 트랜지스터를 이용하는 것이 바람직하다. 예를 들어, 1 나노초 이하의 스위칭 속도를 갖는 트랜지스터가 판독 트랜지스터로 이용되는 것이 바람직하다.

[0203] 이러한 방식으로, 산화물 반도체를 포함하는 트랜지스터가 기록 트랜지스터로 이용되고 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터가 판독 트랜지스터로 이용될 때, 메모리 장치로 이용될 수 있는, 장시간 데이터를 유지하고 고속으로 데이터를 판독하는 것이 가능한 반도체 장치가 얻어질 수 있다.

[0204] 또한, 기록 트랜지스터로서 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 기록 트랜지스터의 단채널 효과가 억제될 수 있고, 미세화가 달성될 수 있다. 따라서, 메모리 장치로 이용될 수 있는 반도체 장치가 더 높은 집적화를 가질 수 있다.

[0205] 본 실시형태에서 설명된 구성들, 방법들, 등이 다른 실시형태들에서 설명된 구성들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.

[0206] (실시형태 4)

[0207] 본 실시형태에서, 개시된 발명의 한 실시형태에 따른 반도체 장치의 적용 예가 도 8a 및 도 8b, 및 도 9a 내지도 9c를 참조하여 설명될 것이다. 여기서, 메모리 장치의 예가 설명된다. 이하에 언급된 일부 회로도들에서, 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위하여 "OS"가 트랜지스터 옆에 부기된다는 것에 주의한다.

[0208] 도 8a 및 도 8b는 각각 도 7a1에 도시된 복수의 반도체 장치들(이후로 또한 메모리 셀들(1050)로 불림)을 포함하는, 메모리 장치들로 이용될 수 있는, 반도체 장치들의 회로도들이다. 도 8a는 메모리 셀들(1050)이 직렬로 접속되는 소위 NAND 반도체 장치의 회로도이고, 도 8b는 메모리 셀들(1050)이 병렬로 접속되는 소위 NOR 반도체 장치의 회로도이다.

[0209] 도 8a의 반도체 장치는 소스 라인(SL), 비트 라인(BL), 제 1 신호 라인(S1), m 개의 제 2 신호 라인들(S2), m 개의 워드 라인들(WL), 및 m 개의 메모리 셀들(1050)을 포함한다. 도 8a에서, 하나의 소스 라인(SL)과 하나의 비트 라인(BL)이 반도체 장치에 제공되었으나; 그러나, 개시된 발명의 실시형태는 이러한 구성으로 제한되지 않는다. 복수의 소스 라인들(SL)과 복수의 비트 라인들(BL)이 제공될 수 있다.

[0210] 메모리 셀들(1050)의 각각에서, 트랜지스터(1000)의 게이트 전극, 트랜지스터(1010)의 소스 전극 및 드레인 전극 중 하나, 및 용량소자(1020)의 하나의 전극이 서로 전기적으로 접속된다. 제 1 신호 라인(S1)과 트랜지스터(1010)의 소스 전극 및 드레인 전극 중 다른 하나가 서로 전기적으로 접속되며, 제 2 신호 라인(S2)과 트랜지스터(1010)의 게이트 전극이 서로 전기적으로 접속된다. 워드 라인(WL)과 용량소자(1020)의 다른 전극이 서로 전기적으로 접속된다.

[0211] 또한, 메모리 셀(1050)에 포함된 트랜지스터(1000)의 소스 전극이 인근 메모리 셀(1050)의 트랜지스터(1000)의 드레인 전극에 전기적으로 접속된다. 메모리 셀(1050)에 포함된 트랜지스터(1000)의 드레인 전극은 인근 메모리 셀(1050)의 트랜지스터(1000)의 소스 전극에 전기적으로 접속된다. 직렬로 접속된 복수의 메모리 셀들 중 한 단부의 메모리 셀(1050)에 포함된 트랜지스터(1000)의 드레인 전극은 비트 라인(BL)에 전기적으로 접속된다는 것에 주의한다. 직렬로 접속된 복수의 메모리 셀들 중 다른 단부의 메모리 셀(1050)에 포함된 트랜지스터(1000)의 소스 전극은 소스 라인(SL)에 전기적으로 접속된다.

[0212] 도 8a의 반도체 장치에서, 기록 동작과 판독 동작이 각 행마다 수행된다. 기록 동작은 다음과 같이 수행된다. 트랜지스터(1010)가 턴온되는 전위가 기록이 수행될 행의 제 2 신호 라인(S2)으로 공급되어, 기록이 수행될 행의 트랜지스터(1010)가 턴온된다. 따라서, 제 1 신호 라인(S1)의 전위가 특정 행의 트랜지스터(1000)의 게이트 전극으로 공급되고, 미리 정해진 전하가 게이트 전극으로 인가된다. 따라서, 데이터가 특정 행의 메모리 셀로 기록될 수 있다.

[0213] 또한, 판독 동작이 다음과 같이 수행된다. 먼저, 그의 게이트 전극의 전하에 상관없이 트랜지스터(1000)가 턴온되는 전위가 판독이 수행될 행 이외의 행들의 워드 라인들(WL)로 공급되어, 판독이 수행될 행 이외의 행들의 트랜지스터들(1000)이 턴온된다. 이후, 트랜지스터(1000)의 온 상태 또는 오프 상태가 트랜지스터(1000)의 게이트 전극의 전하에 따라 결정되는 전위(판독 전위)가 판독이 수행될 행의 워드 라인(WL)으로 공급된다. 그 후, 일정

한 전위가 소스 라인(SL)으로 공급되어 비트 라인(BL)으로 접속된 판독 회로(도시되지 않음)가 동작된다. 여기서, 판독이 수행될 행의 트랜지스터(1000)를 제외한 소스 라인(SL)과 비트 라인(BL) 사이의 복수의 트랜지스터들(1000)이 턴온되고; 따라서, 소스 라인(SL)과 비트 라인(BL) 사이의 전도도(conductance)가 판독이 수행될 행의 트랜지스터(1000)의 상태(턴온 또는 턴오프)에 의해 결정된다. 트랜지스터의 전도도는 판독이 수행될 행의 트랜지스터(1000)의 게이트 전극의 전하에 따라 변화하므로, 비트 라인(BL)의 전위가 또한 따라서 변화한다. 판독 회로로 비트 라인(BL)의 전위를 판독하는 것에 의해, 특정 행의 메모리 셀로부터 데이터가 판독될 수 있다.

[0214] 도 8b의 반도체 장치는 n개의 소스 라인들(SL), n개의 비트 라인들(BL), n개의 제 1 신호 라인들(S1), m개의 제 2 신호 라인들(S2), m개의 워드 라인들(WL), 및 $n \times m$ 개의 메모리 셀들(1050)을 포함한다. 트랜지스터(1000)의 게이트 전극, 트랜지스터(1010)의 소스 전극 및 드레인 전극 중 하나, 및 용량소자(1020)의 하나의 전극이 서로 전기적으로 접속된다. 소스 라인(SL)과 트랜지스터(1000)의 소스 전극은 서로 전기적으로 접속된다. 비트 라인(BL)과 트랜지스터(1000)의 드레인 전극은 서로 전기적으로 접속된다. 제 1 신호 라인(S1)과 트랜지스터(1010)의 소스 전극 및 드레인 전극 중 다른 하나가 서로 전기적으로 접속되고, 제 2 신호 라인(S2)과 트랜지스터(1010)의 게이트 전극이 전기적으로 서로 접속된다. 워드 라인(WL)과 용량소자(1020)의 다른 전극이 서로 전기적으로 접속된다.

[0215] 도 8b의 반도체 장치에서, 기록 동작과 판독 동작이 각 행마다 수행된다. 기록 동작은 도 8a의 반도체 장치와 유사한 방식으로 수행된다. 판독 동작이 다음과 같이 수행된다. 먼저, 그의 게이트 전극의 전하에 상관없이 트랜지스터(1000)가 턴오프되는 전위가 판독이 수행될 행 이외의 행들의 워드 라인들(WL)로 공급되어, 판독이 수행될 행 이외의 행들의 트랜지스터들(1000)이 턴오프된다. 이후, 트랜지스터(1000)의 온 상태 또는 오프 상태가 트랜지스터(1000)의 게이트 전극의 전하에 따라 결정되는 전위(판독 전위)가 판독이 수행될 행의 워드 라인(WL)으로 공급된다. 그 후에, 일정한 전위가 소스 라인(SL)으로 공급되어 비트 라인(BL)으로 접속된 판독 회로(도시되지 않음)가 동작된다. 여기서, 소스 라인(SL)과 비트 라인(BL) 사이의 전도도가 판독이 수행될 행의 트랜지스터(1000)의 상태(턴온 또는 턴오프)에 의해 결정된다. 즉, 비트 라인(BL)의 전위는 판독이 수행될 행의 트랜지스터(1000)의 게이트 전극의 전하에 의존한다. 판독 회로로 비트 라인(BL)의 전위를 판독하는 것에 의해, 특정 행의 메모리 셀로부터 데이터가 판독될 수 있다.

[0216] 메모리 셀들(1050)의 각각에 저장될 수 있는 데이터의 양은 상기 설명에서 1 비트이지만, 본 실시형태의 반도체 장치의 구성은 이러한 예로 제한되지 않는다. 메모리 셀들(1050)의 각각에서 유지되는 데이터의 양은 트랜지스터(1000)의 게이트 전극으로 공급될 전위들의 셋 또는 그 이상의 종류들을 준비하는 것에 의해 증가될 수 있다. 예를 들어, 전위들의 4개의 종류들이 트랜지스터(1000)의 게이트 전극으로 공급되는 경우에, 2 비트들의 데이터가 메모리 셀들의 각각에 저장될 수 있다.

[0217] 다음, 도 8a 및 도 8b에서 도시된 반도체 장치들에 이용될 수 있는 판독 회로의 예가 도 9a 내지 도 9c를 참조하여 설명될 것이다.

[0218] 도 9a는 판독 회로의 윤곽을 도시한다. 판독 회로는 트랜지스터와 감지(sense) 증폭기 회로를 포함한다.

[0219] 데이터의 판독시, 단자(A)가 데이터가 판독될 메모리 셀이 접속되는 비트 라인(BL)으로 접속된다. 또한, 바이어스 전위(Vbias)가 트랜지스터의 게이트 전극으로 인가되어 단자(A)의 전위가 제어된다.

[0220] 메모리 셀(1050)의 저항은 저장된 데이터에 따라 변화한다. 구체적으로, 선택된 메모리 셀(1050)의 트랜지스터(1000)가 턴온될 때, 메모리 셀(1050)은 낮은 저항을 갖고, 선택된 메모리 셀(1050)의 트랜지스터(1000)가 턴오프될 때, 메모리 셀(1050)은 높은 저항을 갖는다.

[0221] 메모리 셀이 높은 저항을 가질 때, 단자(A)의 전위는 기준 전위(Vref)보다 높고 감지 증폭기 회로는 단자(A)의 전위에 대응하는 전위를 출력한다. 한편, 메모리 셀이 낮은 저항을 가질 때, 단자(A)의 전위는 기준 전위(Vref)보다 낮고 감지 증폭기 회로는 단자(A)의 전위에 대응하는 전위를 출력한다.

[0222] 이러한 방식으로, 판독 회로를 이용하는 것에 의해, 데이터가 메모리 셀로부터 판독될 수 있다. 본 실시형태의 판독 회로는 하나의 예라는 것에 주의한다. 다른 회로가 이용될 수 있다. 판독 회로는 또한 프리차지(precharge) 회로를 포함할 수 있다. 기준 전위(Vref) 대신, 기준 비트 라인이 감지 증폭기 회로에 접속될 수 있다.

[0223] 도 9b는 감지 증폭기 회로들의 예인 차동 감지 증폭기를 도시한다. 차동 감지 증폭기는 입력 단자들(Vin(+)) 및 Vin(-))과 출력 단자(Vout)를 갖고, Vin(+)의 전위와 Vin(-)의 전위 사이의 차이를 증폭시킨다. Vin(+)의 전위가 Vin(-)의 전위보다 높을 때, Vout으로부터의 출력은 상대적으로 하이(high)이며, Vin(+)의 전위가 Vin(-)의

전위보다 낮을 때에는, V_{out} 으로부터의 출력은 상대적으로 로우(low)이다. 차동 감지 증폭기가 판독 회로로 이용되는 경우에, 입력 단자들($V_{in}(+)$ 와 $V_{in}(-)$) 중 하나가 단자(A)에 접속되고, 기준 전위(V_{ref})가 입력 단자들($V_{in}(+)$ 와 $V_{in}(-)$) 중 다른 하나로 공급된다.

[0224] 도 9c는 감지 증폭기 회로들의 예인 래치(latch) 감지 증폭기를 도시한다. 래치 감지 증폭기는 입력/출력 단자들(V_1 및 V_2)과 제어 신호들(S_p 및 S_n)의 입력 단자들을 갖는다. 먼저, 신호(S_p)가 하이(high)로 설정되고 신호(S_n)가 로우(low)로 설정되며, 전원 전위(V_{dd})가 차단된다. 이후, 비교될 전위들이 V_1 과 V_2 로 공급된다. 그 후에, 신호(S_p)가 로우(low)로 설정되고 신호(S_n)가 하이(high)로 설정되며, 전원 전위(V_{dd})가 공급된다. 비교될 전위들(V_{1in} 및 V_{2in})이 $V_{1in} > V_{2in}$ 를 만족시키면, V_1 으로부터의 출력은 하이(high)이고 V_2 로부터의 출력은 로우(low)이며, 전위들이 $V_{1in} < V_{2in}$ 를 만족시키면, V_1 으로부터의 출력은 로우(low)이고 V_2 로부터의 출력은 하이(high)이다. 이러한 관계를 사용하는 것에 의해, V_{1in} 과 V_{2in} 사이의 차이가 증폭될 수 있다. 래치 감지 증폭기가 판독 회로로 이용되는 경우에, V_1 과 V_2 중 하나가 단자(A)와 출력 단자로 스위치를 통하여 접속되고, 기준 전위(V_{ref})가 V_1 과 V_2 중 다른 하나로 공급된다.

[0225] 메모리 장치로 이용될 수 있는 상술된 반도체 장치의 메모리 셀의 기록 트랜지스터로 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 기록 트랜지스터의 단채널 효과가 억제될 수 있으며, 미세화가 달성될 수 있다. 따라서, 메모리 장치로 이용될 수 있는 반도체 장치가 더 높은 집적화를 가질 수 있다.

[0226] 본 실시형태에서 설명된 구성들, 방법들, 등이 다른 실시형태들에서 설명된 구성들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.

[0227] (실시형태 5)

[0228] 본 실시형태에서, 개시된 발명의 한 실시형태에 따른 반도체 장치의 응용의 예가 도 10을 참조하여 설명될 것이다. 여기서, 중앙 처리 유닛(CPU)이 설명된다.

[0229] 도 10은 CPU의 블록도의 예를 도시한다. 도 10에 도시된 CPU(1101)는 타이밍 제어 회로(1102), 명령 디코더(1103), 레지스터 어레이(1104), 어드레스 로직 및 버퍼 회로(1105), 데이터 버스 인터페이스(1106), 연산 로직 유닛(ALU)(1107), 명령 레지스터(1108), 등을 포함한다.

[0230] 이러한 회로들은 상기 실시형태들에서 설명된 임의의 트랜지스터들, 인버터 회로, 저항, 용량소자, 등을 이용하여 제작된다. 상기 실시형태들에서 설명된 트랜지스터들은 극히 작은 오프 상태 전류를 달성할 수 있으므로, CPU(1101)의 전력 소비의 감소가 실현될 수 있다. 또한, 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 트랜지스터의 단채널 효과가 억제될 수 있고, 미세화가 달성될 수 있다.

[0231] CPU(1101)에 포함된 회로들이 이하에 간단히 설명될 것이다. 타이밍 제어 회로(1102)는 외부로부터 명령들을 수신하고, 명령들을 내부용 정보로 변환하며, 정보를 다른 블록으로 전송한다. 또한, 타이밍 제어 회로(1102)는 내부 동작에 따라 메모리 데이터의 판독 및 기록과 같은 지시들을 외부로 보낸다. 명령 디코더(1103)는 외부로부터의 명령들을 내부용 명령들로 변환하도록 기능한다. 레지스터 어레이(1104)는 데이터를 일시적으로 저장하도록 기능한다. 어드레스 로직 및 버퍼 회로(1105)는 외부 메모리의 어드레스를 지정하도록 기능한다. 데이터 버스 인터페이스(1106)는 외부 메모리 또는 프린터와 같은 장치의 데이터를 가져오거나 내보내도록 기능한다. ALU(1107)는 연산을 수행하도록 기능한다. 명령 레지스터(1108)는 명령들을 일시적으로 저장하도록 기능한다. CPU는 회로들의 이러한 조합을 포함한다.

[0232] CPU(1101)의 적어도 일부에 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 트랜지스터의 단채널 효과가 억제될 수 있으며, 미세화가 달성될 수 있다. 따라서, CPU(1101)가 더 높은 집적화를 가질 수 있다.

[0233] 본 실시형태에서 설명된 구성들, 방법들, 등이 다른 실시형태들에서 설명된 구성들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.

[0234] (실시형태 6)

[0235] 본 실시형태에서, 개시된 발명의 한 실시형태에 따른 반도체 장치의 응용의 예가 도 11a 및 도 11b를 참조하여 설명될 것이다. 여기서, 객체의 정보를 판독하기 위한 이미지 센서 기능을 갖는 반도체 장치의 예가 설명될 것이다. 일부 회로도들에서, 트랜지스터가 산화물 반도체를 포함한다는 것을 나타내기 위하여 "OS"가 트랜지스터 옆에 부기된다는 것에 주의한다.

[0236] 도 11a는 이미지 센서 기능을 갖는 반도체 장치의 예를 도시한다. 도 11a는 포토센서의 동등 회로도이고, 도

11b는 포토센서의 일부의 단면도이다.

[0237] 포토다이오드(1202)의 하나의 전극이 포토다이오드 리셋 신호 라인(1212)으로 전기적으로 접속되고, 포토다이오드(1202)의 다른 전극이 트랜지스터(1204)의 게이트 전극으로 전기적으로 접속된다. 트랜지스터(1204)의 소스 전극과 드레인 전극 중 하나가 포토센서 기준 신호 라인(1218)으로 전기적으로 접속되고, 트랜지스터(1204)의 소스 전극과 드레인 전극 중 다른 하나가 트랜지스터(1206)의 소스 전극과 드레인 전극 중 하나로 전기적으로 접속된다. 트랜지스터(1206)의 게이트 전극이 게이트 신호 라인(1214)으로 전기적으로 접속되고, 트랜지스터(1206)의 소스 전극과 드레인 전극 중 다른 하나가 포토센서 출력 신호 라인(1216)으로 전기적으로 접속된다.

[0238] 여기서, 산화물 반도체를 포함하는 트랜지스터들이 도 11a에 도시된 트랜지스터(1204)와 트랜지스터(1206)로 이용된다. 여기서, 상기 실시형태들에서 설명된 임의의 트랜지스터들이 산화물 반도체를 포함하는 트랜지스터들로 이용될 수 있다. 상기 실시형태들에서 설명된 트랜지스터들이 오프 상태에서 극히 작은 누설 전류를 달성할 수 있기 때문에, 포토센서의 광검출 정밀성이 향상될 수 있다. 또한, 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 트랜지스터의 단채널 효과가 억제될 수 있으며, 미세화가 달성될 수 있다. 따라서, 포토다이오드의 면적이 증가될 수 있고, 포토센서의 광검출 정밀성이 향상될 수 있다.

[0239] 도 11b는 포토센서의 포토다이오드(1202)와 트랜지스터(1204)를 도시하는 단면도이다. 센서로 기능하는 포토다이오드(1202)와 트랜지스터(1204)가 절연 표면을 갖는 기판(1222)(TFT 기판) 위에 제공된다. 기판(1224)이 접착층(1228)을 이용하여 포토다이오드(1202)와 트랜지스터(1204) 위에 제공된다. 절연층(1234), 층간 절연층(1236), 및 층간 절연층(1238)이 트랜지스터(1204) 위에 제공된다.

[0240] 게이트 전극에 전기적으로 접속되도록 게이트 전극층(1240)이 트랜지스터(1204)의 게이트 전극과 동일한 층에 제공된다. 게이트 전극층(1240)은 절연층(1234)과 층간 절연층(1236)에 형성된 개구부를 통하여, 층간 절연층(1236) 위에 제공된 전극층(1242)과 전기적으로 접속된다. 포토다이오드(1202)가 전극층(1242) 위에 형성되기 때문에, 포토다이오드(1202)와 트랜지스터(1204)가 게이트 전극층(1240)과 전극층(1242)을 통하여 서로 전기적으로 접속된다.

[0241] 포토다이오드(1202)는 제 1 반도체층(1226a), 제 2 반도체층(1226b), 및 제 3 반도체층(1226c)이 이러한 순서로 전극층(1242) 위에 적층되는 구조를 갖는다. 다시 말해, 포토다이오드(1202)의 제 1 반도체층(1226a)은 전극층(1242)과 전기적으로 접속된다. 포토다이오드(1202)의 제 3 반도체층(1226c)은 층간 절연층(1238) 위에 제공된 전극층(1244)에 전기적으로 접속된다.

[0242] 여기서, 제 1 반도체층(1226a)으로서 n-형 도전성을 갖는 반도체층과, 제 2 반도체층(1226b)으로서 고저항 반도체층(i-형 반도체층)과, 제 3 반도체층(1226c)으로서 p-형 도전성을 갖는 반도체층이 적층되는, PIN 포토다이오드가 예로 주어진다.

[0243] 제 1 반도체층(1226a)은 n-형 반도체층이며 n-형 도전성을 부여하는 불순물 원소를 함유하는 비정질 실리콘막으로 형성된다. 제 1 반도체층(1226a)은 15족에 속하는 불순물 원소(인(P)과 같은)를 함유하는 반도체 소스 가스의 이용으로 플라즈마 CVD 방법에 의해 형성된다. 반도체 소스 가스로서, 실란(SiH₄)이 이용될 수 있다. 대안적으로, 디실란(Si₂H₆), 디클로로실란(SiH₂Cl₂), 트리클로로실란(SiHCl₃), 실리콘 테트라클로라이드(SiCl₄), 실리콘 테트라플루오라이드(SiF₄), 등이 이용될 수 있다. 대안적으로, 불순물 원소를 함유하지 않는 비정질 실리콘막이 형성될 수 있고, 이후, 확산 방법 또는 이온 주입 방법에 의해 비정질 실리콘막으로 불순물 원소가 주입될 수 있다. 불순물 원소가 이온 주입 방법 등에 의해 주입된 후, 불순물 원소를 확산시키기 위하여 가열 등이 실행될 수 있다. 이러한 경우에, 비정질 실리콘막을 형성하기 위한 방법으로서, LPCVD 방법, 기상 성장(vapor deposition) 방법, 스퍼터링 방법, 등이 이용될 수 있다. 제 1 반도체층(1226a)은 20nm 내지 200nm의 두께를 갖도록 형성되는 것이 바람직하다.

[0244] 제 2 반도체층(1226b)은 i-형 반도체층(진성 반도체층)이며 비정질 실리콘막으로 형성된다. 제 2 반도체층(1226b)으로서, 비정질 실리콘막이 반도체 소스 가스의 이용으로 플라즈마 CVD 방법에 의해 형성된다. 반도체 소스 가스로서, 실란(SiH₄)이 이용될 수 있다. 대안적으로, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄, 등이 이용될 수 있다. 제 2 반도체층(1226b)이 대안적으로 LPCVD 방법, 기상 성장 방법, 스퍼터링 방법, 등에 의해 형성될 수 있다. 제 2 반도체층(1226b)은 200nm 내지 1000nm의 두께를 갖도록 형성되는 것이 바람직하다.

[0245] 제 3 반도체층(1226c)은 p-형 반도체층이며 p-형 도전성을 부여하는 불순물 원소를 함유하는 비정질 실리콘막으로 형성된다. 제 3 반도체층(1226c)은 13족에 속하는 불순물 원소(붕소(B)와 같은)를 함유하는 반도체 소스 가

스의 이용으로 플라즈마 CVD 방법에 의해 형성된다. 반도체 소스 가스로서, 실란(SiH_4)이 이용될 수 있다. 대안적으로, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 , 등이 이용될 수 있다. 대안적으로, 불순물 원소를 함유하지 않는 비정질 실리콘막이 형성될 수 있고, 이후, 확산 방법 또는 이온 주입 방법에 의해 비정질 실리콘막으로 불순물 원소가 주입될 수 있다. 불순물 원소가 이온 주입 방법 등에 의해 주입된 후, 불순물 원소를 확산시키기 위하여 가열 등이 수행될 수 있다. 이러한 경우에, 비정질 실리콘막을 형성하기 위한 방법으로서, LPCVD 방법, 기상 성장 방법, 스퍼터링 방법, 등이 이용될 수 있다. 제 3 반도체층(1226c)은 10nm 내지 50nm의 두께를 갖도록 형성되는 것이 바람직하다.

[0246] 제 1 반도체층(1226a), 제 2 반도체층(1226b), 및 제 3 반도체층(1226c)은 비정질 반도체를 이용하여 형성될 필요는 없으며, 그들은 다결정 반도체 또는 미결정(microcrystalline) 반도체(또는 반-비정질 반도체(SAS))를 이용하여 형성될 수 있다.

[0247] 미결정 반도체는 Gibbs 자유 에너지에 따른 비정질 상태와 단결정 상태 사이의 중간 상태인 준안정(metastable) 상태에 속한다. 즉, 미결정 반도체는 열역학적으로 안정한 제 3 상태를 갖는 반도체이며, 단거리 질서(short range order)와 격자 왜곡(lattice distortion)을 갖는다. 미결정 반도체에서, 기동형 또는 바늘형 결정들이 기판의 표면에 대하여 법선 방향(normal direction)으로 성장한다. 미결정 반도체의 전형적인 예인, 미결정 실리콘의 라만(Raman) 스펙트럼은, 단결정 실리콘을 나타내는 520 cm^{-1} 보다 작은 파수(wavenumber) 영역으로 시프트된다. 즉, 미결정 실리콘의 라만 스펙트럼의 피크는 단결정 실리콘을 나타내는 520 cm^{-1} 과 비정질 실리콘을 나타내는 480 cm^{-1} 사이에서 존재한다. 미결정 반도체는 댕글링 본드를 종단시키기 위해 적어도 1at.%의 수소 또는 할로겐을 포함한다. 또한, 헬륨, 아르곤, 크립톤, 또는 네온과 같은 희가스 원소가 격자 왜곡을 더욱 촉진하기 위해 포함될 수 있으며, 따라서 강화된 안정성을 갖는 양호한 미결정 반도체막이 얻어질 수 있다.

[0248] 이러한 미결정 반도체막은 몇십 내지 몇백 메가헤르츠의 주파수의 고주파수 플라즈마 CVD 방법 또는 1GHz 이상의 주파수의 마이크로파 플라즈마 CVD 방법에 의해 형성될 수 있다. 전형적으로, 미결정 반도체막은 SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , 또는 SiF_4 와 같은 실리콘을 포함하는 가스를 수소로 희석하는 것에 의해 얻어진 가스를 이용하여 형성될 수 있다. 대안적으로, 미결정 반도체막은 수소와, 헬륨, 아르곤, 크립톤, 및 네온으로부터 선택된 하나 또는 그 이상의 희가스 원소들로 희석되는, 실리콘을 포함하는 가스를 이용하는 것에 의해 형성될 수 있다. 이러한 경우에, 수소의 유량비는 실리콘을 포함하는 가스보다 5배 내지 200배, 바람직하게는 50배 내지 150배, 더욱 바람직하게는 100배보다 더 높게 설정된다. 또한, 실리콘을 포함하는 가스는 CH_4 또는 C_2H_6 과 같은 탄화수소 가스, GeH_4 , 또는 GeF_4 와 같은 게르마늄 가스를 포함하는 가스, F_2 , 등과 혼합될 수 있다.

[0249] 광전 효과에 의해 생성된 정공들의 이동도는 전자들의 이동도보다 낮다. 따라서, p-형 반도체층 측 상의 표면이 수광면으로 이용될 때 PIN 포토다이오드가 더 나은 특성들을 갖는다. 여기서, 포토다이오드(1202)가 기판(1224) 측으로부터 입사광(1230)을 수신하고 이를 전기 신호들로 변환하는 예가 설명된다. 또한, 수광면 상의 반도체층 측과 반대인 도전형을 갖는 반도체층 측으로부터의 광은 외란광(disturbance light)이며; 따라서, 전극층(1242)이 차광성 도전막을 이용하여 형성되는 것이 바람직하다. n-형 반도체층 측이 대안적으로 수광면이 될 수 있다는 것에 주의한다.

[0250] 입사광(1230)이 기판(1224) 측으로부터 들어갈 때, 트랜지스터(1204)의 게이트 전극에 의해 트랜지스터(1204)의 산화물 반도체층이 입사광(1230)으로부터 차광될 수 있다.

[0251] 절연층(1234), 층간 절연층(1236), 및 층간 절연층(1238)이 재료에 따라 스퍼터링 방법, SOG 방법, 스판 코팅 방법, 딥-코팅 방법, 스프레이 코팅 방법, 스크린 프린팅 방법, 오프셋 프린팅 방법 또는 액적 토출 방법(예를 들면, 잉크젯 방법)과 같은 방법에 의해 절연 재료를 이용하여 형성될 수 있다.

[0252] 절연층(1234)은 산화 실리콘층, 산화질화 실리콘층, 질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 산화 질화 알루미늄층, 질화 알루미늄층, 또는 질화산화 알루미늄층과 같은 산화물 절연층들 또는 질화물 절연층들 중 어느 것의, 무기 절연 재료의 단층 또는 적층들일 수 있다. 또한, 조밀하고, 높은 내전압을 갖는, 고품질 절연층이 마이크로파들(2.45GHz)을 이용하여 고밀도 플라즈마 CVD 방법에 의해 형성될 수 있으며, 이것이 바람직하다.

[0253] 표면 거칠기의 감소를 위해, 평탄화 절연막으로 기능하는 절연층이 층간 절연층들(1236 및 1238)로 이용되는 것이 바람직하다. 층간 절연층들(1236 및 1238)은 폴리이미드, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리아미

드, 또는 에폭시 수지와 같은 내열성을 갖는 유기 절연 재료를 이용하여 형성될 수 있다. 이러한 유기 절연 재료들 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass), 등의 단층 또는 적층들을 이용하는 것이 가능하다.

[0254] 포토다이오드(1202)는 입사광(1230)을 검출하는 것에 의해 객체의 정보를 판독할 수 있다. 백라이트(backlight)와 같은 광원이 객체의 정보 판독시 이용될 수 있다는 것에 주의한다.

[0255] 상술된 포토센서에서, 상기 실시형태들에서 설명된 임의의 트랜지스터들이 산화물 반도체를 포함하는 트랜지스터로 이용될 수 있다. 상기 실시형태들에서 설명된 트랜지스터들은 오프 상태에서 극히 작은 누설 전류를 달성할 수 있으므로, 포토센서의 광검출 정밀성이 향상될 수 있다. 또한, 상기 실시형태들에서 설명된 임의의 트랜지스터들을 사용하여, 트랜지스터의 단채널 효과가 억제될 수 있고, 미세화가 달성될 수 있다. 따라서, 포토다이오드의 영역이 증가될 수 있으며, 포토센서의 광검출 정밀성이 향상될 수 있다.

[0256] 본 실시형태에서 설명된 구성들, 방법들, 등이 다른 실시형태들에서 설명된 구성들, 방법들, 등 중 임의의 것과 적절하게 조합될 수 있다.

[0257] (실시형태 7)

[0258] 본 실시형태에서, 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 전자 장치들로 응용되는 경우들이 도 12a 내지 도 12f를 참조하여 설명될 것이다. 상술된 반도체 장치들 중 임의의 것이 컴퓨터, 이동 전화 세트(또한 이동 전화 또는 이동 전화 장치로도 불림), 휴대용 정보 단말(휴대용 게임 머신, 오디오 재생 장치, 등을 포함), 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 텔레비전 세트(또한 텔레비전 또는 텔레비전 수신기로도 불림), 등과 같은 전자 장치들로 적용되는 경우들이 설명될 것이다.

[0259] 도 12a는 하우징(701), 하우징(702), 표시부(703), 키보드(704), 등을 포함하는 노트북 개인용 컴퓨터를 도시한다. 하우징들(701 및 702) 중 적어도 하나에 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 제공된다. 그러므로, 예를 들어, 고속으로 동작하고 더 적은 전력을 소비하는 노트북 개인용 컴퓨터가 실현될 수 있다.

[0260] 도 12b는 휴대용 정보 단말(PDA)을 도시한다. 본체(711)에는 표시부(713), 외부 인터페이스(715), 조작 버튼들(714), 등이 제공된다. 또한, 휴대용 정보 단말의 조작을 위한 스타일러스(stylus;712) 등이 제공된다. 본체(711)에 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 제공된다. 그러므로, 예를 들어, 고속으로 동작하고 더 적은 전력을 소비하는 휴대용 정보 단말이 실현될 수 있다.

[0261] 도 12c는 전자 페이퍼를 내장하고, 두개의 하우징들, 하우징(721)과 하우징(723)을 포함하는, 전자 서적(720)을 도시한다. 하우징(721)과 하우징(723)은 각각 표시부(725)와 표시부(727)를 포함한다. 하우징(721)은 헌지(737)에 의해 하우징(723)에 접속되어, 전자 서적(720)이 축으로서 헌지(737)를 이용하여 열리고 닫힐 수 있다. 또한, 하우징(721)에는 전원 스위치(731), 조작 키들(733), 스피커(735), 등이 제공된다. 하우징들(721 및 723) 중 적어도 하나에 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 제공된다. 그러므로, 예를 들어, 고속으로 동작하고 더 적은 전력을 소비하는 전자 서적이 실현될 수 있다.

[0262] 도 12d는 두개의 하우징들, 하우징(740)과 하우징(741)을 포함하는 이동 전화 세트를 도시한다. 도 12d에 도시된 바와 같이 전개된 상태의 하우징(740)과 하우징(741)은 슬라이드될 수 있어서 하나가 다른 것 위로 래핑(lapped)된다. 따라서, 이동 전화 세트의 크기가 감소될 수 있고, 이는 이동 전화 세트를 휴대에 적절하게 한다. 하우징(741)은 표시 패널(742), 스피커(743), 마이크로폰(744), 터치 패널(745), 포인팅 장치(746), 카메라 렌즈(747), 외부 접속 단자(748), 등을 포함한다. 하우징(740)은 이동 전화 세트를 충전하기 위한 태양 전지(749), 외부 메모리 슬롯(750), 등을 포함한다. 하우징(741)에 안테나가 내장된다. 하우징들(740 및 741) 중 하나 이상에 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 제공된다. 그러므로, 예를 들어, 고속으로 동작하고 더 적은 전력을 소비하는 이동 전화 세트가 실현될 수 있다.

[0263] 도 12e는 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766), 등을 포함하는 디지털 카메라를 도시한다. 본체(761)에 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 제공된다. 그러므로, 예를 들어, 고속으로 동작하고 더 적은 전력을 소비하는 디지털 카메라가 실현될 수 있다.

[0264] 도 12f는 하우징(771), 표시부(773), 스탠드(775), 등을 포함하는 텔레비전 세트(770)이다. 텔레비전 세트(770)는 하우징(771)에 포함된 스위치 또는 원격 제어기(780)로 조작될 수 있다. 하우징(771)과 원격 제어기(780)에 상기 실시형태들에서 설명된 반도체 장치들 중 임의의 것이 제공된다. 그러므로, 예를 들어, 고속으로 동작

하고 더 적은 전력을 소비하는 텔레비전 세트가 실현될 수 있다.

[0265] 상술된 바와 같이, 본 실시형태에서 설명된 전자 장치들은 각각 상기 실시형태들에 따른 반도체 장치들 중 임의의 것을 포함한다. 그러므로, 반도체 장치의 미세화에 의해 그의 동작 속도가 증가되고 전력 소비가 감소되는 전자 장치가 얻어질 수 있다.

[0266] (실시예 1)

[0267] 본 예에서, 단채널 효과의 억제의 관점에서, 개시된 발명의 효과의, 컴퓨터를 이용한 시뮬레이션에 의한 검사의 결과들이 설명될 것이다. Silvaco Data Systems Inc.에 의해 생산된 장치 시뮬레이터 "Atlas"를 이용하여 계산들(제 1 계산과 제 2 계산)이 수행되었다는 것에 주의한다.

[0268] 도 13a 및 도 13b에 도시된 모델들을 이용하여 제 1 계산이 수행되었다. 도 13a는 개시된 발명의 한 실시형태에 따른, 절연층의 상면과 소스 전극 및 드레인 전극의 상면 사이에 작은 높이차가 있는 구조(이하, 구조 A)를 갖는 트랜지스터를 도시한다. 도 13b는 비교예로서, 이러한 높이차가 없는 구조(이하, 구조 B)를 갖는 트랜지스터를 도시한다. 도 13a에 도시된 바와 같이 절연층(143b)이 소스 전극(142a)과 드레인 전극(142b)을 덮지 않는 구조가 계산의 단순화를 위해 구조 A로 채용되나; 상기 구조와 절연층(143b)이 소스 전극(142a)과 드레인 전극(142b)을 덮는 구조 사이의 계산 차이는 크지 않다는 것에 주의한다.

[0269] 계산에서, 높이차가 생기는 영역(이하 돌출 영역으로 부름)의 측면의 경사각(θ)과 돌출 영역의 높이(h)가 변수들이었다. 도 13a 및 도 13b의 참조 번호들로 표시된 구성성분들은 상기 실시형태에서 동일한 참조 번호들로 표시되고 설명된 구성성분들에 대응한다는 것에 주의한다. 또한, 본 예의 계산 모델들은 절연층(150)과 같은 일부 구성성분들은 포함하지 않으나, 이는 계산의 결과에 영향을 미치지 않는다.

[0270] 계산을 위해 이용된 다른 파라미터들은 다음과 같다.

[0271] · 산화물 반도체 층의 두께: 10 nm

[0272] · 산화물 반도체층의 재료: In-Ga-Zn-O계 금속 산화물(밴드 갭 Eg: 3.15 eV, 전자 친화력(χ): 4.3 eV, 비유전율: 15, 전자 이동도: $10\text{cm}^2/\text{Vs}$)

[0273] · 게이트 절연층의 두께: 10 nm

[0274] · 게이트 절연층의 재료: 산화 하프늄(비유전율: 15)

[0275] · 소스 및 드레인 전극들의 재료: 질화 티타늄(일 함수: 3.9 eV)

[0276] · 게이트 전극의 재료: 텉스텐(일 함수: 4.9 eV)

[0277] 제 1 계산의 결과들이 도 14, 도 15, 및 도 16에 도시된다. 도 14는 게이트 전압(VG)(V)과 드레인 전류(ID)(A) 사이의 관계를 도시하고; 도 15는 채널 길이(L)(nm)와 임계 전압(Vth)(V) 사이의 관계를 도시하며; 도 16은 채널 길이(L)(nm)와 S 값(V/dec) 사이의 관계를 도시한다. 도 14, 도 15, 및 도 16의 각각은 45° , 60° , 및 90° 의 상이한 경사각들(θ)과 5nm, 10nm, 및 20nm의 상이한 높이들(h)로 얻어진 결과들을 도시한다는 것에 주의한다.

[0278] 도 14, 도 15, 및 도 16의 결과들은 채널 길이(L)가 100nm보다 클 때에는 구조 A와 구조 B 사이에 상당한 차이가 없으나, 채널 길이(L)가 100nm 이하일 때에는 구조 A에서 임계 전압(Vth)에서의 네거티브 시프트와 S 값에서의 증가가 억제된다는 것을 보여준다. 즉, 구조 B와 비교하여, 구조 A에서 단채널 효과가 억제될 수 있다.

[0279] 제 2 계산의 결과가 도 17a 및 도 17b에 도시된 모델들을 이용하여 수행되었다. 도 17a는 구조 A를 도시하고, 도 17b는 구조 B를 도시한다. 제 1 및 제 2 계산들 사이의 차이는, 제 1 계산의 채널 길이(L)로서 소스 전극과 드레인 전극 사이의 거리가 규정되고, 제 2 계산의 채널 길이(L)는 절연층의 돌출 모양에 따라 측정된다는 것이다. 다시 말하면, 도 17a에서, 채널 길이(L)는 $L_s + L_c + L_d$ 와 같다. 이러한 방식으로 도 17a의 채널 길이(L)를 규정하는 것에 의해, 채널 길이(L)의 유효값의 증가의 효과가 상쇄될 수 있고, 모양으로 인한 효과가 정확하게 관찰될 수 있다.

[0280] 도 18은 제 2 계산의 결과들로부터 얻어지는 게이트 전압(VG)(V)과 드레인 전류(ID)(A) 사이의 관계를 도시한다. 여기서, 경사각(θ)은 90° 로 고정되고, 높이(h)는 5 nm, 10 nm, 및 20 nm로 설정된다. 도 18은, 그의 모양으로 인해, 절연층의 상면과 소스 및 드레인 전극의 상면 사이에 작은 높이차가 있는 구조(구조 A)에서 임계 전압(Vth)의 네거티브 시프트가 억제되는 것을 도시한다. 다시 말하면, 모양이 단채널 효과를 억제한다는

것이 이해될 수 있다.

[0281] 높이(h)가 증가함에 따라 단채널 효과가 덜 쉽게 유발된다는 것이 제 1 및 제 2 계산들의 결과들로부터 보여질 수 있다는 것에 주의한다. 그러나, 높이차가 크다면, 커버리지의 감소가 산화물 반도체층의 단선 등을 유발할 것이다. 따라서, 높이차는 30 nm 이하, 바람직하게는 20nm 이하로 설정된다.

[0282] 본 출원은 그의 모든 내용들이 본 명세서에 참조로 포함되는 2010년 3월 8일 일본 특허청에 출원된 일본 특허 출원 일련 번호 2010-051008에 기초한다.

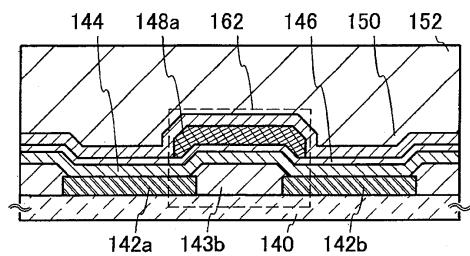
부호의 설명

[0283] 100:기판, 102:보호층, 104:반도체 영역, 106:소자 분리 절연층, 108:게이트 절연층, 110:게이트 전극, 116:채널 형성 영역, 120:불순물 영역, 122:금속층, 124:금속 화합물 영역, 130:절연층, 140:기판, 142a:소스 전극, 142b:드레인 전극, 143:절연층, 143a:절연층, 143b:절연층, 144:산화물 반도체층, 146:게이트 절연층, 148a:게이트 전극, 148b:전극, 150:절연층, 152:절연층, 160:트랜지스터, 162:트랜지스터, 164:용량소자, 240:기판, 241a:도전층, 241b:도전층, 242a:소스 전극, 242b:드레인 전극, 243:절연층, 243b:절연층, 244:산화물 반도체층, 246:게이트 절연층, 248a:게이트 전극, 250:절연층, 252:절연층, 262:트랜지스터, 701:하우징, 702:하우징, 703:표시부, 704:키보드, 711:본체, 712:스타일러스, 713:표시부, 714:조작 버튼, 715:외부 인터페이스, 720:전자 서적, 721:하우징, 723:하우징, 725:표시부, 727:표시부, 731:전원 스위치, 733:조작 키, 735:스피커, 737:한지, 740:하우징, 741:하우징, 742:표시 패널, 743:스피커, 744:마이크로폰, 745:터치 패널, 746:포인팅 장치, 747:카메라 렌즈, 748:외부 접속 단자, 749:태양 전지, 750:외부 메모리 슬롯, 761:본체, 763:접안부, 764:조작 스위치, 765:표시부, 766:배터리, 767:표시부, 770:텔레비전 세트, 771:하우징, 773:표시부, 775:스탠드, 780:원격 제어기, 1000:트랜지스터, 1010:트랜지스터, 1020:용량소자, 1050:메모리 셀, 1101:CPU, 1102:타이밍 제어 회로, 1103:명령 디코더, 1104:레지스터 어레이, 1105:어드레스 로직 및 버퍼 회로, 1106:데이터 버스 인터페이스, 1107:ALU, 1108:명령 레지스터, 1202:포토다이오드, 1204:트랜지스터, 1206:트랜지스터, 1212:포토다이오드 리셋 신호 라인, 1214:게이트 신호 라인, 1216:포토센서 출력 신호 라인, 1218:포토센서 기준 신호 라인, 1222:기판, 1224:기판, 1226a:제 1 반도체층, 1226b:제 2 반도체층, 1226c:제 3 반도체층, 1228:접착층, 1230:입사광, 1234:절연층, 1236:층간 절연층, 1238:층간 절연층, 1240:게이트 전극 층, 1242:전극층, 1244:전극층

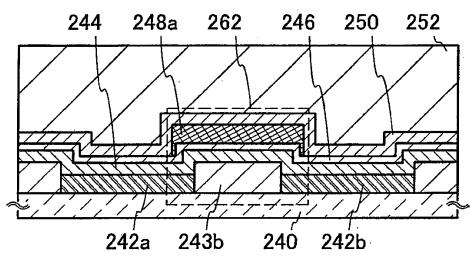
도면

도면1

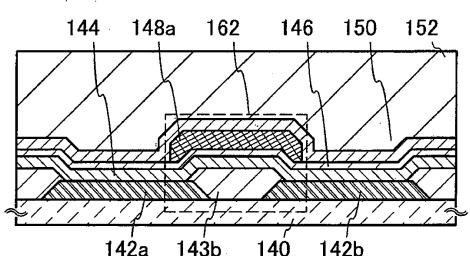
(a)



(b)

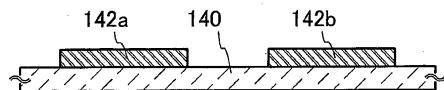


(c)

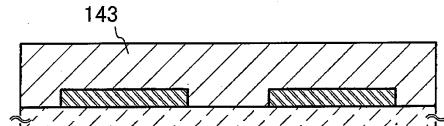


도면2

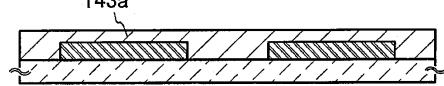
(a)



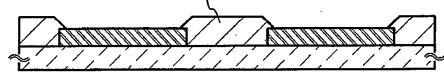
(b)



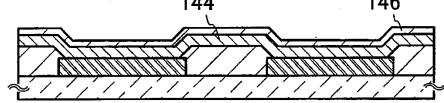
(c)



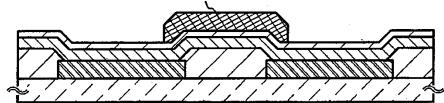
(d)



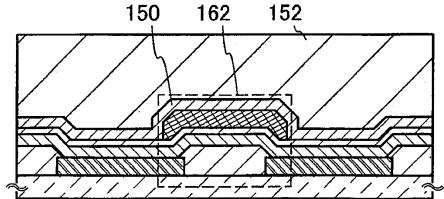
(e)



(f)

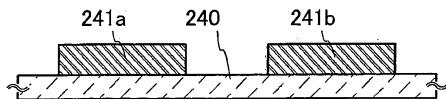


(g)

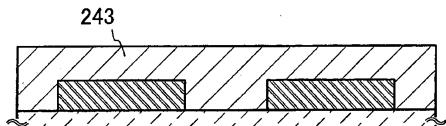


도면3

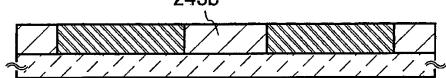
(a)



(b)



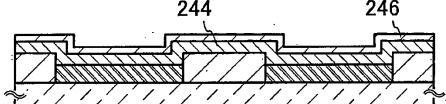
(c)



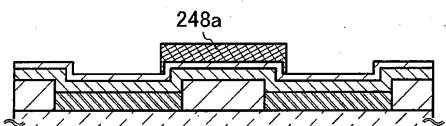
(d)



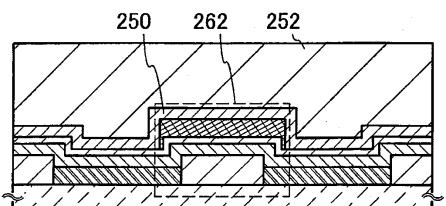
(e)



(f)

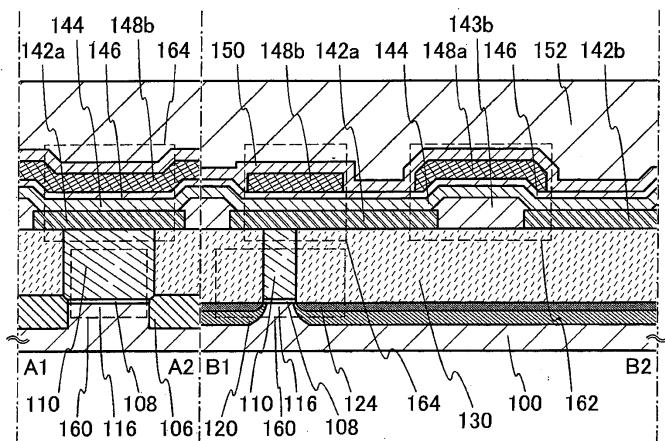


(g)

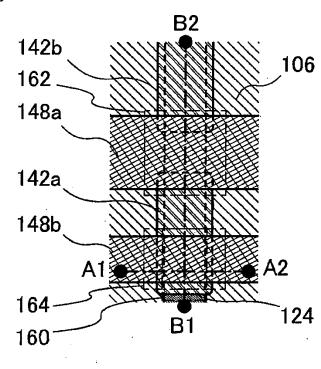


도면4

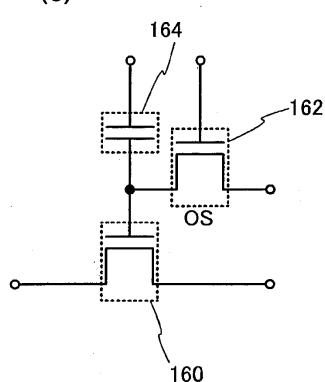
(a)



(b)

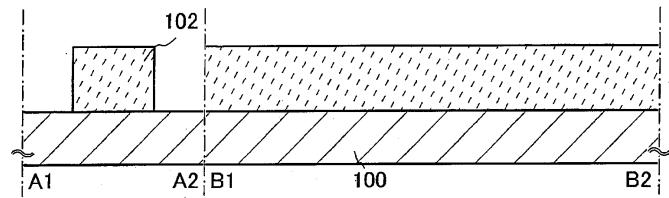


(c)

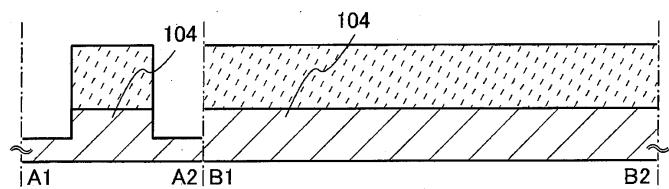


도면5

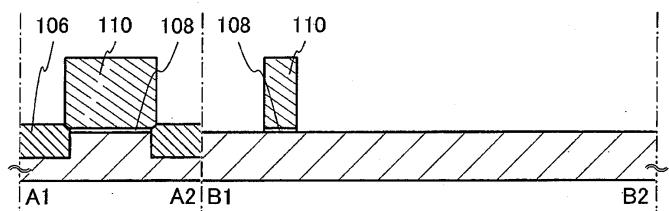
(a)



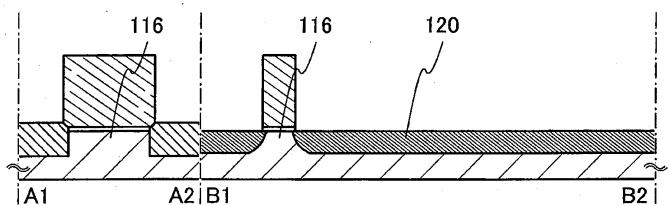
(b)



(c)

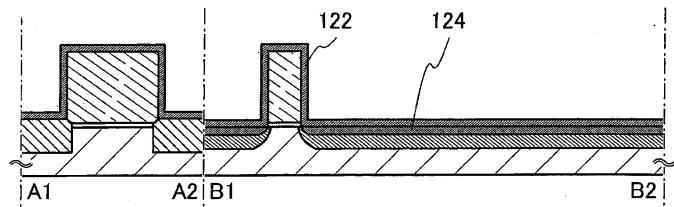


(d)

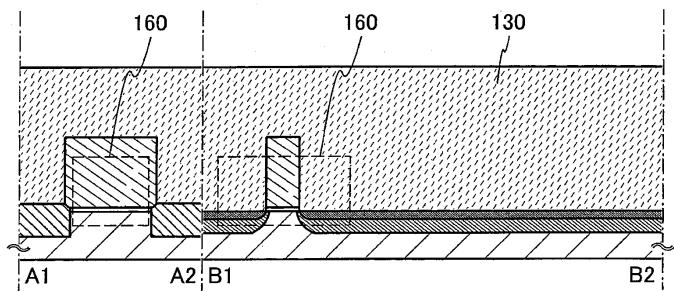


도면6

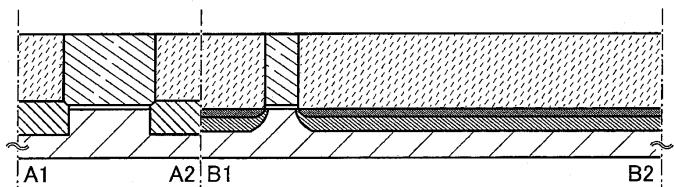
(a)



(b)

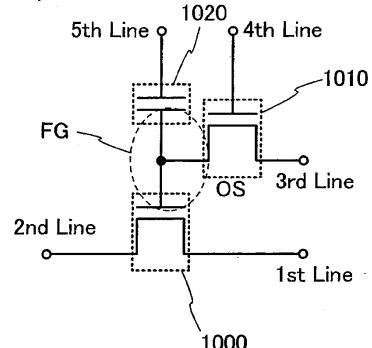


(c)

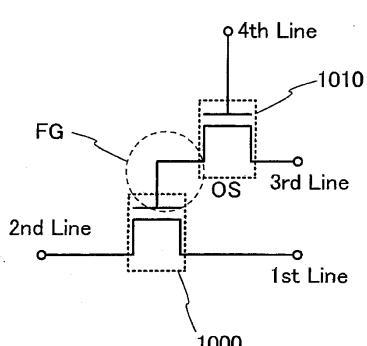


도면7

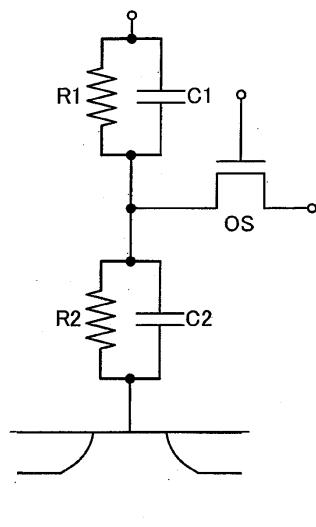
(a1)



(b)

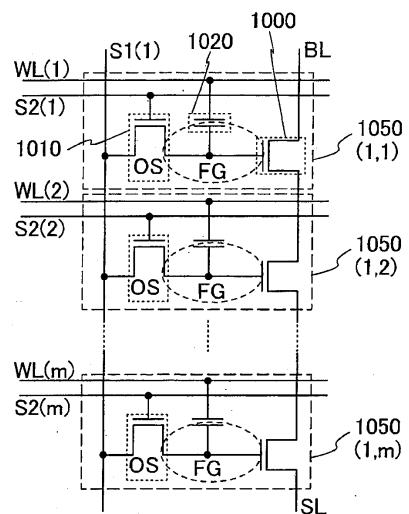


(a2)

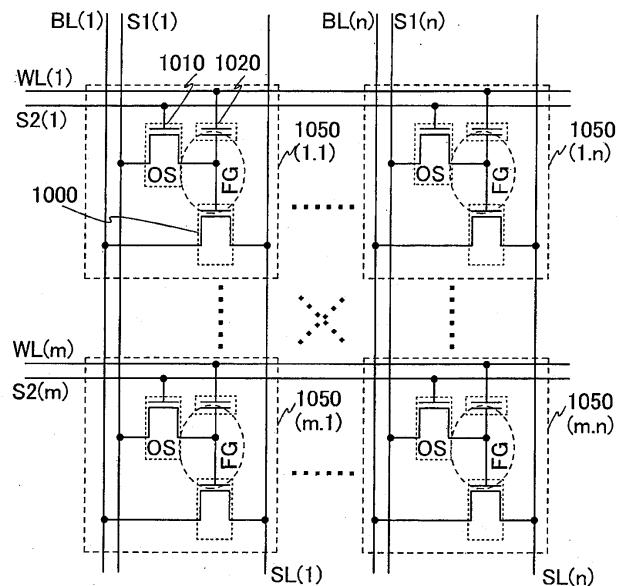


도면8

(a)

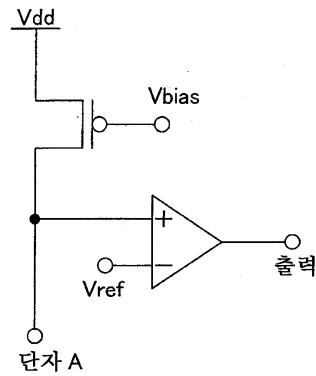


(b)

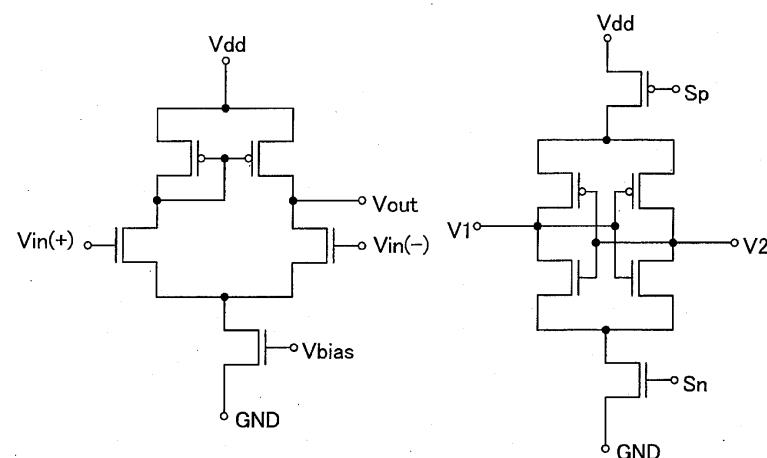


도면9

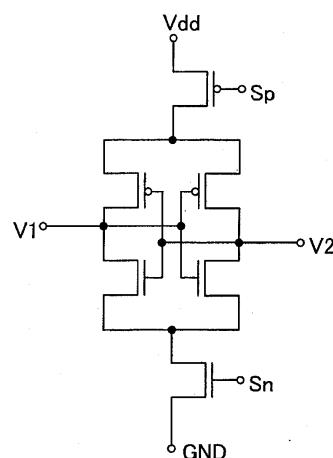
(a)



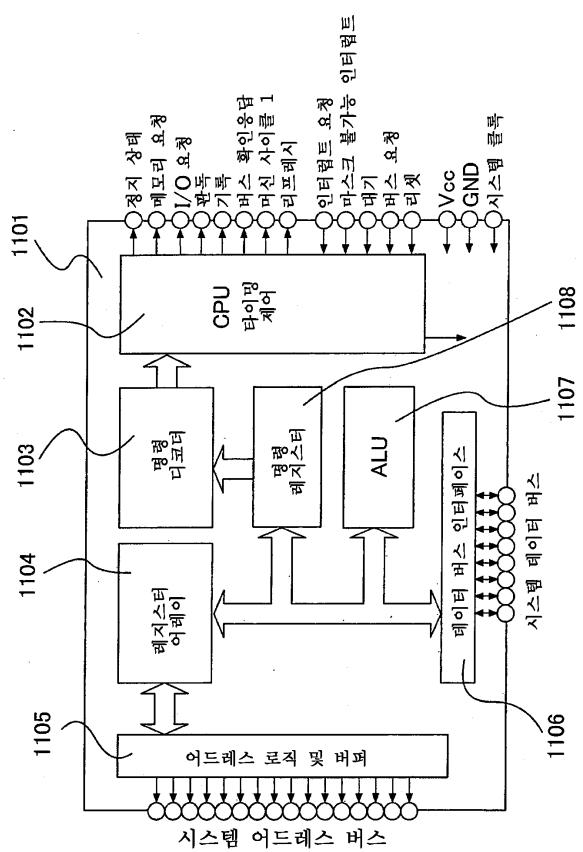
(b)



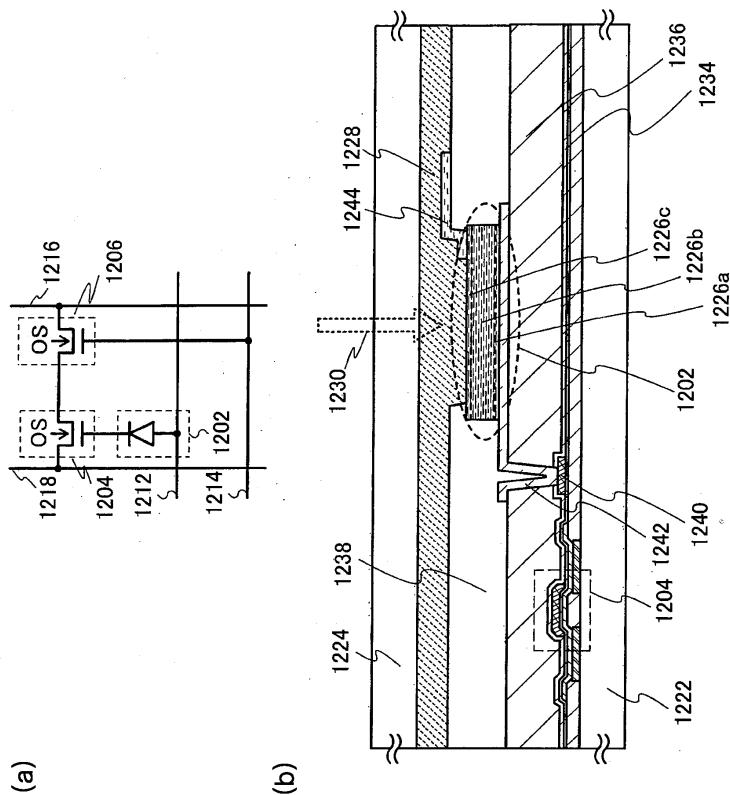
(c)



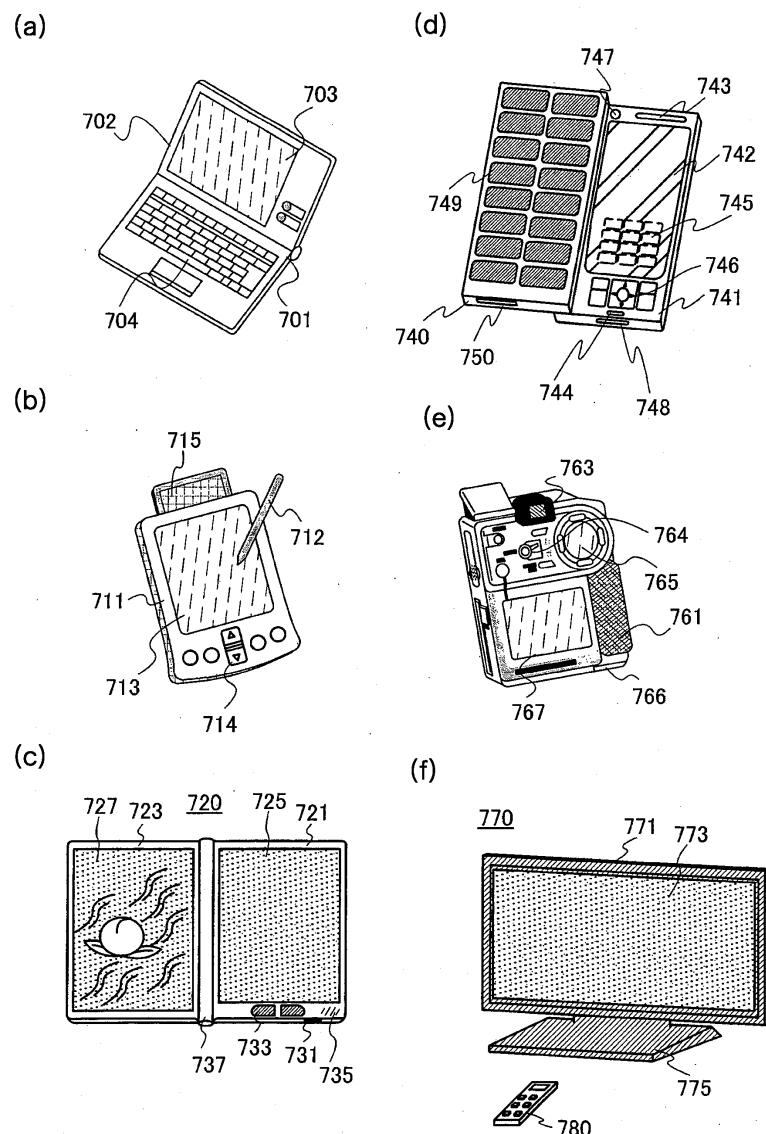
도면10



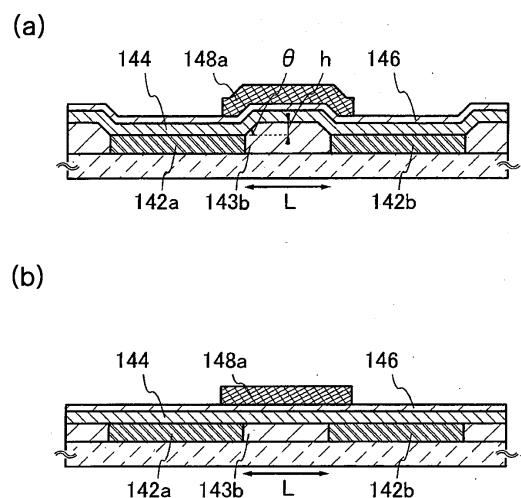
도면11



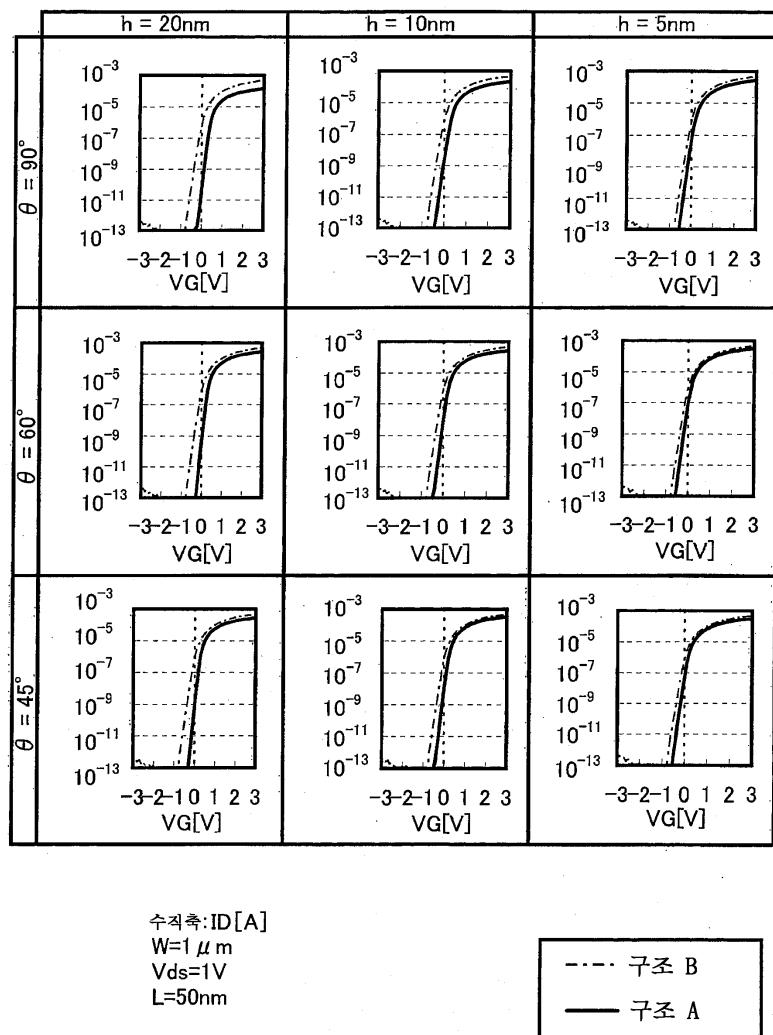
도면12



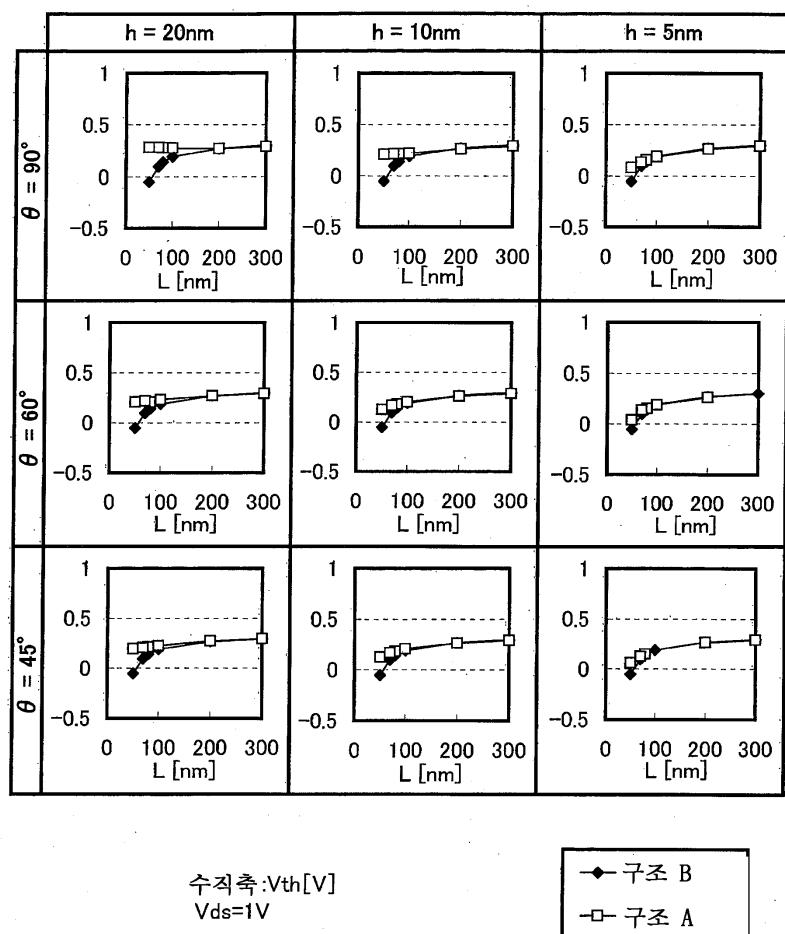
도면13



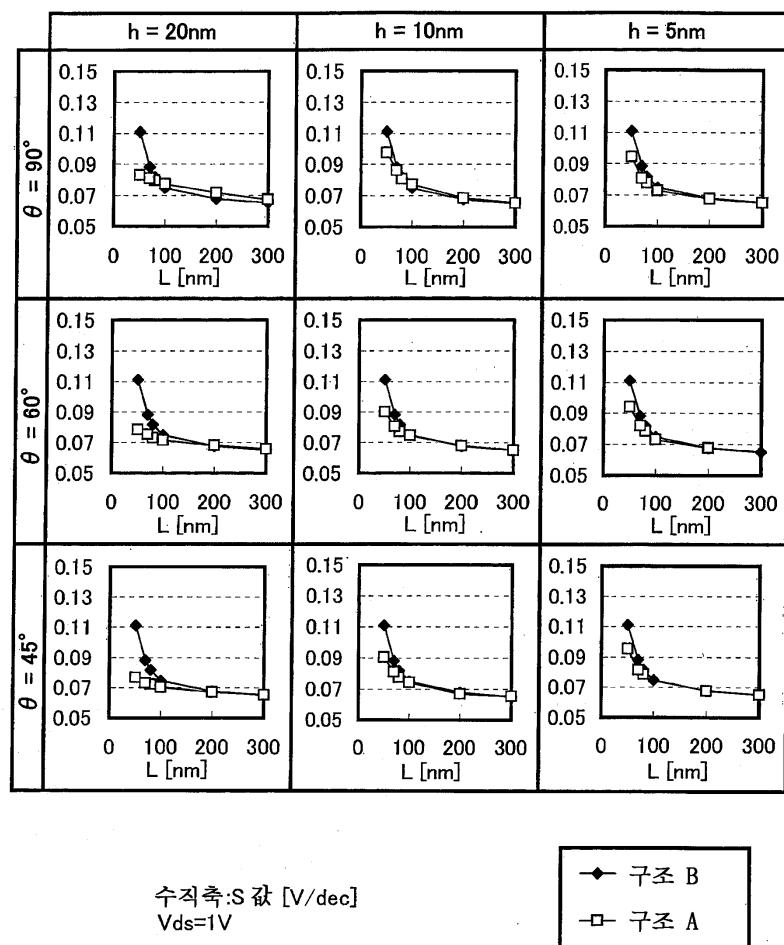
도면 14



도면15

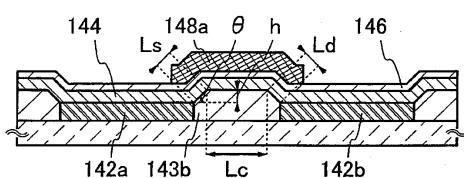


도면16

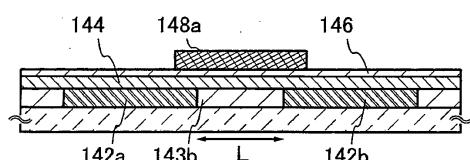


도면17

(a)



(b)



도면 18

