(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2020-522000
(P2020-522000A)
(43)公表日　令和2年7月27日(2020.7.27)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/36	(2006.01)	G09G	3/36		2H193
G09G 3/20	(2006.01)	G09G	3/20	622E	5B074
G02F 1/133	(2006.01)	G09G	3/20	621A	5C006
G11C 19/28	(2006.01)	G09G	3/20	680G	5C080
H03K 17/06	(2006.01)	G02F	1/133	550	5J055

審査請求 有　予備審査請求 未請求　（全 22 頁）　最終頁に続く

(21)出願番号　特願2019-563455 (P2019-563455)
(86)(22)出願日　平成29年6月13日 (2017.6.13)
(85)翻訳文提出日　令和1年11月15日 (2019.11.15)
(86)国際出願番号　PCT/CN2017/088020
(87)国際公開番号　WO2018/209743
(87)国際公開日　平成30年11月22日 (2018.11.22)
(31)優先権主張番号　201710343561.5
(32)優先日　平成29年5月16日 (2017.5.16)
(33)優先権主張国・地域又は機関
中国 (CN)

(71)出願人　519182202
深▲セン▼市▲華▼星光▲電▼半▲導▼体▲顕▼示技▲術▼有限公司
中華人民共和国５１８１３２▲広▼▲東▼省深▲セン▼市光明新区公明街道塘明大道９－２号
(74)代理人　100188558
弁理士　飯田　雅人
(74)代理人　100154922
弁理士　崔　允辰
(72)発明者　石　▲龍▼▲強▼
中華人民共和国５１８１３２廣東省深▲せん▼市光明新区塘明大道９－２号

Ｆターム(参考)　2H193 ZA04 ZF22 ZF23 ZF44
5B074 AA01 CA01 DA01 DB01 EA01

最終頁に続く

(54)【発明の名称】ＧＯＡ回路及び液晶ディスプレイ

(57)【要約】
本発明は、ＧＯＡ回路及び液晶ディスプレイを開示し、該ＧＯＡ回路は、その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子がプルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、を含み、第１制御信号が第１レベルである時にプルアップ制御回路がオフになり、第２制御信号を出力することによりプルアップ回路の第１スイッチングトランジスタをオンにし、且つクロック信号の立ち下がりエッジの後に第１制御信号が第１レベルにある時間は、設定時間値よりも大きい。上記方式によれば、本発明は、ＣＫ信号の低レベルの時間を遅延させることによって、ゲート信号を低電位に完全にプルすることができ、Ｇａｔｅの立ち下がり時間が遅いことに起因する誤充電などの問題を効果的に防止する。

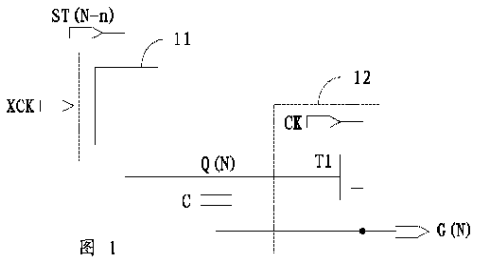


図 1

【特許請求の範囲】
【請求項１】
ＧＯＡ回路であって、カスケード接続される複数のシフトレジスタユニットを含み、各前記シフトレジスタユニットは、
その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、
プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子が前記プルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、
前記プルアップ制御回路の第２接続端子と前記第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、
ダウンリンク伝送回路であって、第２スイッチングトランジスタを含み、その制御端子が前記プルアップ制御回路の第２接続端子に結合され、その第１接続端子が前記クロック信号を受信し、その第２接続端子がカスケード伝送信号を出力するダウンリンク伝送回路と、を含み、
前記第１制御信号が第１レベルである時に前記プルアップ制御回路がオフになり、前記第２制御信号を出力することにより前記プルアップ回路の第１スイッチングトランジスタをオンにし、且つ
前記クロック信号の立ち下がりエッジの後に前記第１制御信号が周期内に前記第１レベルにある時間は、５０％よりも大きい、ＧＯＡ回路。
【請求項２】
第Ｎ段のシフトレジスタユニットの第１制御信号がＣＫ（Ｎ）であり、クロック信号がＣＫ（Ｎ＋３）であり、ＣＫ信号の１周期の時間長さが８Ｈであり、ＣＫ（Ｎ＋１）の立ち上がりエッジがＣＫ（Ｎ）の立ち上がりエッジよりＨ遅延し、Ｎが正の整数であり、Ｈが単位時間長さであり、
第１、第２、第３段のシフトレジスタユニットのカスケード伝送信号入力端子によって入力されるカスケード伝送信号がＳＴＶ信号であり、ＣＫ（１）の立ち上がりエッジが前記ＳＴＶ信号の立ち上がりエッジよりＨ遅延し、Ｎが３よりも大きい場合に第Ｎ段のシフトレジスタユニットのカスケード伝送信号入力端子によって入力されるカスケード伝送信号がＮ－３段のシフトレジスタユニットのカスケード伝送信号出力端子によって出力されるＳＴ（Ｎ－３）信号である、請求項１に記載のＧＯＡ回路。
【請求項３】
前記プルアップ制御回路は、
第３スイッチングトランジスタと、
その第１接続端子が前記第３スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第１スイッチングトランジスタの制御端子に結合される第４スイッチングトランジスタと、
その制御端子が前記第１スイッチングトランジスタの制御端子に結合され、その第１接続端子が前記第４スイッチングトランジスタの第１接続端子に結合され、その第２接続端子が前記第１スイッチングトランジスタの第２接続端子に結合され、前記第１スイッチングトランジスタの第２接続端子が高レベルを出力する時、前記第３スイッチングトランジスタの制御端子のレベルを前記第３スイッチングトランジスタの第１接続端子のレベルよりも低くなるように制御することに用いられる第５スイッチングトランジスタと、を含む、請求項１に記載のＧＯＡ回路。
【請求項４】
前記ＧＯＡ回路は、第１プルダウン回路及びクランプ回路をさらに含み、
前記第１プルダウン回路は、
その第１接続端子が前記第１スイッチングトランジスタの第２接続端子に結合される第６スイッチングトランジスタと、
その第１接続端子が前記第２スイッチングトランジスタの第２接続端子に結合される第

７スイッチングトランジスタと、
その第１接続端子が前記第４スイッチングトランジスタの第２接続端子に結合される第８スイッチングトランジスタと、を含み、
前記クランプ回路は、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子及び第２接続端子に結合され、前記第１スイッチングトランジスタの第２接続端子が高レベルを出力する時、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子のレベルを前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの第２接続端子のレベルよりも低くなるように制御し、前記第１スイッチングトランジスタの第２接続端子が低レベルを出力する時、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子のレベルを前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの第２接続端子のレベルよりも高くなるように制御することに用いられる、請求項３に記載のＧＯＡ回路。
【請求項５】
前記ＧＯＡ回路は、第２プルダウン回路をさらに含み、
前記第２プルダウン回路は、
その第１接続端子が前記第１スイッチングトランジスタの第２接続端子に結合される第９スイッチングトランジスタと、
その第１接続端子が前記第２スイッチングトランジスタの第２接続端子に結合される第１０スイッチングトランジスタと、
その第１接続端子が前記第４スイッチングトランジスタの第２接続端子に結合される第１１スイッチングトランジスタと、を含み、
前記クランプ回路は、前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子及び第２接続端子に結合され、前記第１スイッチングトランジスタの第２接続端子が高レベルを出力する時、前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子のレベルを前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの第２接続端子のレベルよりも低くなるように制御し、前記第１スイッチングトランジスタの第２接続端子が低レベルを出力する時、前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子のレベルを前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの第２接続端子のレベルよりも高くなるように制御することに用いられ、
前記クランプ回路は、前記第１プルダウン回路と前記第２プルダウン回路を交互に動作させるように制御する、請求項４に記載のＧＯＡ回路。
【請求項６】
前記クランプ回路は、第１制御回路、第１クランプ端子、第２クランプ端子を含み、
第１クランプ端子には、第１低レベルが印加され、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの第２接続端子に結合され、第２クランプ端子には、第２低レベルが印加され、前記第１低レベルは、前記第２低レベルよりも高く、
前記第１制御回路は、
その制御端子及び第１接続端子に第３制御信号が印加される第１２スイッチングトランジスタと、
その制御端子が前記第１２スイッチングトランジスタの第２接続端子に結合され、その第１接続端子に前記第３制御信号が印加され、その第２接続端子が前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子に結合される第１３スイッチングトランジスタと、

その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１２スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１４スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１３スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１５スイッチングトランジスタと、を含む、請求項４に記載のＧＯＡ回路。
【請求項７】
前記クランプ回路は、第２制御回路をさらに含み、
前記第２制御回路は、
その制御端子及び第１接続端子に第４制御信号が印加される第１６スイッチングトランジスタと、
その制御端子が前記第１６スイッチングトランジスタの第２接続端子に結合され、その第１接続端子に前記第４制御信号が印加され、その第２接続端子が前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子に結合される第１７スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１６スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１８スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１７スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１９スイッチングトランジスタと、を含む、請求項６に記載のＧＯＡ回路。
【請求項８】
ＧＯＡ回路であって、カスケード接続される複数のシフトレジスタユニットを含み、各前記シフトレジスタユニットは、
その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、
プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子が前記プルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、
前記プルアップ制御回路の第２接続端子と前記第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、を含み、
前記第１制御信号が第１レベルである時に前記プルアップ制御回路がオフになり、前記第２制御信号を出力することにより前記プルアップ回路の第１スイッチングトランジスタをオンにし、且つ
前記クロック信号の立ち下がりエッジの後に前記第１制御信号が第１レベルにある時間は、設定時間値よりも大きいＧＯＡ回路。
【請求項９】
前記第１制御信号が周期内に前記第１レベルにある時間は、５０％よりも大きい、請求項８に記載のＧＯＡ回路。
【請求項１０】
前記シフトレジスタユニットは、ダウンリンク伝送回路をさらに含み、前記ダウンリンク伝送回路は、第２スイッチングトランジスタを含み、前記第２スイッチングトランジスタは、その制御端子が前記プルアップ制御回路の第２接続端子に結合され、その第１接続端子が前記クロック信号を受信し、その第２接続端子がカスケード伝送信号を出力する、請求項８に記載のＧＯＡ回路。
【請求項１１】
第Ｎ段のシフトレジスタユニットの第１制御信号がＣＫ（Ｎ）であり、クロック信号がＣＫ（Ｎ＋３）であり、ＣＫ信号の１周期の時間長さが８Ｈであり、ＣＫ（Ｎ＋１）の立

ち上がりエッジがＣＫ（Ｎ）の立ち上がりエッジよりＨ遅延し、Ｎが正の整数であり、Ｈが単位時間長さであり、

第１、第２、第３段のシフトレジスタユニットのカスケード伝送信号入力端子によって入力されるカスケード伝送信号がＳＴＶ信号であり、ＣＫ（１）の立ち上がりエッジが前記ＳＴＶ信号の立ち上がりエッジよりＨ遅延し、Ｎが３よりも大きい場合に第Ｎ段のシフトレジスタユニットのカスケード伝送信号入力端子によって入力されるカスケード伝送信号がＮ－３段のシフトレジスタユニットのカスケード伝送信号出力端子によって出力されるＳＴ（Ｎ－３）信号である、請求項１０に記載のＧＯＡ回路。

【請求項１２】

前記プルアップ制御回路は、

第３スイッチングトランジスタと、

その第１接続端子が前記第３スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第１スイッチングトランジスタの制御端子に結合される第４スイッチングトランジスタと、

その制御端子が前記第１スイッチングトランジスタの制御端子に結合され、その第１接続端子が前記第４スイッチングトランジスタの第１接続端子に結合され、その第２接続端子が前記第１スイッチングトランジスタの第２接続端子に結合され、前記第１スイッチングトランジスタの第２接続端子が高レベルを出力する時、前記第３スイッチングトランジスタの制御端子のレベルを前記第３スイッチングトランジスタの第１接続端子のレベルよりも低くなるように制御することに用いられる第５スイッチングトランジスタと、を含む、請求項１０に記載のＧＯＡ回路。

【請求項１３】

前記ＧＯＡ回路は、第１プルダウン回路及びクランプ回路をさらに含み、

前記第１プルダウン回路は、

その第１接続端子が前記第１スイッチングトランジスタの第２接続端子に結合される第６スイッチングトランジスタと、

その第１接続端子が前記第２スイッチングトランジスタの第２接続端子に結合される第７スイッチングトランジスタと、

その第１接続端子が前記第４スイッチングトランジスタの第２接続端子に結合される第８スイッチングトランジスタと、を含み、

前記クランプ回路は、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子及び第２接続端子に結合され、前記第１スイッチングトランジスタの第２接続端子が高レベルを出力する時、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子のレベルを前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの第２接続端子のレベルよりも低くなるように制御し、前記第１スイッチングトランジスタの第２接続端子が低レベルを出力する時、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子のレベルを前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの第２接続端子のレベルよりも高くなるように制御することに用いられる、請求項１２に記載のＧＯＡ回路。

【請求項１４】

前記ＧＯＡ回路は、第２プルダウン回路をさらに含み、

前記第２プルダウン回路は、

その第１接続端子が前記第１スイッチングトランジスタの第２接続端子に結合される第９スイッチングトランジスタと、

その第１接続端子が前記第２スイッチングトランジスタの第２接続端子に結合される第１０スイッチングトランジスタと、

その第１接続端子が前記第４スイッチングトランジスタの第２接続端子に結合される第

１１スイッチングトランジスタと、を含み、
前記クランプ回路は、前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子及び第２接続端子に結合され、前記第１スイッチングトランジスタの第２接続端子が高レベルを出力する時、前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子のレベルを前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの第２接続端子のレベルよりも低くなるように制御し、前記第１スイッチングトランジスタの第２接続端子が低レベルを出力する時、前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子のレベルを前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの第２接続端子のレベルよりも高くなるように制御することに用いられ、
前記クランプ回路は、前記第１プルダウン回路と前記第２プルダウン回路を交互に動作させるように制御する、請求項１３に記載のＧＯＡ回路。
【請求項１５】
前記クランプ回路は、第１制御回路、第１クランプ端子、第２クランプ端子を含み、
第１クランプ端子には、第１低レベルが印加され、前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの第２接続端子に結合され、第２クランプ端子には、第２低レベルが印加され、前記第１低レベルは、前記第２低レベルよりも高く、
前記第１制御回路は、
その制御端子及び第１接続端子に第３制御信号が印加される第１２スイッチングトランジスタと、
その制御端子が前記第１２スイッチングトランジスタの第２接続端子に結合され、その第１接続端子に前記第３制御信号が印加され、その第２接続端子が前記第６スイッチングトランジスタ、前記第７スイッチングトランジスタ、前記第８スイッチングトランジスタの制御端子に結合される第１３スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１２スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１４スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１３スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１５スイッチングトランジスタと、を含む、請求項１３に記載のＧＯＡ回路。
【請求項１６】
前記クランプ回路は、第２制御回路をさらに含み、
前記第２制御回路は、
その制御端子及び第１接続端子に第４制御信号が印加される第１６スイッチングトランジスタと、
その制御端子が前記第１６スイッチングトランジスタの第２接続端子に結合され、その第１接続端子に前記第４制御信号が印加され、その第２接続端子が前記第９スイッチングトランジスタ、前記第１０スイッチングトランジスタ、前記第１１スイッチングトランジスタの制御端子に結合される第１７スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１６スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１８スイッチングトランジスタと、
その制御端子が前記第４スイッチングトランジスタの第２接続端子に結合され、その第１接続端子が前記第１７スイッチングトランジスタの第２接続端子に結合され、その第２接続端子が前記第２クランプ端子に結合される第１９スイッチングトランジスタと、を含む、請求項１５に記載のＧＯＡ回路。

【請求項１７】
ＧＯＡ回路を含む液晶ディスプレイであって、前記ＧＯＡ回路は、カスケード接続される複数のシフトレジスタユニットを含み、各前記シフトレジスタユニットは、
その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、
プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子が前記プルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、
前記プルアップ制御回路の第２接続端子と前記第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、を含み、
前記第１制御信号が第１レベルである時に前記プルアップ制御回路がオフになり、前記第２制御信号を出力することにより前記プルアップ回路の第１スイッチングトランジスタをオンにし、且つ
前記クロック信号の立ち下がりエッジの後に前記第１制御信号が第１レベルにある時間は、設定時間値よりも大きい、液晶ディスプレイ。
【請求項１８】
前記第１制御信号が周期内に前記第１レベルにある時間は、５０％よりも大きい、請求項１７に記載の液晶ディスプレイ。
【請求項１９】
前記シフトレジスタユニットは、ダウンリンク伝送回路をさらに含み、前記ダウンリンク伝送回路は、第２スイッチングトランジスタを含み、前記第２スイッチングトランジスタは、その制御端子が前記プルアップ制御回路の第２接続端子に結合され、その第１接続端子が前記クロック信号を受信し、その第２接続端子がカスケード伝送信号を出力する、請求項１７に記載の液晶ディスプレイ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、液晶表示の技術分野に関し、特にＧＯＡ回路及び液晶ディスプレイに関する。
【背景技術】
【０００２】
ＧＯＡ（Ｇａｔｅ　Ｄｒｉｖｅｒ　ｏｎ　Ａｒｒａｙ、アレイ基板行駆動）技術は狭額縁又は額縁レスの表示製品の作製に有利であり、且つ、外部集積回路（ＩＣ）のバインディング工程を減少させることができ、生産性の向上及び製品のコスト削減に有利であり、したがって幅広い応用や研究が行われている。
【０００３】
ＩＧＺＯ（ｉｎｄｉｕｍ　ｇａｌｌｉｕｍ　ｚｉｎｃ　ｏｘｉｄｅ、インジウムガリウム亜鉛酸化物）は、その高移動度及び良好なデバイス安定性を有するため、ＧＯＡ回路の作製時、ＧＯＡ回路の複雑さを低下させることができ、幅広く応用されている。具体的には、高移動度を有するため、それをＧＯＡ回路中の薄膜トランジスタの作製に用いる時、薄膜トランジスタの寸法は、ａ－Ｓｉ（アモルファスシリコン）を用いて作製された薄膜トランジスタよりも小さく、よって狭額縁ディスプレイの作製に有利であり、また、良好なデバイス安定性によって、薄膜トランジスタの特性を安定化するための電源及び薄膜トランジスタの数量を減少させ、更に比較的シンプルなＧＯＡ回路を作製し、且つ消費電力を低減させることができる。
【０００４】
しかしながら、ｇａｔｅ　ｌｉｎｅ（ゲート線）のＲＣ（抵抗－容量）遅延は、ＧＯＡ回路の出力波形の良し悪しに直接影響し、高解像度のディスプレイは、画質がさらに鮮明であり、視覚的な享受に対するニーズをより一層満たすことができる。但し、高解像度のディスプレイでは、ｇａｔｅ　ｌｉｎｅのＲＣ遅延が大きいほど、ＧＯＡ波形の受ける影

響が大きい。
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明が主に解決する技術的課題は、ＧＯＡ回路及び液晶ディスプレイを提供することであり、ＣＫ信号の低レベルの時間を遅延させることによって、ゲート信号を低電位に完全にプルすることができ、Ｇａｔｅの立ち下がり時間が遅いことに起因する誤充電などの問題を効果的に防止する。
【課題を解決するための手段】
【０００６】
上記技術的課題を解決するために、本発明が採用する１つの技術的手段は、以下のとおりである。ＧＯＡ回路を提供し、該ＧＯＡ回路は、カスケード接続される複数のシフトレジスタユニットを含み、各シフトレジスタユニットは、その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子がプルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、プルアップ制御回路の第２接続端子と第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、ダウンリンク伝送回路であって、第２スイッチングトランジスタを含み、その制御端子がプルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子がカスケード伝送信号を出力するダウンリンク伝送回路と、を含み、第１制御信号が第１レベルである時にプルアップ制御回路がオフになり、第２制御信号を出力することによりプルアップ回路の第１スイッチングトランジスタをオンにし、且つクロック信号の立ち下がりエッジの後に第１制御信号が周期内に第１レベルにある時間は、５０％よりも大きい。
【０００７】
上記技術的課題を解決するために、本発明が採用する１つの技術的手段は、以下のとおりである。ＧＯＡ回路を提供し、該ＧＯＡ回路は、カスケード接続される複数のシフトレジスタユニットを含み、各シフトレジスタユニットは、その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子がプルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、プルアップ制御回路の第２接続端子と第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、を含み、第１制御信号が第１レベルである時にプルアップ制御回路がオフになり、第２制御信号を出力することによりプルアップ回路の第１スイッチングトランジスタをオンにし、且つクロック信号の立ち下がりエッジの後に第１制御信号が第１レベルにある時間は、設定時間値よりも大きい。
【０００８】
上記技術的課題を解決するために、本発明が採用する別の技術的手段は、以下のとおりである。液晶ディスプレイを提供し、該液晶ディスプレイはディスプレイパネル及びバックライトを含み、ディスプレイパネルは、アレイ基板、カラーフィルタ基板及びそれらの間にある液晶層を含み、該アレイ基板上にＧＯＡ回路が設置され、該ＧＯＡ回路は、カスケード接続される複数のシフトレジスタユニットを含み、各シフトレジスタユニットは、その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、第１スイッチングトランジスタを含み、その制御端子がプルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、プルアップ制御回路の第２接続端子と第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、を含み、第１制御信号が第

１レベルである時にプルアップ制御回路がオフになり、第２制御信号を出力することによりプルアップ回路の第１スイッチングトランジスタをオンにし、且つクロック信号の立ち下がりエッジの後に第１制御信号が第１レベルにある時間は、設定時間値よりも大きい。

【発明の効果】

【０００９】

本発明の有益な効果は、以下のとおりである。従来技術の状況と異なり、本発明のＧＯＡ回路は、カスケード接続されるシフトレジスタユニットを含み、該シフトレジスタユニットは、その制御端子が第１制御信号を受信し、その第１接続端子がカスケード伝送信号を受信し、その第２接続端子が第２制御信号を出力するプルアップ制御回路と、プルアップ回路であって、第１スイッチングトランジスタを含み、その制御端子がプルアップ制御回路の第２接続端子に結合され、その第１接続端子がクロック信号を受信し、その第２接続端子が駆動信号を出力するプルアップ回路と、プルアップ制御回路の第２接続端子と第１スイッチングトランジスタの第２接続端子との間に結合されるブートストラップコンデンサと、を含み、第１制御信号が第１レベルである時にプルアップ制御回路がオフになり、第２制御信号を出力することによりプルアップ回路の第１スイッチングトランジスタをオンにし、及びクロック信号の立ち下がりエッジの後に第１制御信号が第１レベルにある時間は、設定時間値よりも大きい。上記の方式によれば、ＣＫ信号の低レベルの時間を遅延させることによって、ゲート信号を低電位に完全にプルすることができ、Ｇａｔｅの立ち下がり時間が遅いことに起因する誤充電などの問題を効果的に防止する。

【図面の簡単な説明】

【００１０】

【図１】図１は、本発明が提供するＧＯＡ回路の一実施例の構造模式図である。

【図２】図２は、本発明が提供するＧＯＡ回路の一実施例における具体的な回路模式図である。

【図３】図３は、従来技術のＣＫ信号のタイミング模式図である。

【図４】図４は、本発明が提供するＧＯＡ回路の一実施例におけるＣＫ信号のタイミング模式図である。

【図５】図５は、本発明が提供する液晶ディスプレイの一実施例の構造模式図である。

【発明を実施するための形態】

【００１１】

図１に示すように、図１は、本発明が提供するＧＯＡ回路の一実施例の構造模式図であり、該ＧＯＡ回路は、カスケード接続されるシフトレジスタユニットを含み、該シフトレジスタユニットは、プルアップ制御回路１１、プルアップ回路１２、及びブートストラップコンデンサＣを含む。

【００１２】

プルアップ制御回路１１は、その制御端子が第１制御信号ＸＣＫを受信し、その第１接続端子がカスケード伝送信号ＳＴ（Ｎ－ｎ）を受信し、その第２接続端子が第２制御信号Ｑ（Ｎ）を出力する。

【００１３】

そのうち、カスケード伝送信号は、前ｎ段のＧＯＡ回路によって出力される走査信号（カスケード伝送信号）であってもよく、以下、一具体的な実施例を例示するため、ここでは詳細な説明を省略する。

【００１４】

プルアップ回路１２は、第１スイッチングトランジスタＴ１を含み、その制御端子がプルアップ制御回路の第２接続端子に結合され（すなわち、第２制御信号Ｑ（Ｎ）が印加され）、その第１接続端子がクロック信号ＣＫを受信し、その第２接続端子が駆動信号Ｇ（Ｎ）を出力する。

【００１５】

ブートストラップコンデンサＣは、プルアップ制御回路の第２接続端子（すなわちＴ１の制御端子）と第１スイッチングトランジスタＴ１の第２接続端子（すなわちＧ（Ｎ））

との間に結合される。
【００１６】
そのうち、ブートストラップコンデンサの作用は、Ｇ（Ｎ）が高レベルを出力する時、コンデンサＣのブートストラップ作用によってＱ（Ｎ）の高レベルを保持することである。
【００１７】
理解できることは、実際の応用では、ＧＯＡ回路は、プルダウン回路、プルダウン保持回路な等をさらに含むが、ここでは回路を構成するほかの回路構造を限定しない。
【００１８】
以下、一実施例の形態で具体的な実施回路を例示し、図２に示されるとおりである。
【００１９】
該ＧＯＡ回路は、ダウンリンク伝送回路１３をさらに含み、　ダウンリンク伝送回路１３は、第２スイッチングトランジスタＴ２を含み、その制御端子がプルアップ制御回路１１の第２接続端子（すなわちＧ（Ｎ））に結合され、その第１接続端子がクロック信号ＣＫを受信し、その第２接続端子がカスケード伝送信号ＳＴ（Ｎ）を出力する。そのうち、カスケード伝送出力端子ＳＴ（Ｎ）は、走査出力端子Ｇ（Ｎ）と同様に、Ｔ２のオン時にＣＫ信号を出力するが、その出力信号は、次段又は次のｎ段のＧＯＡ回路のプルアップ制御回路の入力に用いられる。
【００２０】
プルアップ制御回路１１は、第３スイッチングトランジスタＴ３、第４スイッチングトランジスタＴ４、及び第５スイッチングトランジスタＴ５を含む。
【００２１】
第４スイッチングトランジスタＴ４は、その第１接続端子が第３スイッチングトランジスタＴ３の第２接続端子に結合され、その第２接続端子が第１スイッチングトランジスタＴ１の制御端子に結合される。
【００２２】
第５スイッチングトランジスタＴ５は、その制御端子が第１スイッチングトランジスタＴ１の制御端子に結合され、その第１接続端子が第４スイッチングトランジスタＴ４の第１接続端子に結合され、その第２接続端子が走査出力端子Ｇ（Ｎ）に結合され、走査出力端子が第２レベルを出力する時、第３スイッチングトランジスタＴ３の制御端子のレベルを第３スイッチングトランジスタＴ３の第１接続端子のレベルよりも低くなるように制御することに用いられる。
【００２３】
そのうち、第３スイッチングトランジスタＴ３の第１接続端子に前段（又は前のｎ段）のＧＯＡ回路によって出力されるカスケード伝送信号ＳＴ（Ｎ－ｎ）が印加され、第３スイッチングトランジスタＴ３及び第４スイッチングトランジスタＴ４の制御端子に第１制御信号ＸＣＫが印加される。
【００２４】
理解できることは、該段のＧＯＡ回路の走査準備段階（すなわち走査段階の前の段階）において、ＸＣＫが高レベルであり、前段のＧＯＡ回路によって出力されるカスケード伝送信号ＳＴ（Ｎ－ｎ）が高レベルであり、ＣＫが低レベルである。
【００２５】
具体的には、ＸＣＫの高レベルの作用下で、Ｔ３とＴ４がオンになると、高レベルのＳＴ（Ｎ－ｎ）に対応する第２制御信号Ｑ（Ｎ）が立ち上がる。Ｑ（Ｎ）の高レベルの作用下で、Ｔ１がオンになるが、この時、ＣＫが低レベルであり、従ってＧ（Ｎ）が低レベルを出力する。
【００２６】
走査段階において、ＸＣＫが低レベルであり、ＣＫが高レベルである。
【００２７】
具体的には、ＸＣＫの低レベルの作用下で、Ｔ３とＴ４がオフになると、Ｑ（Ｎ）が高

レベルを保持し続ける。Q（N）の高レベルの作用下で、Ｔ１がオンになり続け、この時、ＣＫが高レベルであり、従ってＧ（Ｎ）が高レベルを出力する。

【００２８】

なお、この段階において、Q（N）の高レベルの作用下で、Ｔ５がオンになると、Ｇ（Ｎ）の高レベルがＴ４の第１接続端子に印加され、Ｔ４の第１接続端子のレベルをＴ４の制御端子よりも高くして、この段階で閾値ドリフトが発生してＴ４がオンになることを防止する。

【００２９】

また、該ＧＯＡ回路は、第１プルダウン回路１４、クランプ回路１５及び第２プルダウン回路１６をさらに含み、そのうち、第１プルダウン回路１４は、第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、及び第８スイッチングトランジスタＴ８を含む。

【００３０】

第６スイッチングトランジスタＴ６は、その第１接続端子が走査出力端子Ｇ（Ｎ）に結合される。

【００３１】

第７スイッチングトランジスタＴ７は、その第１接続端子がカスケード伝送出力端子ＳＴ（Ｎ）に結合され、

第８スイッチングトランジスタＴ８は、その第１接続端子が第３スイッチングトランジスタＴ３の第２出力端子に結合される。

【００３２】

クランプ回路１５は、第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の制御端子及び第２接続端子に結合され、走査出力端子Ｇ（Ｎ）が第２レベルを出力する時、第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の制御端子のレベルを第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の第２接続端子のレベルよりも低くなるように制御し、走査出力端子が第２レベルを出力する時、第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の制御端子のレベルを第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の第２接続端子のレベルよりも高くなるように制御することに用いられ、第２レベルは、第１レベルよりも高い。

【００３３】

理解できることは、Ｇ（Ｎ）が高レベルを出力する時にＴ１、Ｔ５がオンになると、Q（N）が高レベルであり、この時、Ｔ６、Ｔ７、Ｔ８の完全なオフを確実にすべきであり、Ｔ６、Ｔ７、Ｔ８のオン閾値ドリフトを防止するために、クランプ回路１５は、Ｔ６、Ｔ７、Ｔ８の制御端子にＶｓｓ２を印加し、Ｔ６、Ｔ７、Ｔ８の第２接続端子にＶｓｓ１を印加するが、ここで、Ｖｓｓ１＞Ｖｓｓ２であり、Ｔ６、Ｔ７、Ｔ８の完全なオフを確実にする。

【００３４】

Ｇ（Ｎ）が低レベルを出力する時、Ｔ６、Ｔ７、Ｔ８をオンにする必要があり、低レベルＶｓｓ１によってＧ（Ｎ）のレベルを下げ、従って、クランプ回路１５は、Ｔ６、Ｔ７、Ｔ８の制御端子に高レベルを印加し、Ｔ６、Ｔ７、Ｔ８の第２接続端子にＶｓｓ１を印加して、Ｔ６、Ｔ７、Ｔ８のオンを確実にする。

【００３５】

そのうち、第２プルダウン回路１６は、第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、及び第１１スイッチングトランジスタＴ１１を含む。

【００３６】

第９スイッチングトランジスタＴ９は、その第１接続端子が第３スイッチングトランジスタＴ３の第２接続端子に結合される。

【００３７】
第１０スイッチングトランジスタＴ１０は、その第１接続端子がカスケード伝送出力端子ＳＴ（Ｎ）に結合される。
【００３８】
第１１スイッチングトランジスタＴ１１は、その第１接続端子が走査出力端子Ｇ（Ｎ）に結合される。
【００３９】
クランプ回路１５は、第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の制御端子及び第２接続端子に結合され、走査出力端子が第２レベルを出力する時、第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の制御端子のレベルを第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の第２接続端子のレベルよりも低くなるように制御し、走査出力端子が第２レベルを出力する時、第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の制御端子のレベルを第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の第２接続端子のレベルよりも高くなるように制御することに用いられる。
【００４０】
理解できることは、本実施形態の第２プルダウン回路１６は、上記第１プルダウン回路１４の実施原理と同様であるため、ここでは詳細説明を省略する。
【００４１】
好ましくは、本実施形態では、クランプ回路１５は、第１プルダウン回路１４と第２プルダウン回路１６を交互に動作させるように制御する。
【００４２】
具体的には、クランプ回路１５は、第１制御回路、第２制御回路、第１クランプ端子、及び第２クランプ端子を含む。
【００４３】
第１クランプ端子には、第３レベルＶｓｓ１が印加され、第６スイッチングトランジスタＴ６、第７スイッチングトランジスタ６７、第８スイッチングトランジスタ６８の第２接続端子に結合され、第２クランプ端子には、第４レベルＶｓｓ２が印加され、第３レベルＶｓｓ１は、第４レベルＶｓｓ２よりも高い。
【００４４】
第１制御回路は、第１２スイッチングトランジスタＴ１２、第１３スイッチングトランジスタＴ１３、第１４スイッチングトランジスタＴ１４、及び第１５スイッチングトランジスタＴ１５を含み、第１２スイッチングトランジスタＴ１２には、その制御端子及び第１接続端子に第１制御信号ＬＣ１が印加される。
【００４５】
第１３スイッチングトランジスタＴ１３は、その制御端子が第１２スイッチングトランジスタＴ１２の第２接続端子に結合され、その第１接続端子に第１制御信号ＬＣ１が印加され、その第２接続端子が第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の制御端子に結合される。
【００４６】
第１４スイッチングトランジスタＴ１４は、その制御端子が第３スイッチングトランジスタＴ３の第２接続端子に結合され、その第１接続端子が第１２スイッチングトランジスタＴ１２の第２接続端子に結合され、その第２接続端子が第２クランプ端子に結合される。
【００４７】
第１５スイッチングトランジスタＴ１５は、その制御端子が第３スイッチングトランジスタＴ３の第２接続端子に結合され、その第１接続端子が第１３スイッチングトランジス

タＴ１３の第２接続端子に結合され、その第２接続端子が第２クランプ端子に結合される。

【００４８】

そのうち、第６スイッチングトランジスタＴ６、第７スイッチングトランジスタＴ７、第８スイッチングトランジスタＴ８の制御端子のレベルをＰ（Ｎ）と定義する。

【００４９】

第２制御回路は、第１６スイッチングトランジスタＴ１６、第１７スイッチングトランジスタＴ１７、第１８スイッチングトランジスタＴ１８、及び第１９スイッチングトランジスタＴ１９を含む。

【００５０】

第１６スイッチングトランジスタＴ１６には、その制御端子及び第１接続端子に第２制御信号ＬＣ２が印加される。

【００５１】

第１７スイッチングトランジスタＴ１７は、その制御端子が第１６スイッチングトランジスタの第２接続端子に結合され、その第１接続端子に第２制御信号ＬＣ２が印加され、その第２接続端子が第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の制御端子に結合される。

【００５２】

第１８スイッチングトランジスタＴ１８は、その制御端子が第３スイッチングトランジスタＴ３の第２接続端子に結合され、その第１接続端子が第１６スイッチングトランジスタＴ１６の第２接続端子に結合され、その第２接続端子が第２クランプ端子に結合される。

【００５３】

第１９スイッチングトランジスタＴ１９は、その制御端子が第３スイッチングトランジスタＴ３の第２接続端子に結合され、その第１接続端子が第１７スイッチングトランジスタＴ１７の第２接続端子に結合され、その第２接続端子が第２クランプ端子に結合される。

【００５４】

そのうち、第９スイッチングトランジスタＴ９、第１０スイッチングトランジスタＴ１０、第１１スイッチングトランジスタＴ１１の制御端子のレベルをＫ（Ｎ）と定義する。

【００５５】

好ましくは、プルアップ回路１１は、コンデンサＣｂをさらに含み、走査出力端子Ｇ（Ｎ）と第１スイッチングトランジスタＴ１の制御端子との間に結合される。

【００５６】

以下、上記提供した具体的な実施回路及び８組のＣＫ信号をもって、それぞれ従来技術及び本実施例に対して比較分析して説明を行う。

【００５７】

従来技術における８組のＣＫ信号のタイミング図は、図２に示されるとおりであり、そのうち、ＣＫ１とＣＫ５は反対であり、ＣＫ２とＣＫ６は反対であり、ＣＫ３とＣＫ７は反対であり、ＣＫ４とＣＫ８は反対である。隣接するＣＫ同士のｏｖｅｒｌａｐ（重なり部分）の時間をＨと呼ぶ。ＳＴ（Ｎ－４）が前の４段のＳＴ（Ｎ－４）カスケード伝送出力信号に接続され、たとえば、現在の段が第１０段である場合にＴ３の第１接続端子によって受信される信号は、第６段のシフトレジスタユニットによって出力されるカスケード伝送信号ＳＴ（６）である。

【００５８】

好ましくは、前の４段（すなわち、第１段、第２段、第３段及び第４段）のＴ３の第１接続端子がＳＴＶに接続される。本実施例におけるＳＴＶは、ｓｔａｒｔ　ｐｕｌｓｅトリガー信号であり、各フレームは、１つのパルスを有し、パルス幅は、８＊Ｈであり、ＳＴＶとＣＫ１との間のｏｖｅｒｌａｐは、Ｈである。

【００５９】

ここでは、第１段を例とし、第１段の第１制御信号ＸＣＫがＣＫ１であり、クロック信号ＣＫ信号がＣＫ５であるが、実際の応用では、Ｇ１に良好な立ち下がり波形を付与できるようにするために、Ｑ１ノードの波形を凸字形状として設計する。その目的は、Ｑ１電圧が右ショルダーの電圧である場合に、Ｇ１を制御するＣＫ５の低電圧が書込み可能であり、Ｇ１を低電位に迅速に下げることができるようにするためである。それにより、Ｇ１は良好な立ち下がり波形を有する。一方、従来技術ではＱ１の右ショルダーの幅が非常に小さく（０．８Ｈ）、時間が比較的短く、ゲート線のＲＣ遅延が比較的大きい高解像度表示の場合、このような短い時間でＧ１の電位を迅速に下げることができず、１つのショルダーピークが発生することを引き起こす。ショルダーピークの存在は、必ずｄａｔａ（データ信号）の誤充電、表示異常を引き起こす。

【００６０】

さらに図４を参照すると、本実施例では、第１制御信号ＸＣＫが第１レベルである時にプルアップ制御回路がオンになり、第２制御信号Ｑ（Ｎ）を出力することによりプルアップ回路の第１スイッチングトランジスタＴ１をオンにし、且つクロック信号ＣＫの立ち下がりエッジの後に第１制御信号が第１レベルにある時間は、設定時間値よりも大きい。

【００６１】

好ましくは、第１制御信号が周期内に第１レベルにある時間は、５０％よりも大きい。

【００６２】

本実施例では、第Ｎ段のシフトレジスタユニットの第１制御信号がＣＫ（Ｎ）であり、クロック信号がＣＫ（Ｎ＋３）であり、ＣＫ信号の１周期の時間長さが８Ｈであり、ＣＫ（Ｎ＋１）の立ち上がりエッジがＣＫ（Ｎ）の立ち上がりエッジよりＨ遅延するが、ここで、Ｎは正の整数であり、Ｈは単位時間長さであり、そのうち、第１、第２、第３段のシフトレジスタユニットのカスケード伝送信号入力端子によって入力されるカスケード伝送信号がＳＴＶ信号であり、ＣＫ（１）の立ち上がりエッジがＳＴＶ信号の立ち上がりエッジよりＨ遅延し、Ｎが３よりも大きい場合に第Ｎ段のシフトレジスタユニットのカスケード伝送信号入力端子によって入力されるカスケード伝送信号は、Ｎ－３段のシフトレジスタユニットのカスケード伝送信号出力端子によって出力されるＳＴ（Ｎ－３）信号である。

【００６３】

具体的には、Ｇ（１）をもって回路の動作状態を説明し続ける。

【００６４】

このフレームでは、ＬＣ１が高電位Ｈ、ＬＣ２が低電位Ｌであると仮定する。

【００６５】

Ｇ（Ｎ）＝Ｇ（１）である時、Ｔ３の第１接続端子がＳＴＶに接続され、Ｔ１の第１接続端子にＣＫ４が印加され、Ｔ３、Ｔ４の制御端子にＣＫ１が印加される。

【００６６】

ＳＴＶが高電位である場合、ＣＫ１が高電位であり、Ｔ３、Ｔ４がオンになると、ＳＴＶ高電位がＱ（１）に伝送され、Ｑ点が高電位である。同時に、Ｔ１がオンになり、この時、ＣＫ４が低電位であり、従ってＧ（１）が低電位であり、同時に、Ｐ（１）、Ｑ（１）が低電位であり、Ｔ６、Ｔ７、Ｔ８、Ｔ９、Ｔ１０、Ｔ１１がオフになり、Ｖｓｓの低電位がＧ（１）の電位に影響しない。

【００６７】

次に、ＣＫ１が低電位であり、Ｔ３、Ｔ４がオフになると、この時ＣＫ４が高電位であり、Ｇ（１）が高電位を出力し、Ｑ（１）がコンデンサＣの結合効果を受けてより高い電位に上げられ、Ｐ（１）、Ｋ（１）が低電位を保持し続ける。

【００６８】

次に、ＣＫ１、ＣＫ４がともに低電位であるが、Ｑ（１）が結合効果を受けるため、電位がやや下がるにも関わらず、高電位の動作状態である。従って、ＣＫ４の低電位がＧ（１）に伝送され、Ｇ（１）が低電位に下げられる。

【００６９】

上記Ｇ（１）が低電位に下げられるという段階の時間は、２．８Ｈであり、このような時間は、Ｇ（１）が低電位に下げられるのに十分であり、Ｇａｔｅの立ち下がり時間が遅いという問題を効果的に防止する。

【００７０】

次に、ＣＫ１が高電位であり、ＳＴＶの低電位がＱ（１）に伝送され、Ｑ（１）が低電位に下げられ、同時に、Ｋ（１）が低電位、Ｐ（１）が高電位であり、Ｔ６、Ｔ７、Ｔ８がオンになると、Ｑ（１）、Ｇ（１）が更に低電位に下げられる。

【００７１】

上記の方式によれば、ＣＫ信号の低レベルの時間を遅延させることによって、ゲート信号を低電位に完全にプルすることができ、Ｇａｔｅの立ち下がり時間が遅いことに起因する誤充電などの問題を効果的に防止する。

【００７２】

理解できることは、当業者であれば、上記スイッチングトランジスタの第１接続端子と第２接続端子はスイッチングトランジスタのピンの順序を示すものではなく、スイッチングトランジスタのピンに対する特定のための命名であることは、自明である。上記各実施形態に言及されているスイッチングトランジスタは、ＩＧＺＯで作製されるＴＦＴ（薄膜トランジスタ）であり、好ましくは、上記実施形態におけるＴＦＴは、Ｎ型であり、その制御端子がゲートであり、その第１接続端子がソースであり、その第２接続端子がドレインであり、又はその制御端子がゲートであり、その第１接続端子がドレインであり、その第２接続端子がソースである。

【００７３】

また、ほかの実施形態では、Ｐ型ＴＦＴを用いて回路の接続を行ってもよく、上記実施形態をもとに制御端子のレベル又はソース、ドレインの順序を適切に調整するだけでよい。

【００７４】

図５を参照すると、図５は、本発明の液晶ディスプレイの一実施形態の構造模式図であり、該液晶ディスプレイは、ディスプレイパネル５１及び駆動回路５２を含み、そのうち、駆動回路５２は、ディスプレイパネル５１の側縁に設置され、該ディスプレイパネル５１を駆動することに用いられる。

【００７５】

具体的には、該駆動回路５２は、上記各実施形態に記載のＧＯＡ回路であり、その動作原理が回路構造と類似するため、ここでは詳細説明を省略する。

【００７６】

以上、本発明の実施形態を説明したが、それにより本発明の特許範囲を限定するものではなく、本発明の明細書及び図面内容を利用して行われる同等構造又は同等プロセスへの置換やほかの関連技術分野への直接的又は間接的応用は、すべて、同様に本発明の特許保護範囲に含まれる。

【符号の説明】

【００７７】

１１　プルアップ制御回路
１２　プルアップ回路
１３　ダウンリンク伝送回路
１４　第１プルダウン回路
１５　クランプ回路
１６　第２プルダウン回路
５１　ディスプレイパネル
５２　駆動回路

【図１】

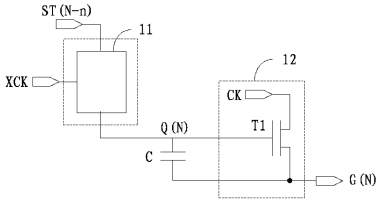


図 1

【図２】

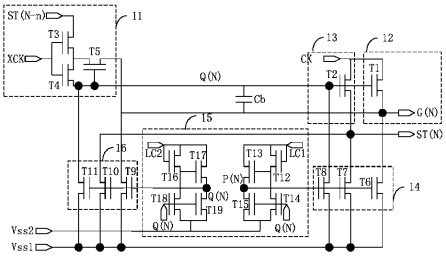


図 2

【図３】

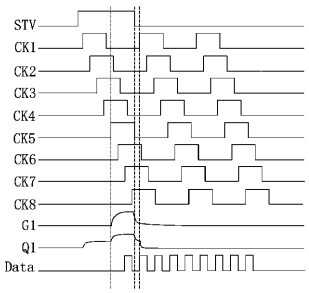


図 3

【図４】

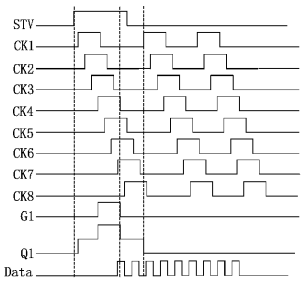
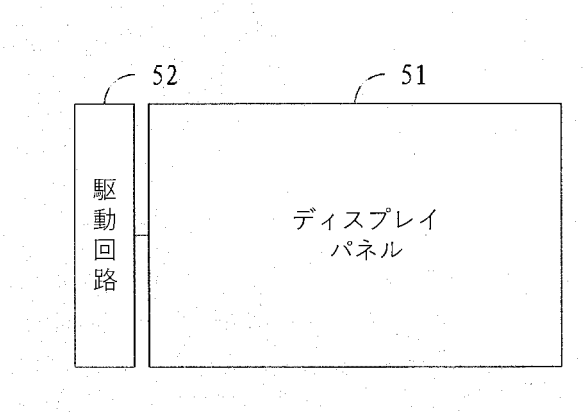


図 4

【図５】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/088020

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 石龙强, 液晶, 显示, 开关, 晶体管, 移位寄存, 栅极驱动, 上拉节点, 电容, 时钟, 延迟, 第八, 下传, 上拉, 辅位, GOA, LCD, display, switch, transistor, shift, register, gate, driv+, node, CLK, capacitor, Q, PU, PD, CK8, CLK8, pull, up, down

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106782395 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 May 2017 (2017-05-31) description, paragraphs [0024]-[0045], and figures 1-3	8, 10, 12-17, 19
X	CN 106531109 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 March 2017 (2017-03-22) description, paragraphs [0024]-[0085], and figures 1-7	8, 10, 12-17, 19
A	CN 104091577 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 October 2014 (2014-10-08) entire document	1-19
A	CN 103985369 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 13 August 2014 (2014-08-13) entire document	1-19
A	CN 104167191 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 November 2014 (2014-11-26) entire document	1-19

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 February 2018	**14 February 2018**

Name and mailing address of the ISA/CN	Authorized officer
State Intellectual Property Office of the P. R. China **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing** **100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/088020

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20120119415 A (LG DISPLAY CO., LTD.) 31 October 2012 (2012-10-31) entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/088020

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106782395	A	31 May 2017	None			
CN	106531109	A	22 March 2017	None			
CN	104091577	A	08 October 2014	WO	2016008186	A1	21 January 2016
				US	2016284294	A1	29 September 2016
				US	9472150	B1	18 October 2016
				CN	104091577	B	09 March 2016
CN	103985369	A	13 August 2014	US	2015348484	A1	03 December 2015
				US	9214124	B1	15 December 2015
				WO	2015180214	A1	03 December 2015
				CN	103985369	B	15 February 2017
CN	104167191	A	26 November 2014	US	2016005372	A1	07 January 2016
				WO	2016000280	A1	07 January 2016
				CN	104167191	B	17 August 2016
KR	20120119415	A	31 October 2012	KR	1806502	B1	07 December 2017

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号 PCT/CN2017/088020

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT, CNKI, WPI, EPODOC: 华星光电，石龙强，液晶，显示，开关，晶体管，移位寄存，栅极驱动，上拉节点，电容，时钟，延迟，第八，下传，上拉，箝位，GOA, LCD, display, switch, transistor, shift, register, gate, driv+, node, CLK, capacitor, Q, PU, PD, CK8, CLK8, pull, up, down

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 106782395 A (深圳市华星光电技术有限公司) 2017年 5月 31日 (2017-05-31) 说明书第[0024]-[0045]段，图1-3	8,10,12-17,19
X	CN 106531109 A (深圳市华星光电技术有限公司) 2017年 3月 22日 (2017-03-22) 说明书第[0024]-[0085]段，图1-7	8,10,12-17,19
A	CN 104091577 A (深圳市华星光电技术有限公司) 2014年 10月 8日 (2014-10-08) 全文	1-19
A	CN 103985369 A (深圳市华星光电技术有限公司) 2014年 8月 13日 (2014-08-13) 全文	1-19
A	CN 104167191 A (深圳市华星光电技术有限公司) 2014年 11月 26日 (2014-11-26) 全文	1-19
A	KR 20120119415 A (LG DISPLAY CO., LTD.) 2012年 10月 31日 (2012-10-31) 全文	1-19

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 2月 1日	2018年 2月 14日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 罗朋 电话号码 (86-10)53962510

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/088020

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106782395	A	2017年 5月 31日	无			
CN	106531109	A	2017年 3月 22日	无			
CN	104091577	A	2014年 10月 8日	WO	2016008186	A1	2016年 1月 21日
				US	2016284294	A1	2016年 9月 29日
				US	9472150	B1	2016年 10月 18日
				CN	104091577	B	2016年 3月 9日
CN	103985369	A	2014年 8月 13日	US	2015348484	A1	2015年 12月 3日
				US	9214124	B1	2015年 12月 15日
				WO	2015180214	A1	2015年 12月 3日
				CN	103985369	B	2017年 2月 15日
CN	104167191	A	2014年 11月 26日	US	2016005372	A1	2016年 1月 7日
				WO	2016000280	A1	2016年 1月 7日
				CN	104167191	B	2016年 8月 17日
KR	20120119415	A	2012年 10月 31日	KR	1806502	B1	2017年 12月 7日

表 PCT/ISA/210（同族专利附件）（2009年7月）

フロントページの続き

(51)Int.Cl.		F I			テーマコード（参考）
H03K 17/687	***(2006.01)***	G11C	19/28	230	
		H03K	17/06	063	
		H03K	17/687	A	

(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT

Ｆターム(参考) 5C006 AF50 BC03 BC20 BC24 BF03 BF31 BF37 FA16
5C080 AA10 BB05 DD09 FF11 JJ02 JJ03 JJ04
5J055 AX05 AX21 BX16 CX30 DX13 DX22 EY10 EY21 EZ18 GX01