



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0105394
(43) 공개일자 2014년09월01일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01)
- (21) 출원번호 10-2014-0019303
(22) 출원일자 2014년02월19일
심사청구일자 **없음**
- (30) 우선권주장
JP-P-2013-033097 2013년02월22일 일본(JP)
JP-P-2013-126533 2013년06월17일 일본(JP)

- (71) 출원인
르네사스 일렉트로닉스 가부시키가이샤
일본 가나가와쿄 가와사끼시 나카하라구 시모누마
베 1753
- (72) 발명자
아베마쓰 다까시
일본 가나가와쿄 가와사끼시 나카하라구 시모누마
베 1753 르네사스 일렉트로닉스 가부시키가이샤
내
베쓰이 다까후미
일본 가나가와쿄 가와사끼시 나카하라구 시모누마
베 1753 르네사스 일렉트로닉스 가부시키가이샤
내
구로다 아쓰시
일본 가나가와쿄 가와사끼시 나카하라구 시모누마
베 1753 르네사스 일렉트로닉스 가부시키가이샤
내

(74) 대리인
장수길, 이중희

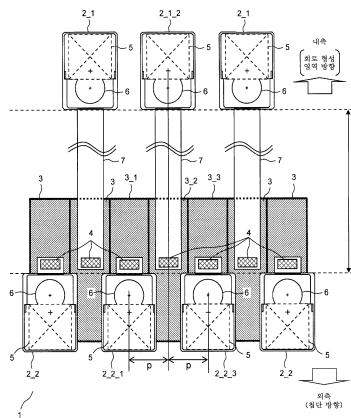
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **반도체 칩 및 반도체 장치**

(57) 요 약

본 발명은 반도체 칩이 플립 칩 실장되는 기판에 있어서의 배선성을 향상하기 위한 것으로, 플립 칩 실장되는 반도체 칩에 있어서, IO 셀의 내측과 외측에 지그재그 배치된, 내측 칩 패드열과 외측 칩 패드열을, 소정의 간격 이상 이격하여 배치한다. 소정의 간격이란, 내측과 외측 칩 패드열에 대면하여 접속되는, 기판 상의 내측과 외측 기판 패드열 사이에, 비아를 1개 배치할 수 있는 간격이다. 소정의 간격이란, 또는, 그 간격으로, 도금선이 배선되고, 그 후 에치 백하기 위한 레지스트의 개구를 형성할 수 있는 간격이다. 외측 기판 패드열 사이에 배선을 형성하는 스페이스가 없는 경우에도, 기판의 배선성이 향상된다.

대 표 도 - 도1



특허청구의 범위

청구항 1

복수의 칩 패드를 구비하는 반도체 칩과, 상기 반도체 칩이 플립 칩 실장되고, 상기 칩 패드와 접속되는 기판 패드와 비아를 구비한 기판을 구비하는 반도체 장치로서,

상기 반도체 칩은, 직선 형상으로 배열되고, 인접하는 제1 입출력 셀과 제2 입출력 셀과 제3 입출력 셀을 포함하는, 복수의 입출력 셀을 포함하는 입출력 셀열을 구비하고, 상기 복수의 칩 패드는, 상기 제1 입출력 셀에 전기적으로 접속되는 제1 패드와 상기 제2 입출력 셀에 전기적으로 접속되는 제2 패드와 상기 제3 입출력 셀에 전기적으로 접속되는 제3 패드를 포함하고,

상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드를 구비하고, 상기 제1 기판 패드와 상기 제3 기판 패드의 간격은, 상기 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁고,

상기 반도체 칩에 있어서,

상기 제1 패드와 상기 제3 패드는 상기 입출력 셀열보다 외측에 서로 인접하여 배열되고,

상기 제2 패드는, 상기 입출력 셀열보다 내측에 배치되고, 상기 제2 기판 패드가, 상기 반도체 칩이 플립 칩 실장되는 기판에 설치되는 비아의 직경과, 상기 비아와 상기 기판 패드의 간격에 설계 제약에서 요구되는 최소 스페이스값의 2배의 합 이상의 거리를 상기 제1 기판 패드와 상기 제3 기판 패드로부터 이격하여 배치되도록, 상기 제1 패드와 상기 제3 패드 각각으로부터 이격하여 배치되는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열을 구비하고,

상기 제1 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치되는, 반도체 장치.

청구항 3

제2항에 있어서,

상기 반도체 칩은, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 제2 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치되는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 반도체 칩은, 상기 제2 입출력 셀에 전기적으로 접속되고, 상기 입출력 셀열보다 내측이고 상기 제2 패드와 상기 입출력 셀열과의 사이에 배치되는, 제4 패드를 더 구비하고,

상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드를 구비하고, 상기 제4 패드와 대면하는 위치에 기판 패드를 배치하지 않는, 반도체 장치.

청구항 5

제3항에 있어서,

상기 반도체 칩은, 상기 입출력 셀열을 제1 입출력 셀열로 하고, 상기 반도체 칩의 1개의 코너부에서 상기 제1 입출력 셀열과 직각 방향으로 직선 형상으로 배열된 복수의 입출력 셀을 제2 입출력 셀열로 하고, 상기 제2 입출력 셀열과 평행하고 상기 제2 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제3 패드열을 구비하고,

상기 제3 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치되는, 반도체 장치.

청구항 6

제1항에 있어서,

상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드를 구비하고,

상기 기판은, 상기 제1 기판 패드와 상기 제2 기판 패드와 동일한 배선층에서 상기 제1 기판 패드와 상기 제2 기판 패드를 접속하는 배선과, 상기 배선에 접속되고 상기 제1 기판 패드와 상기 제2 기판 패드 사이에 배치되는 비아를 구비하는, 반도체 장치.

청구항 7

제1항에 있어서,

상기 기판은, 상기 기판 패드를 구비하는 면과 반대의 면에, BGA 패드를 구비하고,

상기 BGA 패드에 접속되는 BGA 전극을 구비하는, 반도체 장치.

청구항 8

제7항에 있어서,

상기 반도체 칩을 제1 반도체 칩으로 하고, 상기 제1 반도체 칩에 적층된, 제2 반도체 칩을 더 구비하고,

상기 기판 패드를 제1 기판 패드군으로 하고, 상기 기판은, 상기 제1 기판 패드군과 동일한 면에 상기 제1 기판 패드군과는 상이한 제2 기판 패드군을 더 구비하고,

상기 제2 반도체 칩은 상기 제2 기판 패드군과 본딩와이어에 의해 접속되는, 반도체 장치.

청구항 9

제7항에 있어서,

돌기 전극을 구비하는 패키지 실장된 제2 반도체 장치를 더 구비하고,

상기 기판 패드를 제1 기판 패드군으로 하고, 상기 기판은, 상기 제1 기판 패드군과 동일한 면에 상기 제1 기판 패드군과는 상이한 제2 기판 패드군을 더 구비하고,

상기 돌기 전극과 상기 제2 기판 패드군을 접속함으로써, 상기 제2 반도체 장치가 적층된, 반도체 장치.

청구항 10

직선 형상으로 배열되고, 인접하는 제1 입출력 셀과 제2 입출력 셀과 제3 입출력 셀을 포함하는, 복수의 입출력 셀을 포함하는 입출력 셀열과, 상기 제1 입출력 셀에 전기적으로 접속되는 제1 패드와 상기 제2 입출력 셀에 전기적으로 접속되는 제2 패드와 상기 제3 입출력 셀에 전기적으로 접속되는 제3 패드를 구비하는 반도체 칩으로서,

상기 반도체 칩이 플립 칩 실장되는 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드를 구비하고, 상기 제1 기판 패드와 상기 제3 기판 패드의 간격은, 상기 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁고,

상기 제1 패드와 상기 제3 패드는 상기 입출력 셀열보다 외측에 서로 인접하여 배열되고,

상기 제2 패드는, 상기 입출력 셀열보다 내측에 배치되고, 상기 반도체 칩이 플립 칩 실장되는 기판에 설치되는 비아의 직경과, 상기 비아와 상기 반도체 칩의 패드와 접속되는 상기 기판 상의 기판 패드의 간격에 설계 제약에서 요구되는 최소 스페이스값의 2배의 합 이상의 거리를, 상기 제1 패드와 상기 제3 패드 각각으로부터 이격하여 배치되는, 반도체 칩.

청구항 11

제10항에 있어서,

상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열을 구비하고,

상기 제1 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치되는, 반도체 칩.

청구항 12

제11항에 있어서,

상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 제2 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치되는, 반도체 칩.

청구항 13

제10항에 있어서,

상기 반도체 칩은, 상기 제2 입출력 셀에 전기적으로 접속되고, 상기 입출력 셀열보다 내측이고 상기 제2 패드와 상기 입출력 셀열 사이에 배치되는, 제4 패드를 더 구비하는, 반도체 칩.

청구항 14

제12항에 있어서,

상기 입출력 셀열을 제1 입출력 셀열로 하고, 상기 반도체 칩의 1개의 코너부에서 상기 제1 입출력 셀열과 각각 방향으로 직선 형상으로 배열된 복수의 입출력 셀을 제2 입출력 셀열로 하고,

상기 제2 입출력 셀열과 평행하고 상기 제2 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제3 패드열을 구비하고,

상기 제3 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치되는, 반도체 칩.

청구항 15

제1항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

1개의 상기 솔더 레지스트 개구부 내에 배치되는 상기 기판 패드의 수는, 상기 액상 경화성 수지의 플립 칩 실장시의 점성과, 상기 솔더 레지스트의 두께와, 상기 반도체 칩과 상기 기판의 간격에 기초하여 산출되는, 반도체 장치.

청구항 16

제1항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

상기 솔더 레지스트 개구부는, 상기 제1 기판 패드열로부터 먼 면에 있어서, 상기 복수의 기판 패드의 간극에 대면하는 위치에 오목부를 갖고, 상기 제1 기판 패드열에 가까운 면에 있어서, 상기 복수의 기판 패드의 각 면에 대면하는 위치에 볼록부를 갖는, 반도체 장치.

청구항 17

제1항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

상기 솔더 레지스트 개구부 내의 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드는, 서로 설계상 기판 패드에 허용되는 최소 간격으로 배치되는, 반도체 장치.

청구항 18

제1항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

상기 솔더 레지스트 개구부 내의 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드 각각은, 상기 제1 기판 패드열로부터 면 변에 볼록부를 갖는, 반도체 장치.

청구항 19

제1항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

상기 솔더 레지스트 개구부 내의 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드 중, 양단의 기판 패드는, 각각 상기 기판 상을 상기 제1 패드열을 향하여 연장되는 배선에 접속되는, 반도체 장치.

청구항 20

제10항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열을 구비하고,

상기 반도체 칩이 플립 칩 실장되는 상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

1개의 상기 솔더 레지스트 개구부 내에 배치되는 상기 기판 패드의 수는, 상기 액상 경화성 수지의 플립 칩 실장시의 점성과, 상기 솔더 레지스트의 두께와, 상기 반도체 칩과 상기 기판의 간격에 기초하여 산출되는, 반도체 칩.

청구항 21

제10항에 있어서,

상기 반도체 칩은 상기 기판에, 액상 경화성 수지를 끼워서 플립 칩 실장되고,

상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열과, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측이고 상기 제2 패드열보다 외측에 직선 형상으로 배열되고, 상기 제2 패드열의 양측에 배치되는, 제3 패드열과 제4 패드열을 구비하고,

상기 반도체 칩이 플립 칩 실장되는 상기 기판은, 솔더 레지스트와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열과, 상기 제3 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제3 기판 패드열과, 상기 제4 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제4 기판 패드열을 구비하고,

상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부를 갖고,

상기 제2 패드열의 상기 제3 패드열에 가까운 단에 배치되는 패드는, 상기 제3 패드열의 상기 제2 패드열에 가까운 단에 배치되는 패드와 상기 기판 상에서 단락되고, 상기 제2 패드열의 상기 제4 패드열에 가까운 단에 배치되는 패드는, 상기 제4 패드열의 상기 제2 패드열에 가까운 단에 배치되는 패드와 상기 기판 상에서 단락되는, 반도체 칩.

명세서

기술분야

[0001]

본 발명은 기판에 플립 칩 실장되는 반도체 칩 및 그것을 실장한 반도체 장치에 관한 것으로, 특히 실장되는 기판의 배선성을 개선하기 위하여 적절하게 이용할 수 있는 것이다.

배경기술

[0002]

플립 칩 실장에서는, 반도체 칩이 실장되는 기판에는, 반도체 칩의 패드와 대면하는 위치에 접속되는 패드가 설치되어 있고, 범프 등을 통하여 서로 접속됨으로써, 전기적으로 도통된다. 이하, 반도체 칩과 접속하기 위하여 기판에 설치된 패드를 기판 패드라고 칭하고, 반도체 칩상의 패드는, 간단히 패드 또는 칩 패드라고 칭한다.

[0003]

반도체 칩에서는, 특히 SoC(System on Chip) 등의 대규모 LSI(Large Scale Integrated circuit)에서의, 접적도의 향상에 수반하여, 보다 많은 전극수 즉 패드수가 요구되는 경향이 있다. 그러한 반도체 칩의 패드에는, 반도체 칩의 각 변에서 1열로 배열된 입출력 셀(IO 셀)의 편측 또는 양측에 2열로 번갈아 배치되는, 소위 지그재그 배치가 제안되어 있다. 패드는 입출력 셀보다도 매우 크므로, 지그재그 배치가 가장 면적 효율이 좋기 때문이다.

[0004]

특허문헌 1에는, 반도체 칩의 표면에 복수의 패드를 배열하는 경우에, 패드 배치 영역의 면적을 억제하는 기술이 개시되어 있다. 입출력 베틀의 편측에, 복수의 패드를 2열 또는 3열 이상의 복수열로 지그재그 형상으로 배열한다.

[0005]

특허문헌 2에는, 반도체 칩의 다이 크기를 증대시키지 않고, IO 패드의 배치를 고밀도화하는 기술이 개시되어 있다. 반도체 칩의 외주부에, 외부와의 전기적인 교환을 행하기 위한 입출력 회로를 구비한 입출력 셀(IO 셀)을 링 형상으로 배치한다. IO 패드는 링 형상으로 배치된 IO 셀을 사이에 끼워서 지그재그 형상으로 배치된다.

[0006]

이에 비해, 반도체 칩이 실장되는 기판에서는, 칩 패드와 대면하는 위치에 기판 패드가 배치되고, 그 반대면을 향하여, 기판 전체 또는 기판을 구성하는 배선층을 관통하는 스루홀 비아(이하 간단히 비아라고 칭함)가 배치되고, 기판 패드와 동일한 배선층을 사용하여 기판 패드와 배선되어 있다. 반도체 칩의 소형화나 다핀화에 수반하여 패드간 흐치가 좁아져, 기판에 있어서 비아와 배선의 폭주가 현재화되어 오고 있다. 예를 들어, 비아를, 그것이 접속되어야 할 기판 패드의 근방에 배치할 수 없어, 기판 패드로부터 비아로의 배선의 인출이 길어져서 배선 임피던스가 커져, 전기적 특성을 열화시키는 등의 문제가 발생한다. 또한, 레이아웃면에서의 배선성이 저하하여 기판의 면적이 커지고, 예를 들어 기판이 LSI 패키지의 실장 기판인 경우에는, 수용할 수 있는 패키지의 크기가 커지는 등의 문제가 발생한다.

[0007]

특허문헌 3에는, POE(Pad On Element) 기술과 지그재그 형상의 전극 패드 배열을 채용한 CSP(Chip Size Package)형 반도체 장치에 있어서, 반도체 칩의 크기 증대 요인을 없애는 기술이 개시되어 있다. 보다 상세하게는, 특허문헌 3의 도 2와 요약 및 제0011 단락으로부터 제0013 단락을 참조하면, 이하의 기술이 개시되어 있다. 반도체 칩(10)의 표면 상의 코너 셀(11)에 인접하여, 주연부에 배열되도록 입출력 셀(12)을, 각 입출력 셀(12) 상에 전극 패드(13)를 각각 형성한다. 전극 패드(13)는, 지그재그 형상의 패드 배열을 이루도록 내측 패드열과 외측 패드열을 구성한다. 단, 내측 패드열을 구성하는 전극 패드(13) 중 코너 셀(11)의 양측에 인접하

는 소정 범위 내의 전극 패드 배치를 생략함으로써, 반도체 칩(10)에 범프 접속되는 캐리어(20)(기판에 상당함)의 배선 패턴(21) 및 비아(22)의 착종을 방지한다.

[0008] 특허문헌 4에는, BGA(Ball Grid Array)의 패키지 기판에 있어서의 도금 배선의 레이아웃이 개시되어 있다. 패키지 기판에 있어서의 도금 배선이란, 기판의 표면면의 전극을 전해 도금하기 위해서, 모든 전극에 전해 처리에 필요한 전위를 인가하고 전류를 통과시키는 기판 상의 배선이다. 특허문헌 4의 도 2에 도시되는 바와 같이, 도금 배선(9)은, 본딩 리드로부터 외측으로 인출되어 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본 특허 공개 평 10-74790호 공보

(특허문헌 0002) 일본 특허 공개 제2002-270779호 공보

(특허문헌 0003) 일본 특허 공개 제2008-252126호 공보

(특허문헌 0004) 일본 특허 공개 평 10-173087호 공보

발명의 내용

해결하려는 과제

[0010] 특허문헌 1, 2, 3 및 4에 대하여 본 발명자가 검토한 결과, 이하와 같은 새로운 과제가 있다는 것을 알았다.

[0011] 특허문헌 1에 기재되는 패드의 배치에서는, 입출력 버퍼에 가까운 측의 복수의 패드열에서는, 패드간에, 입출력 버퍼로부터 보다 먼 다른 패드열에의 배선을 통과시킬 필요가 있어, 패드 피치를 설계 제약상 허용되는 최소 피치로 할 수 없다.

[0012] 특허문헌 2에 기재되는 패드의 배치는, IO 셀의 양측에 1열씩 패드를 배치하기 위해서, 상기한 문제를 해결하고, 패드 피치를 설계 제약상 허용되는 최소 피치로 할 수 있다. 그러나, 이 반도체 칩이 플립 칩 실장된 경우의 기판의 배선성에 대해서는, 전혀 고려되어 있지 않다.

[0013] 특허문헌 3에 기재되는 패드의 배치는, IO 셀의 양측에 1열씩 패드가 배치된 반도체 칩이 플립 칩 실장된 경우의 기판의 배선성에 대해서, 특히 반도체 칩의 코너부에서의 배선성에 대하여 고려된 것이다. 반도체 칩에서는, IO 셀의 내측 패드열과 외측 패드열 각각을 구성하는 패드는, 각각 설계 제약상 허용되는 최소의 피치로 배치될 수 있다. 이것과 접속되는 기판측의 기판 패드도 마찬가지로, 설계 제약상 허용되는 최소의 피치로 배치되게 된다. 반도체 칩 상의 설계 제약과 기판에 있어서의 설계 제약은 상이한 경우도 있지만, 기판 패드 사이에 배선을 통과시키는 여유를 취하는 것은 현실적으로 고려하기 때문에, 기판 상의 배선도, 반도체 칩의 내측 패드열에 접속되는 내측 기판 패드열로부터의 배선은 내측 방향으로, 반도체 칩의 외측 패드열에 접속되는 외측 기판 패드열로부터의 배선은 외측 방향으로, 각각 한정된다. 그로 인해, 특허문헌 3에 기재되는 패드의 배치는, 코너부에서 외측 패드열을 남기고, 내측 패드열의 패드 배치를 생략한다.

[0014] 내측 기판 패드열로부터의 기판 상의 배선이 내측 방향으로, 외측 기판 패드열로부터의 배선이 외측 방향으로, 각각 한정되는 것에 의한 폐해는, 또한, 기판에 있어서의 도금선의 레이아웃에도 나타난다. 전해 처리에서는, 모든 전극에 동일한 전위를 인가하지 않으면 안된다. 그로 인해, 도금 배선을 사용하여, 기판의 외주부로부터 모든 전극으로의 배선을 행한다. 내측 기판 패드열로부터의 기판 상의 배선이 내측 방향으로 한정되는, 상기한 제약 때문에, 내측 기판 패드에 전해 처리의 전위를 인가하는 도금 배선을, 기판 상의 반도체 칩의 실장면에 레이아웃하는 것이 어렵다는 문제가 있다. 그로 인해, 내측 기판 패드에 대한 도금 배선은, BGA 전극면에 레이아웃하지 않을 수 없어, BGA 전극의 배치를 제약하고, 배치 가능한 전극수를 저감시킨다는 문제를 발생한다.

[0015] 이러한 과제를 해결하기 위한 수단을 이하에 설명하는데, 그 밖의 과제와 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확해질 것이다.

과제의 해결 수단

[0016]

일 실시 형태에 의하면, 하기와 같다.

[0017]

즉, 복수의 칩 패드를 구비하는 반도체 칩과, 그 반도체 칩이 플립 칩 실장되고, 칩 패드와 접속되는 기판 패드와 비아를 구비한 기판을 구비하는 반도체 장치로서, 이하와 같이 구성된다. 반도체 칩은, 입출력 셀이 직선 형상으로 배열된 입출력 셀열을 구비하고, 그 외측과 내측으로 교대로 인출된 외측 칩 패드열과 내측 칩 패드열을 구비한다. 외측 칩 패드열에는 적어도 2개의 외측 칩 패드가 포함되고, 내측 칩 패드열에는 적어도 1개의 내측 칩 패드가 포함된다. 반도체 칩이 플립 칩 실장되는 상기 기판에는, 내측 칩 패드열과 대면하여 접속되는 내측 기판 패드열과, 외측 칩 패드열과 대면하여 접속되는 외측 기판 패드열이 설치된다. 외측 기판 패드열에 포함되고, 서로 인접하는 외측 기판 패드의 간격은, 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁다. 이때, 외측 칩 패드열과 내측 칩 패드열의 거리를, 소정의 간격 이상 이격하여 배치한다. 소정의 간격은, 예를 들어 반도체 칩이 플립 칩 실장되는 기판에 설치되는 비아의 직경과, 비아와 기판 패드 사이의 스페이스값에 기초하여 상기와 같이 규정한 경우에는, 기판 상의 신호 배선이나 전원 배선의 배선성을 향상시킬 수 있다. 또한, 소정의 간격을, 도금 배선을 에치 백하기 위한 레지스트막의 개구부의 크기에 기초하여 상기와 같이 규정한 경우에는, 기판 상의 도금 배선의 배선성을 향상시킬 수 있다.

발명의 효과

[0018]

상기 일 실시 형태에 의해 얻어지는 효과를 간단하게 설명하면 하기와 같다.

[0019]

즉, 반도체 칩이 플립 칩 실장되는 기판의 배선성을 향상시킬 수 있다. 예를 들어, 소정의 간격을, 비아의 직경과, 비아와 기판 패드 사이의 스페이스값에 기초하여 상기와 같이 규정한 경우에는, 기판 상의 신호 배선이나 전원 배선의 배선성을 향상시킬 수 있다. 또한, 소정의 간격을, 도금 배선을 에치 백하기 위한 레지스트막의 개구부의 크기에 기초하여 상기와 같이 규정한 경우에는, 기판 상의 도금 배선의 배선성을 향상시킬 수 있다.

도면의 간단한 설명

[0020]

도 1은 실시 형태 1 또는 실시 형태 2에 따른 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도이다.

도 2는 종래의 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도.

도 3은 실시 형태 1 또는 실시 형태 2에 따른 반도체 칩이 기판 상에 플립 칩 실장된, 반도체 장치의 단면 방향의 실장 상태를 도시하는 모식도.

도 4는 실시 형태 1 또는 실시 형태 2에 따른 반도체 칩에 있어서의 패드의 레이아웃과, 그것이 플립 칩 실장되는 기판에 있어서의 기판 패드의 레이아웃을 도시하는 모식도.

도 5는 실시 형태 1에 따른 반도체 칩이 플립 칩 실장되는 기판에 있어서의, 기판 패드의 배치를 도시하는 레이아웃도.

도 6은 종래의 반도체 칩에 있어서의 패드의 배치예와, 그 반도체 칩이 플립 칩 실장되는 기판에 있어서의, 기판 패드의 배치예를 도시하는 레이아웃도.

도 7은, 실시 형태 1에 따른 반도체 칩에 있어서의 패드의 배치예와 그 반도체 칩이 플립 칩 실장되는 기판에 있어서의, 기판 패드의 배치예를 도시하는 레이아웃도.

도 8은 실시 형태 1에 따른 반도체 칩에 있어서의 패드의 배치예와 그 반도체 칩이 플립 칩 실장되는 기판에 있어서의, 기판 패드의 배치의 다른 예를 도시하는 레이아웃도.

도 9는 실시 형태 2에 따른 반도체 칩이 플립 칩 실장되는 기판에 있어서의, 기판 패드의 배치를 도시하는 레이아웃도.

도 10은 실시 형태 3에 따른 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도.

도 11은 종래의 반도체 칩의 코너부에 있어서의 패드의 배치를 도시하는 레이아웃도.

도 12는 실시 형태 4에 따른 반도체 칩의 코너부에 있어서의 패드의 배치를 도시하는 레이아웃도.

도 13은 실시 형태 1 내지 4에 따른 반도체 칩이 플립 칩 실장된 기판을 포함하는, BGA의 단면 방향의 실장 형태의 일례를 도시하는 모식도.

도 14는 실시 형태 1 내지 4에 따른 반도체 칩이 플립 칩 실장된 기판을 포함하는, SiP(System in Package)의

단면 방향의 실장 형태의 일례를 도시하는 모식도.

도 15는 실시 형태 1 내지 4에 따른 반도체 칩이 플립 칩 실장된 기판을 포함하는, PoP(Package on Package)의 단면 방향의 실장 형태의 일례를 도시하는 모식도.

도 16은 실시 형태 1 내지 4에 따른 반도체 칩이 기판 상에 베어 칩인 상태로 플립 칩 실장된 회로 기판에 있어서의, 단면 방향의 실장 형태의 일례를 도시하는 모식도.

도 17은 새로운 과제에 관한 설명도.

도 18은 새로운 과제에 관한 보다 상세한 설명도.

도 19는 실시 형태 6에 따른 반도체 칩이 기판 상에 플립 칩 실장된, 반도체 장치의 평면 방향 및 단면 방향의 실장 상태를 도시하는 모식도.

도 20은 실시 형태 6에 따른 반도체 장치의 기판에 있어서의, 기판 패드의 배치의 일례를 도시하는 레이아웃도.

도 21은 실시 형태 6에 따른 반도체 장치의 기판에 있어서의, 기판 패드의 배치의 다른 예를 도시하는 레이아웃도.

도 22는 실시 형태 6에 따른 반도체 장치의 기판에 있어서의, 기판 패드의 배치의 또 다른 예를 도시하는 레이아웃도.

도 23은 실시 형태 7에 따른 반도체 장치의 기판에 있어서의, 솔더 레지스트 개구부의 형상의 일례를 도시하는 레이아웃도.

도 24는 실시 형태 8에 따른 반도체 장치의 기판에 있어서의, 기판 패드의 배치의 일례를 도시하는 레이아웃도.

도 25는 실시 형태 9에 따른 반도체 장치의 기판에 있어서의, 솔더 레지스트 개구부 내에 배치되는 기판 패드의 형상의 일례를 도시하는 레이아웃도.

도 26은 실시 형태 10에 따른 반도체 장치의 기판에 있어서의, 기판 패드 및 배선의 배치의 일례를 도시하는 레이아웃도.

발명을 실시하기 위한 구체적인 내용

[0021]

1. 실시 형태의 개요

[0022]

우선, 본원에 있어서 개시되는 대표적인 실시 형태에 대하여 개요를 설명한다. 대표적인 실시 형태에 따른 개요 설명에서 괄호를 붙여서 참조하는 도면 중의 참조 부호는 그것이 붙여진 구성 요소의 개념에 포함되는 것을 예시한 것에 불과하다.

[0023]

[1] <실장 완료 LSI; 내측과 외측의 패드의 간격을 확대>

[0024]

복수의 칩 패드(2)를 구비하는 반도체 칩(1)과, 상기 반도체 칩이 플립 칩 실장되고, 상기 칩 패드와 접속되는 기판 패드(9)과 비아(11)를 구비한 기판(8)을 구비하는 반도체 장치(20)로서, 이하와 같이 구성된다.

[0025]

상기 반도체 칩은, 직선 형상으로 배열되고, 인접하는 제1 입출력 셀(3_1)과 제2 입출력 셀(3_2)과 제3 입출력 셀(3_3)을 포함하는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열을 구비한다. 상기 복수의 칩 패드는, 상기 제1 입출력 셀에 전기적으로 접속되는 제1 패드(2_2_1)와 상기 제2 입출력 셀에 전기적으로 접속되는 제2 패드(2_1_2)와 상기 제3 입출력 셀에 전기적으로 접속되는 제3 패드(2_2_3)를 포함한다.

[0026]

상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비한다. 상기 제1 기판 패드와 상기 제3 기판 패드의 간격은, 상기 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁다.

[0027]

상기 반도체 칩에 있어서, 상기 제1 패드와 상기 제3 패드는 상기 입출력 셀열보다 외측에 서로 인접하여 배열된다. 상기 제2 패드는, 상기 입출력 셀열보다 내측에 배치되고, 상기 제1 패드와 상기 제3 패드 각각으로부터 소정의 거리를 이격하여 배치된다. 상기 소정의 거리란, 상기 반도체 칩이 플립 칩 실장되는 기판에 설치되는 비아의 직경(L1)과, 상기 비아와 상기 기판 패드의 간격에 설계 제약에서 요구되는 최소 스페이스값(L2)의 2배의 합 이상의 거리(L)이다.

- [0028] 이에 의해, 반도체 칩이 플립 칩 실장되는 기판의 배선성을 향상시킬 수 있다. 특히, 기판 상의 신호 배선이나 전원 배선의 배선성을 향상시킬 수 있다.
- [0029] [2] <외측의 패드(out-line pad)는, 최소 피치로 직선 형상으로 배열>
- [0030] 항1에 있어서, 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)을 구비하고, 상기 제1 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0031] 이에 의해, 반도체 칩(1)의 칩 크기가 단자수에 의해 결정되는 패드 네인 경우에도, 종래와 동일한 칩 크기로 억제할 수 있다.
- [0032] [3] <내측의 패드(in-line pad)도 최소 피치로 직선 형상으로 배열>
- [0033] 항2에 있어서, 상기 반도체 칩은, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비하고, 상기 제2 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0034] 이에 의해, 반도체 칩(1)에 있어서, 종래와 동일수의 패드수(단자수)를 확보할 수 있다.
- [0035] [4] <프로브용 패드>
- [0036] 항1에 있어서, 상기 반도체 칩은, 상기 제2 입출력 셀에 전기적으로 접속되고, 상기 입출력 셀열보다 내측이고 상기 제2 패드와 상기 입출력 셀 사이에 배치되는, 제4 패드(2_3)를 더 구비한다.
- [0037] 이에 의해, 프로브용 패드를, 프로빙을 위한 바늘 접촉 압력이 내부 회로에 가해지지 않는 위치에 배치할 수 있다.
- [0038] 상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비하고, 상기 제4 패드와 대면하는 위치에 기판 패드를 배치하지 않는다.
- [0039] [5] <코너부>
- [0040] 항3에 있어서, 상기 반도체 칩은, 상기 입출력 셀열을 제1 입출력 셀열(3_W)로 하고, 상기 반도체 칩의 1개의 코너부에서 상기 제1 입출력 셀열과 직각 방향으로 직선 형상으로 배열된 복수의 입출력 셀을 제2 입출력 셀열(3_S)로 하고, 상기 제2 입출력 셀열과 평행하고 상기 제2 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제3 패드열(2_2_S)을 구비한다. 상기 제3 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0041] 이에 의해, 반도체 칩(1)의 코너부에 있어서, 배치하는 패드의 수를 종래보다도 증가시킬 수 있다.
- [0042] [6] <근접하는 입출력 셀에 접속되는 패드간에서 비아를 공유>
- [0043] 항1에 있어서, 상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비한다. 상기 기판은, 상기 제1 기판 패드와 상기 제2 기판 패드와 동일한 배선층에서 상기 제1 기판 패드와 상기 제2 기판 패드를 접속하는 배선과, 상기 배선에 접속되고 상기 제1 기판 패드와 상기 제2 기판 패드 사이에 배치되는 비아(11_4)를 구비한다.
- [0044] 이에 의해, 내측 패드열과 외측 패드열에서, 서로 근접하는 입출력 셀에 접속되는 칩 패드가, 동일한 신호인 경우, 대응하는 기판 패드를 서로 단락하여 비아를 공유함으로써, 기판의 배선성을 더 향상시킬 수 있다. 특히, 근접하는 패드가 모두 전원이나 그라운드인 경우에 유효하다.
- [0045] [7] <BGA>
- [0046] 항1 내지 항6 중 어느 한 항에 있어서, 상기 기판은, 상기 기판 패드를 구비하는 면과 반대 면에, BGA 패드(2_2)를 구비하고, 상기 BGA 패드에 접속되는 BGA 전극(23)을 구비한다.

- [0047] 이에 의해, BGA에 실장된 반도체 장치(20_1)에 있어서, 기판의 배선성을 향상시킬 수 있다.
- [0048] [8] <SiP(System in Package)>
- [0049] 항7에 있어서, 상기 반도체 칩을 제1 반도체 칩(1)으로 하고, 상기 제1 반도체 칩에 적층된, 제2 반도체 칩(2_4)을 더 구비한다. 상기 기판 패드를 제1 기판 패드군(9_1, 9_2)으로 하고, 상기 기판은, 상기 제1 기판 패드군과 동일한 면에 상기 제1 기판 패드군과는 상이한 제2 기판 패드군(9_4)을 더 구비하고, 상기 제2 반도체 칩은 상기 제2 기판 패드군과 본딩와이어(25)에 의해 접속된다.
- [0050] 이에 의해, SiP(20_2)에 있어서, 기판의 배선성을 향상시킬 수 있다.
- [0051] [9] <PoP(Package on Package)>
- [0052] 항7에 있어서, 돌기 전극(27)을 구비하는 패키지 실장된 제2 반도체 장치(26)를 더 구비한다.
- [0053] 상기 기판 패드를 제1 기판 패드군(9_1, 9_2)으로 하고, 상기 기판은, 상기 제1 기판 패드군과 동일한 면에 상기 제1 기판 패드군과는 상이한 제2 기판 패드군(9_4)을 더 구비하고, 상기 돌기 전극과 상기 제2 기판 패드군을 접속함으로써, 상기 제2 반도체 장치가 적층된다.
- [0054] 이에 의해, PoP(20_3)에 있어서, 기판의 배선성을 향상시킬 수 있다.
- [0055] [10] <플립 칩용 반도체 칩; 내측과 외측의 패드의 간격을 확대>
- [0056] 반도체 칩(1)은 직선 형상으로 배열되고, 인접하는 제1 입출력 셀(3_1)과 제2 입출력 셀(3_2)과 제3 입출력 셀(3_3)을 포함하는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열을 구비한다. 또한, 반도체 칩(1)은, 상기 제1 입출력 셀에 전기적으로 접속되는 제1 패드(2_2_1)와 상기 제2 입출력 셀에 전기적으로 접속되는 제2 패드(2_1_2)와 상기 제3 입출력 셀에 전기적으로 접속되는 제3 패드(2_2_3)를 구비한다.
- [0057] 상기 반도체 칩이 플립 칩 실장되는 기판(8)은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비한다. 상기 제1 기판 패드와 상기 제3 기판 패드의 간격은, 상기 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁다.
- [0058] 상기 제1 패드와 상기 제3 패드는 상기 입출력 셀열보다 외측에 서로 인접하여 배열되고, 상기 제2 패드는, 상기 입출력 셀열보다 내측에 배치된다. 상기 제2 패드는, 상기 반도체 칩이 플립 칩 실장되는 기판에 설치되는 비아의 직경(L1)과, 상기 비아와 상기 반도체 칩의 패드와 접속되는 상기 기판 상의 기판 패드의 간격에 설계 제약에서 요구되는 최소 스페이스값(L2)의 2배의 합 이상의 거리(L)를 상기 제1 패드와 상기 제3 패드 각각으로 부터 이격하여 배치된다.
- [0059] 이에 의해, 반도체 칩이 플립 칩 실장되는 기판의 배선성을 향상시킬 수 있다. 특히, 기판 상의 신호 배선이나 전원 배선의 배선성을 향상시킬 수 있다.
- [0060] [11] <외측의 패드(out-line pad)는 최소 피치로 직선 형상으로 배열>
- [0061] 항10에 있어서, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)을 구비하고, 상기 제1 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0062] 이에 의해, 반도체 칩(1)의 칩 크기가 단자수에 의해 결정되는 패드 네인 경우에도, 종래와 동일한 칩 크기로 억제할 수 있다.
- [0063] [12] <내측의 패드(in-line pad)도 최소 피치로 직선 형상으로 배열>
- [0064] 항11에 있어서, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비하고, 상기 제2 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0065] 이에 의해, 반도체 칩(1)에 있어서, 종래와 동일수의 패드수(단자수)를 확보할 수 있다.

[0066] [13] <프로브용 패드>

[0067] 항10에 있어서, 상기 반도체 칩은, 상기 제2 입출력 셀에 전기적으로 접속되고, 상기 입출력 셀보다 내측이고 상기 제2 패드와 상기 입출력 셀 사이에 배치되는, 제4 패드(2_3)를 더 구비한다.

[0068] 이에 의해, 프로브용 패드를, 프로빙을 위한 바늘 접촉 압력이 내부 회로에 가해지지 않는 위치에 배치할 수 있다.

[0069] [14] <코너부>

[0070] 항12에 있어서, 상기 입출력 셀을 제1 입출력 셀(3_W)로 하고, 상기 반도체 칩의 1개의 코너부에서 상기 제1 입출력 셀과 직각 방향으로 직선 형상으로 배열된 복수의 입출력 셀을 제2 입출력 셀(3_S)로 하고, 상기 제2 입출력 셀과 평행하고 상기 제2 입출력 셀보다 외측에 직선 형상으로 배열되는, 제3 패드열(2_2_S)을 구비한다.

[0071] 상기 제3 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.

[0072] 이에 의해, 반도체 칩(1)의 코너부에 있어서, 배치하는 패드의 수를 종래보다도 증가시킬 수 있다.

[0073] [15] <실장 완료; LSI 내측과 외측의 패드의 간격을 도금 배선분 확대>

[0074] 복수의 칩 패드(2)를 구비하는 반도체 칩(1)과, 상기 반도체 칩이 플립 칩 실장되는 기판(8)을 구비하는 반도체 장치(20)로서, 이하와 같이 구성된다.

[0075] 상기 기판은, 상기 칩 패드와 접속되는 기판 패드(9)와, 상기 기판 패드와 동일한 배선층의 배선(12_1 내지 12_6)과, 상기 배선의 적어도 일부를 피복하는 레지스트막(13)을 구비한다.

[0076] 상기 반도체 칩은, 직선 형상으로 배열되고, 인접하는 제1 입출력 셀(3_1)과 제2 입출력 셀(3_2)과 제3 입출력 셀(3_3)을 포함하는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열을 구비한다. 상기 복수의 칩 패드는, 상기 제1 입출력 셀에 전기적으로 접속되는 제1 패드(2_2_1)와 상기 제2 입출력 셀에 전기적으로 접속되는 제2 패드(2_1_2)와 상기 제3 입출력 셀에 전기적으로 접속되는 제3 패드(2_2_3)를 포함한다.

[0077] 상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비한다. 상기 제1 기판 패드와 상기 제3 기판 패드의 간격은, 상기 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁다.

[0078] 상기 반도체 칩에 있어서, 상기 제1 패드와 상기 제3 패드는 상기 입출력 셀보다 외측에 서로 인접하여 배열되고, 상기 제2 패드는, 상기 입출력 셀보다 내측에 배치된다.

[0079] 상기 기판에 있어서, 상기 제2 기판 패드와 상기 제1 및 상기 제3 기판 패드 사이의 레지스트막(13_2, 13_3)에, 상기 제1, 제2 및 제3 기판 패드를 단락하는 도금 배선(12_1)을 에치 백하기 위한 개구부를 형성한다.

[0080] 이에 의해, 반도체 칩이 플립 칩 실장되는 기판의 배선성을 향상시킬 수 있다. 특히, 기판 상의 도금 배선의 배선성을 향상시킬 수 있다.

[0081] [16] <외측의 패드(out-line pad)는, 최소 피치로 직선 형상으로 배열>

[0082] 항15에 있어서, 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)을 구비하고, 상기 제1 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.

[0083] 이에 의해, 반도체 칩(1)의 칩 크기가 단자수에 의해 결정되는 패드 네인 경우에도, 종래와 동일한 칩 크기로 억제할 수 있다.

[0084] [17] <내측의 패드(in-line pad)도 최소 피치로 직선 형상으로 배열>

[0085] 항16에 있어서, 상기 반도체 칩은, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비하고, 상기 제2 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요

구되는 최소의 피치로 배치된다.

[0086] 이에 의해, 반도체 칩(1)에 있어서, 종래와 동일수의 패드수(단자수)를 확보할 수 있다.

[0087] [18] <프로브용 패드>

항15에 있어서, 상기 반도체 칩은, 상기 제2 입출력 셀에 전기적으로 접속되고, 상기 입출력 셀보다 내측이고 상기 제2 패드와 상기 입출력 셀 사이에 배치되는, 제4 패드(2_3)를 더 구비한다.

[0089] 이에 의해, 프로브용 패드를, 프로빙을 위한 바늘 접촉 압력이 내부 회로에 가해지지 않는 위치에 배치할 수 있다.

[0090] 상기 기판은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비하고, 상기 제4 패드와 대면하는 위치에 기판 패드를 배치하지 않는다.

[0091] [19] <코너부>

항17에 있어서, 상기 반도체 칩은, 상기 입출력 셀을 제1 입출력 셀(3_W)로 하고, 상기 반도체 칩의 1개의 코너부에서 상기 제1 입출력 셀과 직각 방향으로 직선 형상으로 배열된 복수의 입출력 셀을 제2 입출력 셀(3_S)로 하고, 상기 제2 입출력 셀과 평행하고 상기 제2 입출력 셀보다 외측에 직선 형상으로 배열되는, 제3 패드열(2_2_S)을 구비한다. 상기 제3 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.

[0093] 이에 의해, 반도체 칩(1)의 코너부에, 배치 가능한 패드수를 종래보다도 증가시킬 수 있다.

[0094] [20] <근접하는 입출력 셀에 접속되는 패드간에서 비아를 공유>

항15에 있어서, 상기 기판은, 상기 제1 기판 패드와 상기 제2 기판 패드와 동일한 배선층에서 상기 제1 기판 패드와 상기 제2 기판 패드를 접속하는 배선과, 상기 배선에 접속되고 상기 제1 기판 패드와 상기 제2 기판 패드 사이에 배치되는 비아(11_4)를 구비한다.

[0096] 이에 의해, 내측 패드열과 외측 패드열에서, 서로 근접하는 입출력 셀에 접속되는 칩 패드가, 동일한 신호인 경우, 대응하는 기판 패드를 서로 단락하여 비아를 공유함으로써 기판의 배선성을 보다 향상시킬 수 있다. 특히, 근접하는 패드가 모두 전원이나 그라운드인 경우에 유효하다.

[0097] [21] <BGA>

항15 내지 항20 중 어느 한 항에 있어서, 상기 기판은, 상기 기판 패드를 구비하는 면과 반대 면에, BGA 패드(22)를 구비하고, 상기 BGA 패드에 접속되는 BGA 전극(23)을 구비한다.

[0099] 이에 의해, BGA에 실장된 반도체 장치(20_1)에 있어서, 기판의 배선성을 향상시킬 수 있다.

[0100] [22] <SiP>

[0101] 항(21)에 있어서, 상기 반도체 칩을 제1 반도체 칩(1)으로 하고, 상기 제1 반도체 칩에 적층된, 제2 반도체 칩(24)을 더 구비한다. 상기 기판 패드를 제1 기판 패드군(9_1, 9_2)으로 하고, 상기 기판은, 상기 제1 기판 패드군과 동일한 면에 상기 제1 기판 패드군과는 상이한 제2 기판 패드군(9_4)을 더 구비하고, 상기 제2 반도체 칩은 상기 제2 기판 패드군과 본딩하여(25)에 의해 접속된다.

[0102] 이에 의해, SiP(20_2)에 있어서, 기판의 배선성을 향상시킬 수 있다.

[0103] [23] <PoP>

[0104] 항(21)에 있어서, 돌기 전극(27)을 구비하는 패키지 실장된 제2 반도체 장치(26)를 더 구비한다.

[0105] 상기 기판 패드를 제1 기판 패드군(9_1, 9_2)으로 하고, 상기 기판은, 상기 제1 기판 패드군과 동일한 면에 상기 제1 기판 패드군과는 상이한 제2 기판 패드군(9_4)을 더 구비하고, 상기 돌기 전극과 상기 제2 기판 패드군을 접속함으로써, 상기 제2 반도체 장치가 적층된다.

[0106] 이에 의해, PoP(20_3)에 있어서, 기판의 배선성을 향상시킬 수 있다.

[0107] [24] <플립 칩용 반도체 칩; 내측과 외측의 패드의 간격을 도금 배선분 확대>

- [0108] 반도체 칩(1)은 직선 형상으로 배열되고, 인접하는 제1 입출력 셀(3_1)과 제2 입출력 셀(3_2)과 제3 입출력 셀(3_3)을 포함하는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열을 구비한다. 또한, 반도체 칩(1)은 상기 제1 입출력 셀에 전기적으로 접속되는 제1 패드(2_2_1)와 상기 제2 입출력 셀에 전기적으로 접속되는 제2 패드(2_1_2)와 상기 제3 입출력 셀에 전기적으로 접속되는 제3 패드(2_2_3)를 구비한다.
- [0109] 상기 반도체 칩이 플립 칩 실장되는 기판(8)은, 상기 제1 패드와 대면하여 접속되는 제1 기판 패드(9_2_1)와, 상기 제2 패드와 대면하여 접속되는 제2 기판 패드(9_1_2)와, 상기 제3 패드와 대면하여 접속되는 제3 기판 패드(9_2_3)를 구비한다. 상기 제1 기판 패드와 상기 제3 기판 패드의 간격은, 상기 기판의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드에 요구되는 스페이스값의 2배의 합보다도 좁다.
- [0110] 상기 제1 패드와 상기 제3 패드는 상기 입출력 셀열보다 외측에 서로 인접하여 배열되고, 상기 제2 패드는, 상기 입출력 셀열보다 내측에 배치되고, 상기 제1 패드와 상기 제3 패드 각각으로부터 소정의 간격 이상 이격하여 배치된다.
- [0111] 상기 소정의 간격은, 상기 기판에 있어서, 상기 제2 기판 패드와, 상기 제1 및 제3 기판 패드 사이의 레지스트 막(13_2, 13_3)에, 상기 제1, 제2 및 제3 기판 패드를 단락하는 도금 배선(12_1)을 에치 백하기 위한 개구부를 형성할 수 있는 간격에 의해 규정된다.
- [0112] 이에 의해, 반도체 칩이 플립 칩 실장되는 기판의 배선성을 향상시킬 수 있다. 특히, 기판 상의 도금 배선의 배선성을 향상시킬 수 있다.
- [0113] [25] <외측의 패드(out-line pad)>는, 최소 피치로 직선 형상으로 배열>
- [0114] 항24에 있어서, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)을 구비하고, 상기 제1 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0115] 이에 의해, 반도체 칩(1)의 칩 크기가 단자수에 의해 결정되는 패드 네인 경우에도, 종래와 동일한 칩 크기로 억제할 수 있다.
- [0116] [26] <내측의 패드(in-line pad)>도 최소 피치로 직선 형상으로 배열>
- [0117] 항25에 있어서, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비하고, 상기 제2 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0118] 이에 의해, 반도체 칩(1)에 있어서, 종래와 동일수의 패드수(단자수)를 확보할 수 있다.
- [0119] [27] <프로브용 패드>
- [0120] 항24에 있어서, 상기 반도체 칩은, 상기 제2 입출력 셀에 전기적으로 접속되고, 상기 입출력 셀열보다 내측이고 상기 제2 패드와 상기 입출력 셀 사이에 배치되는, 제4 패드(2_3)를 더 구비한다.
- [0121] 이에 의해, 프로브용 패드를, 프로빙을 위한 바늘 접촉 압력이 내부 회로에 가해지지 않는 위치에 배치할 수 있다.
- [0122] [28] <코너부>
- [0123] 항26에 있어서, 상기 입출력 셀열을 제1 입출력 셀열(3_W)로 하고, 상기 반도체 칩의 1개의 코너부에서 상기 제1 입출력 셀열과 각각 방향으로 직선 형상으로 배열된 복수의 입출력 셀을 제2 입출력 셀열(3_S)로 하고, 상기 제2 입출력 셀열과 평행하고 상기 제2 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제3 패드열(2_2_S)을 구비한다.
- [0124] 상기 제3 패드열에 있어서 서로 인접하여 배열되는 복수의 패드는, 상기 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다.
- [0125] 이에 의해, 반도체 칩(1)의 코너부에, 배치 가능한 패드수를 종래보다도 증가시킬 수 있다.
- [0126] [29] <실장 완료 LSI; 솔더 레지스트 개구부 1개당의 기판 패드수를 제한>

- [0127] 항1에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.
- [0128] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비한다.
- [0129] 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다. 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15)를 갖는다.
- [0130] 1개의 상기 솔더 레지스트 개구부 내에 배치되는 상기 기판 패드의 수는, 상기 액상 경화성 수지의 플립 칩 실장시의 점성과, 상기 솔더 레지스트의 두께와, 상기 반도체 칩과 상기 기판의 간극에 기초하여 산출된다.
- [0131] 액상 경화성 수지(16)는 점성을 갖는 액체 상태로 상기 기판에 도포되고(이것을 선도포라고 칭함), 그 위에서 상기 반도체 칩이 플립 칩되어 겹쳐지고, 가압하여 접착된다. 이 플립 칩 실장 후, 액상 경화성 수지는 경화하여 언더필(16)로 된다. 반도체 장치(20)가 상술한 구성을 취함으로써, 액상 경화성 수지를 언더필로서 선도포한 후에, 반도체 칩을 기판에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 그 반도체 장치의 신뢰성을 높일 수 있다.
- [0132] [30] <솔더 레지스트 개구부의 형상>
- [0133] 항1에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.
- [0134] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비한다.
- [0135] 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다. 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15_4)를 갖는다.
- [0136] 상기 솔더 레지스트 개구부는, 상기 제1 기판 패드열로부터 먼 면에 있어서, 상기 복수의 기판 패드의 간극에 대면하는 위치에 오목부를 갖고, 상기 제1 기판 패드열에 가까운 면에 있어서, 상기 복수의 기판 패드의 각 면에 대면하는 위치에 볼록부를 갖는다.
- [0137] 이에 의해, 액상 경화성 수지를 언더필로서 선도포한 후에, 반도체 칩을 기판에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 반도체 장치의 신뢰성을 높일 수 있다.
- [0138] [31] <솔더 레지스트 개구부 내의 기판 패드의 간극을 좁힌다>
- [0139] 항1에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.
- [0140] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비한다.
- [0141] 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다. 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판

패드가 배치되는 영역에, 솔더 레지스트 개구부(15_5)를 갖는다.

[0142] 상기 솔더 레지스트 개구부 내의 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드는, 서로 설계상 기판 패드에 허용되는 최소 간격으로 배치된다.

[0143] 이에 의해, 액상 경화성 수지를 언더필로서 선도포한 후에, 반도체 칩을 기판에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 반도체 장치의 신뢰성을 높일 수 있다.

[0144] [32] <솔더 레지스트 개구부 내의 기판 패드의 형상>

[0145] 항1에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.

[0146] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비한다.

[0147] 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다. 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15_6)를 갖는다.

[0148] 상기 솔더 레지스트 개구부 내의 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드 각각은, 상기 제1 기판 패드열로부터 면 변에 볼록부를 갖는다.

[0149] 이에 의해, 액상 경화성 수지를 언더필로서 선도포한 후에, 반도체 칩을 기판에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 반도체 장치의 신뢰성을 높일 수 있다.

[0150] [33] <솔더 레지스트 개구부의 양단의 기판 패드에 접속되는 외측 방향의 배선에 의한 모세관 현상>

[0151] 항1에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.

[0152] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비한다.

[0153] 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다. 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15_7)를 갖는다.

[0154] 상기 솔더 레지스트 개구부 내의 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드 중, 양단의 기판 패드(9_1_11)는, 각각 상기 기판 상을 상기 제1 패드열을 향하여 연장되는 배선에 접속된다.

[0155] 이에 의해, 액상 경화성 수지를 언더필로서 선도포한 후에, 반도체 칩을 기판에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 반도체 장치의 신뢰성을 높일 수 있다.

[0156] [34] <플립 칩용 반도체 칩; 실장되는 기판 상에서의 솔더 레지스트 개구부 1개당의 기판 패드수를 제한>

[0157] 항10에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.

[0158] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로

배열되는, 제2 패드열(2_1)을 구비한다.

- [0159] 상기 반도체 칩이 플립 칩 실장되는 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다.
- [0160] 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15)를 갖는다.
- [0161] 1개의 상기 솔더 레지스트 개구부 내에 배치되는 상기 기판 패드의 수는, 상기 액상 경화성 수지의 플립 칩 실장시의 점성과, 상기 솔더 레지스트의 두께와, 상기 반도체 칩과 상기 기판의 간격에 기초하여 산출된다. 상기 반도체 칩에 있어서, 상기 솔더 레지스트 개구부 내에 배치되는 상기 기판 패드 각각과 접속되고, 상기 제2 패드열을 구성하는 제2 패드의 수는, 상기 기판 패드의 수와 동일수로 된다.
- [0162] 이에 의해, 액상 경화성 수지를 언더필로서 선도포한 후에, 기판에 가압하여 접착되는 플립 칩 실장되는 반도체 칩에 있어서, 실장 후의 반도체 장치의 솔더 레지스트 개구부에 복수의 기판 패드에 결치는 큰 보이드가 형성되는 일이 없어, 신뢰성을 높이는 것이 가능한, 반도체 칩을 제공할 수 있다.
- [0163] [35] <솔더 레지스트 개구부의 양단의 기판 패드에 접속되는 외측 방향의 배선에 의한 모세관 현상>
- [0164] 항10에 있어서, 상기 반도체 칩은 상기 기판에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다.
- [0165] 상기 반도체 칩은, 상기 제1 패드와 상기 제3 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 외측에 직선 형상으로 배열되는, 제1 패드열(2_2)과, 상기 제2 패드를 포함하는 복수의 패드가 서로 인접하여, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측에 직선 형상으로 배열되는, 제2 패드열(2_1)을 구비한다. 상기 반도체 칩은, 또한, 상기 입출력 셀열과 평행하고 상기 입출력 셀열보다 내측이고 상기 제2 패드열보다 외측에 직선 형상으로 배열되고, 상기 제2 패드열의 양측에 배치되는, 제3 패드열과 제4 패드열(2_5)을 구비한다.
- [0166] 상기 반도체 칩이 플립 칩 실장되는 상기 기판은, 솔더 레지스트(13)와, 상기 제1 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제1 기판 패드열(9_2)과, 상기 제2 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함하는, 제2 기판 패드열(9_1)을 구비한다. 상기 기판은 또한, 상기 제3 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드(9_5)를 포함하는, 제3 기판 패드열과, 상기 제4 패드열을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드(9_5)를 포함하는, 제4 기판 패드열을 구비한다.
- [0167] 상기 솔더 레지스트는, 상기 기판의, 상기 반도체 칩이 플립 칩 실장되는 면의 표면에 구비되고, 상기 제2 기판 패드열을 구성하는 상기 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15_7)를 갖는다.
- [0168] 상기 제2 패드열의 상기 제3 패드열에 가까운 단에 배치되는 패드는, 상기 제3 패드열의 상기 제2 패드열에 가까운 단에 배치되는 패드와 상기 기판 상에서 단락되고, 상기 제2 패드열의 상기 제4 패드열에 가까운 단에 배치되는 패드는, 상기 제4 패드열의 상기 제2 패드열에 가까운 단에 배치되는 패드와 상기 기판 상에서 단락된다.
- [0169] 이에 의해, 액상 경화성 수지를 언더필로서 선도포한 후에, 기판에 가압하여 접착되는 플립 칩 실장되는 반도체 칩에 있어서, 실장 후의 반도체 장치의 솔더 레지스트 개구부에 복수의 기판 패드에 결치는 큰 보이드가 형성되는 일이 없어, 신뢰성을 높이는 것이 가능한, 반도체 칩을 제공할 수 있다.
- [0170] 2. 실시 형태의 상세
- [0171] 실시 형태에 대하여 더욱 상세하게 설명한다.
- [0172] [실시 형태 1] <내측과 외측의 패드의 간격을 확대>
- [0173] 도 1은, 실시 형태 1에 따른 반도체 칩(1)에 있어서의 패드(2)의 배치를 도시하는 레이아웃도이며, 도 2는, 종래의 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도이다. 도 3은, 실시 형태 1에 따른 반도체 칩(1)이 기판(8) 상에 플립 칩 실장된, 반도체 장치(20)의 단면 방향의 실장 상태를 도시하는 모식도이며, 도 4는, 실시 형태 1 및 실시 형태 2에 따른 반도체 칩(1)에 있어서의 패드(2)의 레이아웃과, 그것이 플립 칩 실장되는 기판(8)에 있어서의 기판 패드(9)의 레이아웃을 도시하는 모식도이다.

- [0174] 본 실시 형태 1에 따른 반도체 장치(20)는, 도 3에 도시하는 바와 같이, 기판(8) 상에 반도체 칩(1)이 플립 칩 실장되어 구성된다. 반도체 칩(1)은 칩 패드(2_1과 2_2)를 구비하고, 기판(8)은 칩 패드(2_1과 2_2)와 범프(21)를 개재하여 각각 접속되는 기판 패드(9_1과 9_2)와, 도시를 생략한 비아(11)를 구비한다. 범프(21)를 개재하여 접속된 예를 도시했지만, 다른 접속 방법이어도 된다. 도 4는, 반도체 칩(1)에 있어서의 칩 패드(2_1과 2_2)의 레이아웃(a)과, 그것이 플립 칩 실장되는 기판(8)에 있어서의 기판 패드(9_1과 9_2)의 레이아웃(b)를 도시하는 모식도이다. 도 4에 도시하는 바와 같이, 기판 패드(9_1과 9_2)는, 각각 접속되는 칩 패드(2_1과 2_2)와 대면하는 위치에 배치된다. 도 4의 (a)와 (b)는 각각 상면도이므로, 칩 패드(2_1과 2_2)의 레이아웃(a)와 기판 패드(9_1과 9_2)의 레이아웃(b)은 경면 대상의 위치에 있다.
- [0175] 도 1은, 실시 형태 1에 따른 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도이며, 도 2는, 종래의 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도이다.
- [0176] 반도체 칩(1)은 직선 형상으로 배열되고, 서로 인접하는 입출력 셀(3_1 내지 3_3)을 포함하는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열을 구비한다. 입출력 셀(3) 각각에는, 패드와의 사이의 배선을 위한 전극(4)이 설치되어 있다. 복수의 칩 패드(2)에는, 입출력 셀(3_1, 3_2, 3_3)에 각각 전기적으로 접속되는 패드(2_2_1, 2_1_2, 2_2_3)가 포함된다. 패드(2)에는 각각, 프로빙 에리어(5)와 본딩에리어(6)가 있다. 프로빙 에리어(5)는 반도체 칩(1)의 테스팅에 있어서, 테스트용 신호를 인가하거나, 또는 출력되는 신호를 관측하기 위해서, 탐침을 접촉시키기 위한 에리어이다. 본딩에리어(6)는, 패드(2)와 기판(8)의 신호의 전기적 접속을 행하기 위한 에리어이며, 예를 들어 범프(돌기 전극)가 형성된다.
- [0177] 기판(8)은, 반도체 칩(1)의 패드(2_2_1, 2_1_2, 2_2_3)의 각각과 대면하여 접속되는 기판 패드(9_2_1, 9_1_2, 9_2_3)를 구비한다. 기판 패드(9_2_1)와 기판 패드(9_2_3)의 간격은, 기판(8)의 설계 제약에서 허용되는 배선의 최소폭과, 배선과 기판 패드(9)에 요구되는 스페이스값의 2배의 합보다도 좁다. 따라서, 기판 패드(9_2_1)와 기판 패드(9_2_3) 사이에는, 배선을 통과시킬 수는 없다.
- [0178] 반도체 칩(1)에 있어서, 칩 패드(2_2_1과 2_2_3)는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열보다 외측에 서로 인접하여 배열된다. 칩 패드(2_1_2)는, 복수의 입출력 셀(3)을 포함하는 입출력 셀열보다 내측에 배치된다. 여기서, 외측이란 반도체 칩(1)의 칩단의 방향이며, 내측이란 칩의 중심 방향이다. 도 2에 도시하는 바와 같이, 종래의 반도체 칩에서는, 입출력 셀열의 외측의 패드열(out-line pad)과 내측의 패드열(in-line pad)은, 근접하여 레이아웃되어 있다. 외측 패드열과 내측 패드열은, 반도체 칩의 패드끼리의 간격에 설계 제약에서 요구되는 최소의 피치로 배치된다. 이에 의해, 반도체 칩의 칩 크기가 패드수(단자수)에 의해 결정되는 패드 넥인 경우에 칩 크기를 최소로 할 수 있다.
- [0179] 이에 비해, 본 실시 형태 1의 반도체 칩(1)에서는, 패드(2_1_2)는, 패드(2_2_1과 2_2_3)로부터 소정의 거리 L만큼 이격하여 레이아웃된다. 패드(2_1_2)와 입출력 셀(3_2)의 전극(4) 사이는, 배선(7)으로 배선된다. 보다 적합하게는, 기판 패드(9_2_1과 9_2_3)의 각각과 접속되는 칩 패드(2_2_1과 2_2_3)는, 외측의 패드열에 포함되어 반도체 칩(1)의 패드(2)끼리의 간격에 설계 제약에서 요구되는 최소의 피치(2p)로 지그재그 배치된다. 이에 의해, 인접하는 입출력 셀에 접속되는 외측과 내측의 패드는, 설계 제약에서 요구되는 최소의 피치(2p)의 절반의 피치 p의 간격으로 배치할 수 있고, 반도체 칩(1)의 칩 크기가 단자수에 의해 결정되는 패드 넥인 경우에도, 종래와 동일한 칩 크기 이하로 억제할 수 있다. 또한, 기판 패드(9_1_2)와 접속되는 칩 패드(2_1_2)는, 내측의 패드열에 포함되어 반도체 칩(1)의 패드(2)끼리의 간격에 설계 제약에서 요구되는 최소의 피치(2p)로 배치된다. 이에 의해, 반도체 칩(1)에 있어서도, 인접하는 입출력 셀에 접속되는 외측과 내측의 패드는, 설계 제약에서 요구되는 최소의 피치(2p)의 절반의 피치 p의 간격으로 배치할 수 있어, 패드수(단자수)를 종래와 동일수 이상으로 할 수 있다.
- [0180] 소정의 거리 L의 규정 방법의 일례에 대해서, 도 5를 인용하여 설명한다. 소정의 거리 L은, 반도체 칩(1)이 플립 칩 실장되는 기판(8)에 있어서의 배선성을 고려하여 규정된다.
- [0181] 도 5는, 실시 형태 1에 따른 반도체 칩(1)이 플립 칩 실장되는 기판(8)에 있어서의, 기판 패드(9)의 배치예를 도시하는 레이아웃도이다. 기판(8)에는, 반도체 칩(1)의 내측 패드열에 접속되는 복수의 기판 패드(9_1)를 포함하는 내측 기판 패드열(in-line pad)과, 반도체 칩(1)의 외측의 패드열에 접속되는 복수의 기판 패드(9_2)를 포함하는 외측 기판 패드열(out-line pad)이 배치되어 있다. 이때, 소정의 거리 L은, 기판(8)에 있어서 외측 기판 패드열과 내측 기판 패드열 사이에, 적어도 1개의 비아(11)를 배치할 수 있는 거리로 한다. 보다 구체적으로는, 비아의 직경(L1)과, 상기 비아와 상기 기판 패드의 간격에 설계 제약에서 요구되는 최소 스페이스값(L2)의 2배의 합 이상의 거리로 한다. 이에 수반하여, 반도체 칩(1) 상의 패드(2_1_2)는, 접속되는 기판 패드

(9_1_2)가 칩 패드(2_2_1과 2_2_3)에 각각 접속되는 기판 패드(9_2_1과 9_2_3)로부터 상기 소정의 거리만큼 이격되도록, 칩 패드(2_2_1과 2_2_3) 각각으로부터 이격하여 배치된다.

[0182] 이에 의해, 반도체 칩이 플립 칩 실장되는 기판의 배선성을 향상시킬 수 있다. 특히, 기판 상의 신호 배선이나 전원 배선의 배선성을 향상시킬 수 있다.

[0183] 본 실시 형태 1의 효과에 대하여 설명한다.

[0184] 도 6은, 종래의 반도체 칩에 있어서의 패드(2_1과 2_2)의 배치예와, 그 반도체 칩이 플립 칩 실장되는 기판(8)에 있어서의, 기판 패드(9_1과 9_2)의 배치예를 도시하는 레이아웃도이다. 도 7은, 실시 형태 1에 따른 반도체 칩(1)에 있어서의 패드(2_1과 2_2)의 배치예와 그 반도체 칩(1)이 플립 칩 실장되는 기판(8)에 있어서의, 기판 패드(9_1과 9_2)의 배치예를 도시하는 레이아웃도이다. 도 6과 도 7에서는 각각, (a)에 나타내는 바와 같이 반도체 칩(1) 측에는, 복수의 패드(2_1)를 포함하는 내측 패드열과 복수의 패드(2_2)를 포함하는 외측 패드열이, 지그재그 배치되어 있다. (b)에 나타내는 바와 같이, 기판(8) 측에는, 복수의 기판 패드(9_1)를 포함하는 내측 기판 패드열과 복수의 기판 패드(9_2)를 포함하는 외측 기판 패드열과, 각각의 기판 패드로부터 인출되는 배선(12)에 의해 접속되는 복수의 비아(11)가 도시된다. 반도체 칩(1)의 패드의 피치 p 가, 예를 들어 $25\mu\text{m}$ 일 때, 비아(11)의 직경은 그 기판의 재질이나 가공 정밀도에 따라, $140\mu\text{m}$ 내지 $200\mu\text{m}$ 로 된다. 도 6과 도 7에서는, 그러한 패드와 비아의 치수비가, 비교적 충실하게 그려져 있다.

[0185] 도 6에 도시되는 종래의 반도체 칩에 있어서의 내측 패드열과 외측 패드열의 간격은 좁고(a), 거기에 접속되는 기판(8)의 내측 기판 패드열과 외측 기판 패드열의 간격도 좁다(b). 그로 인해, 내측 기판 패드열에 접속되는 배선(12)과 비아(11_1)는 내측 방향으로만 배치할 수 있고, 외측 기판 패드열에 접속되는 배선(12)과 비아(11_2)는 외측 방향으로만 배치할 수 있다. 비아(11_1과 11_2)의 직경은, 도시되는 바와 같거나, 또는 그것보다도 크므로, 비아(11_1과 11_2)를 배치할 수 있는 위치는, 기판 패드(9_1과 9_2)의 근방에만 그칠 수는 없고, 많은 신호선에서 먼 곳까지 배선을 연장시킬 필요가 생긴다. 도 6에서는, 배선 영역이 (b)에 파선으로 나타내는 영역에까지 확장되어 있다. 지면의 사정상, 내외 각각 4개의 기판 패드(9_1과 9_2)와 비아(11_1과 11_2)를 나타내는 것밖에 할 수 없지만, 이 수가 증가하면, 보다 넓은 배선 영역이 필요해지는 것은 명확하다.

[0186] 도 7에 도시되는, 실시 형태 1에 따른 반도체 칩(1)에 있어서는, 내측 기판 패드열과 외측 기판 패드열의 간격을 도 5에 도시하는 바와 같이, 비아(11)를 배치할 수 있는 거리 L 까지 확장되도록, 반도체 칩에 있어서의 내측 패드열과 외측 패드열의 간격을 넓혔다(a). (b)에 도시되는 기판(8) 측에서는, 내측 기판 패드열과 외측 기판 패드열 사이에, 2개의 비아(11_3)를 배치할 수 있으므로, 파선으로 도시되는 배선 영역은, 보다 좁아진다. 지면의 사정상, 내외 각각 4개의 기판 패드(9_1과 9_2)와 비아(11_1, 11_2 및 11_3)를 나타내는 것밖에 할 수 없지만, 이 수가 증가하면, 도 6에 도시한 종래의 배선 영역의 면적과의 차는, 커지는 경향이 있다.

[0187] 소정의 간격 L 은, 내측 기판 패드열과 외측 기판 패드열 사이에 비아(11)를 1개 이상 배치할 수 있는 거리이면 되고, 간격을 넓히기 위해 필요한 반도체 칩(1) 상의 배선(7)에 의해 증가하는 임피던스의 크기와, 기판의 배선성이 개선됨으로써 저감되는 임피던스의 크기의 트레이드오프에 의해 최적 설계된다. 또한, 기하학적으로는, 패드 피치 p 와 비아 직경 L_1 의 비를 고려하여 최적 설계된다. 예를 들어, 피치 p 로 지그재그 배치되는 7개(양단의 2개는 인접 배선 영역과 공통이기 때문에, 실효적으로는 6개)의 패드의 폭은, $6p$ 이며, 이것이 비아의 직경 L_1 과 동일할 때, 내측 기판 패드열의 내측에 2개의 비아(11_1), 외측 기판 패드열의 외측에 2개의 비아(11_2), 사이에 2개의 비아(11_3)를 배치할 수 있으면, 배선 영역의 폭은, $6p=L_1$ 로 되어 최적으로 된다. $L=2\times L_1+3\times L_2$ 가 최적으로 된다. 일반적으로, 비아의 직경 $L_1=N\times p$ 일 때, $L=N/3\times L_1+(N/3+1)\times L_2$ 가 최적으로 되고, 이것보다도 큰 거리 L 을 채용해도, 기판의 배선성은 거의 개선되지 않는다. 오히려, 큰 거리 L 을 실현하기 위한 배선(7)에 의해 칩 측의 임피던스가 증가하는 문제가 현재화될 우려가 있다.

[0188] 이상 설명한 바와 같이, 본 실시 형태 1에 의하면, 반도체 칩(1)이 플립 칩 실장되는 기판(8)의 배선성을 향상시킬 수 있다. 특히, 기판 상의 신호 배선이나 전원 배선의 배선성을 향상시킬 수 있다.

[0189] 도 8은, 실시 형태 1에 따른 반도체 칩(1)에 있어서의 패드(2_1과 2_2)의 배치예와 그 반도체 칩(1)이 플립 칩 실장되는 기판(8)에 있어서의, 기판 패드(9_1과 9_2)의 배치의 다른 예를 도시하는 레이아웃도이다. 도 7에 도시한 것과 마찬가지로, (a)에 나타내는 반도체 칩(1) 측에는, 복수의 패드(2_1)를 포함하는 내측 패드열과 복수의 패드(2_2)를 포함하는 외측 패드열이, 거리 L 만큼 이격하여 지그재그 배치되어 있다. (b)에 나타내는 기판(8) 측에는, 복수의 기판 패드(9_1)를 포함하는 내측 기판 패드열과 복수의 기판 패드(9_2)를 포함하는 외측 기판 패드열과, 각각의 기판 패드로부터 인출되는 배선(12)에 의해 접속되는 복수의 비아(11)가 도시된다. 도 7

에 도시한 예에서는, 모든 기판 패드(9)가, 각각 1개의 비아(11)에 배선된다. 그것에 대하여 도 8에 도시하는 예에서는, 기판 패드(9_2_1)와, 기판 패드(9_1_2)가 배선(12)으로 단락되고 그 사이에 배치되는 비아(11_4)를 구비한다.

[0190] 이에 의해, 내측 기판 패드열과 외측 기판 패드열에서, 서로 근접하는 입출력 셀에 접속되는 패드(2_2_1과 2_1_2)가, 동일한 신호인 경우, 대응하는 기판 패드(9_2_1과 9_1_2)를 서로 단락하여 비아(11_4)를 공유함으로써, 기판의 배선성을 보다 향상시킬 수 있다. 특히, 인접하고 근접하는 패드가 모두 전원이나 그라운드인 경우에 유효하다.

[0191] [실시 형태2] <내측과 외측의 패드의 간격을 확대(도금 배선)>

[0192] 소정의 거리 L의 규정 방법에 대해서, 도 5를 인용하여 설명한 예와는 다른 예를, 도 9를 인용하여 설명한다. 소정의 거리 L은, 반도체 칩(1)이 플립 칩 실장되는 기판(8)에 있어서의 배선성을 고려하여 규정되는 점은 마찬가지이지만, 특히, 도금 배선의 배선성을 고려하여 규정된다.

[0193] 다른 구성은, 실시 형태 1에서 설명한 것과 마찬가지이다. 도 1, 도 3, 도 4에 관한 설명은, 그대로 본 실시 형태 2에 대해서도 타당하다.

[0194] 도 9는, 실시 형태 2에 따른 반도체 칩(1)이 플립 칩 실장되는 기판(8)에 있어서의, 기판 패드(9_1과 9_2)의 배치를 도시하는 레이아웃도이다.

[0195] 기판(8)에는, 반도체 칩(1)의 내측 패드열에 접속되는 복수의 기판 패드(9_1)를 포함하는 내측 기판 패드열과, 반도체 칩(1)의 외측의 패드열에 접속되는 복수의 기판 패드(9_2)를 포함하는 외측 기판 패드열이 배치되어 있다. 내측 기판 패드열 중 몇개의 기판 패드(9_1)와 외측 기판 패드열 중 몇개의 기판 패드(9_2)는, 배선(12_1 내지 12_6)으로 서로 단락되어 있다. 배선(12_1 내지 12_6)은 도금 배선이며, 또한 배선(12)을 추가하여 모든 기판 패드가 단락되어도 된다.

[0196] 기판(8)은, 기판 패드(9) 등을 제외하고, 레지스트막(13)으로 피복되어 있다. 내측 기판 패드열의 내측에는 레지스트막(13_1), 외측 기판 패드열의 외측에는 레지스트막(13_4)이 형성되어 있다. 배선(12_1 내지 12_6)은 도금 배선이므로, 단락 부분은 전해 도금 처리 후에 애칭에 의해 제거될 필요가 있다. 내측 기판 패드열과 외측 기판 패드열 사이의 레지스트막(13_2와 13_3)에는, 도금 배선(12_1)을 에치 백하기 위한 개구부가 설치되어 있다. 실제의 에치 백 공정에서는, 마스크(14_1과 14_2)를 사용하여, 기판 패드(9_1과 9_2)도 포함시켜서, 애칭 대상외의 영역이 덮인다. 마스크(14_1과 14_2)는 에치 백 공정 후, 세정액 등에 의해 제거된다.

[0197] 소정의 거리 L은, 레지스트막의 개구의 최소폭 L3과 레지스트막 자체의 최소폭 L4의 2배의 합 이상의 값으로 규정된다.

[0198] 이에 의해, 기판 상의 도금 배선의 배선성을 향상시킬 수 있다. 반도체 칩(1)의 4변에 대응하는 기판(8) 상의 4변의 모든 기판 패드(9_1과 9_2)를 동일한 폭 L만큼 이격하여 배치하면, 모든 기판 패드(9_1과 9_2)를 서로 단락하는 도금 배선(12_1)은, 4변을 주회하는 레이아웃으로 할 수 있다. 이로 인해, 기판(8)의 반대면에는, 도금 배선을 설치할 필요가 없어진다. 그로 인해, 그 기판이 예를 들어 BGA를 위한 패키지 기판이면, 도금 배선을 위하여 BGA 전극을 배치할 수 없는 영역을 없앨 수 있다. 동일한 면적에 보다 많은 BGA 전극을 배치할 수 있거나, 또는, 동일 수의 BGA 전극을 배치하기 위한 패키지 크기를 작게 할 수 있다.

[0199] [실시 형태3] <프로브용 패드>

[0200] 실시 형태 1 및 2에서는, 동일한 칩 패드 상에 프로빙 에리어(5)와 본딩에리어(6)가 있는 예를 나타냈다. 여기서, 프로빙 에리어(5)는, 전술한 바와 같이, 반도체 칩(1)의 테스팅에 있어서, 테스트용 신호를 인가하거나 또는 출력되는 신호를 관측하기 위한, 탐침을 접촉시키기 위한 에리어이기 때문에, 테스팅 시에 탐침을 누르는 것에 의해 가압이 가해진다. 종래의 반도체 칩에서는, 입출력 셀(3)의 영역 내 또는, 내부 회로와의 스페이싱 영역 상에 배치할 수 있기 때문에, 탐침에 의한 가압은 내부 회로에는 걸리지 않는다. 그런데, 실시 형태 1 및 2에 나타낸 바와 같이, 내측 패드열을 내측 즉 회로 형성 영역의 방향으로 이동시키기 때문에, 내측 패드열이 내부 회로 상에 배치될 가능성이 있다. 이때, 탐침에 의한 가압이 내부 회로의 특성이나 동작에 영향을 주어, 디바이스의 신뢰성이나 안정 동작의 보증이 곤란해진다. 이것은, 실시 형태 1 및 2에서 발생한 새로운 과제이다. 본 실시 형태 3은 그 과제를 해결하는 구성의 하나이다.

[0201] 도 10은, 실시 형태 3에 따른 반도체 칩에 있어서의 패드의 배치를 도시하는 레이아웃도이다.

- [0202] 다른 구성은, 실시 형태 1 및 실시 형태 2에서 설명한 것과 마찬가지이고, 도 1, 도 3, 도 4에 관한 설명은, 본 실시 형태 3에 대해서도 타당하다. 실시 형태 3에 따른 반도체 칩(1)은, 입출력 셀(3_2)에 전기적으로 접속되고, 입출력 셀열보다 내측이고 패드(2_1_2)와 입출력 셀열 사이에 배치되는, 패드(2_3)를 더 구비한다.
- [0203] 이 반도체 칩(1)이 플립 칩 실장되는 기판(8)은, 패드(2_2_1)와 대면하여 접속되는 기판 패드(9_2_1)와, 패드(2_1_2)와 대면하여 접속되는 기판 패드(9_1_2)와, 패드(2_2_3)와 대면하여 접속되는 기판 패드(9_2_3)를 구비하지만, 패드(2_3)와 대면하는 위치에 기판 패드를 배치하지 않는다. 패드(2_3)는 오로지 프로빙에 사용되고, 패드(2_1_2)가 오로지 본딩에 사용된다. 도 10에서는, 3개의 모든 내측 패드(2_1)가 프로빙 에리어(5)를 갖지 않고 본딩에리어(6)만을 갖고, 본딩에리어(6)를 갖지 않고 프로빙 에리어(5)만을 갖는 패드(2_3)를 구비한다. 본딩에리어(6)를 갖지 않고 프로빙 에리어(5)만을 갖는 패드(2_3)는, 입출력 셀(3)의 영역 내 또는, 내부 회로와의 스페이싱 영역 상에 배치할 수 있다.
- [0204] 이에 의해, 프로빙시의 대미지를 경감할 수 있고, 디바이스 특성을 열화시키는 문제의 발생을 방지할 수 있다.
- [0205] 내측 패드열의 패드 중, 가압을 허용할 수 없는 회로 상에 배치되는 패드(2_1)에 한하여 프로빙 에리어(5)만을 갖는 패드(2_3)를 더 구비해도 되고, 내측 패드열의 패드 모두에 프로빙 에리어(5)만을 갖는 패드(2_3)를 구비해도 된다.
- [0206] [실시 형태4] <칩 코너부>
- [0207] 실시 형태 1 및 2의 반도체 칩(1)에 있어서의 칩 코너부의 구성예에 대하여 설명한다.
- [0208] 도 11은, 종래의 반도체 칩의 코너부에 있어서의 패드의 배치를 도시하는 레이아웃도이며, 도 12는, 실시 형태 4에 따른 반도체 칩의 코너부에 있어서의 패드의 배치를 도시하는 레이아웃도이다.
- [0209] 도 11과 도 12는, 반도체 칩(1)의 좌측 하방의 코너부를 나타내고, 하변의 입출력 셀열(3_S)과 좌변의 입출력 셀열이, 각각 방향으로 배치되어 있고, 그 내측과 외측 각각에, 내측 패드열(2_1_S)과 외측 패드열(2_2_S), 내측 패드열(2_1_W)과 외측 패드열(2_2_W)이 지그재그 배치되어 있다. 도 11에 도시하는 종래의 반도체 칩의 코너부에서는, 과선으로 둘러싸인 영역에 대응하는 기판의 영역에서의 배선의 폭주를 피하기 위해서, 예를 들어 특허문헌 3에 도시되는 바와 같이, 일부의 내측 패드의 배치를 금지하고 있다. 도 11에 있어서 과선으로 도시되는 내측 패드(2_1)는, 배치가 금지되었기 때문에 배치할 수 없었던 패드이다.
- [0210] 도 12에는, 본 실시 형태 4에 따른 반도체 칩(1)에 있어서의 칩 코너부의 구성예가 도시된다. 좌변에 있어서, 내측 패드열(2_1_W)은 외측 패드열(2_2_W)보다도 소정의 거리 L만큼 내측으로 이동하여 배치되고, 배선(7)으로 입출력 셀열(3_W)에 배선되어 있다. 한편, 하변의 내측 패드열(2_1_S)은, 좌변의 내측 패드열(2_1_W) 및 기판에 있어서의 배선 영역을 고려하여, 좌측 단부로부터 몇개의 패드(2_1)를 배치할 수 없다.
- [0211] 도 11과 도 12를 비교하면, 종래는 합계 10개의 내측 패드열의 패드가, 배치를 금지당하는 데 반해, 본 실시 형태 4에서는, 하변의 5개의 내측 패드열의 패드가, 배치를 금지당하는 데 그친다. 동일한 칩 면적, 기판 면적에 배치할 수 있는 패드의 수를 종래보다도 증가시킬 수 있다.
- [0212] 도 12에는, 하변에서만 내측 패드열의 패드의 배치를 금지하는 예를 나타냈지만, 좌변과 하변의 양면에서 대략 동일 수의 내측 패드열의 패드의 배치를 금지할 수도 있다. 이에 의해, 실시 형태 2와 조합한 경우에, 좌변의 도금 배선과 하변의 도금 배선의 접속이 용이해진다. 본 실시 형태 4는, 좌측 하방의 코너부를 예시하여 설명했지만, 다른 코너부에도 마찬가지로 적용할 수 있는 것, 또한, 4코너 모두에 적용해도 되는 것은 물론이다.
- [0213] [실시 형태5] <실장 형태>
- [0214] 실시 형태 1 내지 4에 따른 반도체 칩(1)은, 기판(8) 상에 플립 칩 실장되는 다양한 실장 형태의 반도체 장치를 구성할 수 있다.
- [0215] 도 13은, 실시 형태 1 내지 4에 따른 반도체 칩(1)이 플립 칩 실장된 기판(8)을 포함하는, BGA20_1의 단면 방향의 실장 형태의 일례를 도시하는 모식도이다. 반도체 칩(1)은, 외측 패드열(2_2)과 그 외측 패드열(2_2)로부터 소정의 거리 L만큼 이격하여 배치된 내측 패드열(2_1)을 구비한다. 기판(8)은, 범프(21)를 개재하여 반도체 칩(1)의 내측 패드열(2_1)과 외측 패드열(2_2)에 접속되는 내측 기판 패드열(9_1)과 외측 기판 패드열(9_2)을 구비한다. 기판(8)은, 기판 패드(9_1과 9_2)를 구비하는 면과 반대 면에, BGA 패드(22)를 구비하고, BGA 패드(22)에 접속되는 BGA 전극(23)을 구비한다. 상부는, 밀봉재(28)로 밀봉된다. 밀봉재(28)는, 예를 들어 레진이나 금속제의 덩개를 갖는 세라믹 등이어도 된다.

- [0216] 이에 의해, BGA에 실장된 반도체 장치(20_1)에 있어서, 기판(8)의 배선성을 향상시킬 수 있다. 실시 형태 2의 경우에는, BGA 패드면의 도금 배선을 생략하는 것도 가능하고, 동일한 기판 면적에 많은 BGA 단자(23)를 배치하거나 또는 소정수의 BGA 단자를 배치하기 위한 기판(8)의 면적 즉, BGA 패키지의 크기를 작게 억제할 수 있다.
- [0217] 도 14는, 실시 형태 1 내지 4에 따른 반도체 칩(1)이 플립 칩 실장된 기판(8)을 포함하는, SiP(System in Package)(20_2)의 단면 방향의 실장 형태의 일례를 도시하는 모식도이다.
- [0218] 도 13에 나타낸 것과 마찬가지로, 반도체 칩(1)은, 외측 패드열(2_2)과 그 외측 패드열(2_2)로부터 소정의 거리 L만큼 이격하여 배치된 내측 패드열(2_1)을 구비한다. 기판(8)은, 범프(21)를 개재하여 반도체 칩(1)의 내측 패드열(2_1)과 외측 패드열(2_2)에 접속되는 내측 기판 패드열(9_1)과 외측 기판 패드열(9_2)을 구비한다. 기판(8)은, 기판 패드(9_1과 9_2)를 구비하는 면과 반대 면에, BGA 패드(22)를 구비하고, BGA 패드(22)에 접속되는 BGA 전극(23)을 구비한다. BGA 이외의 전극이어도 된다. 반도체 칩(1) 상에는, 또한 다른 반도체 칩(24)이 적층된다. 기판(8)에는, 또한 기판 패드군(9_4)이 설치되고, 본딩와이어(25)로 반도체 칩(24)과 전기적으로 접속된다. 상부는, 밀봉재(28)로 밀봉된다. 밀봉재(28)는, 예를 들어 레진이나 금속제의 덮개를 갖는 세라믹 등이어도 된다.
- [0219] 예를 들어, 반도체 칩(1)을 CPU를 포함하는 마이크로컴퓨터나 시스템 LSI로 하고, 반도체 칩(24)을 메모리로 해서, 단일 패키지에 하나의 응용 시스템을 집적할 수 있다.
- [0220] 이에 의해, SiP(20_2)에 있어서, 기판의 배선성을 향상시킬 수 있다.
- [0221] 도 15는, 실시 형태 1 내지 4에 따른 반도체 칩(1)이 플립 칩 실장된 기판(8)을 포함하는, PoP(Package on Package)(20_3)의 단면 방향의 실장 형태의 일례를 도시하는 모식도이다.
- [0222] 도 13, 도 14에 도시한 것과 마찬가지로, 반도체 칩(1)은 외측 패드열(2_2)과 그 외측 패드열(2_2)로부터 소정의 거리 L만큼 이격하여 배치된 내측 패드열(2_1)을 구비한다. 기판(8)은, 범프(21)를 개재하여 반도체 칩(1)의 내측 패드열(2_1)과 외측 패드열(2_2)와에 접속되는 내측 기판 패드열(9_1)과 외측 기판 패드열(9_2)을 구비한다. 기판(8)은, 기판 패드(9_1과 9_2)를 구비하는 면과 반대 면에, BGA 패드(22)를 구비하고, BGA 패드(22)에 접속하는 BGA 전극(23)을 구비한다. BGA 이외의 전극이어도 된다. 반도체 칩(1)의 상에는, 돌기 전극(27)을 구비하는 패키지 실장된 반도체 장치(26)가 적층된다. 기판(8)에는, 또한 기판 패드군(9_4)이 설치되고, 돌기 전극(27)으로 반도체 장치(26)와 전기적으로 접속된다.
- [0223] 돌기 전극(27)과 그것과 접속되는 기판 패드(9_4)의 사양은, 예를 들어 JEDEC 반도체 기술협회에 의해 규정되어 표준 규격에 준하여 정할 수 있다.
- [0224] 이에 의해, PoP(20_3)에 있어서, 기판의 배선성을 향상시킬 수 있다.
- [0225] 실시 형태 1 내지 4에 따른 반도체 칩(1)은 도 13 내지 15에 예시한 것 같은 특정한 실장 형태를 채용하지 않고, 프린트 기판 상에 직접 베어 칩 실장될 수도 있다.
- [0226] 도 16은, 실시 형태 1 내지 4에 따른 반도체 칩이 기판 상에 베어 칩인 상태로 플립 칩 실장된 회로 기판(프린트 기판)에 있어서의, 단면 방향의 실장 형태의 일례를 도시하는 모식도이다.
- [0227] 도 13 내지 15에 나타낸 것과 마찬가지로, 반도체 칩(1)은 외측 패드열(2_2)과 그 외측 패드열(2_2)로부터 소정의 거리 L만큼 이격하여 배치된 내측 패드열(2_1)을 구비한다. 기판(8)은 범프(21)를 개재하여 반도체 칩(1)의 내측 패드열(2_1)과 외측 패드열(2_2)에 접속되는 내측 기판 패드열(9_1)과 외측 기판 패드열(9_2)을 구비한다. 여기서 기판(8)은, 다른 반도체 칩이 베어 칩 실장되거나, 또는 패키지된 다른 반도체 칩이나 그 밖의 디스크리트 부품이 실장된, 프린트 기판으로 할 수 있다. 또한, 그러한 다른 부품을 실장하고, 표면 또는 이면에 전극을 설치한, 멀티 칩 모듈을 구성할 수도 있다.
- [0228] [실시 형태 6] <솔더 레지스트 개구부 1개당의 기판 패드수를 제한>
- [0229] 실시 형태 1에 따른 반도체 칩(1)을, 대응하는 기판(8) 상에 플립 칩 실장하고, 반도체 장치(20)를 구성하는 경우, 플립 칩 실장의 방법에 따라서는, 어떤 조건 하에서 반도체 장치(20)의 신뢰성을 저하시키는 문제가 발생할 우려가 있다. 우선, 이 새로운 과제에 대하여 설명한다.
- [0230] 도 17은, 새로운 과제에 관한 설명도이며, 도 18은, 그 보다 상세한 설명도이다.
- [0231] 도 17은, 실시 형태 1에 따른 반도체 칩(1)이 플립 칩 실장되는 기판(8)의 상면도이다. 기판(8)의 표면에는,

솔더 레지스트(13)의 층이 형성되어 있다. 반도체 칩(1)이 실장(마운트)되는 위치(29)의 영역 내에는, 솔더 레지스트(13)의 개구부(15)가 형성되어 있고, 기판 패드(9_1, 9_2, 9_5)가 표면에 노출되어 있다. 기판 패드(9_1과 9_2와 9_5)는, 예를 들어 동일한 변에서는, 대면하는 반도체 칩(1)의 패드(2_1과 2_2와 2_5)가 입출력 셀(3)의 동일한 열에 접속되는 패드인, 기판 패드열이며, 기판 패드(9_2)는 외측 기판 패드열, 기판 패드(9_5)는 중래 기술과 마찬가지의 내측 기판 패드열, 기판 패드(9_1)는 실시 형태 1에 따른 내측 기판 패드열을 구성하고 있다. 기판 패드(9_2)에 의해 구성되는 외측 기판 패드열과, 기판 패드(9_1)에 의해 구성되는 내측 기판 패드열은, 상술한 실시 형태 1에서 설명한 위치 관계에 준하여 배치된다. 반도체 칩(1)을 실장하는 공정에서는, 우선, 액상 경화성 수지(16)가, 접성을 갖는 액체 상태에서 기판(8)에 도포된다. 이것은 선도포라고 불린다. 액상 경화성 수지(16)는, 도 17에는, 반도체 칩(1)의 실장(마운트) 위치(29)의 중앙 부근에, 예를 들어 선도포 영역(18)으로서 도시되는 바와 같이, X자 형상으로 선도포된다. 그 후, 반도체 칩(1)이 플립 칩되어 마운트 위치(29)에 겹쳐지고, 가압하여 접착된다. 이 플립 칩 실장 후, 액상 경화성 수지는 경화하여 언더필(16)로 된다.

[0232] 이러한 플립 칩 실장의 방법을 채용한 경우, 어떤 조건 하에서, 내측 기판 패드열을 구성하는 기판 패드(9_1)를 둘러싸는 솔더 레지스트 개구부(15)에 있어서, 액상 경화성 수지가 경화된 언더필(16) 내에, 기포(이것을 보이드라고 칭함)(19)가 잔류하는 경우가 있다. 보이드(19)가 복수의 기판 패드(9)에 걸쳐서 형성된 경우에, 반도체 장치(20)의 신뢰성을 저하시킬 우려가 있다. 예를 들어, 보이드(19) 내에서 기판 패드가 산화되거나 또는 부식되어, 단락 경로가 형성될 우려가 있다.

[0233] 보이드(19)가 발생하는 원리에 대해서, 도 18을 사용하여 설명한다.

[0234] 도 18은, 이 새로운 과제에 관한 보다 상세한 설명이며, 보이드(19)가 발생하는 부근을 확대한 기판(8)의 상면도(a)와, 보이드(19)가 발생하는 개소인 X-Y 단면을 도시한 단면도(b)를 포함한다. X-Y 단면에는, (b)에 도시하는 바와 같이, 기판(8) 상에, 솔더 레지스트(13)의 층과 기판 패드(9_1_5)가 형성되어 있고, 기판 패드(9_1_5)는, 솔더 레지스트(13)의 개구부(15) 중에 배치되어 있다. 기판 패드(9_1_5)는, 범프(21)를 개재하여, 대면하는 반도체 칩(1)의 패드(2_1_5)에 접속된다. 반도체 칩(1)과 기판(8) 사이에는, 액상 경화성 수지(16)가 경화된 언더필(16)이 형성되어 있다. 언더필(16)은, 반도체 칩(1)과 기판(8)을 접착하는 기능과 함께, 기판 패드(9)와 반도체 칩(1)의 패드(2)의 접속부에 외부로부터 수분 등이 침입하는 것을 방지하는 기능을 하여, 반도체 장치(20)의 신뢰성을 유지한다.

[0235] 상면도(a)에는, 액상 경화성 수지(16)가 선도포된 후, 반도체 칩(1)이 가압되었을 때의, 액상 경화성 수지(16)의 흐름이 화살표 17로 나타난다. 선도포 영역(18)은, 마운트 위치(29)의 중앙 부근이므로, 도 18에서는 상측 방향이다. 액상 경화성 수지(16)는 내측으로부터 외측으로 흘러가게 된다. 이때, 솔더 레지스트(13)의 개구부(15)를 통과하는 액상 경화성 수지(16)는, 개구부(15)의 옆을 통과하는 액상 경화성 수지(16)에 비하여, 유속이 느려진다. 개구부(15)를 통과하는 액상 경화성 수지(16)는, 개구부(15)의 단차와 기판 패드(9_1_5)의 단차를 극복할 필요가 있기 때문이다. 개구부(15)의 옆을 통과하여 개구부(15)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름이, 개구부(15)를 통과하는 액상 경화성 수지(16)보다도 빠르고, 개구부(15)의 외측에 도달하면, 개구부(15)의 단부에 개구부(15)를 통과하는 액상 경화성 수지(16)에 의해 압출된 공기가, 빠져나갈 곳을 없어서 갇힌다. 이것이, 기포 즉 보이드(19)로 되어, 액상 경화성 수지가 경화된 후에도 언더필(16) 내에 잔류한다.

[0236] 보이드(19)의 크기는, 개구부(15)를 통과하는 액상 경화성 수지(16)에 의해 압출되는 공기의 양에 따라 결정되고, 그 공기의 양은, 그 개구부(15)의 크기 즉, 그 개구부(15) 내에 배치되는 기판 패드(9)의 수에 의해 규정된다. 따라서, 다수의 기판 패드(9)를 둘러싸는 큰 개구부를 형성하면, 보이드(19)가 커져, 개구부(15)의 테두리로부터 기판 패드(9)에 도달하고, 나아가서는, 복수의 기판 패드(9)에 걸치는 크기에 도달할 우려가 있다. 보이드(19)가 복수의 기판 패드(9)에 걸친 경우에는, 보이드(19) 내에서, 기판 패드나 반도체 칩의 패드의 산화나 부식이 진행되어, 산화물에 의한 단락 등의 고장을 야기할 우려가 있어, 반도체 장치(20)의 신뢰성을 저하시킨다.

[0237] 이 과제는, 실시 형태 1에 나타내는 바와 같이, 내측 기판 패드열을, 외측 기판 패드열로부터, 종래보다도 내측으로 이동시키고, 각각 다른 솔더 레지스트 개구부(15) 내에 배치할 때에, 내측 기판 패드열의 개구부(15)에서 발생한다.

[0238] 이 새로운 과제를 해결하기 위해서, 크게 나누어 이하의 3가지의 해결 수단을 취할 수 있다.

[0239] 제1 해결 수단은, 솔더 레지스트 개구부(15)를 세분화하여, 압출되어야 할 공기의 양을 저감시키고, 발생하는

보이드(19)의 크기를 억제한다는, 기술 사상에 기초하는 것이다. 본 실시 형태 6에서 상세하게 설명한다.

[0240] 제2 해결 수단은, 개구부(15)를 통과하는 액상 경화성 수지(16)의 유속을 올리고, 개구부(15)의 옆으로부터 돌아들어오는 액상 경화성 수지(16)의 유속과의 차를 없애도록 한다는, 기술 사상에 기초하는 것이다. 후술하는 실시 형태 7, 실시 형태 8 및 실시 형태 9에서 상세하게 설명한다.

[0241] 제3 해결 수단은, 개구부(15)의 옆으로부터 돌아들어오는 액상 경화성 수지(16)가, 개구부(15)의 외측에 도달하는 것을 자연시키고, 같은 공기의 양을 줄임으로써, 발생하는 보이드(19)의 크기를 억제한다는, 기술 사상에 기초하는 것이다. 후술하는 실시 형태 10에서 상세하게 설명한다.

[0242] 실시 형태 6 내지 실시 형태 10까지 나타내는 기술 사상은, 서로 조합할 수 있고, 또한, 상술한 실시 형태 1 내지 실시 형태 5와의 조합도 임의이다.

[0243] 우선, 제1 해결 수단에 대해서, 실시 형태 6으로서 이하에 상세하게 설명한다.

[0244] 도 19는, 실시 형태 6에 따른 반도체 칩(1)이 기판(8) 상에 플립 칩 실장된, 반도체 장치(20)의 평면 방향 및 단면 방향의 실장 상태를 도시하는 모식도이다. 도 17, 18에 나타낸 것과 마찬가지로, 반도체 칩(1)은 기판(8)에, 액상 경화성 수지(16)를 끼워서 플립 칩 실장된다. 도 18과 마찬가지로, (a)는 기판(8)의 상면도이며, (b)는 칩 실장 상태의 단면도이다. (b)는 보이드(19)가 발생하는 개소인 X-Y 단면을 도시한 단면도(b)이며, X-Y 단면에는, 기판(8) 상에, 솔더 레지스트(13)의 층과 기판 패드(9_1_5)가 형성되어 있고, 기판 패드(9_1_5)는, 솔더 레지스트(13)의 개구부(15) 중에 배치되어 있다. 기판 패드(9_1_5)는, 범프(21)를 개재하여, 대면하는 반도체 칩(1)의 패드(2_1_5)에 접속된다. 반도체 칩(1)과 기판(8) 사이에는, 액상 경화성 수지(16)가 경화된 언더필(16)이 형성되어 있다.

[0245] 반도체 칩(1)은 도 19에는 도시되지 않았지만, 도 1과 마찬가지로, 제1 패드열(2_2)(외측 패드열)과 제2 패드열(2_1)(실시 형태 1에 따른 내측 패드열)과 제3 패드열(2_5)(종래 기술과 마찬가지의 내측 패드열)을 구비한다. 제1 패드열(2_2)에서는, 제1 패드(2_2_1)와 제3 패드(2_2_3)를 포함하는 복수의 패드가 서로 인접하여, 입출력 셀열(3_1 내지 3_3)과 평행하고 입출력 셀열(3_1 내지 3_3)보다 외측에 직선 형상으로 배열된다. 제2 패드열(2_1)에서는, 제2 패드(2_1_2)를 포함하는 복수의 패드가 서로 인접하여, 입출력 셀열(3_1 내지 3_3)과 평행하고 입출력 셀열(3_1 내지 3_3)보다 내측에 직선 형상으로 배열된다. 제3 패드열(2_5)에서는, 제2 패드(2_1_2)를 포함하는 복수의 패드가 서로 인접하여, 입출력 셀열(3_1 내지 3_3)과 평행하고 입출력 셀열(3_1 내지 3_3)보다 내측이고, 제2 패드열(2_1)보다도 외측에, 직선 형상으로 배열된다.

[0246] 기판(8)은, 솔더 레지스트(13)와, 제1 기판 패드열(9_2)과, 제2 기판 패드열(9_1)과, 제3 기판 패드열(9_5)을 구비한다. 제1 기판 패드열(9_2), 제2 기판 패드열(9_1), 제3 기판 패드열(9_5)은, 각각, 반도체 칩(1)의 제1 패드열(2_2), 제2 패드열(2_1), 제3 패드열(2_5)을 구성하는 복수의 패드 각각과 대면하여 접속되는 복수의 기판 패드를 포함한다. 도 17을 인용하여 설명한 것과 마찬가지로, 제1 기판 패드열(9_2)은 외측 기판 패드열, 제3 기판 패드열(9_5)은 종래 기술과 마찬가지의 내측 기판 패드열, 제2 기판 패드열(9_1)은 실시 형태 1에 따른 내측 기판 패드열이다. 솔더 레지스트(13)는, 기판(8)의, 반도체 칩(1)이 플립 칩 실장되는 면의 표면에 구비되고, 제1 기판 패드열(9_2), 제2 기판 패드열(9_1), 제3 기판 패드열(9_5)을 구성하는 복수의 기판 패드가 배치되는 영역에, 솔더 레지스트 개구부(15)를 갖는다. 근접하여 배치된 기판 패드는, 동일한 솔더 레지스트 개구부(15)에 포함된다. 도 19에서는, 4개의 기판 패드를 포함하는 제2 기판 패드열(9_1)이 1개의 솔더 레지스트 개구부(15) 내에 배치되고, 3개의 기판 패드를 포함하는 제3 기판 패드열(9_5)과 7개의 기판 패드를 포함하는 제1 기판 패드열(9_2)이, 다른 1개의 솔더 레지스트 개구부(15) 내에 배치된다.

[0247] 제2 기판 패드열(9_1) 층(내측 기판 패드열층)에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수는, 액상 경화성 수지(16)의 플립 칩 실장시의 점성과, 솔더 레지스트(13)의 두께와, 반도체 칩(1)과 기판(8)의 간격을 포함하는 파라미터에 기초하여 산출된다. 예를 들어, 그들을 파라미터로서 입력하는 유체 시뮬레이션에 의해 구할 수 있다. 또는 예를 들어, 그들을 파라미터로 하는 시작품을 사용하여, 실험적으로 구할 수 있다.

[0248] 내측 기판 패드열에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를 산출된 수 이하로 제한함으로써, 압출되는 공기의 양을 저감시키고, 발생하는 보이드(19)의 크기를 억제할 수 있다. 도 19는, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를 4개로 억제한 예이다. 도 19에 있어서 보이드(19)는 도 18에 나타낸 예보다도 작게 억제되어, 제2 기판 패드열(9_1)의 기판 패드(9_1_5)에 도달해 있지 않다. 이로 인해, 기판 패드(9_1_5)의 산화나 부식이 예방된다.

- [0249] 반도체 장치(20)가 상술한 구성을 취함으로써, 액상 경화성 수지(16)를 언더필로서 선도포한 후에, 반도체 칩(1)을 기판(8)에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부(15)에 복수의 기판 패드에 결치는 큰 보이드가 형성되는 일이 없어, 그 반도체 장치(20)의 신뢰성을 높일 수 있다. 또한, 반도체 칩(1)에 있어서, 상술한 기판(8)에 실장되는 것을 전제로, 패드를 배치하는 위치를 정함으로써, 실장 후의 반도체 장치(20)의 솔더 레지스트 개구부(15)에 복수의 기판 패드에 결치는 큰 보이드가 형성되는 일이 없어, 신뢰성을 높일 수 있는, 반도체 칩(1)을 제공할 수 있다.
- [0250] 내측 기판 패드열에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를 산출된 수 이하로 제한하기 위한, 기판 패드(9)의 배치 방법에는, 다양한 실시 형태가 있다.
- [0251] 도 20은, 실시 형태 6에 따른 반도체 장치(20)의 기판(8)에 있어서의, 기판 패드(9)의 배치의 일례를 도시하는 레이아웃도이다. 도 17이나 도 18과 도 19의 (a)와 마찬가지로, 기판(8)의 상면도이다. 내측 기판 패드열에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를, 산출된 수 이내로 제한하기 위해서, 개구부(15_1과 15_2) 중에 배치되는 기판 패드(9)의 수를 각각 4개로 제한한 예이다. 개구부(15_1과 15_2) 사이에 배치되는 기판 패드(9)를, 제3 기판 패드열(9_5) 측으로 이동시킴으로써, 개구부를 분리하여, 각각의 개구부(15_1과 15_2) 중에 포함되는 기판 패드의 수를 4개로 제한한 예이다. 이동시킨 기판 패드(9)를 노출시키기 위한 솔더 레지스트 개구는, 외측 기판 패드열의 개구부(15)와 결합하여 형성된다. 개구부간의 간격 SR은, 기판(8)의 설계 룰에 준하여, 예를 들어 20 μ m로 하고, 2개의 내측 기판 패드열(9_1과 9_5)의 피치 PL은, 예를 들어 100 μ m로 할 수 있다. 이를 간격은, 실시 형태 1에서 설명한 것과 마찬가지로, 내측 기판 패드열(9_1)과 외측 기판 패드열(9_2) 사이에 비아(11)를 1개 이상 배치할 수 있는 거리이면 되고, 간격을 넓히기 위하여 필요한 반도체 칩(1) 상의 배선에 의해 증가하는 임피던스의 크기와, 기판의 배선성이 개선됨으로써 저감되는 임피던스의 크기의 트레이드오프에 의해 최적 설계된다. 또한, 기하학적으로는, 패드 피치와 비아 직경의 비를 고려하여 최적 설계된다.
- [0252] 도 21은, 실시 형태 6에 따른 반도체 장치(20)의 기판(8)에 있어서의, 기판 패드(9)의 배치의 다른 예를 도시하는 레이아웃도이다. 도 17이나 도 18과 도 19의 (a), 도 20과 마찬가지로, 기판(8)의 상면도이다. 내측 기판 패드열(9_1)에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를, 산출된 수 이내로 제한하기 위해서, 개구부(15_1과 15_2) 중에 배치되는 기판 패드(9)의 수를 각각 4개로 제한한 예이다. 개구부(15_1과 15_2) 사이에 배치되는 기판 패드(9_6)를, 또한 내측으로 이동시킴으로써, 개구부(15_1과 15_2)를 분리하여, 각각의 개구부 중에 포함되는 기판 패드의 수를 4개로 제한한 예이다. 이동시킨 기판 패드(9_6)를 노출시키기 위한 솔더 레지스트 개구부(15_3)는, 독립하여 형성된다. 개구부(15_3과, 15_1, 15_2) 사이의 간격 SR은, 기판(8)의 설계 룰에 준하여, 예를 들어 20 μ m로 하고, 2개의 내측 기판 패드열(9_1)과 이동시킨 기판 패드(9_6)의 피치 PL은, 예를 들어 100 μ m로 할 수 있다. 도 20과 비교하여, 내측 기판 패드열(9_1)과 외측 기판 패드열(9_2) 사이의 공간을 넓게 취할 수 있어, 기판 상에서 비아를 배치할 때의 여유를 크게 할 수 있다.
- [0253] 도 22는, 실시 형태 6에 따른 반도체 장치(20)의 기판(8)에 있어서의, 기판 패드(9)의 배치의 또 다른 예를 도시하는 레이아웃도이다. 도 17이나 도 18과 도 19의 (a), 도 20, 도 21과 마찬가지로, 기판(8)의 상면도이다. 내측 기판 패드열에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를, 산출된 수 이내로 제한하기 위해서, 개구부(15_1과 15_2) 중에 배치되는 기판 패드(9_7)의 수를 각각 4개로 제한한 예이다. 개구부(15_1과 15_2) 사이에 배치되는 1개의 기판 패드(9_1)를 원래의 위치에 남긴 상태로, 양편의 기판 패드(9_7)를 다시 내측으로 이동시킴으로써, 개구부(15_1과 15_2)를 분리하여, 각각의 개구부 중에 포함되는 기판 패드의 수를 4개로 제한한 예이다. 각각으로 분리되어, 솔더 레지스트 개구부(15_1, 15_2, 15_3)가 형성된다. 개구부(15_3)와, 개구부(15_1, 15_2) 사이의 간격 SR은, 기판(8)의 설계 룰에 준하여, 예를 들어 20 μ m로 하고, 이동시킨 2개의 내측 기판 패드열(9_7)과 기판 패드(9_1)의 피치 PL은, 예를 들어 100 μ m로 할 수 있다. 도 20과 비교하여, 내측 기판 패드열(9_7)과 외측 기판 패드열(9_2) 사이의 공간을 넓게 취할 수 있어, 기판 상에서 비아를 배치할 때의 여유를 크게 할 수 있다.
- [0254] [실시 형태7] <솔더 레지스트 개구부의 형상>
- [0255] 상술한 새로운 과제를 해결하기 위한, 제2 해결 수단, 즉, 개구부(15)를 통과하는 액상 경화성 수지(16)의 유속을 올려서, 개구부(15)의 옆으로부터 돌아들어오는 액상 경화성 수지(16)의 유속과의 차를 없애도록 한다는, 기술 사상에 기초하는 것 중의 1개의 실시 형태에 대하여 설명한다.
- [0256] 도 23은, 실시 형태 7에 따른 반도체 장치의 기판에 있어서의, 솔더 레지스트 개구부의 형상의 일례를 도시하는 레이아웃도이다. 도 17, 도 18과 도 19의 (a), 도 20, 도 21, 도 22와 마찬가지로, 기판(8)의 상면도이다. 내

측 기판 패드열에 있어서, 1개의 솔더 레지스트 개구부(15) 내에 배치되는 기판 패드(9)의 수를 제한하는 대신, 개구부(15)의 형상을 연구한 예이다.

[0257] 반도체 칩(1)은 도 23에는 도시되지 않았지만, 도 1, 도 19와 마찬가지로, 제1 패드열(2_2)(외측 패드열)과 제2 패드열(2_1)(실시 형태 1에 따른 내측 패드열)과 제3 패드열(2_5)(종래 기술과 마찬가지의 내측 패드열)을 구비한다. 기판(8)은, 솔더 레지스트(13)와, 제1 기판 패드열(9_2)과, 제2 기판 패드열(9_1)과, 제3 기판 패드열(9_5)을 구비한다. 각각의 구성은, 도 19를 인용하여 설명한 바와 같으므로, 여기서는 설명을 생략한다.

[0258] 도 23에서는, 6개의 기판 패드를 포함하는 제2 기판 패드열(9_1)(내측 기판 패드열)이 1개의 솔더 레지스트 개구부(15_4) 내에 배치되고, 3개의 기판 패드를 포함하는 제3 기판 패드열(9_5)과 7개의 기판 패드를 포함하는 제1 기판 패드열(9_2)이, 다른 솔더 레지스트 개구부(15) 내에 배치된다. 솔더 레지스트 개구부(15_4)는, 제1 기판 패드열(9_2)로부터 면 변(칩의 내측 방향의 변)에 있어서, 복수의 기판 패드(9_1)의 간극에 대면하는 위치에 오목부를 갖고, 제1 기판 패드열(9_2)에 가까운 면(칩의 외측 방향의 변)에 있어서, 복수의 기판 패드(9_1)의 각 면에 대면하는 위치에 볼록부를 갖는다. 도 23에는 개구부(15_4)를 곡선으로 구성하는 예를 나타냈지만, 꺾은선으로 구성되는 다각형으로 해도 된다.

[0259] 도 23에는, 액상 경화성 수지(16)의 흐름(17)이 화살표로 나타내져 있다. 선도포 영역(18)은, 마운트 위치(2_9)의 중앙 부근이므로 도 23에서는 상측 방향이며, 액상 경화성 수지(16)는 내측으로부터 외측을 향하여 흘러가게 된다. 솔더 레지스트(13)의 개구부(15_4)를 통과하는 액상 경화성 수지(16)의 흐름은, 도면 부호 17_3로 나타내는 바와 같이, 솔더 레지스트 개구부(15_4)의 내측 방향에 가까운 면의 오목부에 집중한다. 내측으로부터 흘러 온 액상 경화성 수지(16)는, 오목부보다도 먼저 볼록부에 도달하여 솔더 레지스트(13)의 단차에 의해 유속이 느려지기 때문에, 오목부로 방향을 바꾸기 때문이다. 오목부에는 액상 경화성 수지(16)의 흐름이 집중하고, 화살표(17_4)로 나타내는 바와 같이, 기판 패드(9_1)의 간극을 통하여 흐른다. 이때, 흐름이 집중하기 때문에, 화살표(17_1, 17_2)로 나타내는 개구부(15)의 옆을 통과하는 액상 경화성 수지(16)에 비하여 유속이 느려지는 경우가 없거나, 느려지는 정도가 도 18에 나타낸 예보다도 완화된다. 또한, 솔더 레지스트 개구부(15_4)의 외측 방향에 가까운 면에서는, 액상 경화성 수지(16)의 흐름은, 화살표(17_5)로 나타내는 바와 같이, 복수의 기판 패드(9_1)의 각 면에 대면하는 위치의 볼록부에 집중한다. 솔더 레지스트(13)의 단차를 넘기 때문에 유속이 느려지기 때문이다. 그 결과, 개구부(15_4)를 통과하는 액상 경화성 수지(16)의 흐름(17_3, 17_4, 17_5)은, 개구부(15_4)의 옆을 통하여 개구부(15_4)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름(17_1, 17_2)과 비교하여, 동등한 속도이거나, 또는 느려진다고 해도 그 정도가 도 18에 나타낸 예보다도 완화된다. 개구부(15_4)의 단부에 압출되어 빠져나갈 곳을 잃어서 갇힌 공기의 양을 저감시킬 수 있다. 또한, 갇히는 공기도, 각 볼록부에 분산되므로, 보이드(19)가 형성되는 장소도 각 볼록부에 분산되고, 복수의 기판 패드(9)에 걸쳐서 형성되는 문제의 발생을 방지할 수 있거나, 발생해도 그 확률이 대폭 경감된다. 그로 인해, 1개의 개구부(15_4) 내에 포함할 수 있는 기판 패드(9_1)의 수를, 실시 형태 6에 비하여 증가시킬 수 있다.

[0260] 이에 의해, 액상 경화성 수지(16)를 언더필로서 선도포한 후에, 반도체 칩(1)을 기판(8)에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부(15)에 복수의 기판 패드에 걸치는 큰 보이드(19)가 형성되는 일이 없어, 반도체 장치(20)의 신뢰성을 높일 수 있다.

[0261] [실시 형태8] <솔더 레지스트 개구부 내의 기판 패드의 간극을 좁힌다>

[0262] 상술한 새로운 과제를 해결하기 위한, 제2 해결 수단, 즉, 개구부(15)를 통과하는 액상 경화성 수지(16)의 유속을 올려, 개구부(15)의 옆으로부터 돌아들어오는 액상 경화성 수지(16)의 유속과의 차를 없애도록 한다는, 기술 사상에 기초하는 실시 형태 중 다른 실시 형태에 대하여 설명한다.

[0263] 도 24는, 실시 형태 8에 따른 반도체 장치의 기판에 있어서의, 기판 패드의 배치의 일례를 도시하는 레이아웃도이다. 도 23 등과 마찬가지로, 기판(8)의 상면도이며, 도시되지 않는 반도체 칩(1)의 패드열(2_2, 2_1, 2_5)과, 도시되는 기판 패드열(9_2, 9_1, 9_5)은, 도 23과 마찬가지이다. 각각의 구성은, 도 19, 도 23을 인용하여 설명한 바와 같으므로, 여기서는 설명을 생략한다. 솔더 레지스트 개구부(15_5)의 형상은, 도 18, 도 19 등과 마찬가지로 사각형이지만, 본 실시 형태 8에 있어서는, 기판 패드열(9_1)의 간극이 가능한 한 좁게 형성되어 있다. 화살표(17_6)로 나타내는, 기판 패드열(9_1)의 간극을 흐르는 액상 경화성 수지(16)의 유속은, 모세관 현상에 의해, 도 19에 나타낸 예에 있어서의 기판 패드열(9_1)의 간극을 흐르는 액상 경화성 수지(16)의 유속보다도 빨라진다. 그 결과, 개구부(15_5)를 통과하는 액상 경화성 수지(16)의 흐름(17_6)은, 개구부(15_5)의 옆을 통하여 개구부(15_5)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름(17_1, 17_2)과 비교하여, 동등한 속도이거나, 또는 느려진다고 해도 그 정도가 도 18에 나타낸 예보다도 완화된다. 개구부(15_5)의 단부

에 압출되어 빠져나갈 곳을 잃어서 갇히는 공기의 양을 저감시킬 수 있다. 그로 인해, 1개의 개구부(15_5) 내에 포함할 수 있는 기판 패드(9_1)의 수를, 실시 형태 6에 비하여 증가시킬 수 있다.

[0264] 이에 의해, 액상 경화성 수지(16)를 언더필로서 선도포한 후에, 반도체 칩(1)을 기판(8)에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부(15)에 복수의 기판 패드에 걸치는 큰 보이드(19)가 형성되는 일이 없어, 반도체 장치(20)의 신뢰성을 높일 수 있다.

[0265] [실시 형태9] <솔더 레지스트 개구부 내의 기판 패드의 형상>

[0266] 상술한 새로운 과제를 해결하기 위한, 제2 해결 수단, 즉, 개구부(15)를 통과하는 액상 경화성 수지(16)의 유속을 올려, 개구부(15)의 옆으로부터 돌아들어오는 액상 경화성 수지(16)의 유속과의 차를 없애도록 한다는, 기술 사상에 기초하는 실시 형태 중 또 다른 실시 형태에 대하여 설명한다.

[0267] 도 25는, 실시 형태 9에 따른 반도체 장치의 기판에 있어서의, 솔더 레지스트 개구부(15_6) 내에 배치되는 기판 패드(9_1)의 형상의 일례를 도시하는 레이아웃도이다. 도 23, 도 24 등과 마찬가지로, 기판(8)의 상면도이며, 도시되지 않는 반도체 칩(1)의 패드열(2_2, 2_1, 2_5)과, 도시되는 기판 패드열(9_2, 9_1, 9_5)은, 도 23, 도 24와 마찬가지이다. 각각의 구성은, 도 19, 도 23 등을 인용하여 설명한 바와 같으므로, 여기서는 설명을 생략한다. 솔더 레지스트 개구부(15_6)의 형상은, 도 18, 도 19, 도 24 등과 마찬가지로 사각형이지만, 본 실시 형태 9에 있어서는, 내측 기판 패드열을 구성하는 기판 패드(9_1)의 형상에 연구가 실시되어 있다. 솔더 레지스트 개구부(15_6) 내의 내측 기판 패드열을 구성하는 기판 패드(9_1)는, 각각 외측 기판 패드열로부터 면 변에 볼록부를 갖는다. 솔더 레지스트(13)의 개구부(15_6)를 통과하는 액상 경화성 수지(16)의 흐름은, 도면 부호(17_7)로 나타내는 바와 같이, 복수의 기판 패드(9_1)의 상호의 간극에 집중한다. 기판 패드(9_1)의 간극에는 액상 경화성 수지(16)의 흐름이 집중하고, 화살표(17_8)로 나타내는 바와 같이, 기판 패드(9_1)의 간극을 통하여 흐른다. 이때, 흐름이 집중하기 때문에, 화살표(17_1)로 나타내는 개구부(15)의 옆을 통과하는 액상 경화성 수지(16)에 비하여 유속이 느려지는 경우가 없거나, 느려지는 정도가 도 18에 나타낸 예보다도 완화된다. 이로 인해, 개구부(15_6)의 단부에 압출되어 빠져나갈 곳을 잃어서 갇히는 공기의 양을 저감시킬 수 있다. 또한, 각각 외측 기판 패드열에 가까운 면에도 기판 패드(9_1)에 볼록부를 설치해 두면, 액상 경화성 수지(16)의 흐름은 화살표(17_9)로 나타내는 바와 같이 유도되어, 갇히는 공기, 즉, 보이드(19)의 발생 개소를 분산시킬 수 있다.

[0268] 이상과 같이, 보이드(19)가 복수의 기판 패드(9)에 걸쳐서 형성되는 문제의 발생을 방지할 수 있거나, 발생해도 그 확률이 대폭 경감된다. 그로 인해, 1개의 개구부(15_6) 내에 포함할 수 있는 기판 패드(9_1)의 수를, 실시 형태 6에 비하여 증가시킬 수 있다.

[0269] 이에 의해, 액상 경화성 수지(16)를 언더필로서 선도포한 후에, 반도체 칩(1)을 기판(8)에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부(15_6)에 복수의 기판 패드에 걸치는 큰 보이드(19)가 형성되는 일이 없어, 반도체 장치(20)의 신뢰성을 높일 수 있다.

[0270] [실시 형태 10] <솔더 레지스트 개구부의 양단의 기판 패드에 접속되는 외측 방향의 배선에 의한 모세관 현상>

[0271] 상술한 새로운 과제를 해결하기 위한, 제3 해결 수단, 즉, 개구부(15)의 옆으로부터 돌아들어오는 액상 경화성 수지(16)가 개구부(15)의 외측에 도달하는 것을 지연시키고, 갇히는 공기의 양을 줄임으로써, 발생하는 보이드(19)의 크기를 억제한다는, 기술 사상에 기초하는 실시 형태에 대하여 설명한다.

[0272] 도 26은, 실시 형태 10에 따른 반도체 장치의 기판에 있어서의, 기판 패드 및 배선의 배치의 일례를 도시하는 레이아웃도이다. (a)는 도 17, 도 18과 도 19의 (a), 도 20 내지 도 25와 마찬가지로, 기판(8)의 상면도이며, (b)는 (a)의 X-Y 단면도이다. 도시되지 않는 반도체 칩(1)의 패드열(2_2, 2_1, 2_5)과, 도시되는 기판 패드열(9_2, 9_1, 9_5)은, 도 18과 마찬가지이며, 각각의 구성은, 도 18을 인용하여 설명한 바와 같으므로, 여기서는 설명을 생략한다.

[0273] 본 실시 형태 10에서는, 기판(8) 상에 내측 기판 패드열(9_1)의 기판 패드와 기판 패드열(9_5) 또는 외측 기판 패드열(9_2)을 구성하는 기판 패드와의 사이를 전기적으로 접속하는 배선(12_11 내지 12_15)이 배선되어 있어 있다. 내측 기판 패드열(9_1)의 기판 패드(9_1_11과 9_1_15)는, 각각 배선(12_11과 12_15)을 개재하여, 기판 패드열(9_5)의 기판 패드(9_5_11과 9_5_15)와 결선되어 있다. 기판 패드(9_1_12와 9_1_14)는, 각각 배선(12_12와 12_14)을 개재하여, 외측 기판 패드열(9_1)의 기판 패드(9_2_12와 9_2_13)와 결선되어 있다. 기판 패드(9_1_13)는 배선(12_13)을 개재하여 비아(11)와 결선되어 있다.

[0274] 칩 실장 상태의 X-Y 단면의 단면도(b)에 도시되는 바와 같이, 배선(12_11 내지 12_15)은, 솔더 레지스트(13)로

덮여 있다. 반대로 말하면, 솔더 레지스트(13)는 배선(12_11 내지 12_15) 상에서는, 반도체 칩(1)과의 기판(8)의 간극은 좁아져 있다. 간극이 좁은 부분에서는, 모세관 현상에 의해, 액상 경화성 수지(16)의 흐름이 재촉되어, 유속이 빨라진다.

[0275] 상면도(a)에는, 액상 경화성 수지(16)가 선도포된 후, 반도체 칩(1)이 가압되었을 때의, 액상 경화성 수지(16)의 흐름(17)이 화살표로 나타내진다. 선도포 영역(18)은 마운트 위치(29)의 중앙 부근이므로, 액상 경화성 수지(16)는 내측으로부터 외측(도 26에서는 상에서 하)으로 흘러가게 된다. 이때, 솔더 레지스트(13)의 개구부(15_7)를 통과하는 액상 경화성 수지(16)는 개구부(15_7)의 옆을 통과하는 액상 경화성 수지(16)에 비하여, 유속이 느려진다. 개구부(15_7)의 옆을 통하여 개구부(15_7)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름이, 개구부(15_7)를 통과하는 액상 경화성 수지(16)보다도 빨리 개구부(15_7)의 외측에 도달하면, 압출된 공기가 빠져나갈 곳을 잃어서 개구부(15_7)의 단부에 갇히고, 이것이, 기포 즉 보이드(19)로 되어, 액상 경화성 수지가 경화된 후에도 언더필(16) 내에 잔류한다. 그러나, 본 실시 형태 10에서는, 개구부(15_7)의 옆을 통하여 개구부(15_7)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름(17_2)은, 배선(12_11과 12_15)의 방향으로 유도된다. (b)에 도시하는 바와 같이, 배선(12_11과 12_15)의 상부는, 다른 부분과 비교하여 반도체 칩(1)과 기판(8)의 간극이 좁기 때문에, 모세관 현상에 의해, 액상 경화성 수지(16)의 흐름(17_10)이 촉진된다. 그로 인해, 개구부(15_7)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름(17_11)이 줄어든다. 한편, 개구부(15_7)를 통과하는 액상 경화성 수지(16)는 배선(12_12 내지 12_14)이 있기 때문에, 모세관 현상에 의해, 액상 경화성 수지(16)의 흐름(17_12) 등이 촉진된다.

[0276] 이상과 같이, 개구부(15_7)를 통과하는 액상 경화성 수지(16)의 흐름(17_12)이 모세관 현상에 의해 촉진되는 한편, 개구부(15_7)의 옆을 통하여 개구부(15_7)의 외측으로 돌아들어오는 액상 경화성 수지(16)의 흐름(17_2)은, 배선(12_11과 12_15)의 방향으로 유도되어 감소되기 때문에, 개구부(15_7)로부터 압출되어 빠져나갈 곳을 잃는 공기의 양이 감소하거나 또는 없어진다. 보이드(19)의 크기는, 빠져나갈 곳을 잃은 공기의 양에 의해 결정되고, 그 공기의 양이 줄어들거나 없어지므로, 발생하는 보이드의 크기를 작게 하거나 보이드의 발생을 억제할 수 있다.

[0277] 도 26의 우측에서는, 개구부(15_7)의 단의 기판 패드(9_1_16)가 아니고, 그것보다 내측의 기판 패드(9_1_15)과 기판 패드(9_5_15)를 결선하는 배선(12_15)을 예시했지만, 배선은 개구부(15_7)의 단의 기판 패드(9_1_16)에 접속하는 것을 이용하는 편이 효율적이다. 기판 패드(9_1_15와 9_1_16)에 걸치는 보이드(19)의 발생을 고려할 필요가 없어지기 때문이다. 또한, 배선(12_12 내지 12_14)는, 액상 경화성 수지(16)의 흐름과 공기의 흐름을 유도하고, 빠져나갈 곳을 잃는 공기의 양을 저감시키거나 또는 없앨 수 있으면 충분하므로, 반드시 기판 패드(9)와 전기적으로 접속되어 있을 필요는 없다.

[0278] 반도체 장치(20)가 상술한 구성을 취함으로써, 액상 경화성 수지(16)를 언더필로서 선도포한 후에, 반도체 칩(1)을 기판(8)에 가압하여 접착하는 플립 칩 실장을 행했을 때에도, 솔더 레지스트 개구부(15)에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 그 반도체 장치(20)의 신뢰성을 높일 수 있다. 또한, 반도체 칩(1)에 있어서, 상술한 기판(8)에 실장되는 것을 전제로, 패드를 배치하는 위치를 정함으로써, 실장 후의 반도체 장치(20)의 솔더 레지스트 개구부(15)에 복수의 기판 패드에 걸치는 큰 보이드가 형성되는 일이 없어, 신뢰성을 높일 수 있는, 반도체 칩(1)을 제공할 수 있다. 예를 들어, 기판(8) 상에서 단락하는 배선이 형성되도록, 기판 패드(9_1_11과 9_5_11)에 대면하는 반도체 칩(1)의 패드(2_1_11과 2_5_11)와, 또는 기판 패드(9_1_15와 9_5_15)에 대면하는 반도체 칩(1)의 패드(2_1_15와 2_5_15)에, 동일 전위의 신호를 할당하면 된다. 예를 들어, 이들을 전원 패드 또는 접지(그라운드) 패드로 하면 된다.

[0279] 이상 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 그것에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

[0280] 예를 들어, 입출력 셀열과 그 양측에, 소정의 간격을 두고 배치되는, 내측 패드열(in-line pad)과 외측 패드열(out-line pad)은, 직사각형 반도체 칩의 4면에 구비해도 되고, 일부의 면에 구비해도 된다. 또한, 면의 일부에만 실시해도 된다. 또한, 면의 일부마다, 실시 형태 1 내지 3과 종래의 패드 배치를 혼재하여 형성해도 된다. 또한, 실시 형태 6 내지 10을 조합해도 된다.

부호의 설명

[0281] 1 : 반도체 칩

2 : 칩 패드

2_1 : 내측 칩 패드(in-line pad)

2_2 : 외측 칩 패드(out-line pad)

2_3 : 프로브용 패드

2_4 : 그 밖의 칩 패드

3 : 입출력 셀(IO 셀)

4 : 입출력 셀(IO 셀)용 전극

5 : 프로빙 에리어

6 : 본딩에리어

7 : 배선

8 : 기판(또는 인터포저)

9 : 기판 패드

9_1 : 내측 기판 패드

9_2 : 외측 기판 패드

9_4 : 그 밖의 기판 패드

10 : 기판측 본딩에리어

11 : 비아

12 : 배선

13 : 레지스트(솔더 레지스트)

14 : 마스크

15 : 솔더 레지스트의 개구부

16 : 액상 경화성 수지(언더필)

17 : 액상 경화성 수지의 흐름

18 : 액상 경화성 수지의 선도포 영역

19 : 보이드

20 : 반도체 장치

20_1 : BGA

20_2 : SiP

20_3 : PoP

20_4 : 베어 칩 실장된 반도체 장치

21 : 범프

22 : 기판 이면의 배선 · 패드

23 : 돌기 전극

24 : 반도체 칩

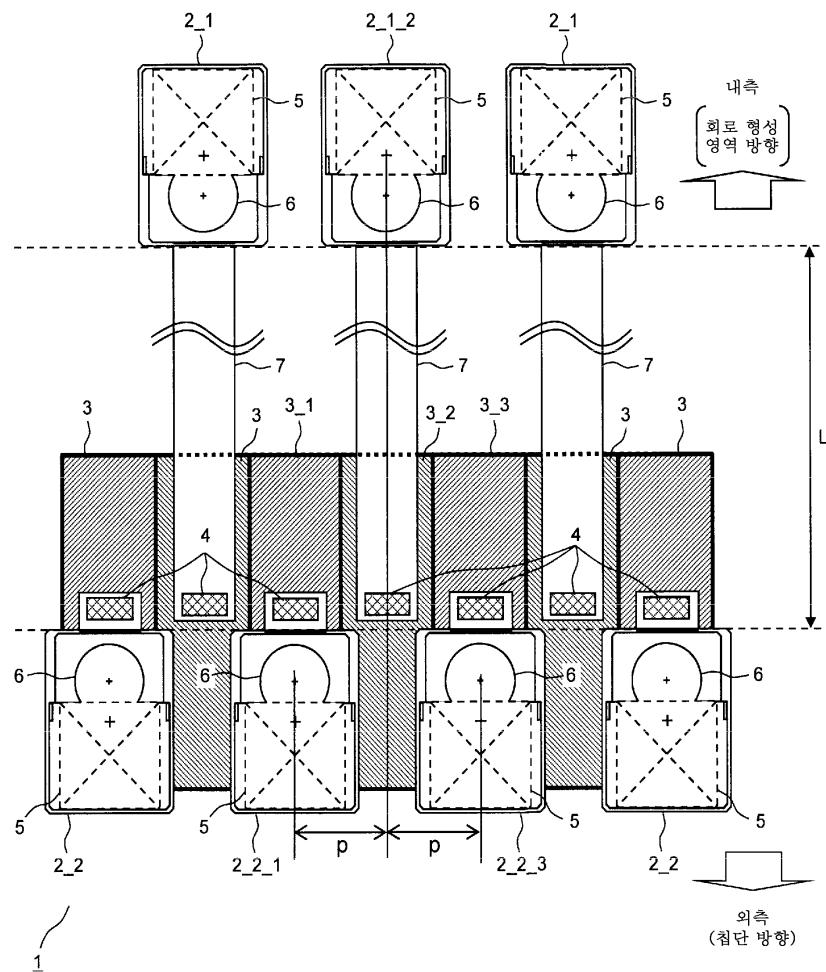
25 : 본딩와이어

26 : 반도체 장치

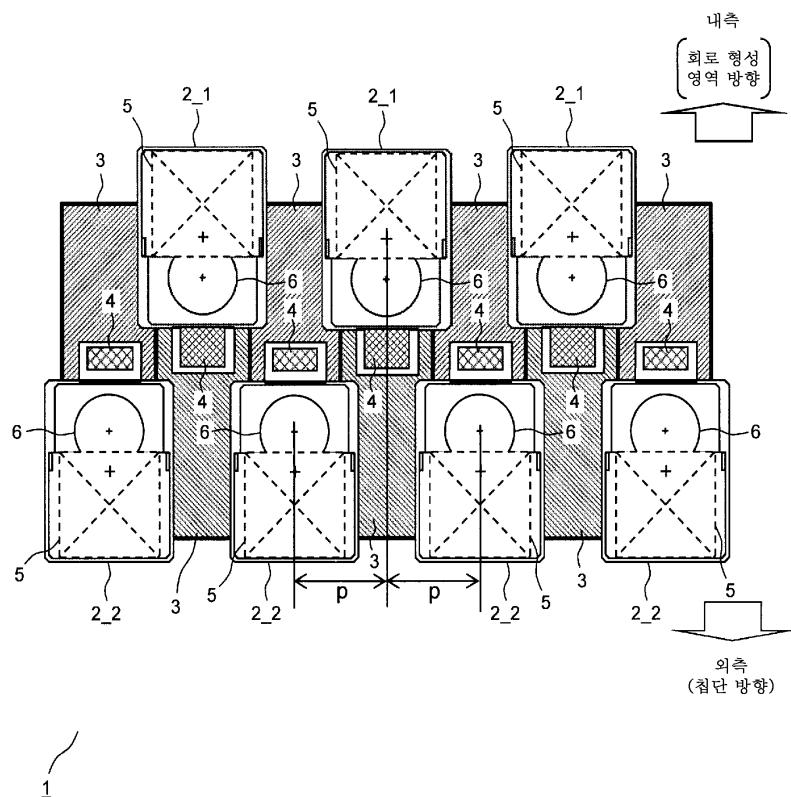
27 : 돌기 전극

28 : 밀봉재

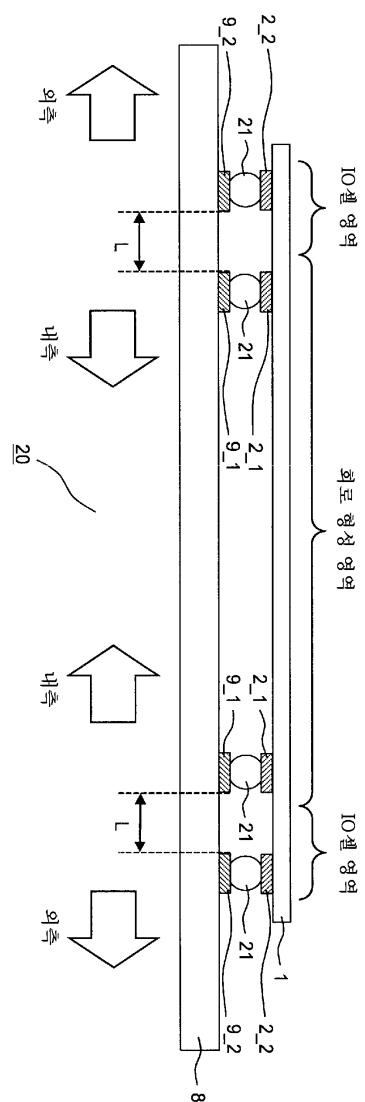
29 : 반도체 칩의 실장(마운트) 위치

도면**도면1**

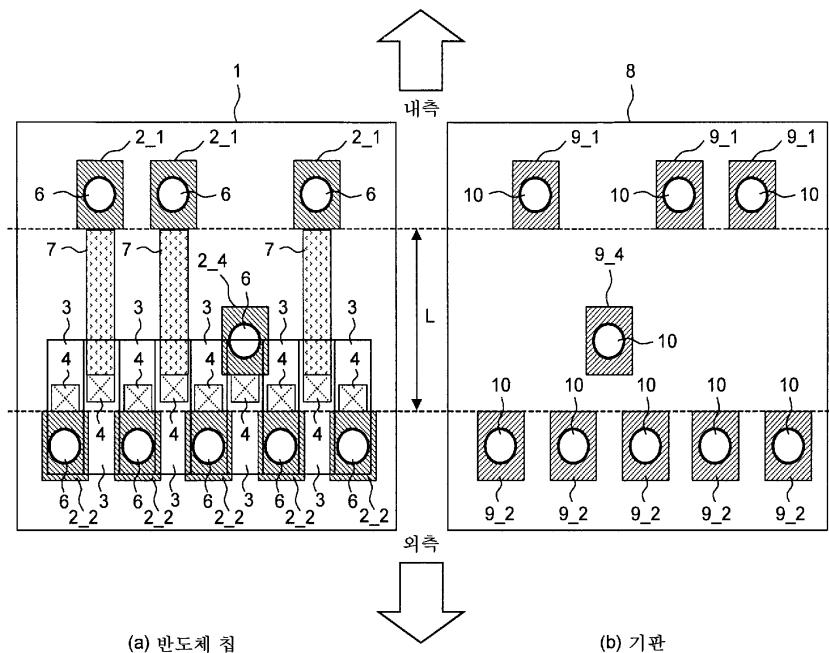
도면2



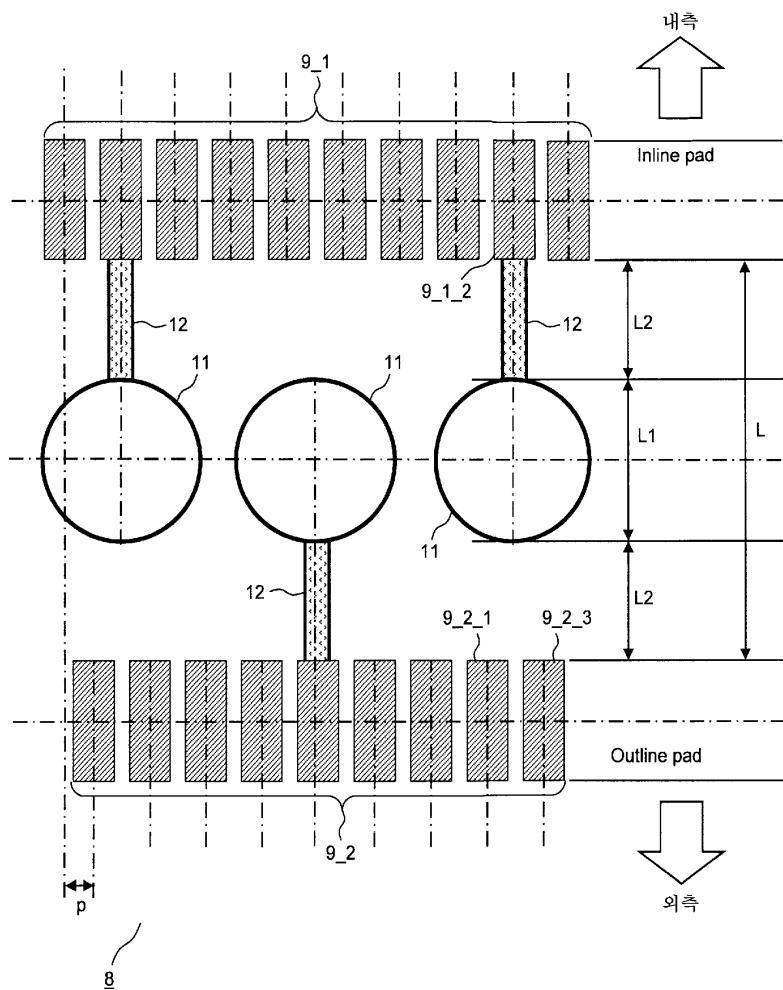
도면3



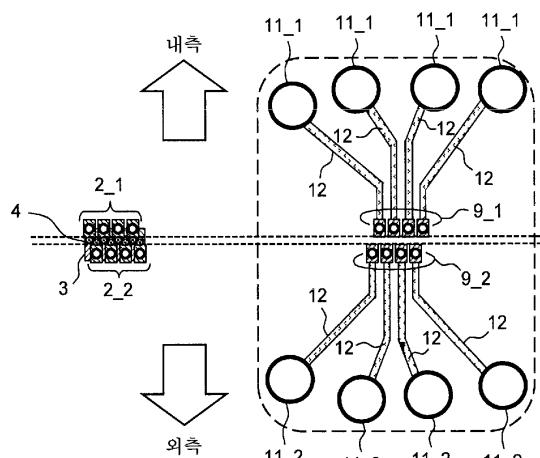
도면4



도면5



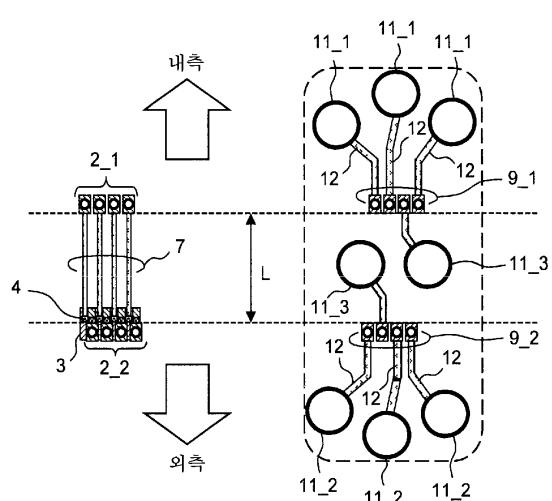
도면6



(a) 반도체 칩

(b) 기판

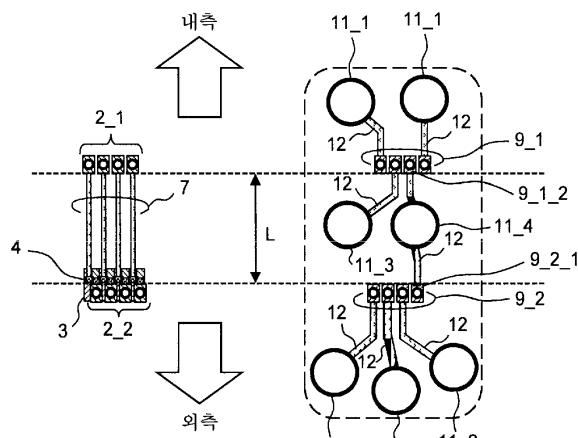
도면7



(a) 반도체 칩

(b) 기판

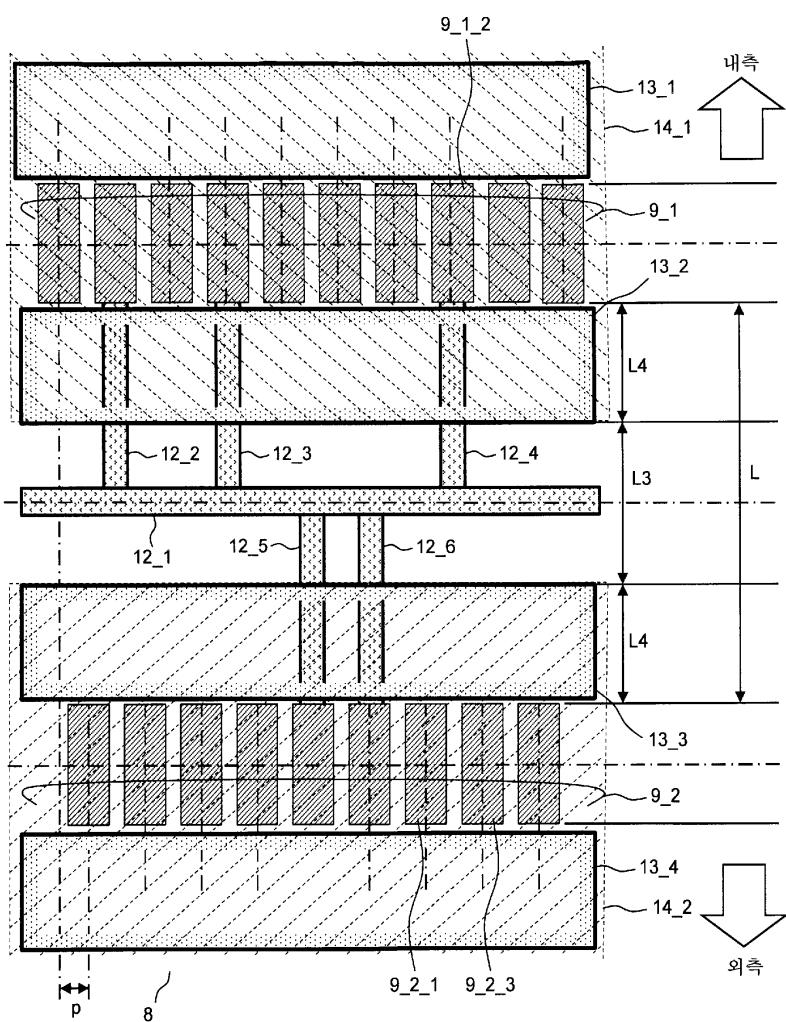
도면8



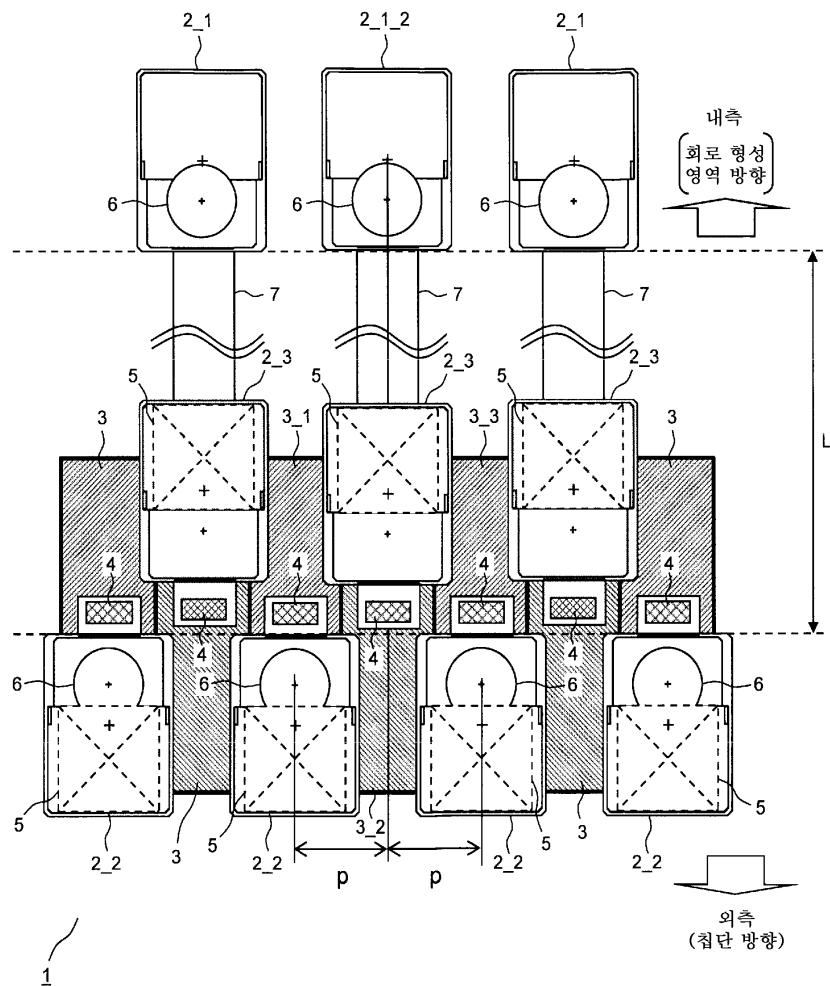
(a) 반도체 칩

(b) 기판

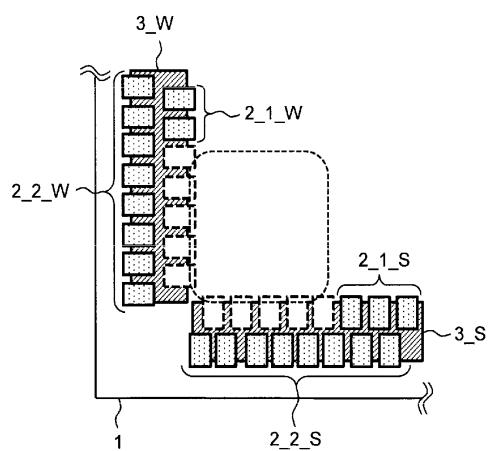
도면9



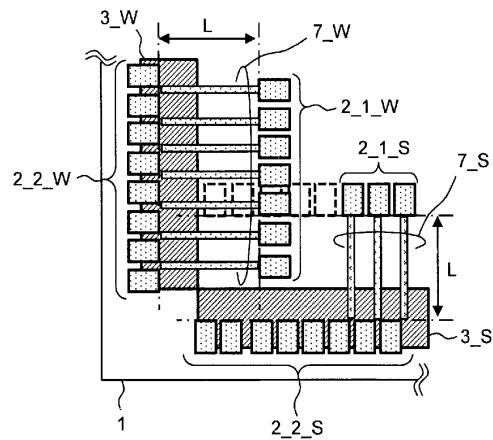
도면10



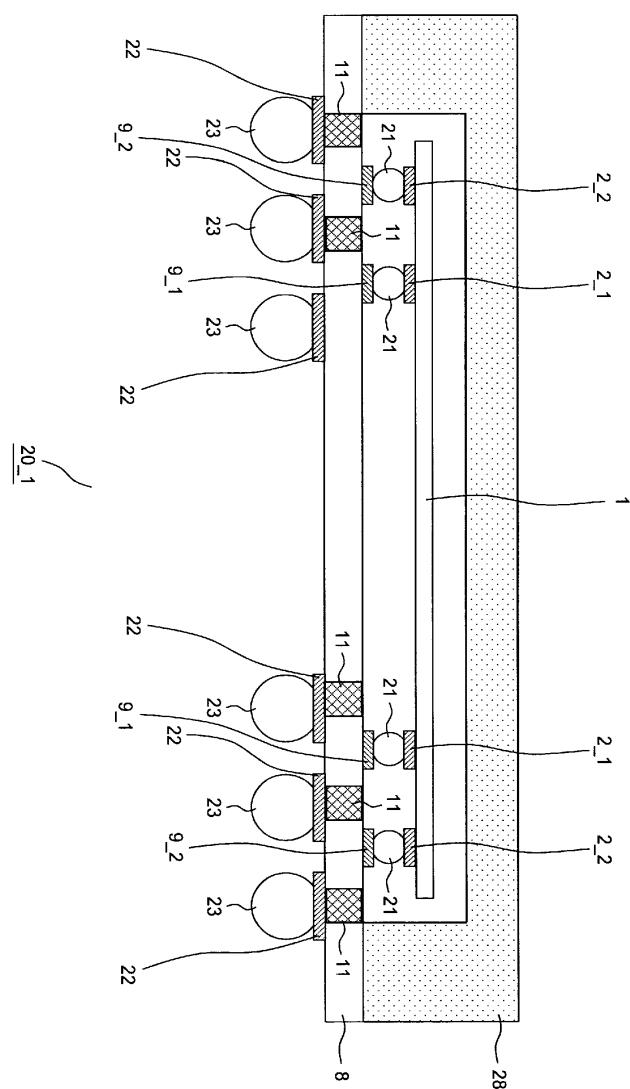
도면11



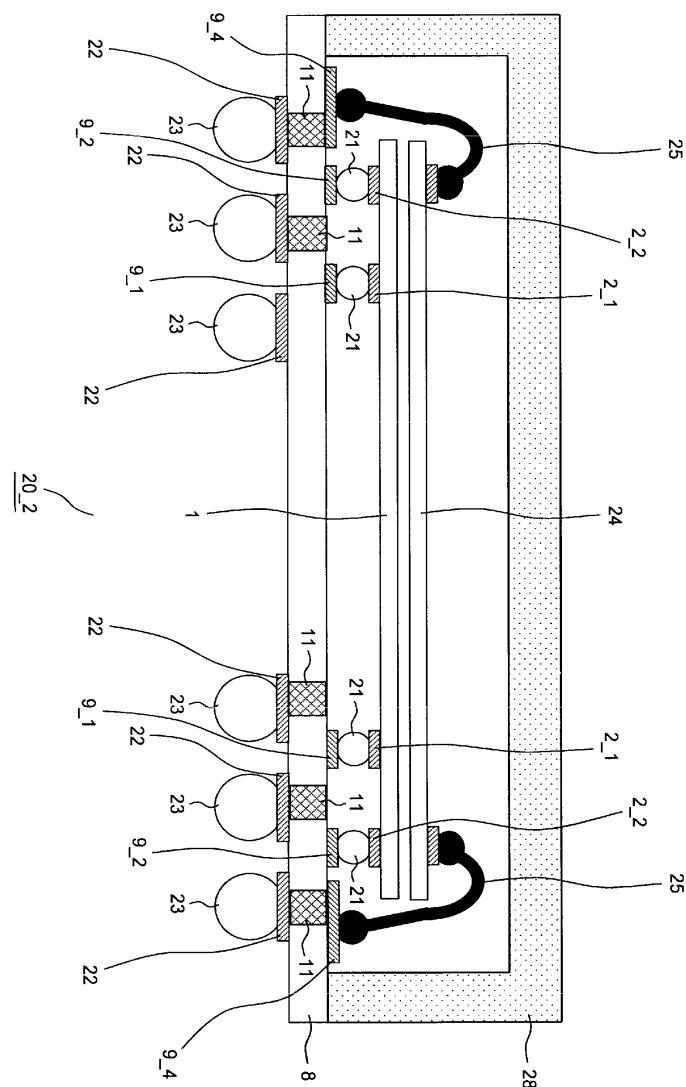
도면12



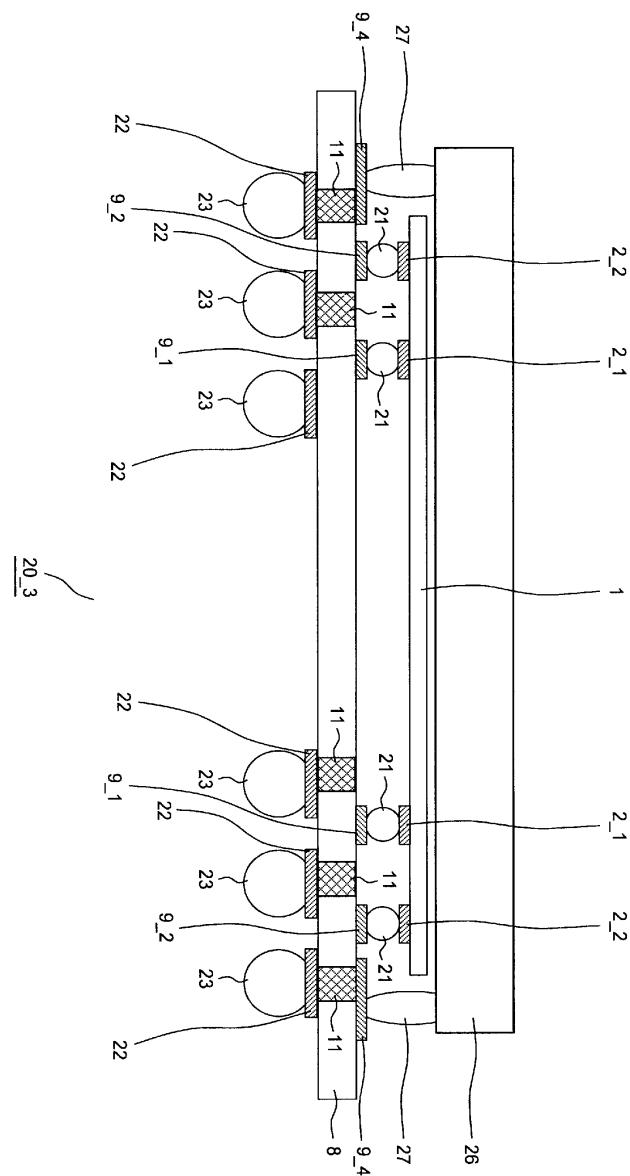
도면13



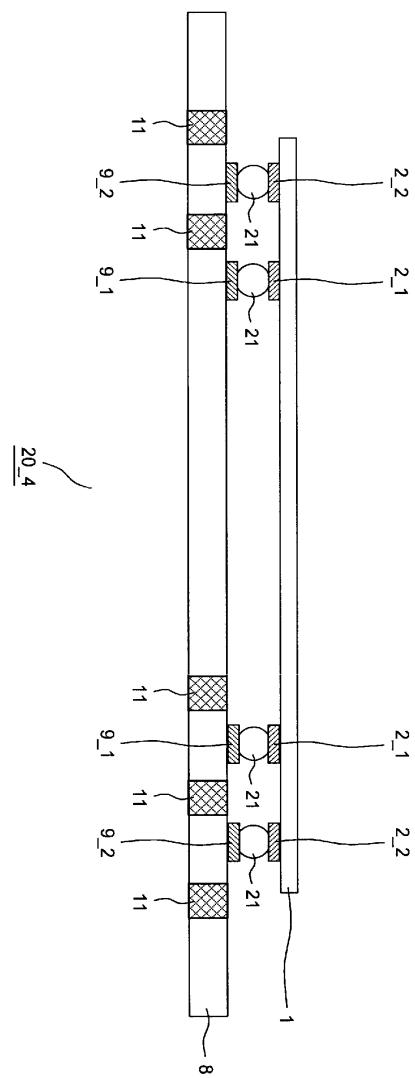
도면14



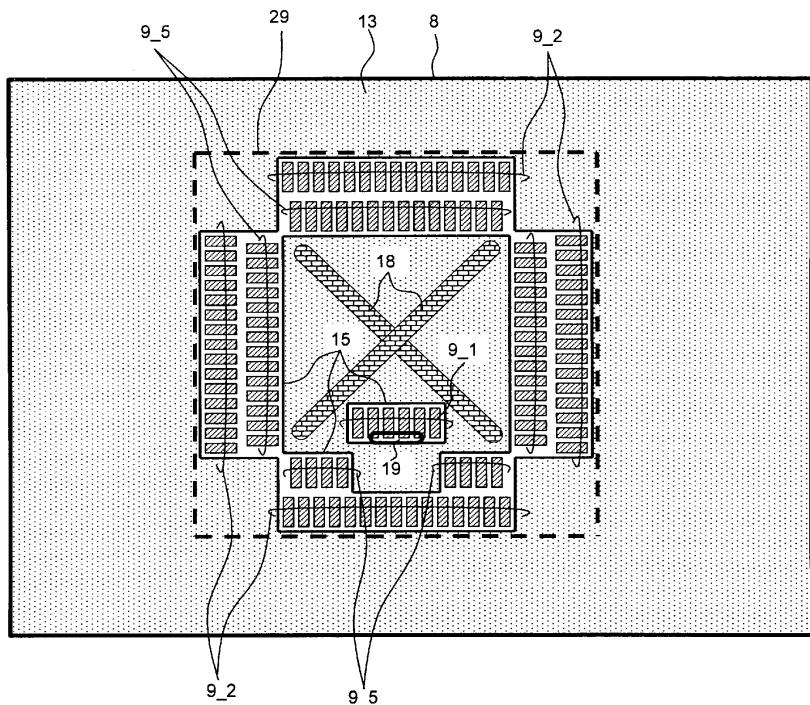
도면15



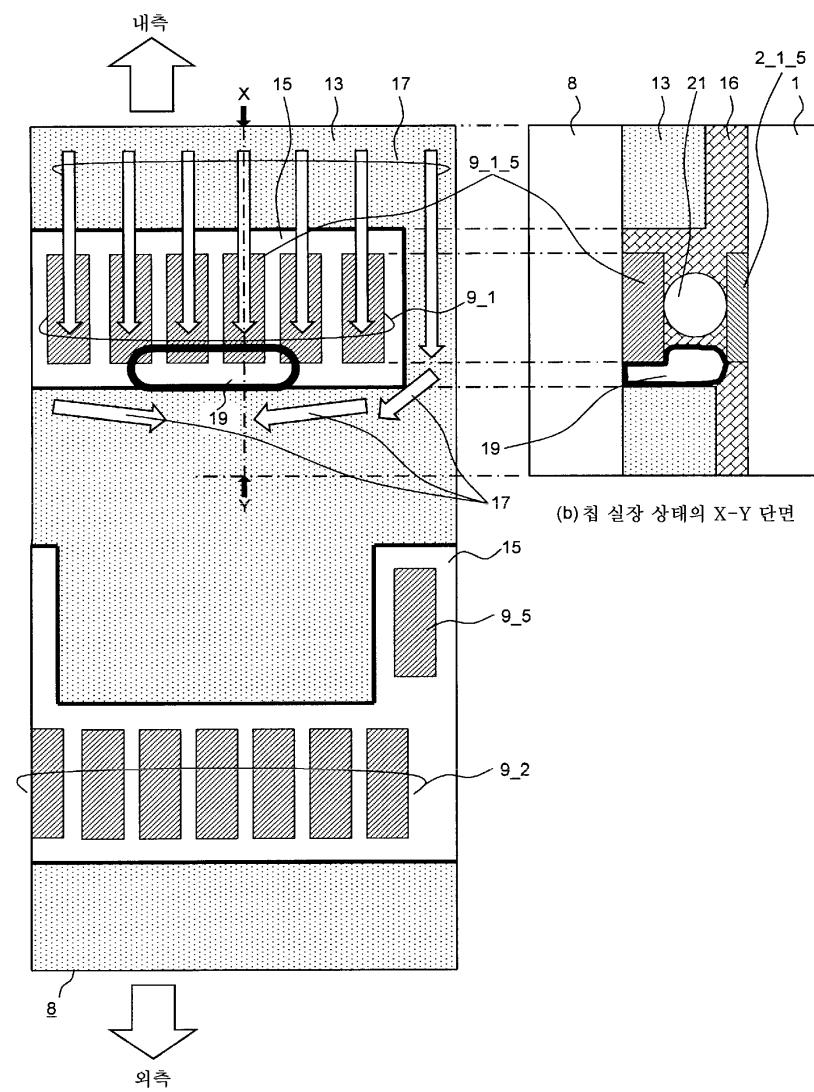
도면16



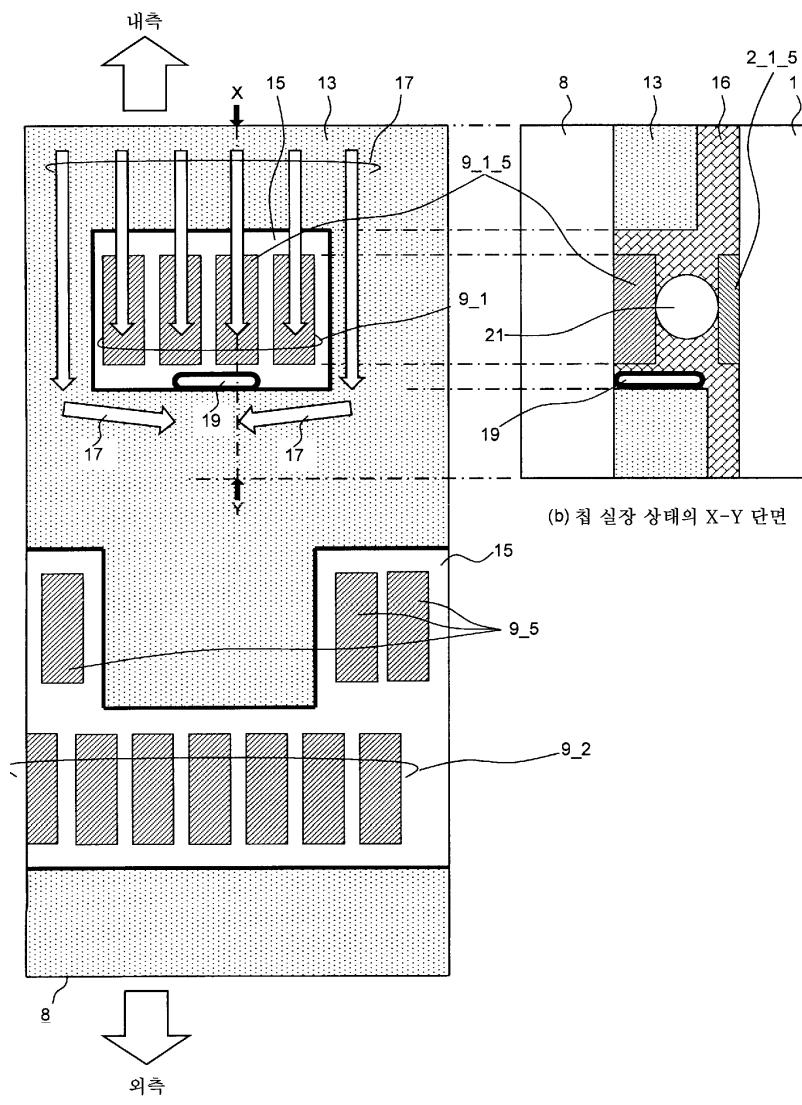
도면17



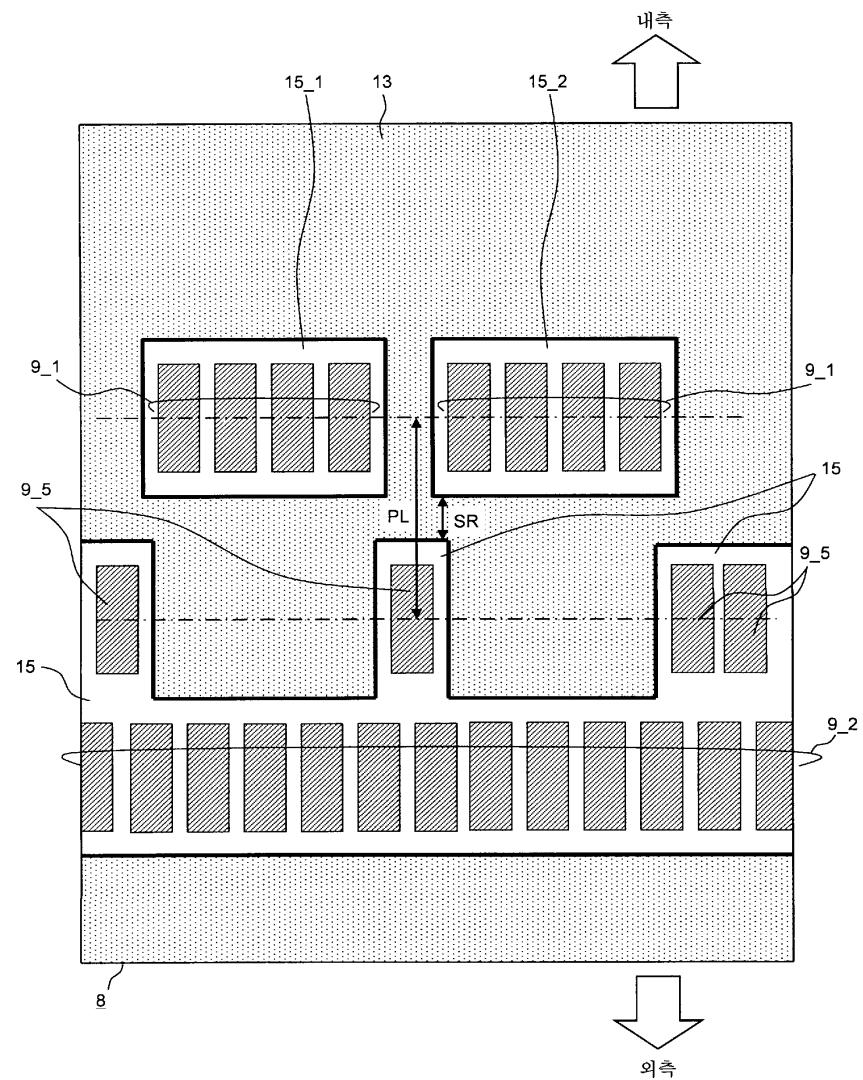
도면18



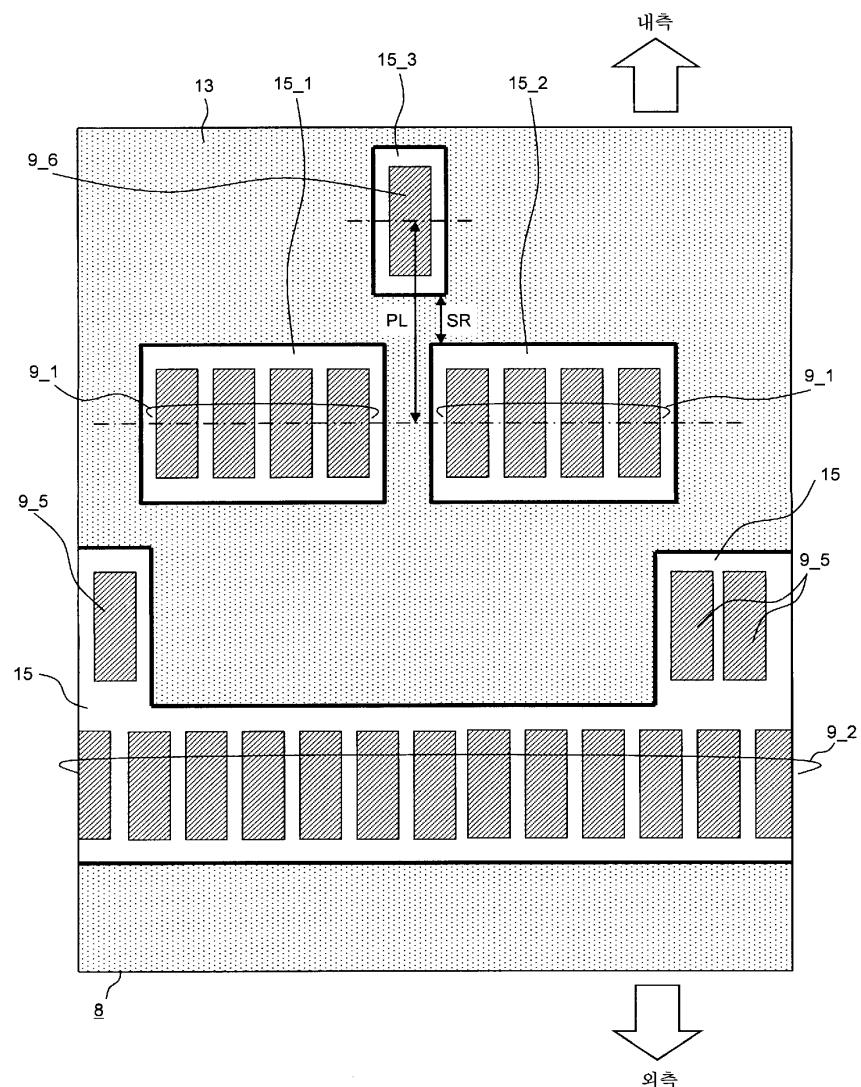
도면19



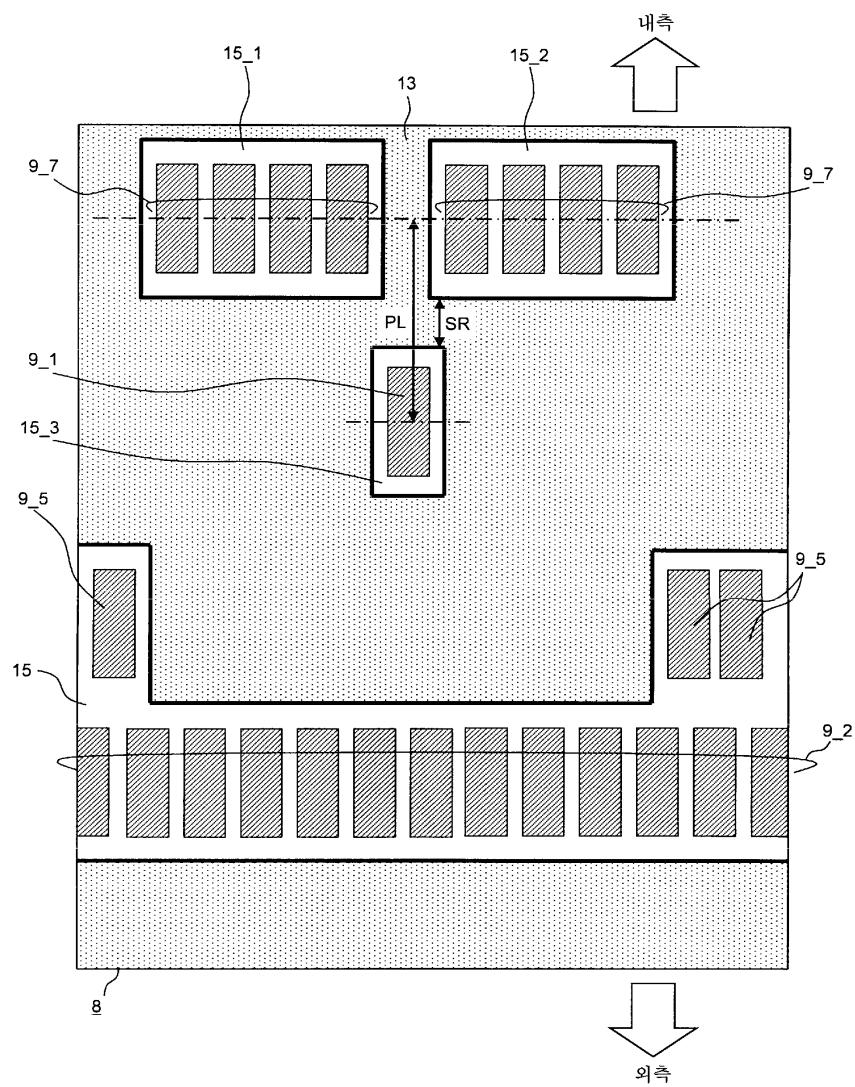
도면20



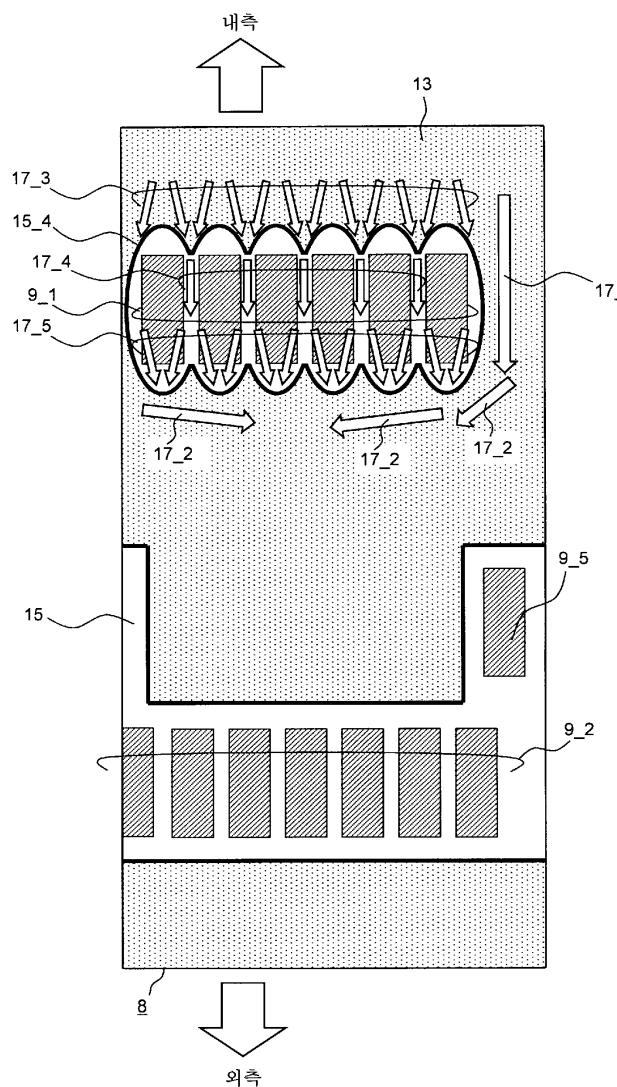
도면21



도면22

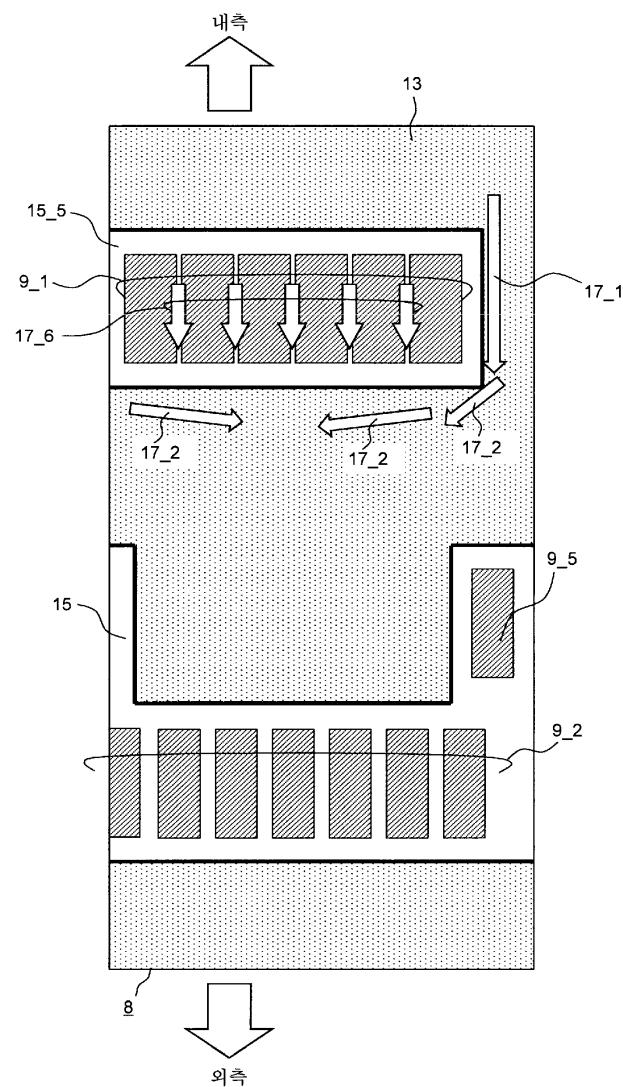


도면23



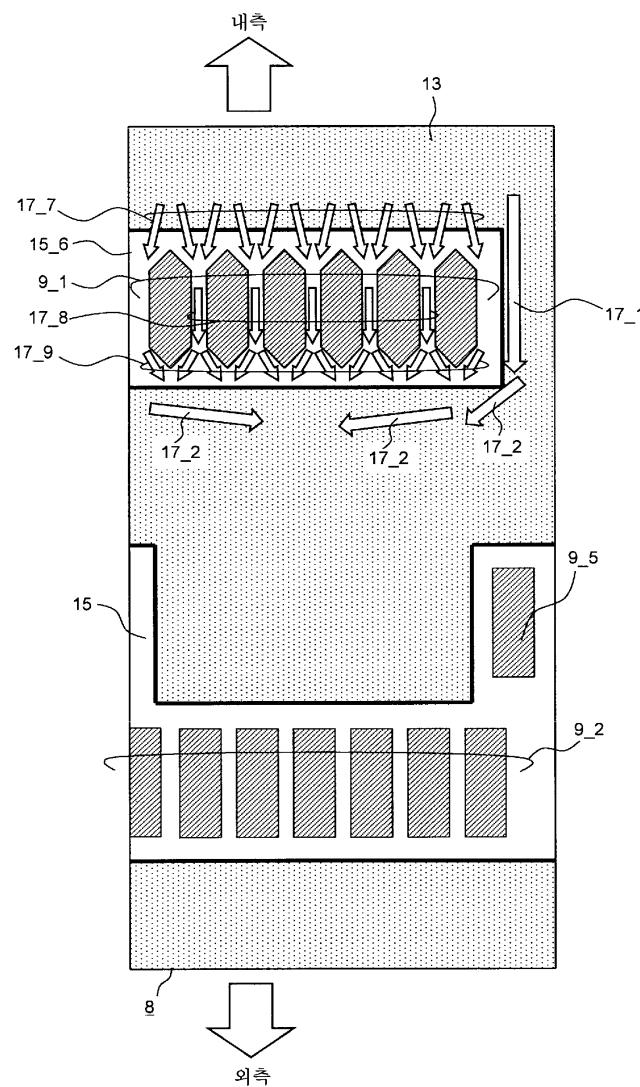
(a) 기판의 상면

도면24



(a) 기판의 상면

도면25



(a) 기관의 상면

도면26

