



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월24일  
(11) 등록번호 10-0944165  
(24) 등록일자 2010년02월18일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2009-0074168

(22) 출원일자 2009년08월12일

심사청구일자 2009년08월12일

(56) 선행기술조사문헌

KR100876088 B1

(73) 특허권자

서강대학교산학협력단

서울 마포구 신수동 1-1 서강대학교

(72) 발명자

최우영

서울특별시 동작구 사당동 105 (6/3) 극동아파트  
111-603

(74) 대리인

권오준

전체 청구항 수 : 총 16 항

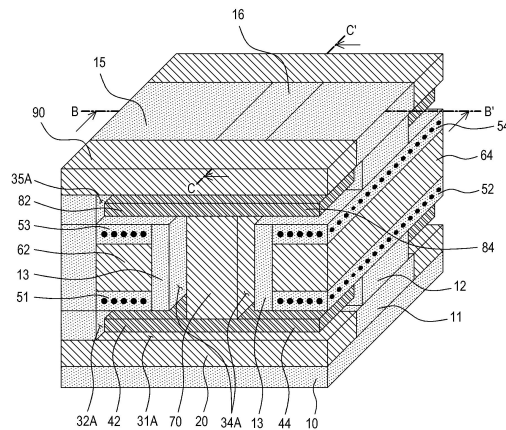
심사관 : 이우리

(54) 전기기계 메모리 소자와 그 동작방법 및 제조방법

(57) 요약

다중 비트 및 저전력 구동이 가능한 전기기계 메모리 소자와 그 동작방법 및 제조방법에 관한 것으로, 각 비트라인에 상하 또는 상하좌우 대칭적으로 캔틸레버 전극을 2개 또는 4개 형성하고, 상부 보조 워드라인 및 하부 보조 워드라인을 구비함으로써, 단위셀 당 4 비트까지 구현이 가능하고, 수직 적층시 상부 보조 워드라인을 공유할 수 있게 되어 최소한의 도전층으로 고용량 메모리 구현이 가능한 효과가 있다.

대표도 - 도24



이 발명을 지원한 국가연구개발사업

과제고유번호 2009-0084522

부처명 교육과학기술부

연구사업명 기초연구사업

연구과제명 저전력 나노 전기기계 비휘발성 메모리 소자 개발

주관기관 서강대학교산학협력단

연구기간 2009년 09월 01일 ~ 2012년 08월 31일

---

## 특허청구의 범위

### 청구항 1

소정의 평탄면을 갖는 기관;

상기 기관 상에서 제 1 방향으로 형성된 하부 보조 워드라인;

상기 하부 보조 워드라인과 수직으로 이격되며 제 2 방향으로 형성된 비트라인;

상기 비트라인과 절연되며 수평으로 이웃하여 제 2 방향으로 형성된 주요 워드라인;

상기 주요 워드라인의 상, 하부에 형성된 상부 절연막과 하부 절연막;

상기 상부 절연막 및 상기 비트라인과 수직으로 이격되며 제 1 방향으로 형성된 상부 보조 워드라인;

상기 비트라인에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이 및 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 각각 제 1 방향으로 부양되도록 형성된 상부 캔틸레버 전극과 하부 캔틸레버 전극; 및

상기 비트라인과 상기 주요 워드라인을 지지하며 서로 절연시키는 층간절연막을 포함하여 구성된 것을 특징으로 하는 전기기계 메모리 소자.

### 청구항 2

제 1 항에 있어서,

상기 상부 절연막 및 상기 하부 절연막은 각각 전하가 저장되어 있지 않아 휘발성 메모리 특성을 갖는 것을 특징으로 하는 전기기계 메모리 소자.

### 청구항 3

제 1 항에 있어서,

상기 상부 절연막 및 상기 하부 절연막은 각각 전하트랩층을 포함하는 2개 이상의 유전층으로 구성된 것을 특징으로 하는 전기기계 메모리 소자.

### 청구항 4

제 3 항에 있어서,

상기 전하트랩층은 실리콘 질화막인 것을 특징으로 하는 전기기계 메모리 소자.

### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 주요 워드라인은 상기 비트라인 좌우 양측에 형성된 좌측 주요 워드라인과 우측 주요 워드라인으로 구성되고,

상기 상부 절연막은 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 각각의 상부에 형성된 상부 좌측 절연막과 상부 우측 절연막으로 구성되고,

상기 하부 절연막은 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 각각의 하부에 형성된 하부 좌측 절연막과 하부 우측 절연막으로 구성되고,

상기 상부 보조 워드라인은 상기 상부 좌측 절연막, 상기 비트라인 및 상기 상부 우측 절연막과 수직으로 이격되며 제 1 방향으로 형성되고,

상기 상부 캔틸레버 전극은 상기 비트라인의 상측에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 좌측 절연막 사이 및 상기 상부 보조 워드라인과 상기 상부 우측 절연막 사이에서 서로 반대 방향으로 부양되도록 형성된 상부 좌측 캔틸레버 전극과 상부 우측 캔틸레버 전극으로 구성되고,

상기 하부 캔틸레버 전극은 상기 비트라인의 하측에 일단이 연결되고 타단은 상기 하부 보조 워드라인과 상기

하부 좌측 절연막 사이 및 상기 하부 보조 워드라인과 상기 하부 우측 절연막 사이에서 서로 반대 방향으로 부양되도록 형성된 하부 좌측 캔틸레버 전극과 하부 우측 캔틸레버 전극으로 구성되고,

상기 층간절연막은 상기 비트라인, 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인을 지지하며 서로 절연시키는 것을 특징으로 하는 전기기계 메모리 소자.

#### 청구항 6

제 5 항에 있어서,

상기 비트라인과 상기 좌측 주요 워드라인 또는 상기 우측 주요 워드라인 사이의 절연은 공극층(gap layer)이 포함된 것에 의한 것을 특징으로 하는 전기기계 메모리 소자.

#### 청구항 7

제 5 항에 있어서,

상기 상부 보조 워드라인은 다음층에서 하부 보조 워드라인으로 사용하며 2개 이상의 층으로 적층되어 형성된 것을 특징으로 하는 전기기계 메모리 소자.

#### 청구항 8

제 5 항에 의한 전기기계 메모리 소자의 동작방법에 있어서,

쓰기 동작시는 비트라인과 주요 워드라인의 전압과 더불어 보조 워드라인의 전압을 이용하고,

읽기 동작시는 비트라인과 보조 워드라인의 전압과 더불어 주요 워드라인의 전압을 이용하여 다중 비트로 동작시키는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

#### 청구항 9

제 8 항에 있어서,

지우고자 하는 블록을 지나가는 상부 보조 워드라인, 하부 보조 워드라인 및 비트라인에는 모두 동일한 기준전압  $V_{REF}$ 을 인가하고,

상기 블록을 지나가는 좌측 주요 워드라인 및 우측 주요 워드라인은 모두 상기 기준전압  $V_{REF}$ 보다 높거나 낮은 전압  $V_{ERS}$ 을 인가하여, 상기 블록을 한꺼번에 지우기 동작을 하는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

#### 청구항 10

제 9 항에 있어서,

상기 지우기 동작이 수행된 블록에 있는 특정 셀의 일측에 '1'을 쓰기 위하여 상기 셀이 공유하는 비트라인에는 음의 전압을, 상기 셀의 일측을 지나가는 주요 워드라인과 보조 워드라인에는 양의 전압을 각각 인가하고, 나머지 라인들은 접지전압을 인가하는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

#### 청구항 11

제 10 항에 있어서,

특정 셀의 일측 상태를 읽기 위하여 상기 셀이 공유하는 비트라인에는 접지전압을, 상기 셀의 일측을 지나가는 보조 워드라인에는 상기 접지전압보다 높은 전압  $V_{PGM}$ 을, 상기 셀의 타측을 지나가는 주요 워드라인에는 상기 접지전압보다 높고 상기 전압  $V_{PGM}$ 보다 낮은 전압  $V_{UNS}$ 을 각각 인가하는 것을 특징으로 하는 전기기계 메모리 소자의 동작방법.

#### 청구항 12

기관 상에 제 1 방향으로 하부 보조 워드라인을 형성하는 제 1 단계;

상기 하부 보조 워드라인 상에 제 1 희생막으로 둘러싸며 제 1 방향으로 복수개의 하부 캔틸레버 전극을 형성하는 제 2 단계;

상기 기판 전면에 제 1 층간절연막을 증착하고 상기 제 1 희생막이 드러나도록 평탄화시키는 제 3 단계;

상기 제 1 층간절연막 및 상기 제 1 희생막의 양측 상에 각각 제 2 방향으로 하부 좌측 절연막/좌측 주요 워드라인/상부 좌측 절연막 및 하부 우측 절연막/우측 주요 워드라인/상부 우측 절연막을 순차적으로 적층 형성하는 제 4 단계;

상기 기판 전면에 제 2 층간절연막을 증착하고 평탄화시키는 제 5 단계;

상기 제 2 층간절연막 및 상기 제 1 희생막을 순차 식각하여 상기 각 하부 캔틸레버 전극의 가운데가 드러나게 한 다음 제 2 방향으로 비트라인을 형성하는 제 6 단계;

상기 비트라인이 접하고 있는 적어도 일측의 상기 제 2 층간절연막을 식각하여 상기 제 1 희생막을 제거하는 제 7 단계;

상기 기판 전면에 제 3 층간절연막을 증착하고 상기 비트라인이 드러나도록 평탄화시키는 제 8 단계;

상기 비트라인과 접한 상태에서 제 2 희생막으로 둘러싸며 제 1 방향으로 복수개의 상부 캔틸레버 전극을 형성하는 제 9 단계;

상기 기판 전면에 제 4 층간절연막을 증착하고 상기 제 2 희생막이 드러나도록 평탄화시키는 제 10 단계;

상기 제 4 층간절연막 및 상기 제 2 희생막 상에 제 1 방향으로 상부 보조 워드라인을 형성하는 제 11 단계;

상기 기판 전면에 제 5 층간절연막을 증착하고 식각하여 상기 비트라인 상의 상기 제 2 희생막이 드러나도록 트렌치를 형성하는 제 12 단계;

상기 트렌치를 통하여 제 2 희생막을 제거하는 제 13 단계; 및

상기 기판 전면에 제 6 층간절연막을 증착하고 상기 상부 보조 워드라인이 드러나도록 평탄화시키는 제 14 단계를 포함하여 구성된 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

### 청구항 13

제 12 항에 있어서,

상기 제 3 층간절연막은 상기 제 2 희생막과 동일한 물질이고,

상기 제 13 단계의 제 2 희생막 제거시 상기 제 8 단계에서 상기 비트라인과 상기 제 2 층간절연막 사이에 채워진 제 3 층간절연막도 동시에 제거되는 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

### 청구항 14

제 13 항에 있어서,

상기 제 1 희생막 및 상기 제 2 희생막은 실리콘계물질이고,

상기 제 1 희생막 및 상기 제 2 희생막의 제거는 등방성 식각용액 또는 등방성 반응 가스를 이용하는 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

### 청구항 15

제 12 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 상부 보조 워드라인, 상기 복수개의 상부 캔틸레버 전극, 상기 복수개의 하부 캔틸레버 전극 및 상기 하부 보조 워드라인은 서로 동일한 선폭을 갖는 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

### 청구항 16

제 15 항에 있어서,

상기 상부 보조 워드라인은 다음층에서 하부 보조 워드라인으로 사용하여 상기 제 2 단계 내지 상기 제 14 단계

를 반복하며 2개 이상의 층으로 적층하는 것을 특징으로 하는 전기기계 메모리 소자의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 도전성 캔틸레버 빔(conductive cantilever beam; 이하, '캔틸레버 전극'이라 함)을 이용한 전기기계 메모리(electro-mechanical memory) 소자와 그 동작방법 및 제조방법에 관한 것으로, 더욱 상세하게는 하나의 셀에 4 비트까지 구현이 가능한 전기기계 메모리 소자와 그 동작방법 및 제조방법에 관한 것이다.

#### 배경 기술

[0002] 최근 고용량, 저전력 메모리 칩에 대한 시장의 수요는 폭발적으로 증가하고 있다. 따라서 DRAM을 비롯한 휘발성 메모리와 flash 메모리와 같은 비휘발성 메모리 기술은 비약적으로 발전하여 소자의 축소화가 가속되고 있는 형국이다.

[0003] 그러나, 메모리 소자의 크기가 수십 나노미터의 영역으로 축소화됨에 따라 칩면적의 한계, 높은 쓰기/지우기 전압, 낮은 쓰기/지우기 속도, 낮은 셀링 마진, 기존 CMOS 칩과의 집적의 어려움 등의 문제가 커지고 있고 이는 더 이상의 메모리 소자 축소를 어렵게 하고 있다.

[0004] 이를 극복하기 위하여 최근 다양한 메모리 소자가 연구되고 있다. 특히, 그 중에서도 반도체 소자가 아닌 기계적으로 움직이는 소자를 이용하여 메모리를 구현하려는 전기기계 메모리 소자에 대한 연구가 최근 활발히 진행되고 있다.

[0005] 그 대표적인 것이 도 1 및 도 2에 도시된 구조를 갖는 비휘발성 전기기계 메모리 소자이다.

[0006] 도 1은 PCT 공개번호 제2007/130919호(이하, '선행기술 1'이라 함)에 개시된 것으로, 상부에 읽기 워드라인(172), 중앙부 갭(188) 사이에 비트라인(174)과 연결된 가요성 기계적 빔(176), 하부에 쓰기 워드라인(186)이 있는 3층의 금속선으로 구성되어 있고, 비휘발성을 위해 쓰기 워드라인(186) 상부에 전하 저장이 가능한 ONO 층(178)이 존재한다.

[0007] 한편, 도 2는 한국 등록특허 제0842730호(이하, '선행기술 2'라 함)에 개시된 것으로, 기본적인 동작 원리는 선행기술 1과 동일하나 집적도를 높이기 위해 별도의 비트라인(220)을 하부에 구현하고 캔틸레버 전극 두개(250A)가 하나의 패드전극(252)을 공유하고 있다는 구조적 특징만이 존재한다.

[0008] 그러나, 상기 선행기술 1 및 2를 포함한 종래기술은 다음과 같은 문제점 및 한계가 있다.

[0009] 첫째로, 전기기계 메모리 소자는 캔틸레버 전극의 상하 이동으로 정보를 저장하므로 가급적 전극을 얇게 만들고 유연하면서도 피로도에 강한 전극물질을 사용하는 것이 저전력과 고신뢰성 구현에 핵심적인 관건이나, 종래 전기기계 메모리 소자는 비트라인에 캔틸레버 전극이 형성되는 관계로 캔틸레버 전극을 얇게 하고 새로운 전극물질을 사용하게 되면 비트라인이 제대로 형성되지 않거나 높은 저항을 갖게 되는 문제가 있어, 종래기술로는 캔틸레버 전극 디자인의 최적화에 일정한 한계가 있을 수 밖에 없다.

[0010] 둘째로, 고집적 메모리의 구현을 위하여 셀면적의 최소화는 매우 중요하나, 종래 전기기계 메모리 소자는 이에 충분히 부응하지 못하는 문제점이 있다. 예를 들어 선행기술 1의 전기기계 메모리 소자는 비트라인(174)과 가요성 기계적 빔(176)이 동일한 금속층에 형성되어 셀과 셀을 연결하기 위해서 가요성 기계적 빔을 우회하는 비트라인이 형성되어야 하므로, 이는 면적의 손실을 가져온다. 또한 선행기술 2의 전기기계 메모리 소자는 비트라인(220)이 별도의 금속층에 형성되어 비트라인의 우회로 인한 면적손실은 없으나 콘택홀을 형성하여 패드전극(252)에 캔틸레버 전극(250A)이 위치하여야 하는 관계로 정렬오차 등으로 인해 면적의 손실이 발생한다.

[0011] 셋째로, 삼차원 집적 메모리 소자는 1 비트를 저장하기 위해 필요한 셀의 부피도 중요한 고려 요소가 되는데(이는 1 비트의 저장을 위한 면적이 작더라도 높이가 높게 되면 수직 적층이 어려워 고용량 메모리의 구현이 어렵기 때문임), 종래 전기기계 메모리 소자는 1 비트의 저장을 위해 적어도 3층의 금속 라인 층이 필요하여 3 비트를 수직으로 쌓으려면 적어도 9층의 금속선이 필요한 문제점이 있다.

#### 발명의 내용

### 해결 하고자하는 과제

- [0012] 따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 창안된 것으로, 각 비트라인에 상하 또는 상하좌우 대칭적으로 캔틸레버 전극을 2개 또는 4개 형성하고, 상부 보조 워드라인 및 하부 보조 워드라인을 구비함으로써, 단위셀 당 4 비트까지 구현이 가능하고, 수직 적층시 상부 보조 워드라인을 공유할 수 있게 되어 최소한의 도전층(예컨대, 금속선)으로 고용량 메모리 구현이 가능한 전기기계 메모리 소자와 그 동작방법 및 제조방법을 제공하는 것을 목적으로 한다.

### 과제 해결수단

- [0013] 상기 목적을 달성하기 위하여, 본 발명에 의한 전기기계 메모리 소자는 소정의 평탄면을 갖는 기판; 상기 기판 상에서 제 1 방향으로 형성된 하부 보조 워드라인; 상기 하부 보조 워드라인과 수직으로 이격되며 제 2 방향으로 형성된 비트라인; 상기 비트라인과 절연되며 수평으로 이웃하여 제 2 방향으로 형성된 주요 워드라인; 상기 주요 워드라인의 상, 하부에 형성된 상부 절연막과 하부 절연막; 상기 상부 절연막 및 상기 비트라인과 수직으로 이격되며 제 1 방향으로 형성된 상부 보조 워드라인; 상기 비트라인에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이 및 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 각각 제 1 방향으로 부양되도록 형성된 상부 캔틸레버 전극과 하부 캔틸레버 전극; 및 상기 비트라인과 상기 주요 워드라인을 지지하며 서로 절연시키는 층간절연막을 포함하여 구성된 것을 특징으로 한다.
- [0014] 그리고, 본 발명에 의한 전기기계 메모리 소자의 동작방법은 쓰기 동작시 비트라인과 주요 워드라인의 전압과 더불어 보조 워드라인의 전압을 이용하고, 읽기 동작시 비트라인과 보조 워드라인의 전압과 더불어 주요 워드라인의 전압을 이용하여 다중 비트로 동작시키는 것을 특징으로 한다.
- [0015] 한편, 본 발명에 의한 전기기계 메모리 소자의 제조방법은 기판 상에 제 1 방향으로 하부 보조 워드라인을 형성하는 제 1 단계; 상기 하부 보조 워드라인 상에 제 1 희생막으로 둘러싸며 제 1 방향으로 복수개의 하부 캔틸레버 전극을 형성하는 제 2 단계; 상기 기판 전면에 제 1 층간절연막을 증착하고 상기 제 1 희생막이 드러나도록 평탄화시키는 제 3 단계; 상기 제 1 층간절연막 및 상기 제 1 희생막의 양측 상에 각각 제 2 방향으로 하부 좌측 절연막/좌측 주요 워드라인/상부 좌측 절연막 및 하부 우측 절연막/우측 주요 워드라인/상부 우측 절연막을 순차적으로 적층 형성하는 제 4 단계; 상기 기판 전면에 제 2 층간절연막을 증착하고 평탄화시키는 제 5 단계; 상기 제 2 층간절연막 및 상기 제 1 희생막을 순차 식각하여 상기 각 하부 캔틸레버 전극의 가운데가 드러나게 한 다음 제 2 방향으로 비트라인을 형성하는 제 6 단계; 상기 비트라인이 접하고 있는 적어도 일측의 상기 제 2 층간절연막을 식각하여 상기 제 1 희생막을 제거하는 제 7 단계; 상기 기판 전면에 제 3 층간절연막을 증착하고 상기 비트라인이 드러나도록 평탄화시키는 제 8 단계; 상기 비트라인과 접한 상태에서 제 2 희생막으로 둘러싸며 제 1 방향으로 복수개의 상부 캔틸레버 전극을 형성하는 제 9 단계; 상기 기판 전면에 제 4 층간절연막을 증착하고 상기 제 2 희생막이 드러나도록 평탄화시키는 제 10 단계; 상기 제 4 층간절연막 및 상기 제 2 희생막 상에 제 1 방향으로 상부 보조 워드라인을 형성하는 제 11 단계; 상기 기판 전면에 제 5 층간절연막을 증착하고 식각하여 상기 비트라인 상의 상기 제 2 희생막이 드러나도록 트렌치를 형성하는 제 12 단계; 상기 트렌치를 통하여 제 2 희생막을 제거하는 제 13 단계; 및 상기 기판 전면에 제 6 층간절연막을 증착하고 상기 상부 보조 워드라인이 드러나도록 평탄화시키는 제 14 단계를 포함하여 구성된 것을 특징으로 한다.

### 효과

- [0016] 본 발명은 각 비트라인에 상하 또는 상하좌우 대칭적으로 캔틸레버 전극을 2개 또는 4개 형성하고, 상부 보조 워드라인 및 하부 보조 워드라인을 구비함으로써, 단위셀 당 4 비트까지 구현이 가능하고, 수직 적층시 상부 보조 워드라인을 공유할 수 있게 되어 최소한의 도전층으로 고용량 메모리 구현이 가능한 효과가 있다.
- [0017] 또한, 본 발명에 의한 동작방법으로 다중 비트 및 저전력 구동이 가능하며, 캔틸레버 전극과 보조 워드라인의 접촉에 의한 전류 센싱으로 읽기 동작을 하므로, 우주선 등의 영향으로 종래 메모리 소자가 사용될 수 없는 극한 상황에서도 동작 가능한 효과가 있다.
- [0018] 그리고, 본 발명에 의한 제조방법은 고온 공정이 필요없으므로, CMOS 공정에 의한 소자에 삼차원적으로 집적 가능한 고용량의 저전력 내장형 메모리를 제조할 수 있는 효과도 있다.

### 발명의 실시를 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.
- [0020] 도 3은 본 발명에 따른 전기기계 메모리 소자의 일 실시예인 H 셀을 단위 셀로 하는 소자 구조를 보여주는 각 층의 어레이 레이아웃이고, 도 4는 도 3의 AA'선 단면도의 일 예시도이고, 도 5는 2층으로 수직 적층한 일 요부 사시도이고, 도 6은 NAND, NOR 플래시 메모리와 종래 전기기계 메모리 소자 및 본 발명에 의한 H 셀 소자에서 1 비트 저장을 위한 셀 부피를 비교한 그래프이고, 도 7은 종래기술과 본 발명에 의한 H 셀 소자의 동작원리를 비교하기 위한 개념도이고, 도 8 내지 도 10은 본 발명에 의한 H 셀 소자의 동작을 예시적으로 보여주는 레이아웃 및 단면도이고, 도 11 내지 도 24는 도 3의 절단선(1)에 따른 본 발명에 의한 H 셀 소자의 제조공정을 보여주는 공정 사시도이고, 도 25는 도 24의 BB'선 단면도이고, 도 26은 도 24의 CC'선 단면도이다.
- [0021] 첨부된 도면에서 공정을 거치며 형태는 달라져도 동일한 물질층이면 동일한 도면부호를 사용하였다.
- [0022] **[전기기계 메모리 소자 구조에 관한 실시예]**
- [0023] 본 발명에 의한 전기기계 메모리 소자는 기본적으로, 도 24와 같이, 소정의 평탄면을 갖는 기판(10); 상기 기판 상에서 제 1 방향으로 형성된 하부 보조 워드라인(20); 상기 하부 보조 워드라인과 수직으로 이격되며 제 2 방향으로 형성된 비트라인(70); 상기 비트라인과 절연되며 수평으로 이웃하여 제 2 방향으로 형성된 주요 워드라인(62 또는 64); 상기 주요 워드라인의 상, 하부에 형성된 상부 절연막(53 또는 54)과 하부 절연막(51 또는 52); 상기 상부 절연막 및 상기 비트라인과 수직으로 이격되며 제 1 방향으로 형성된 상부 보조 워드라인(90); 상기 비트라인에 일단이 연결되고 타단은 상기 상부 보조 워드라인과 상기 상부 절연막 사이 및 상기 하부 보조 워드라인과 상기 하부 절연막 사이에서 각각 제 1 방향으로 부양되도록 형성된 상부 캔틸레버 전극(82 또는 84)과 하부 캔틸레버 전극(42 또는 44); 및 상기 비트라인과 상기 주요 워드라인을 지지하며 서로 절연시키는 층간절연막(11, 12)을 포함하여 구성된 것을 특징으로 한다.
- [0024] 상기 실시예에 의한 전기기계 메모리 소자는 하나의 단위셀 당 층간절연막(11, 12)으로 지지되며 제 2 방향으로 형성된 비트라인(70)에 상하 또는 상하좌우 대칭되도록 제 1 방향으로 캔틸레버 전극을 2개(42, 82; 44, 84) 또는 4개(42, 48, 82, 84) 형성하며, 상기 캔틸레버 전극의 동작을 독립적으로 제어하며 쓰기와 읽기를 하기 위해 상, 하부에 보조워드라인(20, 90)을 둔 것을 핵심 기술적 사상으로 한다.
- [0025] 이하, 하나의 단위셀에 캔틸레버 전극이 비트라인(70)에 상하로 연결되어 있는 실시예는 'ㄷ 셀 소자'라 하고, 하나의 단위셀에 캔틸레버 전극이 비트라인(70)에 상하좌우로 연결되어 있는 실시예는 'H 셀 소자'라 한다.
- [0026] ㄷ 셀 소자 및 H 셀 소자 모두 다음과 같은 구조적 특징을 가질 수 있다.
- [0027] 도 24에서, 상부 절연막(53 또는/및 54)과 하부 절연막(51 또는/및 52)은 각각 전하가 저장되어 있지 않아, 비트라인(70)과 주요 워드라인(62 또는/및 64) 사이에 전위차가 없을 경우 즉, 전원이 인가되지 않을 경우엔 캔틸레버 전극의 복원력으로 돌아옴(pull-out)되며 메모리 기능을 상실하는 휘발성 메모리 특성을 가지게 할 수 있다.
- [0028] 반대로, 비트라인(70)과 주요 워드라인(62 또는/및 64) 사이에 전위차가 없을 경우 즉, 전원이 인가되지 않을 경우라도 캔틸레버 전극이 복원력으로 돌아옴(pull-out)되는 것을 극복할 만한 일정 전하를 상부 절연막(53 또는/및 54)과 하부 절연막(51 또는/및 52)에 주입하여 비휘발성 메모리 특성을 가질 수 있게 할 수도 있다. 상부 절연막(53 또는/및 54)과 하부 절연막(51 또는/및 52)에의 전하 주입은 제조 공정시 또는 공정 후 F-N 터널링 등에 의하여 행할 수 있다.
- [0029] 후자의 경우 상기 상부 절연막(53 또는/및 54) 및 상기 하부 절연막(51 또는/및 52)은 각각 전하트랩층을 포함하는 2개 이상의 유전층으로 구성되도록 하고, 상기 전하트랩층은 실리콘 질화막(nitride)으로 함이 바람직하다. 물론, 공지의 ONO(Oxide/Nitride/Oxide) 층을 이용할 수도 있다.
- [0030] 이하, H 셀 소자에 관한 구체적인 예에 대하여 설명한다.
- [0031] 이는 상기 실시예에서, 도 24에 도시된 바와 같이, 상기 주요 워드라인은 상기 비트라인(70) 좌우 양측에 형성된 좌측 주요 워드라인(62)과 우측 주요 워드라인(64)으로 구성되고, 상기 상부 절연막은 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 각각의 상부에 형성된 상부 좌측 절연막(53)과 상부 우측 절연막(54)으로 구성되고, 상기 하부 절연막은 상기 좌측 주요 워드라인 및 상기 우측 주요 워드라인 각각의 하부에 형성된 하부 좌측 절연막(51)과 하부 우측 절연막(52)으로 구성되고, 상기 상부 보조 워드라인(90)은 상기 상부 좌측 절연막(53), 상기 비트라인(70) 및 상기 상부 우측 절연막(54)과 수직으로 이격되며 제 1 방향으로 형성되고, 상기 상부 캔틸레버 전극은 상기 비트라인(70)의 상측에 일단이 연결되고 타단은 상기 상부 보조 워드라인(90)과 상기

상부 좌측 절연막(53) 사이 및 상기 상부 보조 워드라인(90)과 상기 상부 우측 절연막(54) 사이에서 서로 반대 방향으로 부양되도록 형성된 상부 좌측 캔틸레버 전극(82)과 상부 우측 캔틸레버 전극(84)으로 구성되고, 상기 하부 캔틸레버 전극은 상기 비트라인(70)의 하측에 일단이 연결되고 타단은 상기 하부 보조 워드라인(20)과 상기 하부 좌측 절연막(51) 사이 및 상기 하부 보조 워드라인(20)과 상기 하부 우측 절연막(52) 사이에서 서로 반대 방향으로 부양되도록 형성된 하부 좌측 캔틸레버 전극(42)과 하부 우측 캔틸레버 전극(44)으로 구성되고, 상기 층간절연막(11, 12)은 상기 비트라인(70), 상기 좌측 주요 워드라인(62) 및 상기 우측 주요 워드라인(64)을 지지하며 서로 절연시키는 것을 특징으로 한다.

[0032] 상기 H 셀 소자의 실시예에 의한 단위셀의 단면도는 공정에 따라 달라질 수 있으나 예시적으로 도 4, 도 25 및 도 26과 같다.

[0033] 상기 H 셀 소자의 실시예는, 도 4에서 확인되는 바와 같이, 비트라인(70)에 상하좌우로 캔틸레버 전극 4개(42, 44, 82, 84)가 갭(air gap) 속에 부양되며 대칭적으로 연결되어 회전된 H자 형상을 하며, 상기 4개의 캔틸레버 전극을 독립적으로 제어하기 위한 상, 하부 보조 워드라인(20, 90)이 형성되어 있어, 단위셀 당 4비트 동작이 가능하게 한 것을 핵심 기술적 사상으로 한다.

[0034] 상기 H 셀 소자의 동작방법은 본 발명의 다른 모습이므로 후술하기로 한다.

[0035] 한편, 도 4 및 도 24와 같이, 상기 비트라인(70)과 상기 좌측 주요 워드라인(62) 또는 상기 우측 주요 워드라인(64) 사이의 절연은 공극층(gap layer; 34A)이 포함되도록 하는 것이 바람직하나, 공정에 따라 절연막(13)이 상기 공극층(34A)을 채울 수도 있다. 후자의 경우라도 상부 절연막(53, 54)과 상부 보조 워드라인 사이에는 공극층이 유지되어, 4개의 캔틸레버 전극 각 일단이 공극층 속에서 부양된 상태로 있어야 한다.

[0036] 그리고, 도 5와 같이, 상기 상부 보조 워드라인(90)은 다음층에서 하부 보조 워드라인으로 사용하며 2개 이상의 층으로 적층함으로써, 종래보다 1 비트를 저장하기 위한 셀부피를 현저히 감소시킬 수 있도록 함이 바람직하다.

[0037] 상기 2개 이상의 층으로 적층한 H 셀 소자의 경우는 단위셀 당 4 비트 동작이 가능하므로, 1 비트 당 셀의 단위 면적을 최소화할 수 있고, 수직으로 1 비트를 추가하기 위해서는 도전층(예컨대, 금속선)을 한층만 더 늘여주면 되므로 셀 높이 또한 최소화할 수 있어, 결과적으로 고용량의 메모리를 구현할 수 있는 장점이 있다.

[0038] 도 6은 NAND, NOR 플래시 메모리와 종래 전기기계 메모리 소자 및 본 발명에 의한 H 셀 소자에서 1 비트 저장을 위한 셀 부피를 비교한 그래프인데, 여기서도 확인되는 바와 같이, 본 H 셀 소자의 경우는 1 비트를 저장하기 위한 면적 대비 금속선의 층수가 종래 보다 현저히 적음을 알 수 있다.

[0039] 기타, 상기 각 실시예에서 제 1 방향은 직교 좌표계에서 x축 또는 y축 방향일 수 있고, 제 2 방향은 상기 제 1 방향과 교차되는 방향이나 반드시 수직으로 교차된 방향에 한정되는 것은 아니다.

[0040] **[전기기계 메모리 소자의 동작방법에 관한 실시예]**

[0041] 상기 H 셀 소자의 동작방법은, 기본적으로 쓰기 동작시 비트라인과 주요 워드라인의 전압과 더불어 보조 워드라인의 전압을 이용하고, 읽기 동작시엔 비트라인과 보조 워드라인의 전압과 더불어 주요 워드라인의 전압을 이용하여 다중 비트로 동작시키는 것을 핵심 기술적 사상으로 한다.

[0042] 이에 대한 설명은 도 7 내지 도 10을 참조하며 설명한다.

[0043] 우선, 도 7을 살펴보면, 주요 워드라인(MWL) 상부에 형성된 절연막에 전하가 없을 경우[도 7(a)]에는 비트라인(BL)과 주요 워드라인(MWL) 사이의 전압차( $V_{BL-MWL}$ )에 의하여 풀아웃(pull-out) 상태(본 명세서에서는 이를 '1 상태'라 함. 그러나 '0 상태'로 정의할 수도 있음)와 풀인(pull-in) 상태(본 명세서에서는 이를 '0 상태'라 함. 그러나 '1 상태'로 정의할 수도 있음)를 반복하며 히스테리시스(hysteresis) 커브를 그리게 되는데,  $V_{BL-MWL}=0$  일 때 풀아웃 됨으로써, 휘발성 특성을 가지게 됨을 알 수 있다.

[0044] 도 7(a)에서 풀인될 때와 풀아웃될 때의  $V_{BL-MWL}$  전압차를 히스테리시스 전압이라 하는데, 히스테리시스 전압이 작을수록 쓰기/지우기 전압을 낮출 수 있다.

[0045] 그런데, 도 7(b)와 같이, 상기 절연막에 트랩된 전하가 있을 경우에는 히스테리시스 커브가 좌측으로 이동(shift)하게 됨으로써,  $V_{BL-MWL}=0$  일때 풀인 방향으로 캔틸레버 전극이 절연막을 향하여 휘어진 상태를 유지하게 되어 비휘발성 특성을 가지게 된다.

- [0046] 나아가, 도 7(c)와 같이, 보조 워드라인(AWL)을 더 형성시켜 이에 전압( $V_{AWL}$ )을 인가할 경우( $V_{AWL} > 0V$ ) 히스테리시스 커브가 우측으로 이동되는 효과를 가져오게 됨으로써, 보조 워드라인(AWL)에 전압인가에 따라 히스테리시스 전압을 작게하여 쓰기/지우기 전압(구동전압)을 더욱 낮추어 저전력 구동이 가능한 장점이 있고, H 셀 소자에서 4개의 캔틸레버 전극을 독립적으로 제어할 수 있게 되어 4 비트 구동이 가능한 장점이 있다.
- [0047] 본 발명에 의한 H 셀 소자의 구체적 구동의 일례는 블록의 모든 셀 지우기, 선별적 쓰기, 읽기 3단계로 진행할 수 있다.
- [0048] 본 명세서에서는 캔틸레버 전극이 풀인 상태로 될 때, 지운 상태로 정의하고, 풀아웃 상태를 쓴 상태로 정의하여 기술하나, 서로 반대로 정의하여 기술될 수 있음은 물론이다.
- [0049] 먼저, 지우기 동작은, 도 8과 같이, 지우고자 하는 특정 층의 블록을 지나가는 상부 보조 워드라인(Upper AWL 1, 2, 3; 90), 하부 보조 워드라인(Lower AWL 1, 2, 3; 20) 및 비트라인(BL 1, 2, 3; 70)에는 모두 동일한 기준전압  $V_{REF}$ (예컨대, 접지전압; 0V)을 인가하고, 상기 블록을 지나가는 모든 좌측 주요 워드라인(Left MWL 1, 2, 3; 62) 및 우측 주요 워드라인(Right MWL 1, 2, 3; 64)은 블록내의 모든 캔틸레버 전극(42, 44, 82, 84)을 풀인 상태로 할 수 있을 정도로 절연막(51, 52, 53, 54)에 트랩된 전하에 따라 상기 기준전압  $V_{REF}$ 보다 높거나 낮은 전압  $V_{ERS}$ (예컨대, 상기 절연막에 +전하가 트랩되면  $V_{REF}$ 보다 높은 전압, 반대로 상기 절연막에 -전하가 트랩되면  $V_{REF}$ 보다 낮은 전압)을 인가함으로써, 상기 블록을 한꺼번에 지운다.
- [0050] 여기서, 블록이라 함은 하나 이상의 셀 조합을 말하므로, 하나의 셀, 더 나아가 하나의 셀 중 일측 캔틸레버 전극을 풀인시키며 지우기를 행할 때에도 마찬가지로 할 수 있다.
- [0051] 다음, 쓰기 동작은, 도 9와 같이, 지우기 동작이 수행된 블록에 있는 특정 셀의 일측에 '1'을 쓰기 위하여 상기 셀이 공유하는 비트라인(BL2; 70)에는 음의 전압을, 상기 셀의 일측을 지나가는 주요 워드라인(Right MWL2; 64)과 보조 워드라인(Upper AWL2; 90)에는 양의 전압을 각각 인가하고, 나머지 라인들은 접지전압(0V)을 인가하여 상기 셀의 일측 캔틸레버 전극(84)만 풀아웃시킴으로써 행하게 된다.
- [0052] 상기와 같이, 쓰기 동작시 선택된 보조 워드라인(Upper AWL2; 90)과 그렇지 않은 비선택된 보조 워드라인(Lower AWL2; 20)에도 서로 다른 전압을 인가함으로써, 도 7(c)와 같은 원리로 동일한 단위셀 내에 있는 4개의 캔틸레버 전극을 각각 독립적으로 풀아웃시키며 쓰기 동작을 할 수 있게 된다.
- [0053] 다음, 읽기 동작은, 도 10과 같이, 특정 셀의 일측 상태를 읽기 위하여 상기 셀이 공유하는 비트라인(BL2; 70)에는 접지전압(0V)을, 상기 셀의 일측을 지나가는 보조 워드라인(Upper AWL2; 90)에는 상기 접지전압보다 높은 전압  $V_{PGM}$ 을, 상기 셀의 타측을 지나가는 주요 워드라인(Left MWL2; 62)에는 상기 접지전압보다 높고 상기 전압  $V_{PGM}$ 보다 낮은 전압  $V_{UNS}$ 을 각각 인가하여, 선택된 보조 워드라인(Upper AWL2; 90)과 동일한 전위차를 가지는 반대측 캔틸레버 전극(82)은 그 상태를 유지한 채 읽하고자 하는 측의 캔틸레버 전극(84)만 선택된 보조 워드라인(Upper AWL2; 90)에 닿았는지 여부로 행하게 된다.
- [0054] 상기와 같이, 읽기 동작시 선택된 주요 워드라인(Right MWL2; 64)과 그렇지 않은 비선택된 주요 워드라인(Left MWL2; 62)에도 서로 다른 전압을 인가함으로써, 도 7(c)와 같은 원리로 동일한 단위셀 내에 있는 4개의 캔틸레버 전극을 각각 독립적으로 선택된 보조 워드라인에 닿도록 하며 쓰기 동작을 할 수 있게 된다.
- [0055] 도 10과 같이 상부 보조 워드라인(Upper AWL2; 90)을 읽하고자 선택하였을 경우 각 셀의 좌, 우 주요 워드라인에 전압을 서로 바꾸어 가며 순차적으로 읽어 나갈 수 있어, 빠른 읽기 동작을 할 수 있는 장점이 있다.
- [0056] 상기와 같이 읽기 동작을 할 경우 전자기계 메모리 소자의 특성인 인접 셀과의 간섭을 전혀 받지 않게 되는 장점을 살릴 수 있다. 도 10에서 BL2에서만  $I_2$  전류를 센싱하게 되고, BL1의  $I_1$  및 BL3의  $I_3$ 는 누설전류 크기를 갖는 것에 불과하여 무시할 수 있게 된다.
- [0057] 기타, 도 8 내지 도 10에서 작은 원 속에 0은 접지전압, +는 양의 전압, ++는 +보다 높은 양의 전압, -은 음의 전압, --는 -보다 낮은 음의 전압을 각각 나타낸다.
- [0058] **[전기기계 메모리 소자의 제조방법에 관한 실시예]**
- [0059] 본 발명에 의한 전기기계 메모리 소자의 제조방법은 도 11 내지 도 26을 참조하며 설명한다.
- [0060] 먼저, 도 11과 같이, 기판(10) 상에 제 1 방향으로 하부 보조 워드라인(20)을 형성하고(제 1 단계), 기판 전면

에 층간절연막(11)을 증착하여 평탄화시킨다.

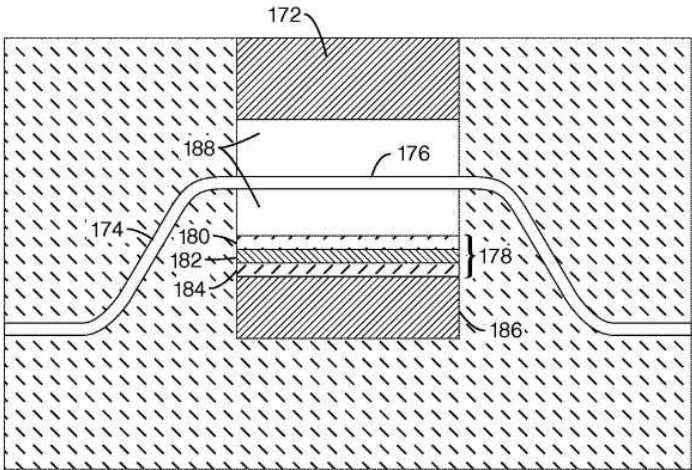
- [0061] 여기서, 상기 기판(10)은 가요성이 우수한 절연 기판 또는 반도체 기판일 수 있고, 상기 하부 보조 워드라인(20)은 금, 은, 구리, 알루미늄, 텅스텐, 텅스텐 실리사이드, 티타늄, 질화 티타늄, 탄탈륨, 탄탈륨 실리사이드와 같이 도전성 금속 재질 뿐만 아니라 불순물이 도핑된 실리콘계 물질로 형성될 수 있고, 상기 층간절연막(11)은 실리콘산화막, TEOS 등으로 형성될 수 있다.
- [0062] 이어, 기판 전면에 제 1 희생막(31) 및 캔틸레버 전극물질을 순차 증착한 다음, 소정의 마스크를 이용하여, 도 12와 같이, 상기 하부 보조 워드라인(20) 상에 제 1 방향을 따라 복수개의 캔틸레버 전극(40)을 형성하고, 제 1 희생막(32)이, 도 3과 같이, 상기 각 캔틸레버 전극(40)을 둘러싸도록 형성한다(제 2 단계).
- [0063] 여기서, 상기 캔틸레버 전극(40)은 티타늄, 질화 티타늄과 같이 도전성 금속재질 또는 탄소 나노튜브 재질로 형성될 수 있고, 상기 제 1 희생막(31, 32)은 층간절연막과 식각 선택비가 높은 물질로 예컨대, 실리콘계 물질(다결정 실리콘, 비정질 실리콘 등)로 형성될 수 있다.
- [0064] 다음, 도 13과 같이, 기판 전면에 다시 층간절연막(12)을 증착하고 제 1 희생막(32)이 드러나도록 평탄화시킨다(제 3 단계).
- [0065] 이어, 도 14와 같이, 상기 층간절연막(12) 및 상기 제 1 희생막(32)의 양측 상에 각각 제 2 방향으로 하부 좌측 절연막(51)/좌측 주요 워드라인(62)/상부 좌측 절연막(53) 및 하부 우측 절연막(52)/우측 주요 워드라인(64)/상부 우측 절연막(54)을 순차적으로 적층 형성한다(제 4 단계).
- [0066] 여기서, 상기 좌측 주요 워드라인(62) 및 우측 주요 워드라인(64)은 상기 하부 보조 워드라인(20)과 동일한 물질로 형성될 수 있고, 상기 하부 좌측 절연막(51), 하부 우측 절연막(52), 상부 좌측 절연막(53) 및 상부 우측 절연막(54)은 전하트랩층을 포함한 2 이상의 유전층으로 형성됨이 바람직하고, 공지의 ONO층으로 형성될 수 있다.
- [0067] 다음, 도 15와 같이, 기판 전면에 다시 층간절연막(13)을 증착하고 평탄화시킨다(제 5 단계). 바람직하게는 상부 좌측 절연막(53) 및 상부 우측 절연막(54)가 드러나게 평탄화시킨다.
- [0068] 이어, 도 16과 같이, 기판 전면에 층간절연막(13)과 식각 선택비가 높은 물질(예컨대, 실리콘계 물질)을 증착하고 마스크 패턴을 형성한 다음, 이를 이용하여 상부 좌측 절연막(53)과 상부 우측 절연막(54) 사이의 층간절연막(13) 및 제 1 희생막(32)을 식각하여 하부 캔틸레버 전극의 가운데가 드러나도록 트렌치를 형성하고, 기판 전면에 다시 비트라인 물질을 증착하여 제 2 방향으로 비트라인(70)을 형성한다(제 6 단계).
- [0069] 여기서, 상기 비트라인 물질은 상기 하부 보조 워드라인(20)과 동일한 물질로 형성될 수 있다.
- [0070] 다음, 도 17과 같이, 기판 전면에 다시 층간절연막(13)과 식각 선택비가 높은 물질을 증착하고 마스크 패턴(33)을 형성하고, 이를 이용하여 비트라인(70)이 접하고 있는 적어도 일측의 층간절연막(13)을 식각하여 제 1 희생막(32)이 드러나도록 트렌치(13A, 13B)를 형성하고, 도 18과 같이, 하부 캔틸레버 전극(40)을 둘러싸는 제 1 희생막(31, 32)을 제거하고 공극(31A, 32A)을 형성한다(제 7 단계).
- [0071] 여기서, 상기 제 1 희생막(31, 32)의 제거는 등방성 식각용액 또는 등방성 반응 가스를 이용함이 바람직하고, 상기 반응 가스로는 CxFy계나 CaHbFc계와 같은 불화 탄소계 가스를 이용할 수 있다.
- [0072] 이어, 도 19와 같이, 기판 전면에 다시 층간절연막(34)을 증착하고 비트라인(70)이 드러나도록 평탄화시킨다(제 8 단계).
- [0073] 여기서, 상기 층간절연막(34)은 다른 층간절연막(11, 12, 13)과 달리 차후 형성될 제 2 희생막 물질로 함이 바람직하다. 이렇게 함으로써, 상부 좌측 절연막(53) 및 상부 우측 절연막(54)과 접하는 제 2 희생막을 별도로 형성하는 공정을 줄일 수 있으며, 차후 제 2 희생막 식각시 비트라인(70)과 접하는 층간절연막(34)도 식각하게 되어 공극층으로 절연시키는 장점도 있다.
- [0074] 다음, 도 20 및 도 21과 같이, 비트라인(70)과 접한 상태에서 제 2 희생막(35)으로 둘러싸며 제 1 방향으로 복수개의 상부 캔틸레버 전극(80)을 형성하고(제 9 단계), 이어 기판 전면에 다시 층간절연막(14)을 증착하고 제 2 희생막(35)이 드러나도록 평탄화시킨다(제 10 단계).
- [0075] 여기서, 상기 제 2 희생막(35)은 상기 제 1 희생막(31, 32)과 동일한 물질이고, 상기 층간절연막(14)은 다른 층간절연막(11, 12, 13)과 동일한 물질이고, 상기 상부 캔틸레버 전극(80)은 상기 하부 캔틸레버 전극(40)과 동일



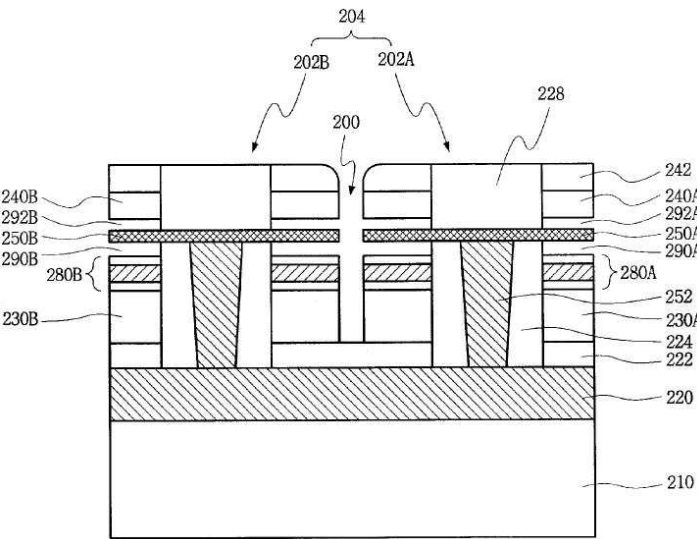
[0099] 80: 상부 캔틸레버 전극 90: 상부 보조 워드라인

도면

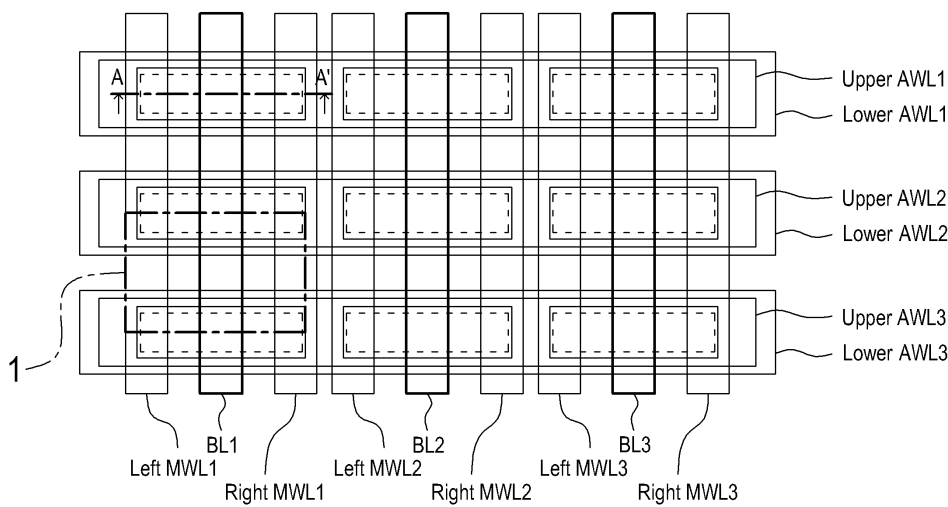
도면1



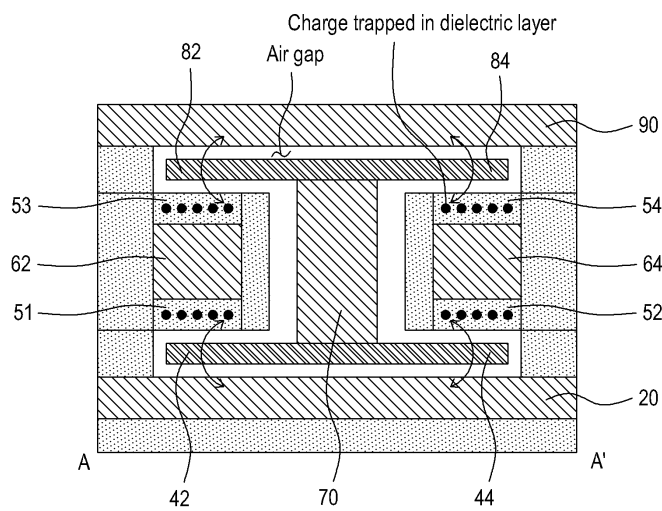
도면2



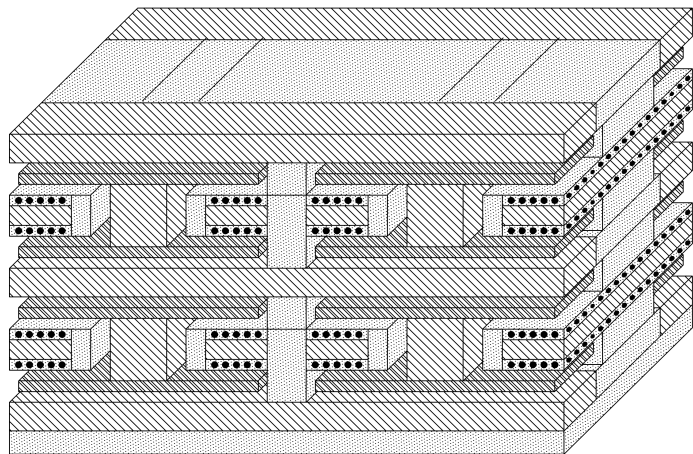
도면3



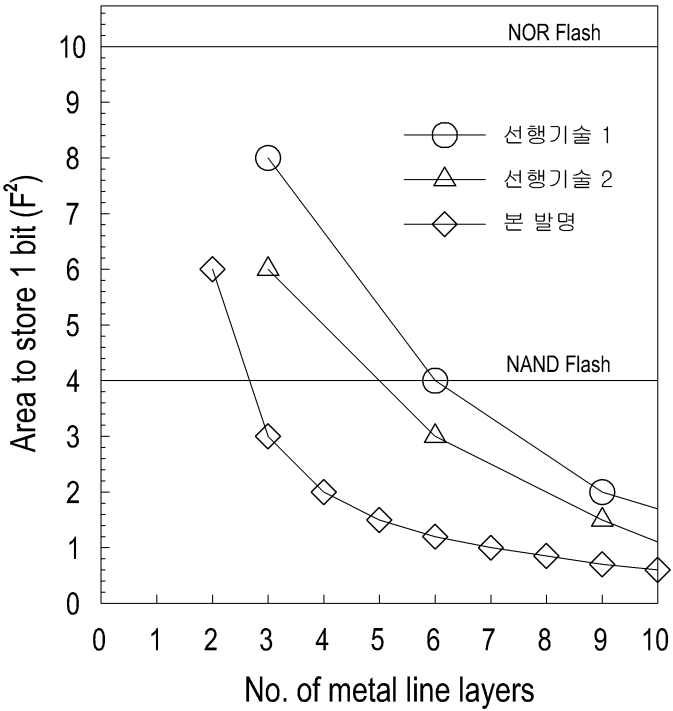
도면4



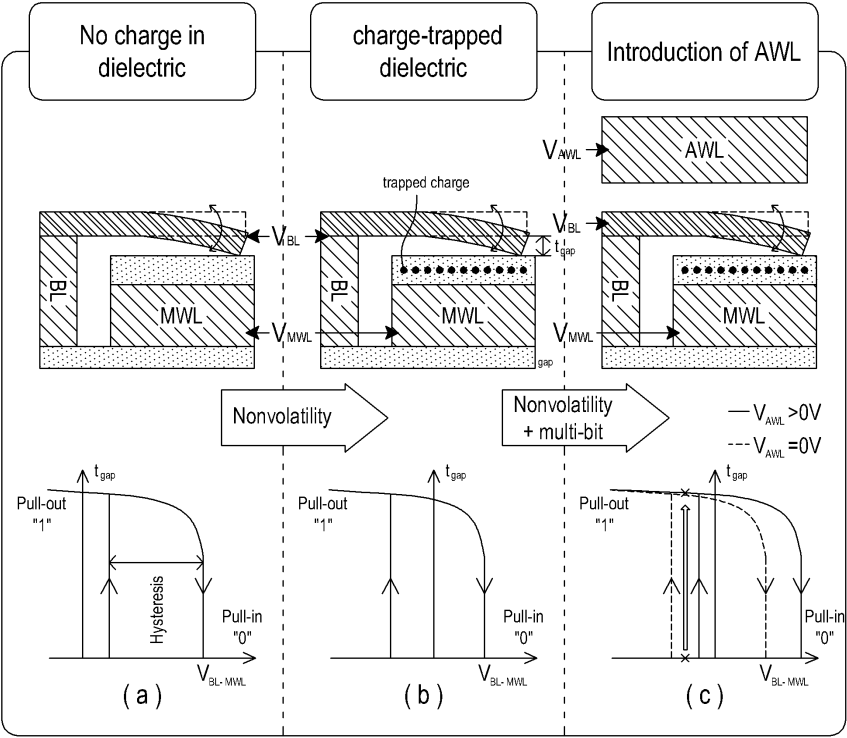
도면5



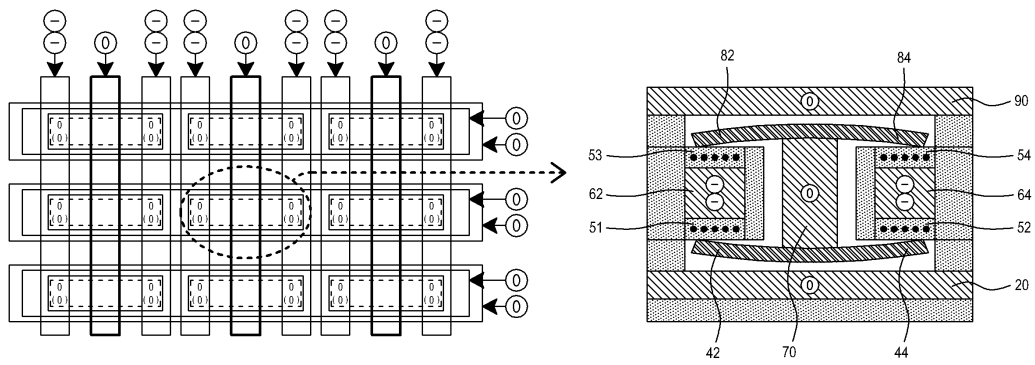
도면6



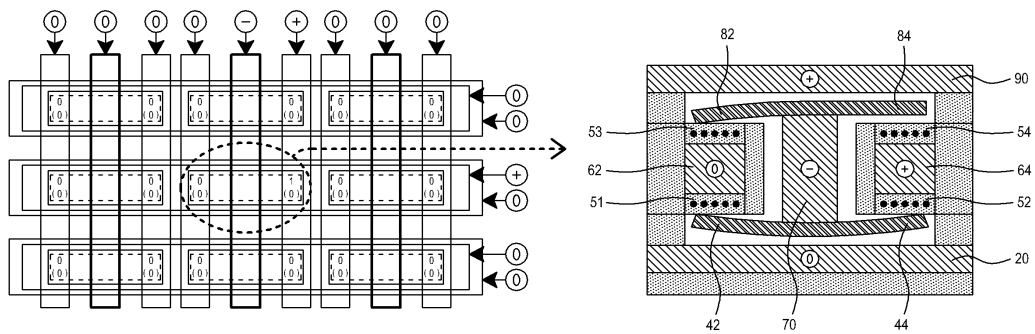
도면7



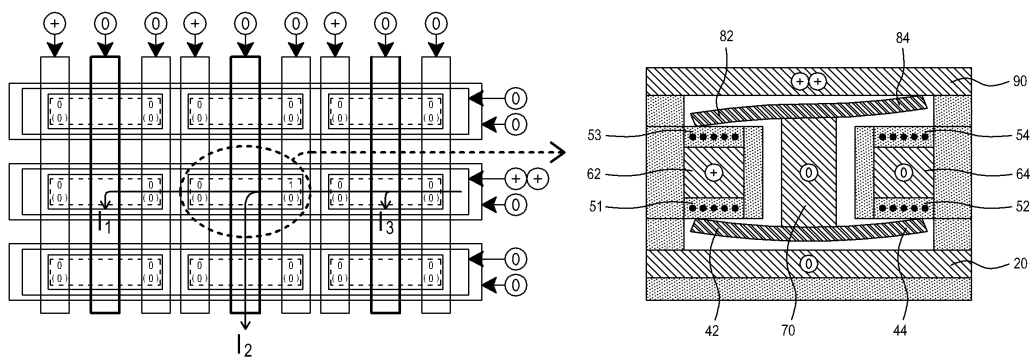
도면8



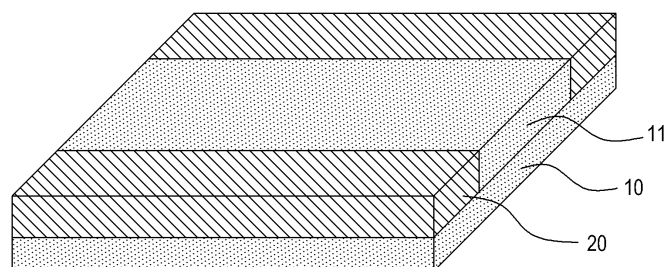
도면9



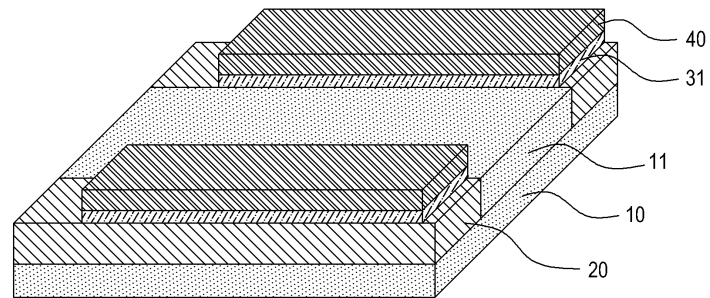
도면10



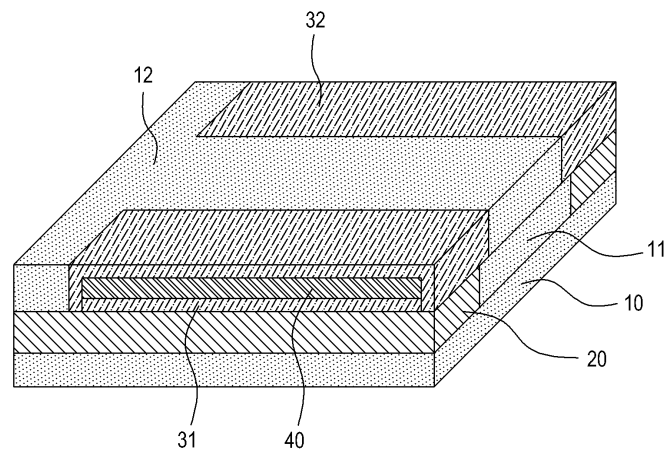
도면11



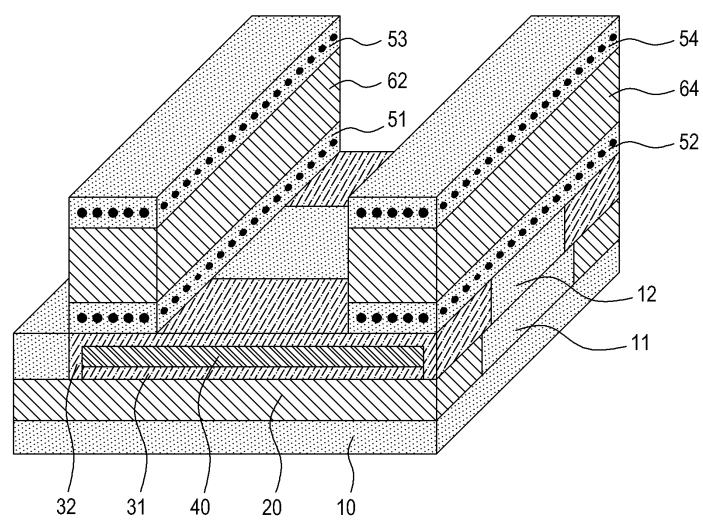
도면12



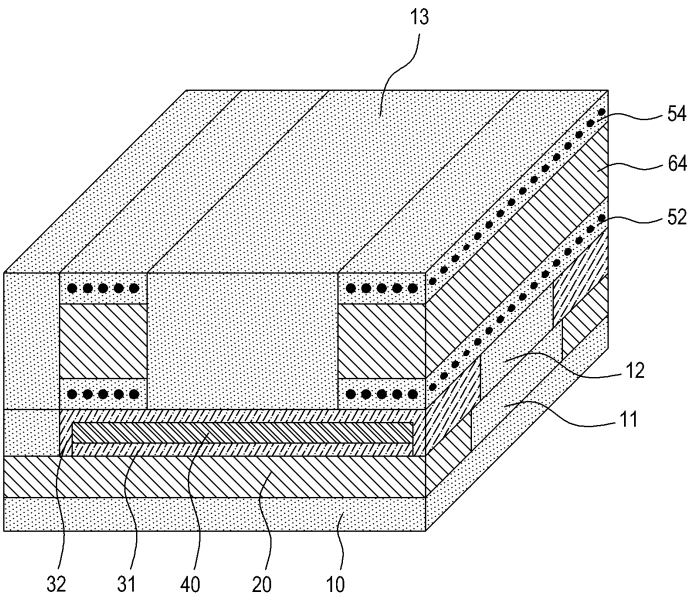
도면13



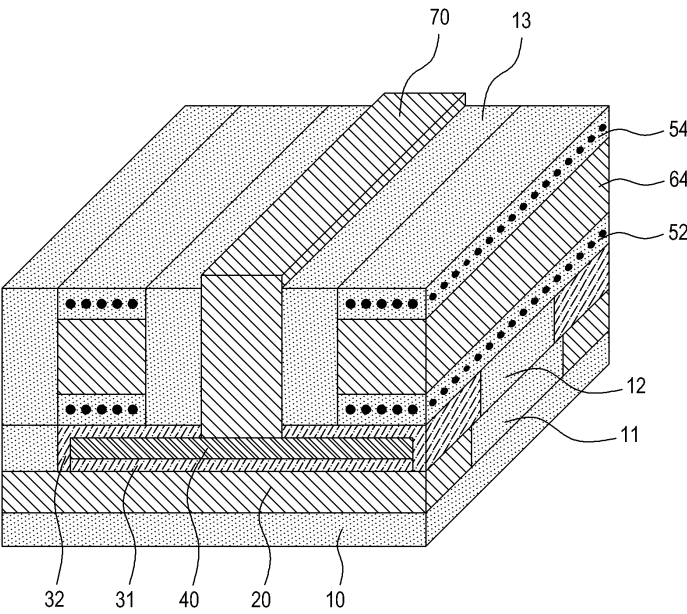
도면14



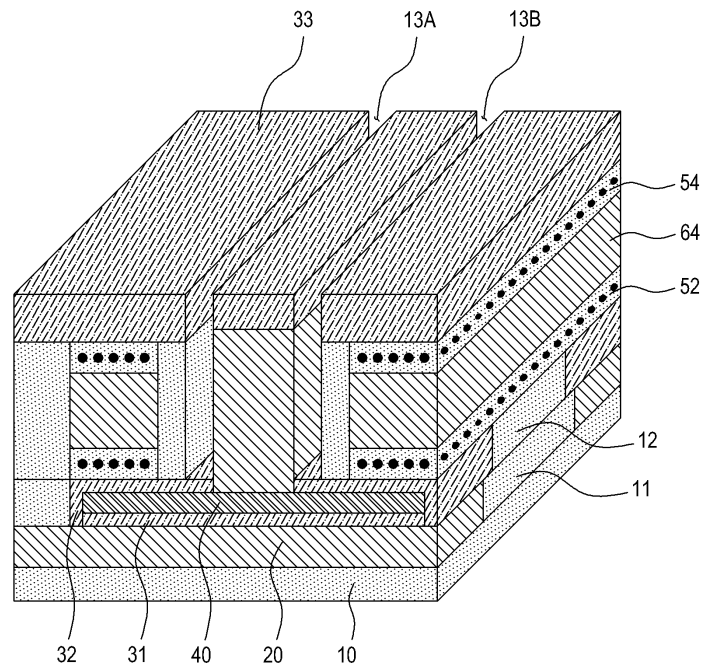
도면15



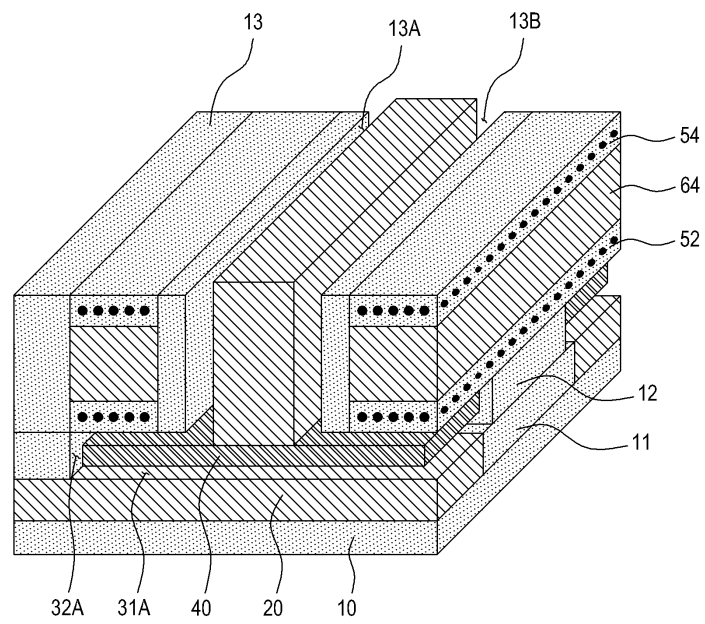
도면16



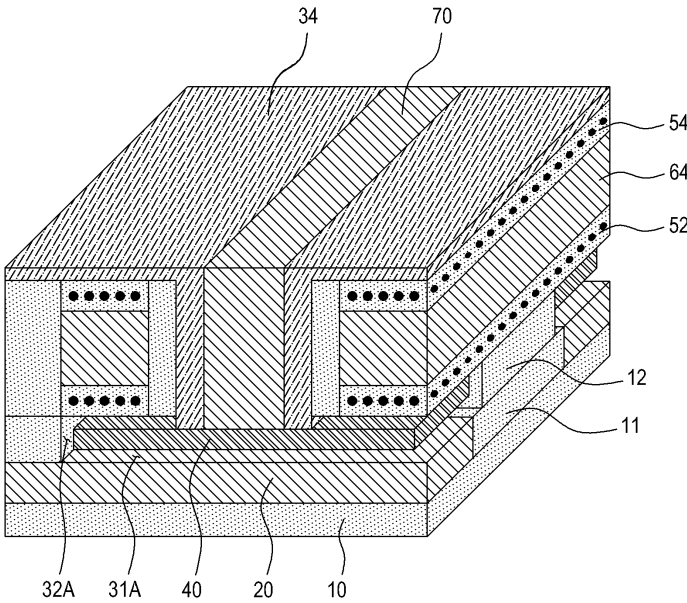
도면17



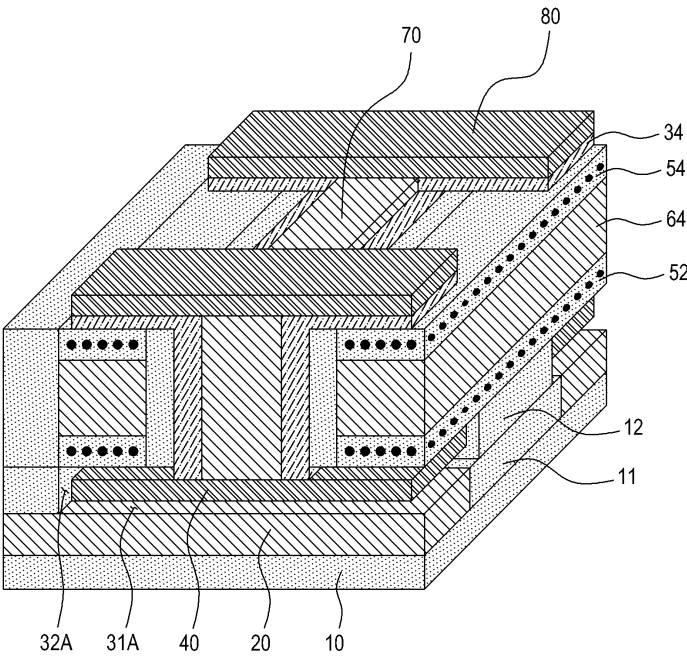
도면18



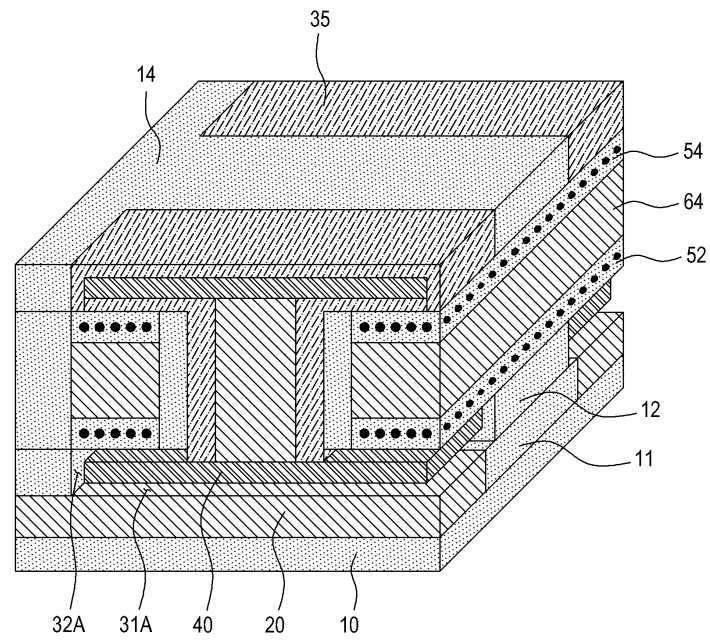
도면19



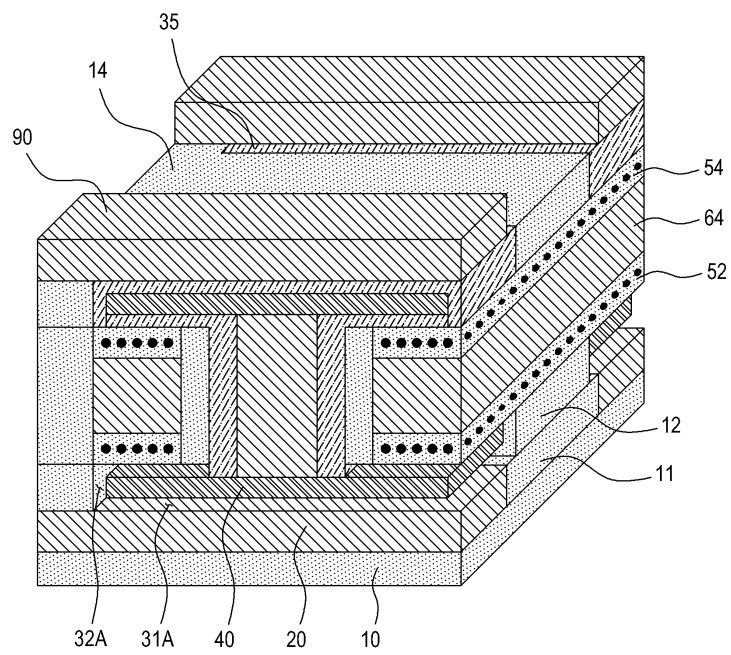
도면20



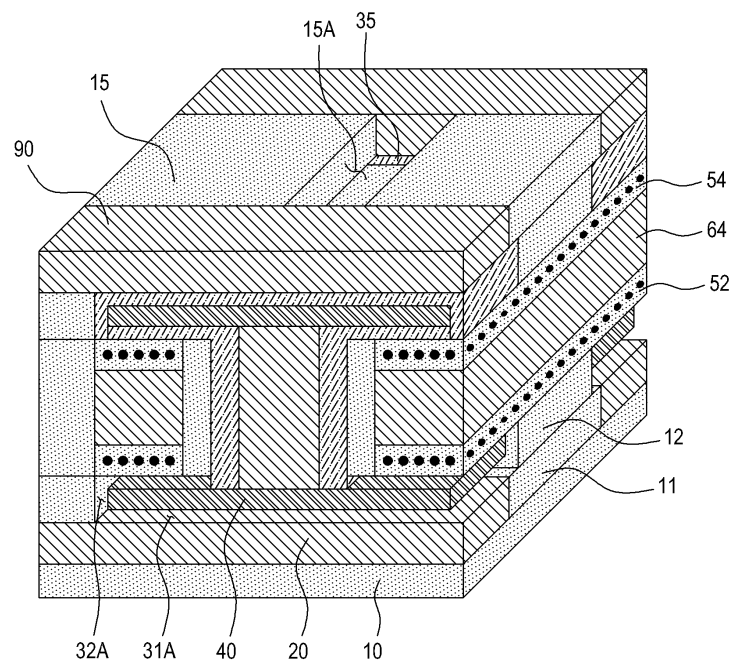
도면21



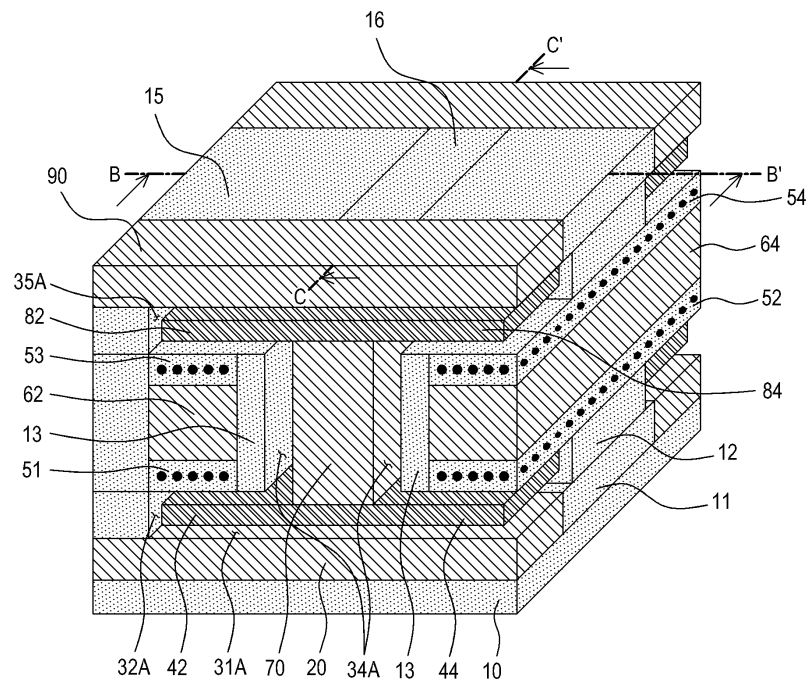
도면22



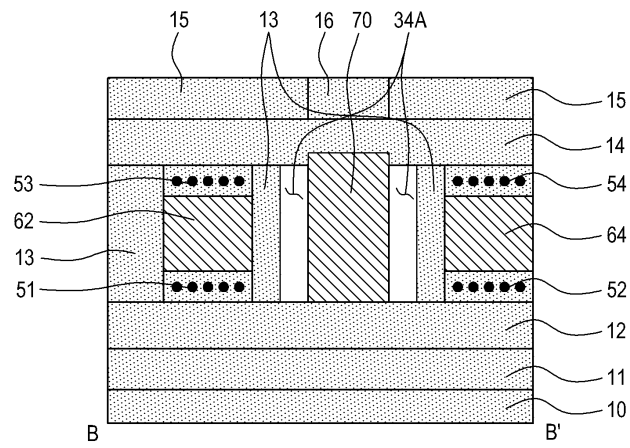
도면23



도면24



도면25



도면26

