



(12)发明专利

(10)授权公告号 CN 107180817 B

(45)授权公告日 2019.05.28

(21)申请号 201610134352.5

(22)申请日 2016.03.09

(65)同一申请的已公布的文献号

申请公布号 CN 107180817 A

(43)申请公布日 2017.09.19

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72)发明人 甘正浩 冯军宏

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 高静 吴敏

(51)Int.Cl.

H01L 23/60(2006.01)

H01L 29/78(2006.01)

H01L 21/336(2006.01)

H01L 29/06(2006.01)

审查员 吕媛

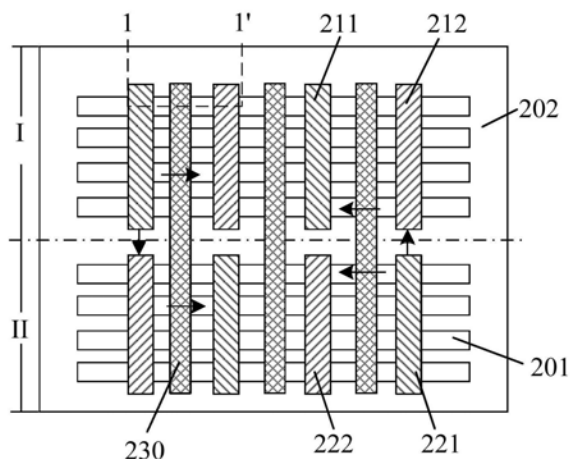
权利要求书2页 说明书10页 附图7页

(54)发明名称

静电放电保护器件及其形成方法

(57)摘要

本发明提供一种静电放电保护器件及其形成方法,其中,所述形成方法包括:基底,包括邻近的第一晶体管区和第二晶体管区;位于第一晶体管区基底中邻近的第一P掺杂区和第一N掺杂区;位于第二晶体管区基底中的第二P掺杂区和第二N掺杂区,所述第一P掺杂区与所述第二N掺杂区邻近或所述第一N掺杂区与所述第二P掺杂区邻近,或者所述第一P掺杂区与所述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近;位于所述第一P掺杂区和第二P掺杂区表面的阳极;位于所述第一N掺杂区和第二N掺杂区表面的阴极。所述静电放电保护器件具有较多的静电释放路径,能够降低静电放电保护器件中的电流密度,减少电流对静电放电保护器件产生损伤。



1. 一种静电放电保护器件,其特征在于,包括:
基底,所述基底包括邻近的第一晶体管区和第二晶体管区;
位于第一晶体管区基底中邻近的第一P掺杂区和第一N掺杂区;
位于第二晶体管区基底中的第二P掺杂区和第二N掺杂区,所述第一P掺杂区与所述第二N掺杂区邻近,或者所述第一N掺杂区与所述第二P掺杂区邻近,或者所述第一P掺杂区与所述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近;
位于所述第一P掺杂区和第二P掺杂区表面的阳极;
位于所述第一N掺杂区和第二N掺杂区表面的阴极。
2. 如权利要求1所述的静电放电保护器件,其特征在于,所述基底包括衬底和位于衬底上的鳍部;
所述第一P掺杂区、第一N掺杂区、第二P掺杂区和第二N掺杂区位于所述鳍部内。
3. 如权利要求2所述的静电放电保护器件,其特征在于,所述第一P掺杂区和第一N掺杂区之间具有鳍部。
4. 如权利要求2或3所述的静电放电保护器件,其特征在于,所述第二P掺杂区和第二N掺杂区之间具有鳍部。
5. 如权利要求2所述的静电放电保护器件,其特征在于,所述第一P掺杂区和第一N掺杂区之间的鳍部中具有隔离结构。
6. 如权利要求2或5所述的静电放电保护器件,其特征在于,所述第二P掺杂区和第二N掺杂区之间的鳍部中具有隔离结构。
7. 如权利要求5所述的静电放电保护器件,其特征在于,所述隔离结构的材料为氧化硅。
8. 如权利要求1所述的静电放电保护器件,其特征在于,所述第一P掺杂区和第一N掺杂区接触;所述第二P掺杂区和第二N掺杂区接触。
9. 如权利要求1所述的静电放电保护器件,其特征在于,还包括:位于所述第一P掺杂区和第一N掺杂区之间基底表面的栅极结构。
10. 如权利要求1或9所述的静电放电保护器件,其特征在于,还包括:位于所述第二P掺杂区和第二N掺杂区之间基底表面的栅极结构。
11. 一种静电放电保护器件的形成方法,其特征在于,包括:
形成基底,所述基底包括邻近的第一晶体管区和第二晶体管区;
在所述第一晶体管区基底中形成第一P掺杂区;
在第二晶体管区基底中形成第二P掺杂区;
在所述第一晶体管区基底中形成邻近第一P掺杂区的第一N掺杂区;
在第二晶体管区基底中形成邻近第二P掺杂区的第二N掺杂区,所述第一P掺杂区邻近所述第二N掺杂区,或者所述第一N掺杂区邻近所述第二P掺杂区,或者所述第一P掺杂区邻近所述第二N掺杂区,且所述第一N掺杂区邻近所述第二P掺杂区;
在所述第一P掺杂区和第二P掺杂区表面形成阳极;
在所述第一N掺杂区和第二N掺杂区表面形成阴极。
12. 如权利要求11所述的静电放电保护器件的形成方法,其特征在于,形成所述第一P掺杂区和第二P掺杂区的步骤包括:提供第一光罩,所述第一光罩包括与第一P掺杂区和第

二P掺杂区对应的第一图形；以所述第一光罩为掩膜对所述基底进行离子注入，形成第一P掺杂区和第二P掺杂区；

形成所述第一N掺杂区和第二N掺杂区的步骤包括：提供第二光罩，所述第二光罩包括与第一N掺杂区和第二N掺杂区对应的第二图形；以所述第二光罩为掩膜对所述基底进行离子注入，形成第一N掺杂区和第二N掺杂区。

13. 如权利要求11所述的静电放电保护器件的形成方法，其特征在于，形成基底的步骤包括：提供初始衬底；对所述初始衬底进行图形化形成衬底和位于衬底上的鳍部；

所述鳍部连接第一P掺杂区和第一N掺杂区，所述鳍部还连接第二P掺杂区和第二N掺杂区。

14. 如权利要求11所述的静电放电保护器件的形成方法，其特征在于，形成所述基底之后，所述形成方法还包括：在所述基底表面形成栅极结构；

所述第一P掺杂区和第一N掺杂区分别位于所述栅极结构两侧的基底中；

所述第二P掺杂区和第二N掺杂区分别位于所述栅极结构两侧的基底中。

15. 如权利要求11所述的静电放电保护器件的形成方法，其特征在于，形成基底的步骤包括：提供初始衬底；对所述初始衬底进行图形化，形成衬底和位于衬底上的鳍部；

形成基底之后，所述形成方法还包括：图形化所述鳍部，在所述鳍部内形成凹槽；在所述凹槽中形成隔离结构；

所述第一P掺杂区和第一N掺杂区分别位于所述隔离结构两侧的基底中；

所述第二P掺杂区和第二N掺杂区分别位于所述隔离结构两侧的基底中。

16. 如权利要求15所述的静电放电保护器件的形成方法，其特征在于，所述凹槽暴露出所述衬底。

17. 如权利要求15所述的静电放电保护器件的形成方法，其特征在于，所述隔离结构的材料为氧化硅。

静电放电保护器件及其形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种静电放电保护器件及其形成方法。

背景技术

[0002] 静电是一种客观存在的自然现象,产生的方式有多种,如接触、摩擦、电器间感应等。静电具有长时间积聚、高电压、低电量、小电流和作用时间短的特点。

[0003] 对于电子产品而言,静电放电(Electrostatic discharge,ESD)是影响集成电路可靠性的一个主要因素。ESD是一种电荷的快速中和过程。由于静电电压很高会给集成电路带来破坏性的后果,造成集成电路的失效。因此,为了保护集成电路免遭ESD的损害,ESD保护器件也设计于集成电路中,以防止集成电路受到ESD的损坏。

[0004] 由于鳍式场效应晶体管(Fin Field-Effect Transistor,FinFET)能够增加栅极结构对沟道的控制作用,因此在半导体技术领域具有重要应用,然而FinFET制程中形成的ESD保护器件,由于鳍部宽度较小,ESD保护器件导通时形成的电流通路较窄,因此,ESD保护器件中电流密度较大,ESD保护器件容易被损坏。

[0005] 由此可见,FinFET制程中形成的ESD保护器件具有电流密度较大,ESD保护器件容易被损坏的缺点。

发明内容

[0006] 本发明解决的问题是提供一种静电放电保护器件及其形成方法,能够减小静电放电保护器件的损伤。

[0007] 为解决上述问题,本发明提供一种静电放电保护器件,包括:基底,所述基底包括邻近的第一晶体管区和第二晶体管区;位于第一晶体管区基底中邻近的第一P掺杂区和第一N掺杂区;位于第二晶体管区基底中的第二P掺杂区和第二N掺杂区,所述第一P掺杂区与所述第二N掺杂区邻近,或者所述第一N掺杂区与所述第二P掺杂区邻近,或者所述第一P掺杂区与所述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近;位于所述第一P掺杂区和第二P掺杂区表面的阳极;位于所述第一N掺杂区和第二N掺杂区表面的阴极。

[0008] 可选的,所述基底包括衬底和位于衬底上的鳍部;所述第一P掺杂区、第一N掺杂区、第二P掺杂区和第二N掺杂区位于所述鳍部内。

[0009] 可选的,所述第一P掺杂区和第一N掺杂区之间具有鳍部。

[0010] 可选的,所述第二P掺杂区和第二N掺杂区之间具有鳍部。

[0011] 可选的,所述第一P掺杂区和第一N掺杂区之间的鳍部中具有隔离结构。

[0012] 可选的,所述第二P掺杂区和第二N掺杂区之间的鳍部中具有隔离结构。

[0013] 可选的,所述隔离结构的材料为氧化硅。

[0014] 可选的,所述第一P掺杂区和第一N掺杂区接触;所述第二P掺杂区和第二N掺杂区接触。

[0015] 可选的,所述静电放电保护器件还包括:位于所述第一P掺杂区和第一N掺杂区之间基底表面的栅极结构。

[0016] 可选的,所述静电放电保护器件还包括:位于所述第二P掺杂区和第二N掺杂区之间基底表面的栅极结构。

[0017] 相应的,本发明还提供一种静电放电保护器件的形成方法,其特征在于,包括:形成基底,所述基底包括邻近的第一晶体管区和第二晶体管区;在所述第一晶体管区基底中形成第一P掺杂区;在第二晶体管区基底中形成第二P掺杂区;在所述第一晶体管区基底中形成邻近第一P掺杂区的第一N掺杂区;在第二晶体管区基底中形成邻近第二P掺杂区的第二N掺杂区,所述第一P掺杂区邻近所述第二N掺杂区,或所述第一N掺杂区邻近所述第二P掺杂区,或者所述第一P掺杂区邻近所述第二N掺杂区,且所述第一N掺杂区邻近所述第二P掺杂区;在所述第一P掺杂区和第二P掺杂区表面形成阳极;在所述第一N掺杂区和第二N掺杂区表面形成阴极。

[0018] 可选的,形成所述第一P掺杂区和第二P掺杂区的步骤包括:提供第一光罩,所述第一光罩包括与第一P掺杂区和第二P掺杂区对应的第一图形;以所述第一光罩为掩膜对所述基底进行离子注入,形成第一P掺杂区和第二P掺杂区;

[0019] 形成所述第一N掺杂区和第二N掺杂区的步骤包括:提供第二光罩,所述第二光罩包括与第一N掺杂区和第二N掺杂区对应的第二图形;以所述第二光罩为掩膜对所述基底进行离子注入,形成第一N掺杂区和第二N掺杂区。

[0020] 可选的,形成基底的步骤包括:提供初始衬底;对所述初始衬底进行图形化形成衬底和位于衬底上的鳍部,所述鳍部连接第一P掺杂区和第一N掺杂区,所述鳍部还连接第二P掺杂区和第二N掺杂区。

[0021] 可选的,形成所述基底之后,所述形成方法还包括:在所述基底表面形成栅极结构;所述第一P掺杂区和第一N掺杂区分别位于所述栅极结构两侧的基底中;所述第二P掺杂区和第二N掺杂区分别位于所述栅极结构两侧的基底中。

[0022] 可选的,形成基底的步骤包括:提供初始衬底;对所述初始衬底进行图形化,形成衬底和位于衬底上的鳍部;

[0023] 形成基底之后,所述形成方法还包括:图形化所述鳍部,在所述鳍部内形成凹槽;在所述凹槽中形成隔离结构;

[0024] 所述第一P掺杂区和第一N掺杂区分别位于所述隔离结构两侧的基底中;所述第二P掺杂区和第二N掺杂区分别位于所述隔离结构两侧的基底中。

[0025] 可选的,所述凹槽暴露出所述衬底。

[0026] 可选的,所述隔离结构的材料为氧化硅

[0027] 与现有技术相比,本发明的技术方案具有以下优点:

[0028] 本发明的静电放电保护器件中,所述第一晶体管区基底中具有邻近的第一P掺杂区和第一N掺杂区,所述第二晶体管区基底中具有邻近的第二P掺杂区和第二N掺杂区,因此,在静电放电保护器件导通时,能够在所述第一P掺杂区和第一N掺杂区之间,第二P掺杂区和第二N掺杂区之间形成导电通道,实现对静电的释放。此外,所述第一P掺杂区与所述第二N掺杂区邻近,或所述第一N掺杂区与所述第二P掺杂区邻近,或者所述第一P掺杂区与所述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近,因此,静电放电保护器件

导通时,还能够在第一P掺杂区与第二N掺杂区之间或者第一N掺杂区与所述第二P掺杂区之间,或者第一P掺杂区与第二N掺杂区之间以及第一N掺杂区与所述第二P掺杂区之间形成导电通路,从而增加静电释放的路径。因此,所述静电放电保护器件具有较多的静电释放路径,能够降低静电放电保护器件中的电流密度,减少电流密度过大对静电放电保护器件产生损伤。

[0029] 进一步,所述第一P掺杂区和第一N掺杂区之间的鳍部中具有隔离结构,或第二P掺杂区和第二N掺杂区之间具有隔离结构,或者第一P掺杂区和第一N掺杂区之间以及第二P掺杂区和第二N掺杂区之间的鳍部中具有隔离结构,所述隔离结构能够实现第一P掺杂区和第一N掺杂区或第二P掺杂区与第二N掺杂区之间,或者第一P掺杂区和第一N掺杂区之间以及第二P掺杂区与第二N掺杂区之间的电隔离,能够使电流由阳极经过隔离结构下方的衬底到达阴极,从而增加了电流通道的长度,减少电流密度,进而减小了电流对静电放电保护器件的损伤。

[0030] 本发明的静电放电保护器件的形成方法中,使所述第一P掺杂区邻近所述第二N掺杂区,或所述第一N掺杂区邻近所述第二P掺杂区,或者所述第一P掺杂区邻近所述第二N掺杂区,且所述第一N掺杂区邻近所述第二P掺杂区。静电放电保护器件导通时,能够增加在第一P掺杂区与第二N掺杂区之间或者第一N掺杂区与所述第二P掺杂区之间,或者第一P掺杂区与第二N掺杂区之间,以及第一N掺杂区与所述第二P掺杂区之间的导电通路,增加静电释放的路径。因此,能够降低静电放电保护器件中的电流密度,减少电流密度过大对所述静电放电保护器件产生的损伤。

附图说明

[0031] 图1是一种静电放电保护器件一实施例的结构示意图;

[0032] 图2和图3是本发明的静电放电保护器件一实施例的结构示意图;

[0033] 图4和图5是本发明的静电放电保护器件又一实施例的结构示意图;

[0034] 图6至图11是本发明的静电放电保护器件的形成方法一实施例各步骤结构示意图;

[0035] 图12和图13是本发明的静电放电保护器件的形成方法又一实施例各步骤结构示意图。

具体实施方式

[0036] 现有的ESD保护器件存在诸多问题,例如:ESD保护器件内电流密度较大,容易被损坏的缺点。

[0037] 以下结合图1分析ESD保护器件内电流密度较大,容易被损坏的原因,图1是一种ESD保护器件的结构示意图。

[0038] 请参考图1,所述ESD保护器件包括:

[0039] 衬底100,所述衬底100包括邻近的第一区域A和第二区域B;

[0040] 位于衬底100表面的多个鳍部120;

[0041] 横跨第一区域A和第二区域B鳍部120的栅极结构110,所述栅极结构110覆盖所述鳍部120部分侧壁和顶部表面;

[0042] 位于栅极结构110两侧鳍部120内的掺杂区,所述掺杂区中,位于第一区域A的掺杂区为P掺杂区,位于第二区域B的掺杂区为N掺杂区;

[0043] 位于P掺杂区表面的阳极111;

[0044] 位于N掺杂区表面的阴极112。

[0045] 在所述ESD保护器件中,位于第一区域A的掺杂区与第二区域B内的掺杂区的类型不同,因此,ESD保护器件导通时,能够在第一区域A和第二区域B的P掺杂区和N掺杂区之间形成导电通道,使静电释放。然而,位于第一区域A的掺杂区类型相同;位于第二区域B的掺杂区类型也相同,从而,栅极结构110两侧的掺杂区之间不能形成导电通道。因此,所述的ESD保护器件中导电通道少,ESD保护器件内的电流密度较大。

[0046] 此外,在另一种ESD保护器件中,第一晶体管区中同一鳍部上不同类型的掺杂区交替分布,第一晶体管区与第二晶体管区相邻的掺杂区类型相同。因此,当ESD保护器件导通时,只能在第一晶体管和第二晶体管的鳍部内形成导电通道,导电通道较少,且由于鳍部宽度较小,ESD保护器件导通时形成的电流通路较窄,因此,ESD保护器件中的电流密度较大,容易损坏静电放电保护器件。

[0047] 为解决所述技术问题,本发明提供了一种静电放电保护电路,包括:基底,所述基底包括邻近的第一晶体管区和第二晶体管区;位于第一晶体管区基底中邻近的第一P掺杂区和第一N掺杂区;位于第二晶体管区基底中的第二P掺杂区和第二N掺杂区,所述第一P掺杂区与所述第二N掺杂区邻近或所述第一N掺杂区与所述第二P掺杂区邻近,或所述第一P掺杂区与所述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近;位于所述第一P掺杂区和第二P掺杂区表面的阳极;位于所述第一N掺杂区和第二N掺杂区表面的阴极。

[0048] 其中,所述第一晶体管区基底中具有邻近的第一P掺杂区和第一N掺杂区,所述第二晶体管区基底中具有邻近的第二P掺杂区和第二N掺杂区,因此,在静电放电保护器件导通时,能够在所述第一P掺杂区和第一N掺杂区之间,第二P掺杂区和第二N掺杂区之间形成导电通道,实现对静电的释放。此外,所述第一P掺杂区与所述第二N掺杂区邻近,或所述第一N掺杂区与所述第二P掺杂区邻近,或者所述第一P掺杂区与所述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近,因此,静电放电保护器件导通时,还能够在第一P掺杂区与第二N掺杂区之间或者第一N掺杂区与所述第二P掺杂区之间,或者第一P掺杂区与第二N掺杂区之间以及第一N掺杂区与所述第二P掺杂区之间形成导电通路,从而增加静电释放的路径。因此,所述静电放电保护器件具有较多的静电释放路径,能够降低静电放电保护器件中的电流密度,减少电流密度过大对静电放电保护器件产生的损伤。

[0049] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0050] 图2和图3是本发明静电放电保护器件一实施例的结构示意图。请参考图2和图3,图3是图2沿虚线1-1'的剖视图。所述静电放电保护器件包括:

[0051] 基底,所述基底包括邻近的第一晶体管区I和第二晶体管区II;

[0052] 位于所述第一晶体管区I基底中邻近的第一P掺杂区231和第一N掺杂区232;

[0053] 位于所述第二晶体管区II基底中邻近的第二P掺杂区和第二N掺杂区,所述第一P掺杂区231与所述第二N掺杂区邻近,或所述第一N掺杂区232与所述第二P掺杂区邻近,或者所述第一P掺杂区231与所述第二N掺杂区邻近且所述第一N掺杂区232与所述第二P掺杂区

邻近；

[0054] 位于所述第一P掺杂区231和第二P掺杂区表面的阳极；

[0055] 位于所述第一N掺杂区232和第二N掺杂区表面的阴极。

[0056] 需要说明的是，本实施例以改善FinFET制程中形成的静电放电保护器件为例进行说明。但是在其他实施例中，本发明的静电放电保护器件结构也可以用于平面晶体管制程中。

[0057] 以下将结合附图进行说明。

[0058] 基底，所述基底包括邻近的第一晶体管区I和第二晶体管区II。

[0059] 所述第一晶体管区域I和第二晶体管区域II用于形成晶体管。

[0060] 需要说明的是，本实施例中，所述基底包括一个第一晶体管区I和一个第二晶体管区II。在其他实施例中，所述基底还可以包括多个第一晶体管区和多个第二晶体管区。

[0061] 本实施例中，所述基底包括：衬底200和位于衬底200表面的多个鳍部201；位于所述鳍部201之间衬底200表面的隔离层202，所述隔离层202覆盖鳍部201部分侧壁。所述隔离层202用于实现相邻鳍部201之间的电绝缘。

[0062] 所述鳍部201在第一晶体管区I和第二晶体管区II平行排列，且所述鳍部201的延伸方向平行于第一晶体管区I和第二晶体管区II的分界线。

[0063] 本实施例中，所述第一晶体管区I基底和第二晶体管区II基底均包括4个鳍部201。在其他实施例中，所述第一晶体管区基底和第二晶体管区基底还可以包括其他数量的鳍部。

[0064] 在其他实施例中，所述基底还可以包括位于衬底和鳍部之间的氧化层。

[0065] 本实施例中，所述衬底200的材料为硅，所述鳍部201的材料为硅。在其他实施例中，所述衬底和鳍部的材料还可以为锗。

[0066] 位于所述第一晶体管区I基底中邻近的第一P掺杂区231和第一N掺杂区232。

[0067] 位于所述第二晶体管区II基底中邻近的第二P掺杂区和第二N掺杂区，所述第一P掺杂区231与所述第二N掺杂区邻近，或所述第一N掺杂区232与所述第二P掺杂区邻近，或者所述第一P掺杂区231与所述第二N掺杂区邻近且所述第一N掺杂区232与所述第二P掺杂区邻近。

[0068] 第一晶体管区I基底中具有邻近的第一P掺杂区231和第一N掺杂区232，第二晶体管区II基底中具有邻近的第二P掺杂区和第二N掺杂区。在静电放电保护器件导通时，第一P掺杂区231和第一N掺杂区232之间以及第二P掺杂区和第二N掺杂区之间能够形成导电通道，从而实现对静电的释放。此外，所述第一P掺杂区231与所述第二N掺杂区邻近或所述第一N掺杂区232与所述第二P掺杂区邻近，或者，或者所述第一P掺杂区231与所述第二N掺杂区邻近且所述第一N掺杂区232与所述第二P掺杂区邻近，则还能够与所述第一P掺杂区231与所述第二N掺杂区之间或第一N掺杂区232与所述第二P掺杂区之间，或者所述第一P掺杂区231与所述第二N掺杂区之间以及第一N掺杂区232与所述第二P掺杂区之间形成导电通道，从而增加静电释放的通道，减小静电放电保护电路中的电流密度，从而减小电流对静电放电保护器件的损伤。

[0069] 本实施例中，所述第一晶体管区域I鳍部201中包括多个交替排列的第一P掺杂区231和第一N掺杂区232。所述第一晶体管区I基底包括多个鳍部201，因此，所述第一晶体管

区I包括多行交替排列的第一P掺杂区231和第一N掺杂区232。

[0070] 本实施例中,所述第二晶体管区域II鳍部201中包括多个交替排列的第二P掺杂区和第二N掺杂区。所述第一晶体管区I基底包括多个鳍部201,因此,所述第二晶体管区II包括多行交替排列的第二P掺杂区和第二N掺杂区。

[0071] 需要说明的是,本实施例中,所述第一P掺杂区231沿鳍部201方向和垂直于鳍部201的方向上排列形成多行多列的矩阵;所述第一N掺杂区232沿鳍部201方向和垂直于鳍部201的方向上排列形成多行多列的矩阵。

[0072] 本实施例中,所述第二P掺杂区沿鳍部201方向和垂直于鳍部201的方向上排列形成多行多列的矩阵;所述第二N掺杂区沿鳍部201方向和垂直于鳍部201的方向上排列形成多行多列的矩阵。且第二晶体管区II的第二N掺杂区与第一晶体管区域I的第一P掺杂区231在垂直于鳍部201的同一条直线上;第二晶体管区II的第二P掺杂区与第一晶体管区I的第一N掺杂区232在垂直于鳍部201的同一条直线上。

[0073] 本实施例中,所述第一P掺杂区231和第一N掺杂区232之间以及第二P掺杂区和第二N掺杂区之间具有鳍部201。在其他实施例中,所述第一P掺杂区231和第一N掺杂区232还可以相接触;或者第二P掺杂区和第二N掺杂区之间相接触;或者所述第一P掺杂区231和第一N掺杂区232相接触以及第二P掺杂区和第二N掺杂区相接触。

[0074] 所述静电放电保护器件还包括:位于所述第一P掺杂区231、第一N掺杂区232、第二P掺杂区和第二N掺杂区表面的电极。

[0075] 位于第一P掺杂区231和第二P掺杂区表面的电极为阳极,位于第一N掺杂区232和第二N掺杂区表面的电极为阴极。

[0076] 本实施例中,第一晶体管区域I中垂直于鳍部201的直线上的第一P掺杂区231共用一个阳极,形成第一阳极211;第一晶体管区域I中垂直于鳍部201的直线上的第一N掺杂区232共用一个阴极,形成第一阴极212。

[0077] 此外,第二晶体管区域II中垂直于鳍部201的直线上的第二P掺杂区共用一个阳极,形成第二阳极221;第二晶体管区域II中垂直于鳍部201的直线上的第二N掺杂区共用一个阴极,形成第二阴极222。

[0078] 本实施例中,第一晶体管区域I的第一阳极211和第一阴极212交替排列;所述第二晶体管区域II的第二阳极221和第二阴极222交替排列;第一晶体管区I与第二晶体管区II相邻的电极的类型不同。因此,本实施例中,当所述静电放电保护器件在工作时,阳极接静电,阴极接地。当静电荷量积累到一定量时,阳极电压升高,使静电放电保护器件导通,第一阳极211内的部分静电荷从第一P掺杂区231由鳍部201到达第一阴极212,最终导入地下;第一阳极211内的部分静电荷从第一阳极211经第一晶体管区域I鳍部201和第二晶体管区域II鳍部201之间的衬底200到达第二晶体管区II的第二阴极222,最终导入地下。同时,第二阳极221的静电荷量积累到一定量时,阳极电压升高,使静电放电保护器件导通,第二阳极221内的部分静电荷从第二P掺杂区231由鳍部201到达第二阴极232,最终导入地下;第二阳极221内的部分静电荷从第二阳极221经第一晶体管区域I鳍部201和第二晶体管区域II鳍部201之间的衬底200到达第一晶体管区I的第一阴极212,最终导入地下。由此可见,本发明的静电放电保护器件中,阳极积累的静电都可以经过两个导电通路得以释放,导电通路较多,静电放电保护器件内的电流密度小,静电放电保护器件不易被损坏。

[0079] 需要说明的是,本实施例中,所述静电放电保护器件还包括位于所述第一P掺杂区231和第一N掺杂区232之间基底200表面以及位于所述第二P掺杂区和第二N掺杂区之间基底200表面的栅极结构230。所述栅极结构230能够用于施加电压对静电放电保护器件中的电流进行控制。但是,在其他实施中,所述静电放电保护器件还可以不具有所述栅极结构。

[0080] 图4和图5是本发明的静电放电保护器件又一实施例的结构示意图。

[0081] 请参考图4和图5,图5是图4沿2-2'的剖视图。本实施例与前一实施例的相同之处在此不做赘述,不同之处包括:

[0082] 所述静电放电保护器件不具有栅极结构,所述第一P掺杂区431和第一N掺杂区432之间以及第二P掺杂区和第二N掺杂区之间的鳍部401中具有隔离结构430,所述隔离结构430能够实现第一P掺杂区431和第一N掺杂区432之间以及第二P掺杂区和第二N掺杂区之间的电绝缘,从而使电流从阳极经过所述隔离结构430下方的衬底400到达阴极,从而增加了电流的导电通道的长度,能够使导电沟道内的电场强度减小,电流所产生的能量密度低,较小电流对静电放电保护器件的损伤。

[0083] 需要说明的是,本实施例中,所述第一P掺杂区431和第一N掺杂区432之间以及第二P掺杂区和第二N掺杂区之间均具有隔离结构。在其他实施例中,还可以仅第一P掺杂区和第一N掺杂区之间具有隔离结构;第二P掺杂区和第二N掺杂区之间具有鳍部和栅极结构。或者,第二P掺杂区和第二N掺杂区具有隔离结构;第一P掺杂区和第一N掺杂区之间具有鳍部和栅极结构。

[0084] 本实施例中,第一晶体管区域的第一阳极411和第一阴极412交替排列;所述第二晶体管区域的第二阳极421和第二阴极422交替排列;第一晶体管区与第二晶体管区相邻的电极的类型不同。因此,本实施例中,当所述静电放电保护器件在工作时,阳极接静电,阴极接地。当静电荷量积累到一定量时,阳极电压升高,使静电放电保护器件导通,第一阳极411内的部分静电荷从第一P掺杂区431由隔离结构430下方的衬底400到达第一阴极412,最终导入地下;第一阳极411内的部分静电荷从第一阳极411经第一晶体管区域鳍部401和第二晶体管区域鳍部401之间的衬底400到达第二晶体管区的第二阴极422,最终导入地下。同时,第二阳极421的静电荷量积累到一定量时,阳极电压升高,使静电放电保护器件导通,第二阳极421内的部分静电荷从第二P掺杂区由隔离结构430下方的衬底400到达第二阴极422,最终导入地下;第二阳极421内的部分静电荷从第二阳极421经第一晶体管区域鳍部401和第二晶体管区域鳍部401之间的衬底400到达第一晶体管区的第一阴极412,最终导入地下。由此可见,本发明的静电放电保护器件中,阳极积累的静电都可以经过两个导电通路得以释放,导电通路较多,静电放电保护器件内的电流密度小,静电放电保护器件不容易被损坏。

[0085] 本实施例中,所述隔离结构430的材料为氧化硅,氧化硅能够与硅基底很好地粘附。在其他实施例中,所述隔离结构的材料也可以为氮氧化硅。

[0086] 综上,本发明的静电放电保护器件中,所述第一晶体管区基底中具有邻近的第一P掺杂区和第一N掺杂区,所述第二晶体管区基底中具有邻近的第二P掺杂区和第二N掺杂区,因此,在静电放电保护器件导通时,能够在所述第一P掺杂区和第一N掺杂区之间,第二P掺杂区和第二N掺杂区之间形成导电通道,实现对静电的释放。此外,所述第一P掺杂区与所述第二N掺杂区邻近或所述第一N掺杂区与所述第二P掺杂区邻近,或者所述第一P掺杂区与所

述第二N掺杂区邻近且所述第一N掺杂区与所述第二P掺杂区邻近。因此,静电放电保护器件导通时,还能够第一P掺杂区与第二N掺杂区之间或者第一N掺杂区与所述第二P掺杂区之间,或者第一P掺杂区与第二N掺杂区之间以及第一N掺杂区与所述第二P掺杂区之间形成导电通路,增加静电释放的路径。因此,所述静电放电保护器件具有较多的静电释放路径,能够降低静电放电保护器件中的电流密度,减少电流密度过大对静电放电保护器件产生的损伤。

[0087] 进一步,第一P掺杂区和第一N掺杂区之间的鳍部中具有隔离结构,或第二P掺杂区和第二N掺杂区之间具有隔离结构,或者第一P掺杂区和第一N掺杂区之间以及第二P掺杂区和第二N掺杂区之间具有隔离结构,所述隔离结构能够实现第一P掺杂区和第一N掺杂区或第二P掺杂区与第二N掺杂区之间的电隔离,能够使电流由阳极经过隔离结构下方的衬底到达阴极,从而增加了电流通道的长度,减少电流密度,进而减小电流对静电放电保护器件的损伤。

[0088] 相应的,本发明还提供一种静电放电保护器件的形成方法,包括:

[0089] 形成基底,所述基底包括邻近的第一晶体管区和第二晶体管区;

[0090] 在所述第一晶体管区基底中形成第一P掺杂区,并在第二晶体管区基底中形成第二P掺杂区;

[0091] 在所述第一晶体管区基底中形成第一N掺杂区,并在第二晶体管区基底中形成第二N掺杂区,所述第一P掺杂区邻近所述第二N掺杂区,或所述第一N掺杂区邻近所述第二P掺杂区,所述第一P掺杂区邻近所述第二N掺杂区,且所述第一N掺杂区邻近所述第二P掺杂区;

[0092] 在所述第一P掺杂区和第二P掺杂区表面形成阳极;

[0093] 在所述第一N掺杂区和第二N掺杂区表面形成阴极。

[0094] 请参考图6,形成基底,所述基底包括邻近的第一晶体管区M和第二晶体管区N。

[0095] 需要说明的是,本实施例中,所述基底包括一个第一晶体管区M和一个第二晶体管区N。在其他实施例中,所述基底还可以包括多个第一晶体管区和多个第二晶体管区。

[0096] 本实施例中,形成基底的步骤包括:提供初始衬底;对所述初始衬底进行图形化,形成衬底和位于衬底上的多个鳍部501;在所述鳍部501之间的衬底上形成隔离层502,所述隔离层502覆盖鳍部501部分侧壁,用于实现相邻鳍部501之间的电绝缘。

[0097] 本实施例中,所述鳍部501在第一晶体管区M和第二晶体管区N平行排列,且所述鳍部501的延伸方向平行于第一晶体管区M和第二晶体管区N的分界线。

[0098] 本实施例中,所述第一晶体管区M基底和第二晶体管区N基底均包括4个鳍部501。在其他实施例中,所述第一晶体管区基底和第二晶体管区基底还可以包括其他数量的鳍部。

[0099] 本实施例中,所述衬底的材料为硅,所述鳍部501的材料为硅。在其他实施例中,所述衬底和鳍部的材料还可以为锗。

[0100] 请参考图7,本实施例中,提供基底之后,所述形成方法还包括:形成横跨所述鳍部501的多个栅极结构510,所述栅极结构510垂直于所述鳍部501,并覆盖所述鳍部501部分侧壁和顶部表面。所述栅极结构510用于对所述静电放电保护器件中的电流进行控制。

[0101] 在其他实施例中,所述形成方法还可以不包括:形成横跨所述鳍部501的栅极结构510。

[0102] 请参考图8和图9,在所述第一晶体管区M基底中形成第一P掺杂区511,并在第二晶体管区N基底中形成第二P掺杂区521。

[0103] 本实施例中,形成所述第一P掺杂区511和第二P掺杂区512的步骤还包括:提供第一光罩540,所述第一光罩540具有第一图形,所述第一图形与所述第一P掺杂区和第二P掺杂区的位置对应;以所述第一光罩540为掩膜对所述基底进行离子注入,形成第一P掺杂区511和第二P掺杂区。

[0104] 本实施例中,所述第一光罩540包括与第一晶体管区域M第一P掺杂区511对应的第一P掺杂区图形541;与第二晶体管区域N第二P掺杂区521对应的第二P掺杂区图形542。所述第一P掺杂区图形541和第二P掺杂区图形542均为沿横向排列的长条形,且所述第一P掺杂区图形541和第二P掺杂区图形542相互错开。

[0105] 本实施例中,通过直接对所述基底进行离子注入,形成第一P掺杂区511和第二P掺杂区521。在其他实施例中,还可以通过原位掺杂工艺形成第一P掺杂区和第二P掺杂区。

[0106] 结合参考图10,在所述第一晶体管区M基底中形成第一N掺杂区512,并在第二晶体管区N基底中形成第二N掺杂区522,所述第一P掺杂区511邻近所述第二N掺杂区522,或所述第一N掺杂区512邻近所述第二P掺杂区521,或者所述第一P掺杂区511邻近所述第二N掺杂区522,且所述第一N掺杂区512邻近所述第二P掺杂区521。

[0107] 形成所述第一N掺杂区512和第二N掺杂区522的步骤还包括:提供第二光罩,所述第二光罩具有第二图形,所述第二图形与所述第一N掺杂区512和第二N掺杂区522的位置对应;以所述第二光罩为掩膜对所述基底进行离子注入,形成第一N掺杂区512和第二N掺杂区522。

[0108] 本实施例中,所述第一N掺杂区521、第二N掺杂区522的排列方式与第一P掺杂区511、第二P掺杂区521相同。因此,在形成第一N掺杂区512和第二N掺杂区522的过程中,第二光罩与第一光罩相同。本实施例中,将第一光罩540沿水平线旋转180度作为第二光罩对基底进行离子注入。

[0109] 本实施例中,通过直接对所述基底进行离子注入,形成第一N掺杂区512和第二N掺杂区522。在其他实施例中,还可以通过原位掺杂工艺形成第一N掺杂区和第二N掺杂区。

[0110] 本实施例中,形成的第一P掺杂区511和第一N掺杂区512交替排列;形成的第二P掺杂区521和第二N掺杂区522交替排列。且第一P掺杂区511与第二N掺杂区522相邻,第一N掺杂区512与第二P掺杂区521相邻。

[0111] 本实施例中,第一晶体管区M基底中具有邻近的第一P掺杂区511和第一N掺杂区512,第二晶体管区N基底中具有邻近的第二P掺杂区521和第二N掺杂区522。在静电放电保护器件导通时,第一P掺杂区511和第一N掺杂区512之间以及第二P掺杂区521和第二N掺杂区522之间能够形成导电通道,从而实现对静电的释放。此外,所述第一P掺杂区511与所述第二N掺杂区522邻近,以及所述第一N掺杂区512与所述第二P掺杂区521邻近,则还能够有所述第一P掺杂区511与所述第二N掺杂区522之间以及第一N掺杂区512与所述第二P掺杂区521之间形成导电通道,从而使静电进一步释放,增加静电释放的导电通道,减小静电放电保护器件中的电流密度,从而减小电流对静电放电保护器件的损伤。

[0112] 本实施例中,所述第一晶体管区域M鳍部501中包括多个交替排列的第一P掺杂区511和第一N掺杂区512。所述第一晶体管区M基底包括多个鳍部501,因此,所述第一晶体管

区M包括多行交替排列的第一P掺杂区511和第一N掺杂区512。

[0113] 请参考图11,在所述第一P掺杂区511(如图9所示)和第二P掺杂区521(如图9所示)表面形成阳极520;在第一N掺杂区512(如图10所示)和第二N掺杂区522(如图10所示)表面形成阴极530。

[0114] 所述阳极和阴极的形成方法与现有技术相同,在不做赘述。

[0115] 图12和图13是本发明的静电放电保护器件的形成方法又一实施例各步骤的结构实施图。

[0116] 本实施例与上一实施例的相同之处在此不多做赘述,不同之处包括:形成鳍部601之后,图形化所述鳍部601形成凹槽630;在所述凹槽630中形成隔离结构610。

[0117] 请参考图12,形成鳍部601之后,所述静电放电保护器件的形成方法包括:图形化所述鳍部601,形成贯穿第一晶体管区域X和第二晶体管区域Y鳍部601的多个凹槽630,所述凹槽630垂直于鳍部601。

[0118] 本实施例中,所述凹槽630暴露出衬底表面,因此,能够使所述凹槽630两侧的鳍部601完全分开,从而使形成静电放电保护器件后,电流主要从凹槽630底部的衬底中通过,从而增大导电通道的长度。

[0119] 请参考图13,形成填充于所述凹槽630(参考图12)内的隔离结构610。

[0120] 本实施例中,所述隔离结构610的材料为氧化硅。

[0121] 本实施例中,形成所述隔离结构610的工艺包括:化学气相沉积工艺和化学机械研磨工艺。

[0122] 综上,本发明的静电放电保护器件的形成方法中,使所述第一P掺杂区邻近所述第二N掺杂区,或所述第一N掺杂区邻近所述第二P掺杂区,或者使所述第一P掺杂区邻近所述第二N掺杂区,且所述第一N掺杂区邻近所述第二P掺杂区。静电放电保护器件导通时,能够增加在第一P掺杂区与第二N掺杂区之间或者第一N掺杂区与所述第二P掺杂区之间的导电通路,增加静电释放的路径。因此,能够降低静电放电保护器件中的电流密度,减少电流密度过大对所述静电放电保护器件产生损伤。

[0123] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

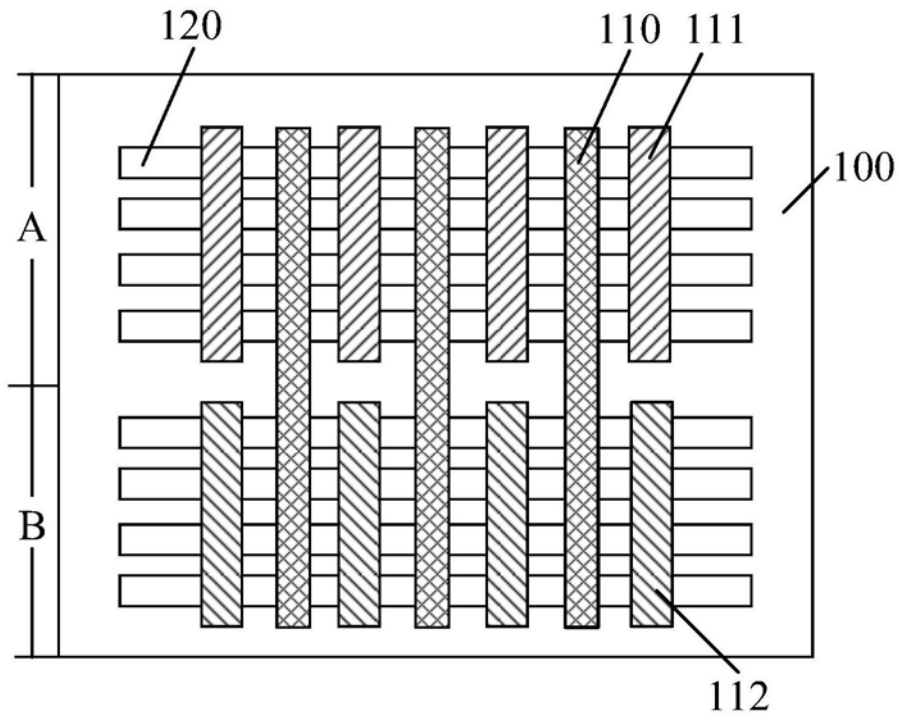


图1

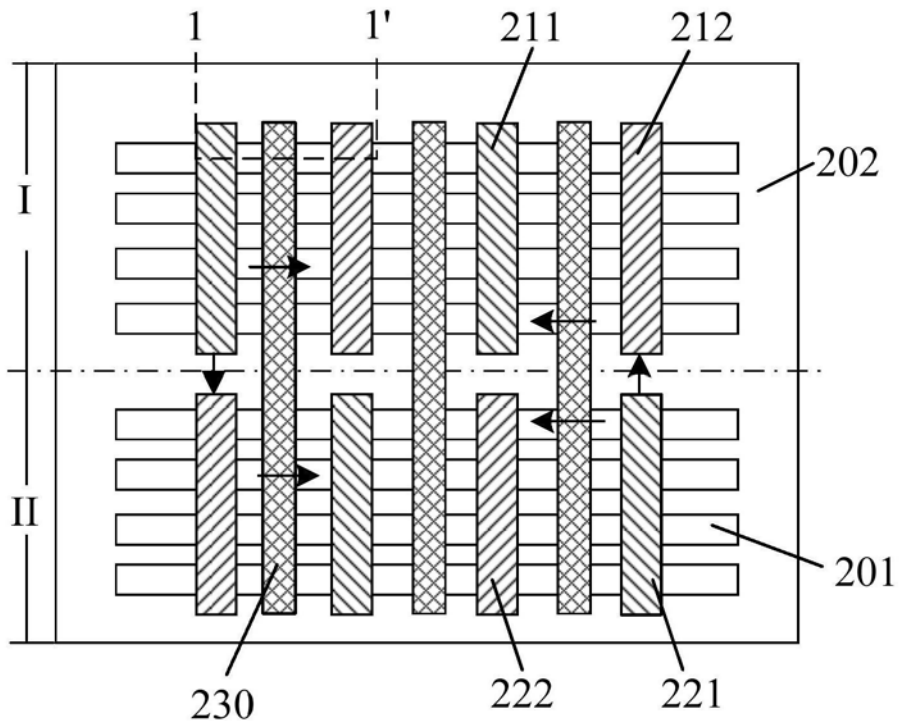


图2

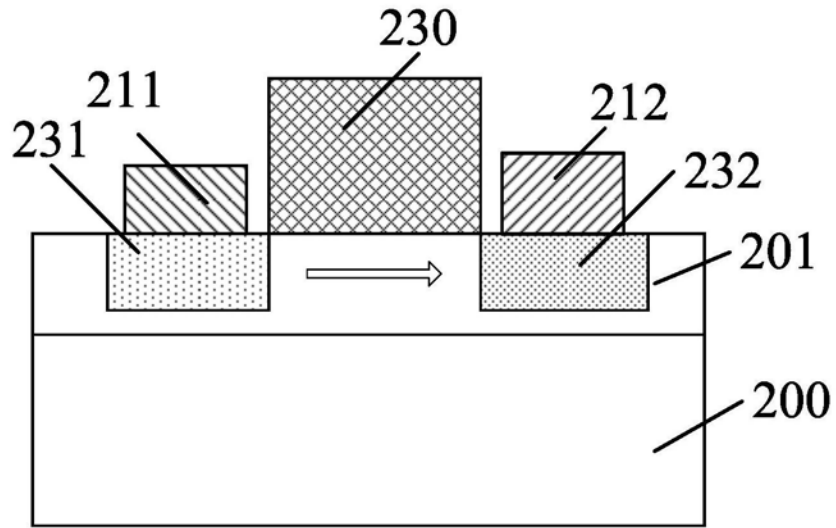


图3

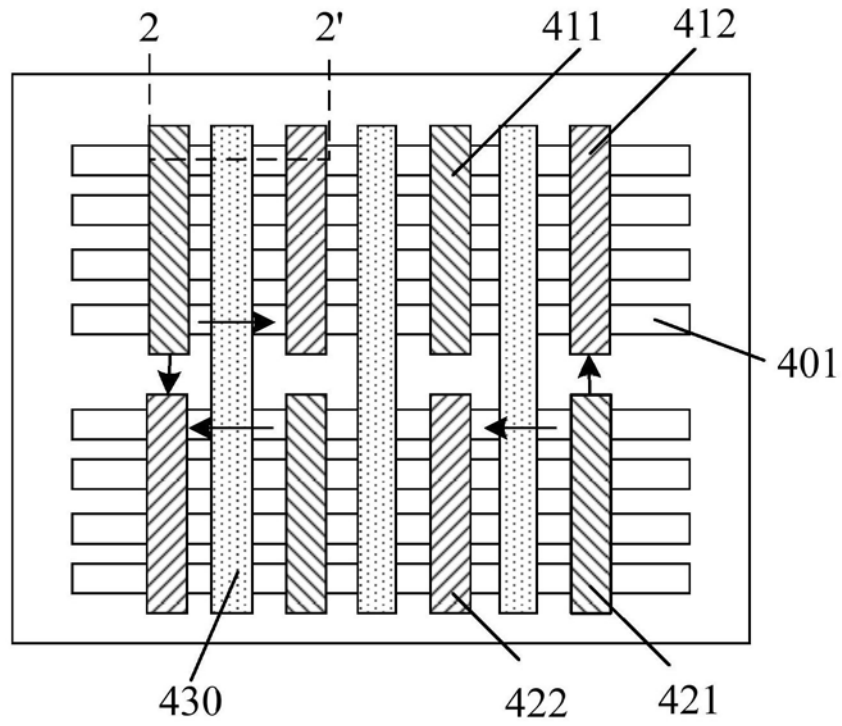


图4

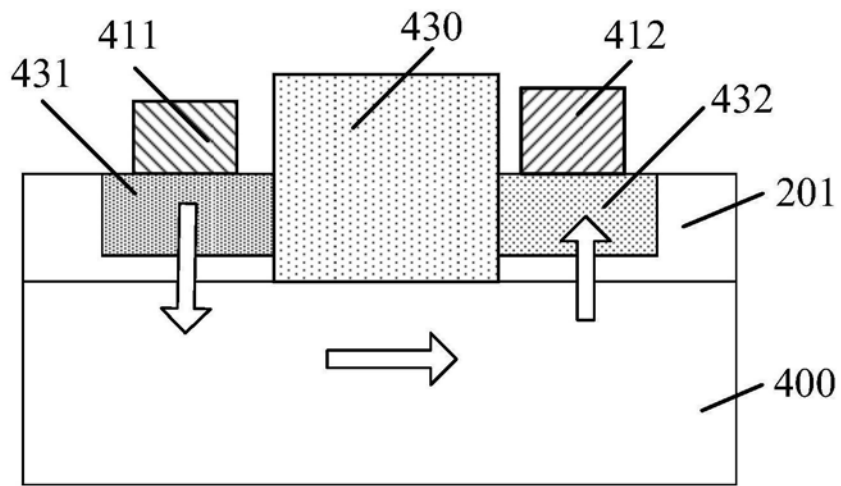


图5

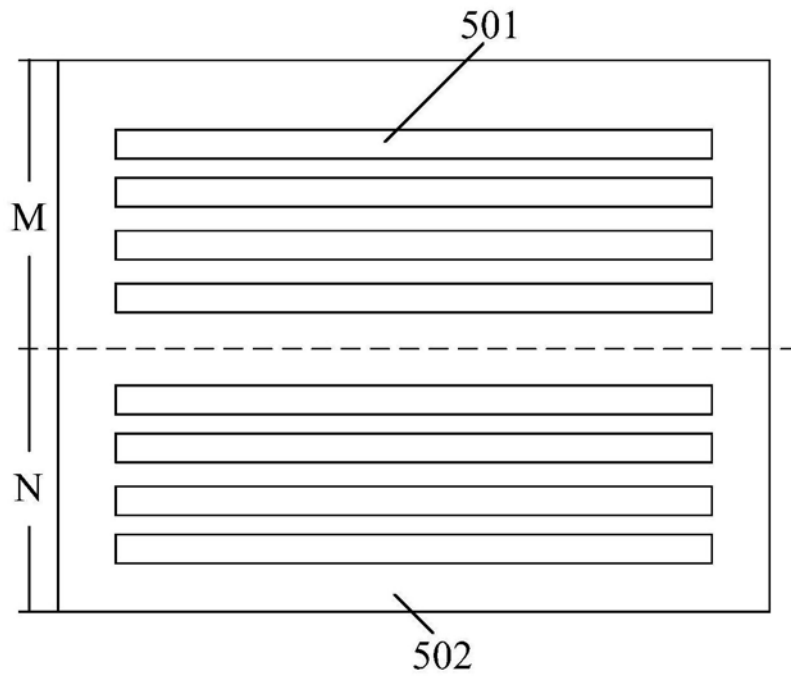


图6

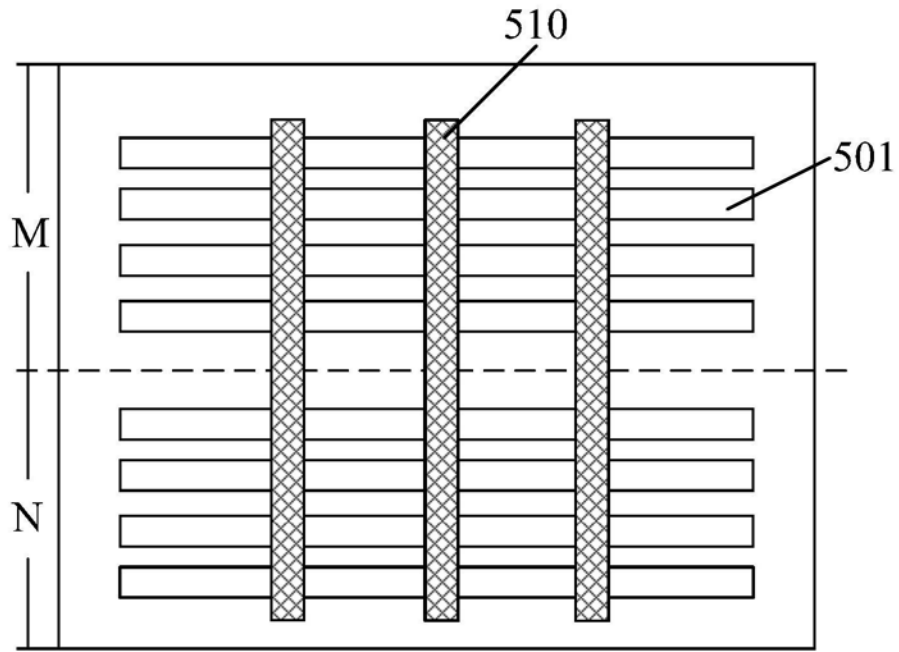


图7

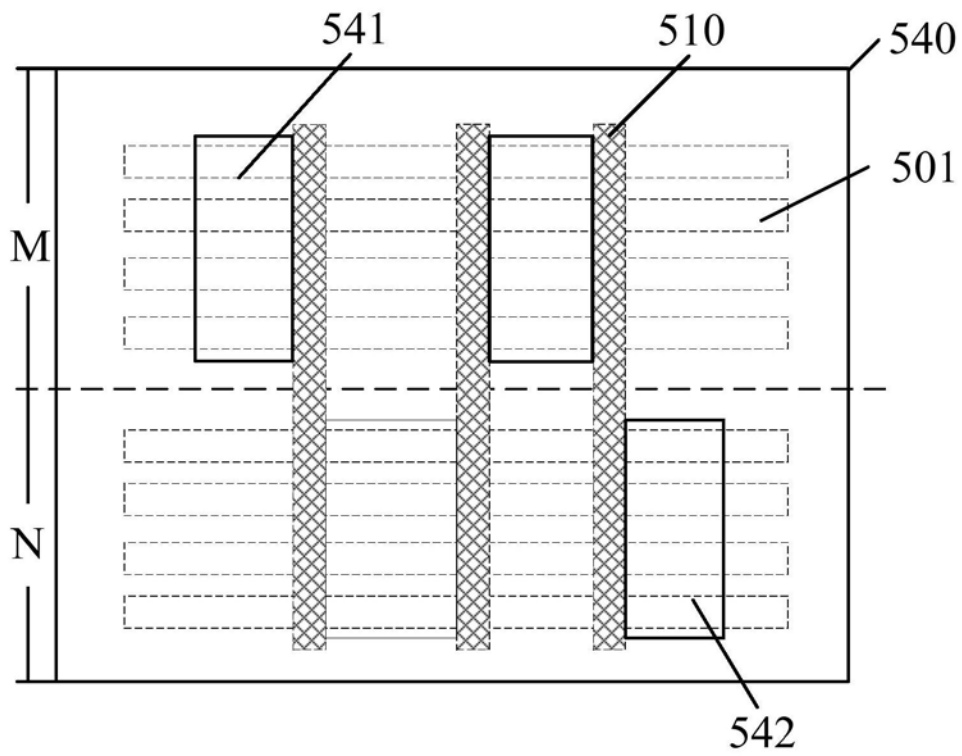


图8

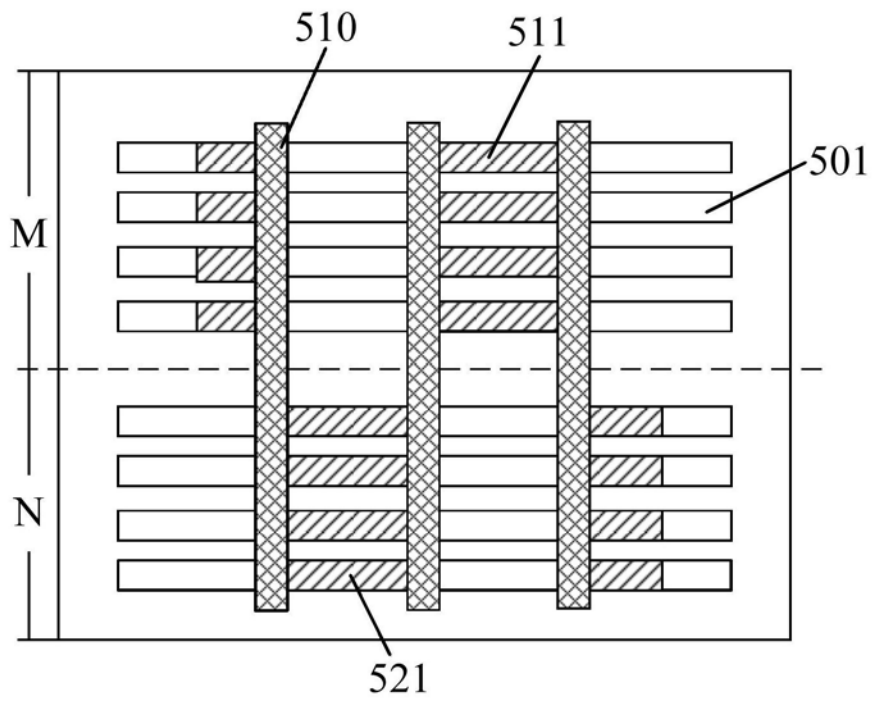


图9

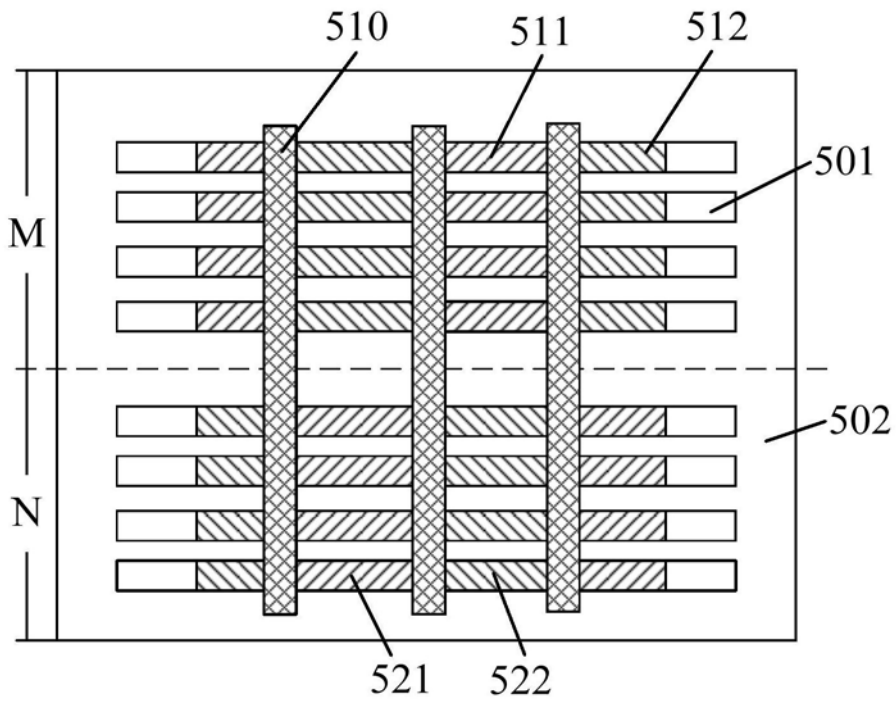


图10

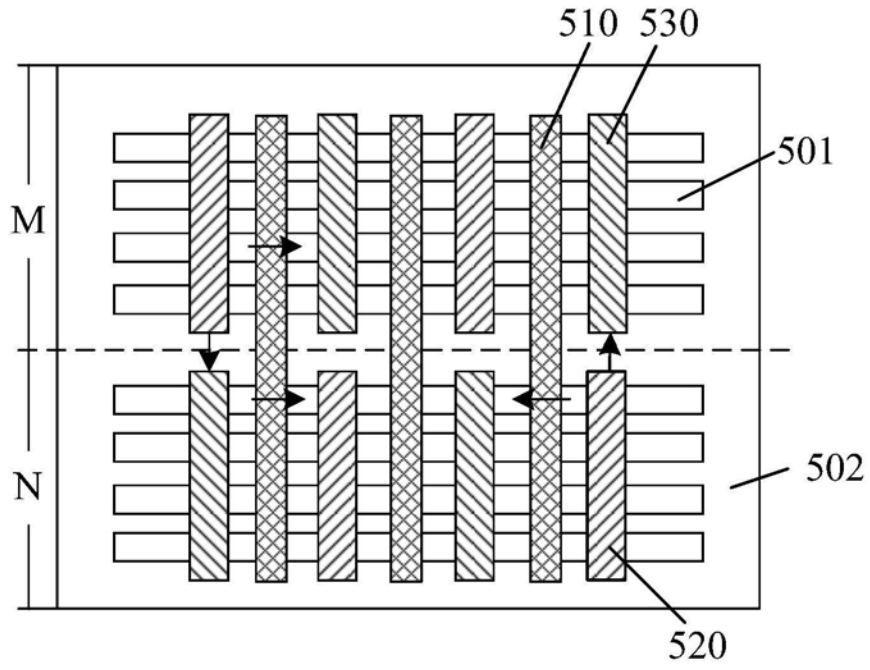


图11

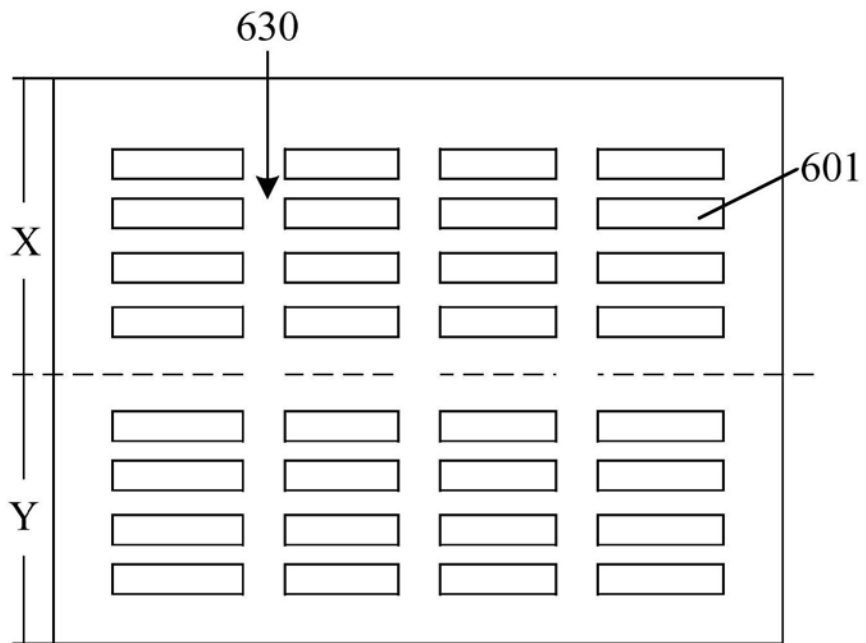


图12

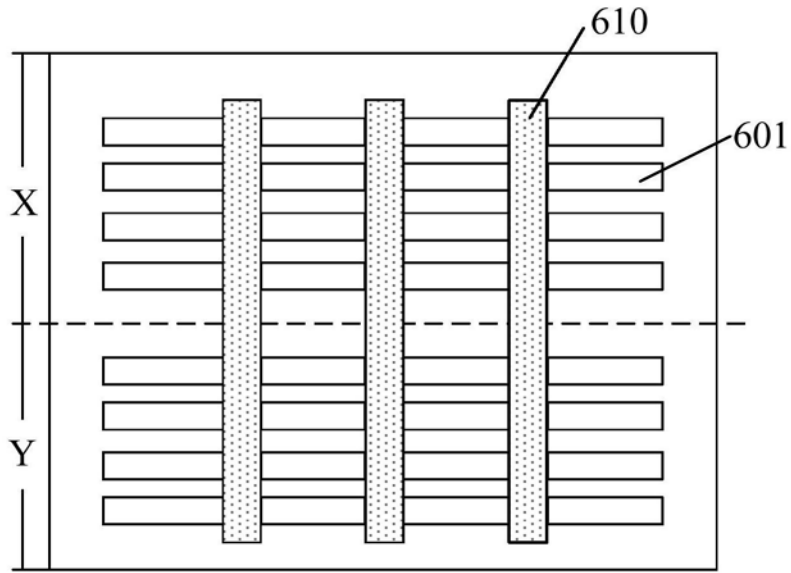


图13