



(12) 发明专利

(10) 授权公告号 CN 109410841 B

(45) 授权公告日 2021.08.06

(21) 申请号 201811368380.9

审查员 贺轶

(22) 申请日 2018.11.16

(65) 同一申请的已公布的文献号

申请公布号 CN 109410841 A

(43) 申请公布日 2019.03.01

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 北京京东方光电科技有限公司

(72) 发明人 王海龙 李月 郭旺 王冬

李金钰 吕明阳 赵宇 冯大伟

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 刘悦晗 姜春咸

(51) Int. Cl.

G09G 3/3233 (2016.01)

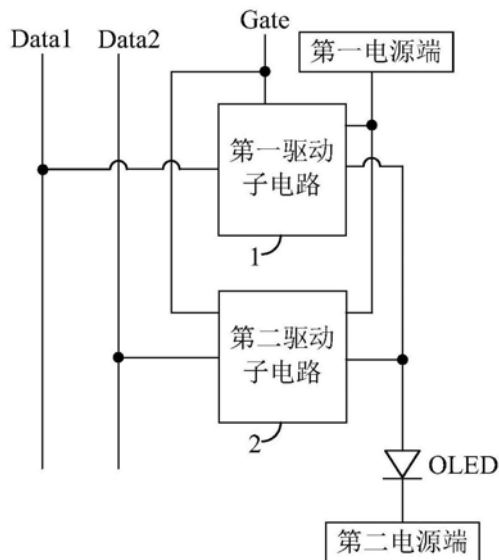
权利要求书2页 说明书12页 附图5页

(54) 发明名称

像素电路、显示装置和像素驱动方法

(57) 摘要

本发明公开了一种像素电路、显示装置和像素驱动方法,包括:第一驱动子电路、第二驱动子电路和发光器件;第一驱动子电路被配置为:响应于栅线提供的栅驱动信号和第一数据线提供的的第一数据信号的控制,在第一时间段时向发光器件输出相应的驱动电流,以及在第二时间段时停止输出驱动电流;第二驱动子电路被配置为:响应于栅线提供的栅驱动信号和第二数据线提供的第二数据信号的控制,在第二时间段时向发光器件输出相应的驱动电流,以及在第一时间段时停止输出驱动电流;发光器件用于根据接收到的驱动电流进行发光;第一驱动子电路和第二驱动子电路交替输出驱动电流。本发明的技术方案能减缓驱动晶体管的老化速度,提升显示品质。



1. 一种像素驱动方法,其特征在于,所述像素驱动方法基于像素电路,所述像素电路包括:第一驱动子电路、第二驱动子电路和发光器件;

所述第一驱动子电路,与所述发光器件的第一端、栅线、第一数据线和第一电源端连接,被配置为:响应于所述栅线提供的栅驱动信号和所述第一数据线提供的第一数据信号的控制,在第一时间段时向所述发光器件输出相应的驱动电流,以及在第二时间段时停止输出驱动电流;

所述第二驱动子电路,与所述发光器件的第一端、栅线、第二数据线和所述第一电源端连接,被配置为:响应于所述栅线提供的栅驱动信号和所述第二数据线提供的第二数据信号的控制,在第二时间段时向所述发光器件输出相应的驱动电流,以及在第一时间段时停止输出驱动电流;

所述发光器件,其第二端与第二电源端连接,用于根据接收到的驱动电流进行发光;

所述第一驱动子电路和所述第二驱动子电路交替输出驱动电流;

所述第一驱动子电路包括:第一开关晶体管、第一驱动晶体管和第一电容;

所述第一开关晶体管的控制极与所述栅线连接,所述第一开关晶体管的第一极与所述第一数据线连接,所述第一开关晶体管的第二极与所述第一驱动晶体管的控制极连接;

所述第一驱动晶体管的控制极与所述第一电容的第一端连接,所述第一驱动晶体管的第一极与所述第一电源端连接,所述第一驱动晶体管的第二极与所述发光器件的第一端连接;

所述第一电容的第二端与所述第二电源端连接;

所述第二驱动子电路包括:第二开关晶体管、第二驱动晶体管和第二电容;

所述第二开关晶体管的控制极与所述栅线连接,所述第二开关晶体管的第一极与所述第二数据线连接,所述第二开关晶体管的第二极与所述第二驱动晶体管的控制极连接;

所述第二驱动晶体管的控制极与所述第二电容的第一端连接,所述第二驱动晶体管的第一极与所述第一电源端连接,所述第二驱动晶体管的第二极与所述发光器件的第一端连接;

所述第二电容的第二端与所述第二电源端连接;

所述像素驱动方法包括:

步骤a、第一时间段,所述第一驱动子电路响应于所述栅线提供的栅驱动信号和所述第一数据线提供的第一数据信号的控制向所述发光器件输出相应的驱动电流,所述第二驱动子电路响应于所述栅线提供的栅驱动信号和所述第二数据线提供的第二数据信号的控制不输出驱动电流;

步骤b、第二时间段,所述第二驱动子电路响应于所述栅线提供的栅驱动信号和所述第二数据线提供的第二数据信号的控制向所述发光器件输出相应的驱动电流,所述第一驱动子电路响应于所述栅线提供的栅驱动信号和所述第一数据线提供的第一数据信号的控制不输出驱动电流;

所述步骤a和所述步骤b交替执行;

所述第一驱动晶体管和所述第二驱动晶体管中的一者为N型晶体管,另一者为P型晶体管时,

所述第一时间段包括第三阶段和第一显示阶段,所述第三阶段包括第一驱动阶段,所

述第三阶段的时长大于所述第一驱动阶段的时长,所述步骤a具体包括:

在所述第一驱动阶段,所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体的控制极,以使得所述第一驱动晶体管导通,所述第一驱动晶体管根据所述第一数据信号输出相应的驱动电流;所述第二开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第二数据信号通过所述第二开关晶体管写入至所述第二驱动晶体的控制极,以使得所述第二驱动晶体管截止;其中,所述栅驱动信号处于有效电平状态的时长等于所述第一驱动阶段的时长,所述第一数据信号处于第一电平状态的时长、所述第二数据信号处于第一电平状态的时长等于所述第三阶段的时长;

所述第二时间段包括第四阶段和第二显示阶段,所述第四阶段包括第二驱动阶段,所述第四阶段的时长大于所述第二驱动阶段的时长,所述步骤b具体包括:

在所述第二驱动阶段,所述第二开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第二电平状态的所述第二数据信号通过所述第二开关晶体管写入至所述第二驱动晶体的控制极,以使得所述第二驱动晶体管导通,所述第二驱动晶体管根据所述第二数据信号输出相应的驱动电流;所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第二电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体的控制极,以使得所述第一驱动晶体管截止;其中,所述栅驱动信号处于有效电平状态的时长等于所述第二驱动阶段的时长,所述第二数据信号处于第二电平状态的时长、所述第一数据信号处于第二电平状态的时长等于所述第四阶段的时长;

所述第一电平状态和所述第二电平状态中的一者为高电平状态,另一者为低电平状态。

2. 根据权利要求1所述的像素驱动方法,其特征在于,所述第一开关晶体管、所述第二开关晶体管同时为N型晶体管或同时为P型晶体管。

3. 根据权利要求1或2所述的像素驱动方法,其特征在于,所述第一时间段和所述第二时间段中的一者为奇数帧时间段,另一者为偶数帧时间段。

像素电路、显示装置和像素驱动方法

技术领域

[0001] 本发明涉及显示技术领域,特别涉及像素电路、显示装置和像素驱动方法。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示装置具有自发光、驱动电压低、发光效率高、响应时间短、清晰度高等等诸多优点,被业界公认为是最有发展潜力的显示装置。

[0003] OLED显示装置中的最小发光单元为像素电路,像素电路中包括有驱动晶体管和OLED,OLED为电流驱动型发光器件,驱动晶体管用于根据数据线所提供的的数据信号输出驱动电流,以驱动OLED发光。

[0004] 然而,随着使用时间的推移,驱动晶体管的材料老化、变异,导致驱动晶体管的阈值电压发生漂移等问题,且OLED显示装置中不同驱动晶体管的阈值电压漂移量不同,此时会出现OLED显示装置发光亮度不均匀,影响显示品质。

发明内容

[0005] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种像素电路、显示装置和像素驱动方法。

[0006] 为实现上述目的,本发明提供了一种像素电路,包括:第一驱动子电路、第二驱动子电路和发光器件;

[0007] 所述第一驱动子电路,与所述发光器件的第一端、栅线、第一数据线和第一电源端连接,被配置为:响应于所述栅线提供的栅驱动信号和所述第一数据线提供的第一数据信号的控制,在第一时间段时向所述发光器件输出相应的驱动电流,以及在第二时间段时停止输出驱动电流;

[0008] 所述第二驱动子电路,与所述发光器件的第一端、栅线、第二数据线和所述第一电源端连接,被配置为:响应于所述栅线提供的栅驱动信号和所述第二数据线提供的第二数据信号的控制,在第二时间段时向所述发光器件输出相应的驱动电流,以及在第一时间段时停止输出驱动电流;

[0009] 所述发光器件,其第二端与第二电源端连接,用于根据接收到的驱动电流进行发光;

[0010] 所述第一驱动子电路和所述第二驱动子电路交替输出驱动电流。

[0011] 在一些实施例中,所述第一驱动子电路包括:第一开关晶体管、第一驱动晶体管和第一电容;

[0012] 所述第一开关晶体管的控制极与所述栅线连接,所述第一开关晶体管的第一极与所述第一数据线连接,所述第一开关晶体管的第二极与所述第一驱动晶体管的控制极连接;

[0013] 所述第一驱动晶体管的控制极与所述第一电容的第一端连接,所述第一驱动晶体

管的第一极与所述第一电源端连接,所述第一驱动晶体管的第二极与所述发光器件的第一端连接;

[0014] 所述第一电容的第二端与所述第二电源端连接;

[0015] 所述第二驱动子电路包括:第二开关晶体管、第二驱动晶体管和第二电容;

[0016] 所述第二开关晶体管的控制极与所述栅线连接,所述第二开关晶体管的第一极与所述第二数据线连接,所述第二开关晶体管的第二极与所述第二驱动晶体管的控制极连接;

[0017] 所述第二驱动晶体管的控制极与所述第二电容的第一端连接,所述第二驱动晶体管的第二极与所述发光器件的第一端连接;

[0018] 所述第二电容的第二端与所述第二电源端连接。

[0019] 在一些实施例中,所述第一开关晶体管、所述第二开关晶体管、所述第一驱动晶体管和所述第二驱动晶体管同时为N型晶体管或同时为P型晶体管。

[0020] 在一些实施例中,所述第一数据线与所述第二数据线为同一条数据线;

[0021] 所述第一驱动子电路和所述第二驱动子电路包括共用的第一开关晶体管和第一电容,所述第一驱动子电路还包括:第一驱动晶体管,所述第二驱动子电路还包括:第二驱动晶体管;

[0022] 所述第一开关晶体管的控制极与所述栅线连接,所述第一开关晶体管的第一极与所述第一数据线连接,所述第一开关晶体管的第二极与所述第一驱动晶体管的控制极、所述第二驱动晶体管的控制极连接;

[0023] 所述第一驱动晶体管的控制极与所述第一电容的第一端连接,所述第一驱动晶体管的第一极与所述第一电源端连接,所述第一驱动晶体的第二极与所述发光器件的第一端连接;

[0024] 所述第二驱动晶体管的控制极与所述第一电容的第一端连接,所述第二驱动晶体管的第一极与所述第一电源端连接,所述第二驱动晶体的第二极与所述发光器件的第一端连接;

[0025] 所述第一电容的第二端与所述第二电源端连接;

[0026] 所述第一驱动晶体管和所述第二驱动晶体管中的一者为N型晶体管,另一者为P型晶体管。

[0027] 在一些实施例中,所述第一时间段和所述第二时间段中的一者为奇数帧时间段,另一者为偶数帧时间段。

[0028] 为实现上述目的,本发明还提供了一种显示装置,包括:如上述的像素电路。

[0029] 为实现上述目的,本发明还提供了一种像素驱动方法,所述像素驱动方法基于像素电路,所述像素电路采用上述像素电路,包括:

[0030] 步骤a、第一时间段,所述第一驱动子电路响应于所述栅线提供的栅驱动信号和所述第一数据线提供的第一数据信号的控制向所述发光器件输出相应的驱动电流,所述第二驱动子电路响应于所述栅线提供的栅驱动信号和所述第二数据线提供的第二数据信号的控制不输出驱动电流;

[0031] 步骤b、第二时间段,所述第二驱动子电路响应于所述栅线提供的栅驱动信号和所

述第二数据线提供的第二数据信号的控制向所述发光器件输出相应的驱动电流,所述第一驱动子电路响应于所述栅线提供的栅驱动信号和所述第一数据线提供的第一数据信号的控制不输出驱动电流;

[0032] 所述步骤a和所述步骤b交替执行。

[0033] 在一些实施例中,当所述第一驱动子电路包括:第一开关晶体管、第一驱动晶体管和第一电容,所述第二驱动子电路包括:第二开关晶体管、第二驱动晶体管和第二电容,且所述第一驱动晶体管和所述第二驱动晶体管同时为N型晶体管或同时为P型晶体管时;

[0034] 所述步骤a具体包括:

[0035] 所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体管的控制极,以使得所述第一驱动晶体管导通,所述第一驱动晶体管根据所述第一数据信号输出相应的驱动电流;所述第二开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第二电平状态的所述第二数据信号通过所述第二开关晶体管写入至所述第二驱动晶体管的控制极,以使得所述第二驱动晶体管截止;

[0036] 所述步骤b具体包括:

[0037] 所述第二开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第二数据信号通过所述第二开关晶体管写入至所述第二驱动晶体管的控制极,以使得所述第二驱动晶体管导通,所述第二驱动晶体管根据所述第二数据信号输出相应的驱动电流;所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第二电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体管的控制极,以使得所述第一驱动晶体管截止;

[0038] 所述第一电平状态和所述第二电平状态中的一者为高电平状态,另一者为低电平状态。

[0039] 在一些实施例中,当所述第一驱动子电路包括:第一开关晶体管、第一驱动晶体管和第一电容,所述第二驱动子电路包括:第二开关晶体管、第二驱动晶体管和第二电容,且所述第一驱动晶体管和所述第二驱动晶体管中的一者为N型晶体管,另一者为P型晶体管时;

[0040] 所述步骤a具体包括:

[0041] 所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体管的控制极,以使得所述第一驱动晶体管导通,所述第一驱动晶体管根据所述第一数据信号输出相应的驱动电流;所述第二开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第二数据信号通过所述第二开关晶体管写入至所述第二驱动晶体管的控制极,以使得所述第二驱动晶体管截止;

[0042] 所述步骤b具体包括:

[0043] 所述第二开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第二电平状态的所述第二数据信号通过所述第二开关晶体管写入至所述第二驱动晶体管的控制极,以使得所述第二驱动晶体管导通,所述第二驱动晶体管根据所述第二数据信号输出相应的驱动电流;所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信

号的控制而导通,处于第二电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体管的控制极,以使得所述第一驱动晶体管截止;

[0044] 所述第一电平状态和所述第二电平状态中的一者为高电平状态,另一者为低电平状态。

[0045] 在一些实施例中,当所述第一数据线与所述第二数据同为同一条数据线;所述第一驱动子电路和所述第二驱动子电路包括共用的第一开关晶体管和第一电容,所述第一驱动子电路还包括第一驱动晶体管,所述第二驱动子电路还包括第二驱动晶体管时,所述步骤a具体包括:

[0046] 所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第一电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体管的控制极和所述第二驱动晶体管的控制极,以使得所述第一驱动晶体管导通、所述第二驱动晶体管截止,所述第一驱动晶体管根据所述第一数据信号输出相应的驱动电流;

[0047] 所述步骤b包括:所述第一开关晶体管响应于处于有效电平状态的所述栅驱动信号的控制而导通,处于第二电平状态的所述第一数据信号通过所述第一开关晶体管写入至所述第一驱动晶体管的控制极和所述第二驱动晶体管的控制极,以使得所述第一驱动晶体管截止、所述第二驱动晶体管导通,所述第二驱动晶体管根据所述第一数据信号输出相应的驱动电流;

[0048] 所述第一电平状态和所述第二电平状态中的一者为高电平状态,另一者为低电平状态。

附图说明

[0049] 图1为现有技术中像素电路的结构示意图;

[0050] 图2为本发明实施例一提供的一种像素电路的电路结构示意图;

[0051] 图3为本发明实施例二提供的一种像素电路的电路结构示意图;

[0052] 图4为图3所示像素电路的工作时序图;

[0053] 图5为本发明实施例三提供的一种像素电路的电路结构示意图;

[0054] 图6为图5所示像素电路的工作时序图;

[0055] 图7为本发明实施例四提供的一种像素电路的结构示意图;

[0056] 图8为图7所示像素电路的工作时序图;

[0057] 图9为本发明实施例五提供的一种像素驱动方法的流程图。

具体实施方式

[0058] 为使本领域的技术人员更好地理解本发明的技术方案,下面结合附图对本发明提供的像素电路、显示装置和像素驱动方法进行详细描述。

[0059] 本发明中的发光器件可以是现有技术中包括发光二极管(Light Emitting Diode,LED)或有机发光二极管(Organic Light Emitting Diode,OLED)在内的电流驱动的发光器件,在本发明中是以OLED为例进行的说明。

[0060] 图1为现有技术中像素电路的结构示意图,如图1所示,现有的像素驱动电路采用2T1C电路,该2T1C电路具体包括:1个开关晶体管T0、1个驱动晶体管DTFT和1个存储电容C。

[0061] 在每一帧的驱动阶段,开关晶体管T0导通,以将数据电压写入至驱动晶体管DTFT的栅极,驱动晶体管DTFT导通且工作于饱和状态,驱动晶体管DTFT根据数据电压输出驱动电流,以驱动发光器件OLED发光。在驱动阶段结束之后,开关晶体管T0截止,但是在存储电容C的作用下,驱动晶体管DTFT的栅极处电压维持数据电压,驱动晶体管DTFT持续输出驱动电流,发光器件维持发光。当下一帧的驱动阶段开始时,开关晶体管T0再次导通,新的数据电压写入至驱动晶体管DTFT的栅极,驱动晶体管DTFT根据新的数据信号输出驱动电流,以驱动发光器件OLED发光,此时发光器件发光亮度可发生改变。重复上述过程,从而完成连续显示。

[0062] 在显示过程中,位于显示面板上的各驱动晶体管DTFT会持续不断的输出驱动电流,以驱动发光器件发光;随着使用时间的增长,驱动晶体管DTFT的材料老化、变异,阈值电压容易发生漂移。

[0063] 为解决上述技术问题,本发明提供了一种像素电路、显示装置和像素驱动方法。

[0064] 实施例一

[0065] 图2为本发明实施例一提供的一种像素电路的电路结构示意图,如图2所示,该像素电路包括:第一驱动子电路1、第二驱动子电路2和发光器件OLED。

[0066] 其中,第一驱动子电路1与发光器件OLED的第一端、栅线Gate、第一数据线Data1和第一电源端连接,被配置为:响应于栅线Gate提供的栅驱动信号和第一数据线Data1提供的第一数据信号的控制,在第一时间段时向发光器件OLED输出相应的驱动电流,以及在第二时间段时停止输出驱动电流。

[0067] 第二驱动子电路2与发光器件OLED的第一端、栅线Gate、第二数据线Data2和第一电源端连接,被配置为:响应于栅线Gate提供的栅驱动信号和第二数据线Data2提供的第二数据信号的控制,在第二时间段时向发光器件OLED输出相应的驱动电流,以及在第一时间段时停止输出驱动电流。

[0068] 发光器件OLED的第二端与第二电源端连接,用于根据接收到的驱动电流进行发光。

[0069] 第一驱动子电路1和第二驱动子电路2交替输出驱动电流。

[0070] 在连续显示过程中,第一驱动子电路1和第二驱动子电路2交替工作,可有效缩短驱动模块内驱动晶体管输出电流的时间,即缩短驱动晶体管的工作时间,因而能减缓驱动晶体管的老化速度。

[0071] 本实施例中,优选地,一个第一时间段和一个第二时间段的时长相等,例如两者均可以为1帧、2帧、多帧或任何合适的时段,此时两个驱动模块内的驱动晶体管的老化速度基本一致。作为一种可选实施方案,第一时间段和第二时间段中的一者为奇数帧时间段,另一者为偶数帧时间段(第一时间段和第二时间段的时长均为一帧)。

[0072] 实施例二

[0073] 图3为本发明实施例二提供的一种像素电路的电路结构示意图,如图3所示,图3所示像素电路为基于图2所示像素电路的一种具体化方案,其中,第一驱动子电路1包括:第一开关晶体管T1、第一驱动晶体管DTFT1和第一电容C1,第二驱动子电路2包括:第二开关晶体管T2、第二驱动晶体管DTFT2和第二电容C2。

[0074] 第一开关晶体管T1的控制极与栅线Gate连接,第一开关晶体管T1的第一极与第一

数据线Data1连接,第一开关晶体管T1的第二极与第一驱动晶体管DTFT1的控制极连接。

[0075] 第一驱动晶体管DTFT1的控制极与第一电容C1的第一端连接,第一驱动晶体管DTFT1的第一极与第一电源端连接,第一驱动晶体管DTFT1的第二极与发光器件OLED的第一端连接。

[0076] 第一电容C1的第二端与第二电源端连接。

[0077] 第二开关晶体管T2的控制极与栅线Gate连接,第二开关晶体管T2的第一极与第二数据线Data2连接,第二开关晶体管T2的第二极与第二驱动晶体管DTFT2的控制极连接。

[0078] 第二驱动晶体管DTFT2的控制极与第二电容C2的第一端连接,第二驱动晶体管DTFT2的第一极与第一电源端连接,第二驱动晶体管DTFT2的第二极与发光器件OLED的第一端连接。

[0079] 第二电容C2的第二端与第二电源端连接。

[0080] 需要说明的是,本发明中的晶体管可选自晶硅薄膜晶体管、非晶硅薄膜晶体管、氧化物薄膜晶体管以及有机薄膜晶体管中的一种。晶体管的“控制极”具体是指晶体管的栅极,“第一极”具体是指晶体管的源极,相应地“第二极”具体是指晶体管的漏极。当然,本领域的技术人员应该知晓的是,该“第一极”与“第二极”可进行互换。

[0081] 在本发明中,第一电源端提供第一工作电压VDD,第二电源端提供第二工作电压Vss。在下面描述中,数据信号的高/低电平状态是以第一工作电压VDD作为参考,当数据信号的电压值大于第一工作电压VDD时,则数据信号处于高电平状态,当数据信号的电压小于第一工作电压VDD时,则数据信号处于低电平工作状态。此外,当处于高电平状态的数据信号输送至N型驱动晶体管的栅极时,可使得N型驱动晶体管导通且工作于饱和状态;当处于低电平状态的数据信号输送至N型驱动晶体管的栅极时,可使得N型驱动晶体管截止;当处于高电平状态的数据信号输送至P型驱动晶体管的栅极时,可使得P型驱动晶体管截止;当处于低电平状态的数据信号输送至P型驱动晶体管的栅极时,可使得P型驱动晶体管导通且工作于饱和状态。

[0082] 在本发明中,优选地,第一开关晶体管T1、第二开关晶体管T2、第一驱动晶体管DTFT1、第二驱动晶体管DTFT2同时为N型晶体管或同时为P型晶体管,此时可采用相同的工艺以同时制备出上述各开关晶体管和驱动晶体管。

[0083] 下面将结合附图来对图3所示像素电路的工作过程进行详细描述。其中,第一开关晶体管T1、第二开关晶体管T2、第一驱动晶体管DTFT1、第二驱动晶体管DTFT2同时为N型晶体管,第一时间段和第二时间段的时长均为1帧。

[0084] 需要说明的是,显示装置在显示一帧画面时,可划分为两个阶段:驱动阶段和稳定显示阶段;在驱动阶段中,栅驱动信号进行逐行扫描,数据线将数据信号写入至对应列的各像素单元,以使得各像素单元中的发光器件OLED发光;在稳定显示阶段,在电容的作用下,各像素单元的发光器件OLED维持发光。

[0085] 图4为图3所示像素电路的工作时序图,如图4所示,针对一个像素电路而言,其在一帧时间内的工作过程也可分为两个阶段:驱动阶段和显示阶段。

[0086] 参见图4所示,在第n帧(对应第一时间段)中,在驱动阶段t1时,栅线Gate中的栅驱动信号处于高电平状态,第一数据线Data1中的第一数据信号处于高电平状态,第二数据线Data2中的第二数据信号处于低电平状态。此时,第一开关晶体管T1和第二开关晶体管T2均

导通,第一数据信号通过第一开关晶体管T1写入至第一驱动晶体管DTFT1的栅极,第二数据信号通过第二开关晶体管T2写入至第二驱动晶体管DTFT2的栅极。由于第一数据信号处于高电平状态,则第一驱动晶体管DTFT1导通且工作于饱和状态,第一驱动晶体管DTFT1根据第一数据信号的电压大小和第一工作电压VDD输出相应的驱动电流,以驱动发光器件OLED发光;与此同时,由于第二数据信号处于低电平状态,则第二驱动晶体管DTFT2截止,不输出驱动电流。

[0087] 在第n帧(对应第一时间段)中,在显示阶段t₂时,栅线Gate中的栅驱动信号处于低电平状态,第一数据线Data1和第二数据线Data2中未加载信号。此时,第一开关晶体管T1和第二开关晶体管T2均截止。但由于第一电容C1和第二电容C2的存在,因此第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极处电压维持于在驱动阶段时的大小,第一驱动晶体管DTFT1持续输出驱动电流,第二驱动晶体管DTFT2维持截止状态。

[0088] 在第n+1帧(对应第二时间段)中,在驱动阶段t₁时,栅线Gate中的栅驱动信号处于高电平状态,第一数据线Data1中的第一数据信号处于低电平状态,第二数据线Data2中的第二数据信号处于高电平状态。此时,第一开关晶体管T1和第二开关晶体管T2均导通,第一数据信号通过第一开关晶体管T1写入至第一驱动晶体管DTFT1的栅极,第二数据信号通过第二开关晶体管T2写入至第二驱动晶体管DTFT2的栅极。由于第一数据信号处于低电平状态,则第一驱动晶体管DTFT1截止,停止输出驱动电流;与此同时,由于第二数据信号处于高电平状态,则第二驱动晶体管DTFT2导通且工作于饱和状态,第二驱动晶体管DTFT2根据第二数据信号的电压大小和第一工作电压VDD输出相应的驱动电流,以驱动发光器件OLED发光。

[0089] 在第n+1帧(对应第二时间段)中,在显示阶段t₂时,栅线Gate中的栅驱动信号处于低电平状态,第一数据线Data1和第二数据线Data2中未加载信号。此时,第一开关晶体管T1和第二开关晶体管T2均截止。但由于第一电容C1和第二电容C2的存在,因此第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极处电压维持于在驱动阶段时的大小,第一驱动晶体管DTFT1维持截止状态,第二驱动晶体管DTFT2持续输出驱动电流。

[0090] 同理,在n+2帧中,第一驱动晶体管DTFT1输出驱动电流,第二驱动晶体管DTFT2截止;在n+3帧中,第一驱动晶体管DTFT1截止,第二驱动晶体管DTFT2输出驱动电流;以此类推。

[0091] 假定显示装置连续显示时长为t,则现有技术中各驱动晶体管输出驱动电流的时长为t,而本实施例中各像素单元内的各驱动晶体管的时长为t/2;相较于现有技术,本实施例的技术方案可有效缩短驱动晶体管的工作时长,延缓驱动晶体管的老化速度。

[0092] 本实施例中的第一开关晶体管T1和第二开关晶体管T2也可采用P型晶体管;此外,第一驱动晶体管DTFT1和第二驱动晶体管DTFT2也可同时采用N型晶体管。

[0093] 需要说明的是,在本实施例中,当第一驱动晶体管DTFT1和第二驱动晶体管DTFT2均为N型驱动晶体管时,第一/第二数据线Data2提供的处于低电平状态的数据信号的电压大小可以为小于VDD的任意值或小于VDD的一个定值。当第一驱动晶体管DTFT1和第二驱动晶体管DTFT2均为P型驱动晶体管时,第一/第二数据线Data2提供的处于高电平状态的数据信号的电压大小可以为大于VDD的任意值或大于VDD的一个定值。

[0094] 实施例三

[0095] 图5为本发明实施例三提供的一种像素电路的电路结构示意图,如图5所示,与图3所示像素电路不同的,本实施例中的第一驱动晶体管DTFT1和第二驱动晶体管DTFT2中的一者为N型晶体管,另一者为P型晶体管。

[0096] 下面将结合附图来对图5所示像素电路的工作过程进行详细描述。其中,第一开关晶体管T1、第二开关晶体管T2、第一驱动晶体管DTFT1为N型晶体管,第二驱动晶体管DTFT2为P型晶体管,第一时间段和第二时间段的时长均为1帧。

[0097] 图6为图5所示像素电路的工作时序图,如图6所示,在第n帧(对应第一时间段)中,在驱动阶段t1时,栅线Gate中的栅驱动信号处于高电平状态,第一数据线Data1中的第一数据信号处于高电平状态,第二数据线Data2中的第二数据信号处于高电平状态。此时,第一开关晶体管T1和第二开关晶体管T2均导通,第一数据信号通过第一开关晶体管T1写入至第一驱动晶体管DTFT1的栅极,第二数据信号通过第二开关晶体管T2写入至第二驱动晶体管DTFT2的栅极。由于第一数据信号处于高电平状态且第一驱动晶体管DTFT1为N型晶体管,则第一驱动晶体管DTFT1导通且工作于饱和状态,第一驱动晶体管DTFT1根据第一数据信号的电压大小和第一工作电压VDD输出相应的驱动电流,以驱动发光器件OLED发光;与此同时,由于第二数据信号处于高电平状态且第二驱动晶体管DTFT2为P型晶体管,则第二驱动晶体管DTFT2截止,不输出驱动电流。

[0098] 在第n帧(对应第一时间段)中,在显示阶段t2时,栅线Gate中的栅驱动信号处于低电平状态,第一数据线Data1和第二数据线Data2中未加载信号。此时,第一开关晶体管T1和第二开关晶体管T2均截止。但由于第一电容C1和第二电容C2的存在,因此第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极处电压维持于在驱动阶段时的大小,第一驱动晶体管DTFT1持续输出驱动电流,第二驱动晶体管DTFT2维持截止状态。

[0099] 在第n+1帧(对应第二时间段)中,在驱动阶段t1时,栅线Gate中的栅驱动信号处于高电平状态,第一数据线Data1中的第一数据信号处于低电平状态,第二数据线Data2中的第二数据信号处于低电平状态。此时,第一开关晶体管T1和第二开关晶体管T2均导通,第一数据信号通过第一开关晶体管T1写入至第一驱动晶体管DTFT1的栅极,第二数据信号通过第二开关晶体管T2写入至第二驱动晶体管DTFT2的栅极。由于第一数据信号处于低电平状态且第一驱动晶体管DTFT1为N型晶体管,则第一驱动晶体管DTFT1截止,停止输出驱动电流;与此同时,由于第二数据信号处于低电平状态且第二驱动晶体管DTFT2为P型晶体管,则第二驱动晶体管DTFT2导通且工作于饱和状态,第二驱动晶体管DTFT2根据第二数据信号的电压大小和第一工作电压VDD输出相应的驱动电流,以驱动发光器件OLED发光。

[0100] 在第n+1帧(对应第二时间段)中,在显示阶段t2时,栅线Gate中的栅驱动信号处于低电平状态,第一数据线Data1中和第二数据线Data2中未加载信号。此时,第一开关晶体管T1和第二开关晶体管T2均截止。但由于第一电容C1和第二电容C2的存在,因此第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极处电压维持于在驱动阶段时的大小,第一驱动晶体管DTFT1维持截止状态,第二驱动晶体管DTFT2持续输出驱动电流。

[0101] 在本实施例中,当第一驱动晶体管DTFT1为P型晶体管,第二驱动晶体管DTFT2为N型晶体管时,其工作过程类似,此处不再详细描述。

[0102] 需要说明的是,在本实施例中,当第一驱动晶体管DTFT1为N型晶体管、第二驱动晶体管DTFT2为P型晶体管时,第一数据线Data1提供的处于低电平状态的数据信号的电压大

小可以为小于VDD的任意值或小于VDD的一个定值,第二数据线Data2提供的处于高电平状态的数据信号的电压大小可以为大于VDD的任意值或大于VDD的一个定值;当第一驱动晶体管DTFT1为P型晶体管、第二驱动晶体管DTFT2为N型晶体管时,第一数据线Data1提供的处于高电平状态的数据信号的电压大小可以为大于VDD的任意值或大于VDD的一个定值,第二数据线Data2提供的处于低电平状态的数据信号的电压大小可以为小于VDD的任意值或小于VDD的一个定值。

[0103] 实施例四

[0104] 图7为本发明实施例四提供的一种像素电路的结构示意图,如图7所示,图7所示像素电路为基于图2所示像素电路的一种具体化方案,其中,第一数据线Data1与第二数据线Data2为同一条数据线(统称为第一数据线Data1),第一驱动子电路1和第二驱动子电路2包括共用的第一开关晶体管T1和第一电容C1,第一驱动子电路1还包括:第一驱动晶体管DTFT1,第二驱动子电路2还包括:第二驱动晶体管DTFT2。

[0105] 第一开关晶体管T1的控制极与栅线Gate连接,第一开关晶体管T1的第一极与第一数据线Data1连接,第一开关晶体管T1的第二极与第一驱动晶体管DTFT1的控制极、第二驱动晶体管DTFT2的控制极连接。

[0106] 第一驱动晶体管DTFT1的控制极与第一电容C1的第一端连接,第一驱动晶体管DTFT1的第一极与第一电源端连接,第一驱动晶体的第二极与发光器件OLED的第一端连接。

[0107] 第二驱动晶体管DTFT2的控制极与第一电容C1的第一端连接,第二驱动晶体管DTFT2的第一极与第一电源端连接,第二驱动晶体的第二极与发光器件OLED的第一端连接。

[0108] 第一电容C1的第二端与第二电源端连接。

[0109] 第一驱动晶体管DTFT1和第二驱动晶体管DTFT2中的一者为N型晶体管,另一者为P型晶体管。

[0110] 下面将结合附图来对图7所示像素电路的工作过程进行详细描述。其中,第一开关晶体管T1、第二开关晶体管T2、第一驱动晶体管DTFT1为N型晶体管,第二驱动晶体管DTFT2为P型晶体管,第一时间段和第二时间段的时长均为1帧。

[0111] 图8为图7所示像素电路的工作时序图,如图8所示,在第n帧(对应第一时间段)中,在驱动阶段t1时,栅线Gate中的栅驱动信号处于高电平状态,第一数据线Data1中的第一数据信号处于高电平状态。此时,第一开关晶体管T1导通,第一数据信号通过第一开关晶体管T1写入至第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极。由于第一数据信号处于高电平状态且第一驱动晶体管DTFT1为N型晶体管,则第一驱动晶体管DTFT1导通且工作于饱和状态,第一驱动晶体管DTFT1根据第一数据信号的电压大小和第一工作电压VDD输出相应的驱动电流,以驱动发光器件OLED发光;与此同时,由于第一数据信号处于高电平状态且第二驱动晶体管DTFT2为P型晶体管,则第二驱动晶体管DTFT2截止,不输出驱动电流。

[0112] 在第n帧(对应第一时间段)中,在显示阶段t2时,栅线Gate中的栅驱动信号处于低电平状态,第一数据线Data1中未加载信号。此时,第一开关晶体管T1截止。但由于第一电容C1存在,因此第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极处电压维持于在驱动阶段时的大小,第一驱动晶体管DTFT1持续输出驱动电流,第二驱动晶体管DTFT2维持截止状态。

[0113] 在第n+1帧(对应第二时间段)中,在驱动阶段t1时,栅线Gate中的栅驱动信号处于

高电平状态,第一数据线Data1中的第一数据信号处于低电平状态。此时,第一开关晶体管T1导通,第一数据信号通过第一开关晶体管T1写入至第一驱动晶体管DTFT1的栅极。由于第一数据信号处于低电平状态且第一驱动晶体管DTFT1为N型晶体管,则第一驱动晶体管DTFT1截止,停止输出驱动电流;与此同时,由于第一数据信号处于低电平状态且第二驱动晶体管DTFT2为P型晶体管,则第二驱动晶体管DTFT2导通且工作于饱和状态,第二驱动晶体管DTFT2根据第一数据信号的电压大小和第一工作电压VDD输出相应的驱动电流,以驱动发光器件OLED发光。

[0114] 在第n+1帧(对应第二时间段)中,在显示阶段t2时,栅线Gate中的栅驱动信号处于低电平状态,第一数据线Data1中未加载信号。此时,第一开关晶体管T1截止。但由于第一电容C1的存在,因此第一驱动晶体管DTFT1和第二驱动晶体管DTFT2的栅极处电压维持于在驱动阶段时的大小,第一驱动晶体管DTFT1维持截止状态,第二驱动晶体管DTFT2持续输出驱动电流。

[0115] 与实施例三中的技术方案相比,本实施例的技术方案可省去一个开关晶体管和一条数据线,有效简化像素电路的复杂度。

[0116] 需要说明的是,在本实施例中,第一数据线Data1中提供的处于高电平状态或低电平状态的数据信号的电压大小,需与发光器件OLED的发光亮度相对应。

[0117] 实施例五

[0118] 图9为本发明实施例五提供的一种像素驱动方法的流程图,如图9所示,该像素驱动方法基于上述实施例一~实施例四中的像素电路,该像素驱动方法包括:

[0119] 步骤a、第一时间段,第一驱动子电路响应于栅线提供的栅驱动信号和第一数据线提供的第二数据信号的控制向发光器件输出相应的驱动电流,第二驱动子电路响应于栅线提供的栅驱动信号和第二数据线提供的第二数据信号的控制不输出驱动电流。

[0120] 步骤b、第二时间段,第二驱动子电路响应于栅线提供的栅驱动信号和第二数据线提供的第二数据信号的控制向发光器件输出相应的驱动电流,第一驱动子电路响应于栅线提供的栅驱动信号和第一数据线提供的第二数据信号的控制不输出驱动电流。

[0121] 其中,步骤a和步骤b交替执行。

[0122] 作为一种具体可选方案,当像素电路为上述实施例二中提供的像素电路时,则步骤a和步骤b的具体过程如下:

[0123] 步骤a具体包括:第一开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第一电平状态的第一数据信号通过第一开关晶体管写入至第一驱动晶体的控制极,以使得第一驱动晶体管导通,第一驱动晶体管根据第一数据信号输出相应的驱动电流;第二开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第二电平状态的第二数据信号通过第二开关晶体管写入至第二驱动晶体的控制极,以使得第二驱动晶体管截止。

[0124] 步骤b具体包括:第二开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第一电平状态的第二数据信号通过第二开关晶体管写入至第二驱动晶体的控制极,以使得第二驱动晶体管导通,第二驱动晶体管根据第二数据信号输出相应的驱动电流;第一开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第二电平状态的第一数据信号通过第一开关晶体管写入至第一驱动晶体的控制极,以使得第一

驱动晶体管截止。

[0125] 第一电平状态和第二电平状态中的一者为高电平状态,另一者为低电平状态。

[0126] 需要说明的是,本发明中的有效电平状态是指能够使得对应开关晶体管导通的状态;其中,当开关晶体管为N型晶体管时,则有效电平状态为高电平状态;当开关晶体管为P型晶体管时,则有效电平状态为低电平状态。

[0127] 对于上述步骤a和步骤b的具体描述可参见前述实施例二中的内容。

[0128] 作为另一种具体可选方案,当像素电路为上述实施例三中提供的像素电路时,则步骤a和步骤b的具体过程如下:

[0129] 步骤a具体包括:第一开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第一电平状态的第一数据信号通过第一开关晶体管写入至第一驱动晶体的控制极,以使得第一驱动晶体管导通,第一驱动晶体管根据第一数据信号输出相应的驱动电流;第二开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第一电平状态的第二数据信号通过第二开关晶体管写入至第二驱动晶体的控制极,以使得第二驱动晶体管截止。

[0130] 步骤b具体包括:第二开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第二电平状态的第二数据信号通过第二开关晶体管写入至第二驱动晶体的控制极,以使得第二驱动晶体管导通,第二驱动晶体管根据第二数据信号输出相应的驱动电流;第一开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第二电平状态的第一数据信号通过第一开关晶体管写入至第一驱动晶体的控制极,以使得第一驱动晶体管截止。

[0131] 第一电平状态和第二电平状态中的一者为高电平状态,另一者为低电平状态。

[0132] 对于上述步骤a和步骤b的具体描述可参见前述实施例三中的内容。

[0133] 作为又一种具体可选方案,当像素电路为上述实施例四中提供的像素电路时,则步骤a和步骤b的具体过程如下:

[0134] 步骤a具体包括:第一开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第一电平状态的第一数据信号通过第一开关晶体管写入至第一驱动晶体的控制极和第二驱动晶体的控制极,以使得第一驱动晶体管导通、第二驱动晶体管截止,第一驱动晶体管根据第一数据信号输出相应的驱动电流。

[0135] 步骤b具体包括:第一开关晶体管响应于处于有效电平状态的栅驱动信号的控制而导通,处于第二电平状态的第一数据信号通过第一开关晶体管写入至第一驱动晶体的控制极和第二驱动晶体的控制极,以使得第一驱动晶体管截止、第二驱动晶体管导通,第二驱动晶体管根据第一数据信号输出相应的驱动电流。

[0136] 对于上述步骤a和步骤b的具体描述可参见前述实施例四中的内容。

[0137] 实施例六

[0138] 本发明实施例六提供了一种显示装置,该显示装置包括:像素电路,该像素电路采用上述实施例一~实施例四中任一提供的像素电路,具体描述可参见上述实施例一~实施例四中的内容,此处不再赘述。

[0139] 需要说明的是,本发明中的显示装置具体可以包括:电子纸、OLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0140] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

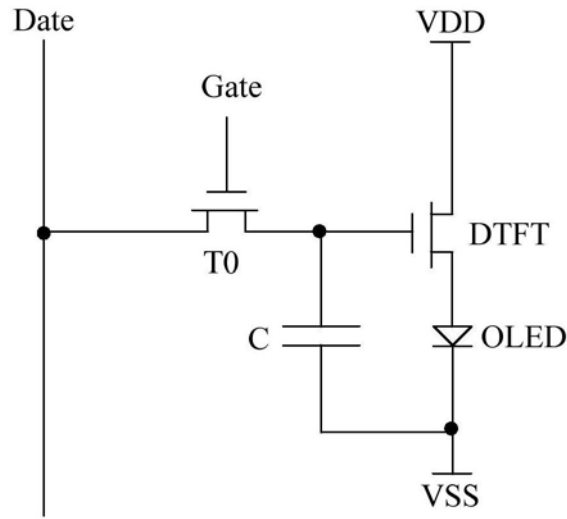


图1

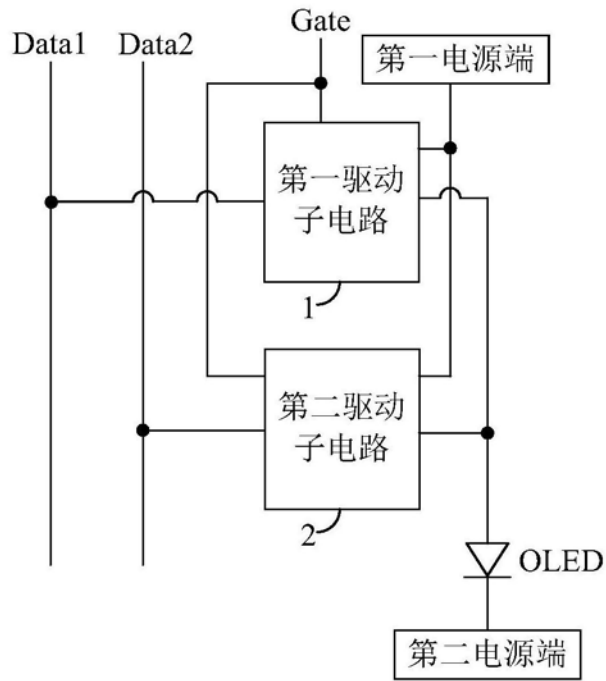


图2

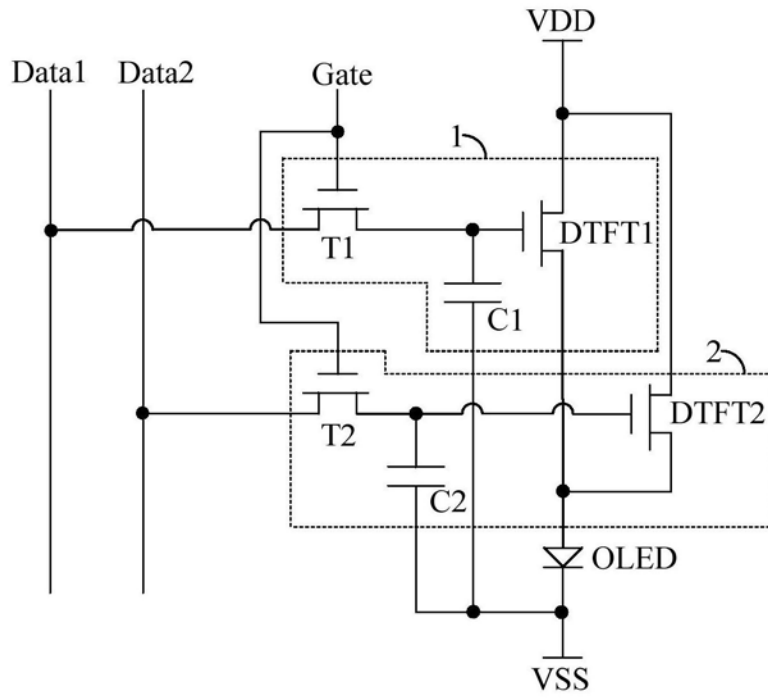


图3

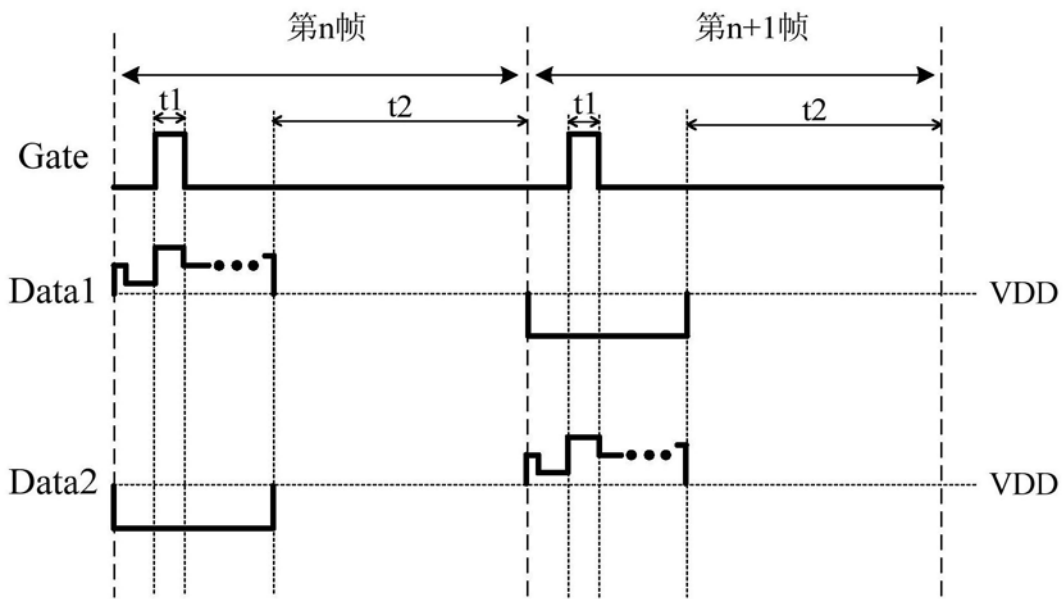


图4

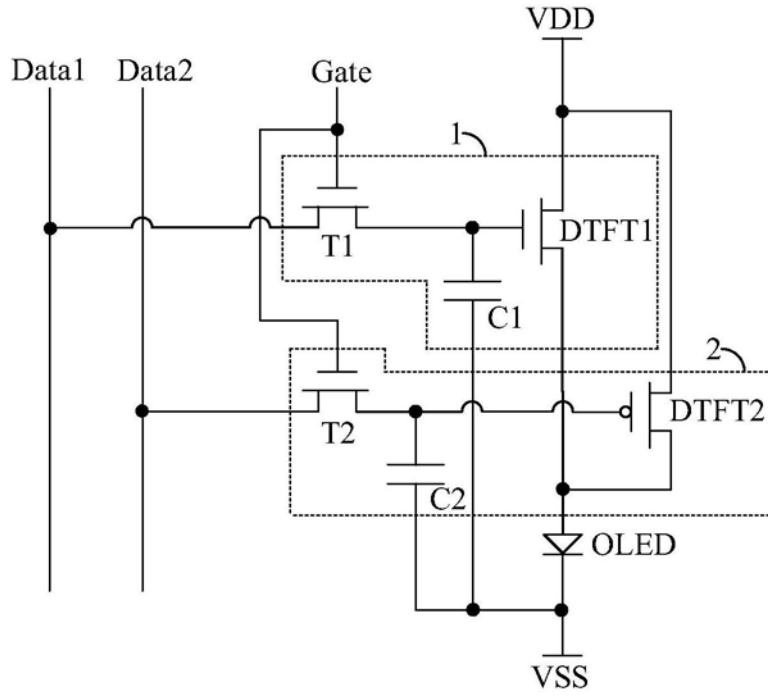


图5

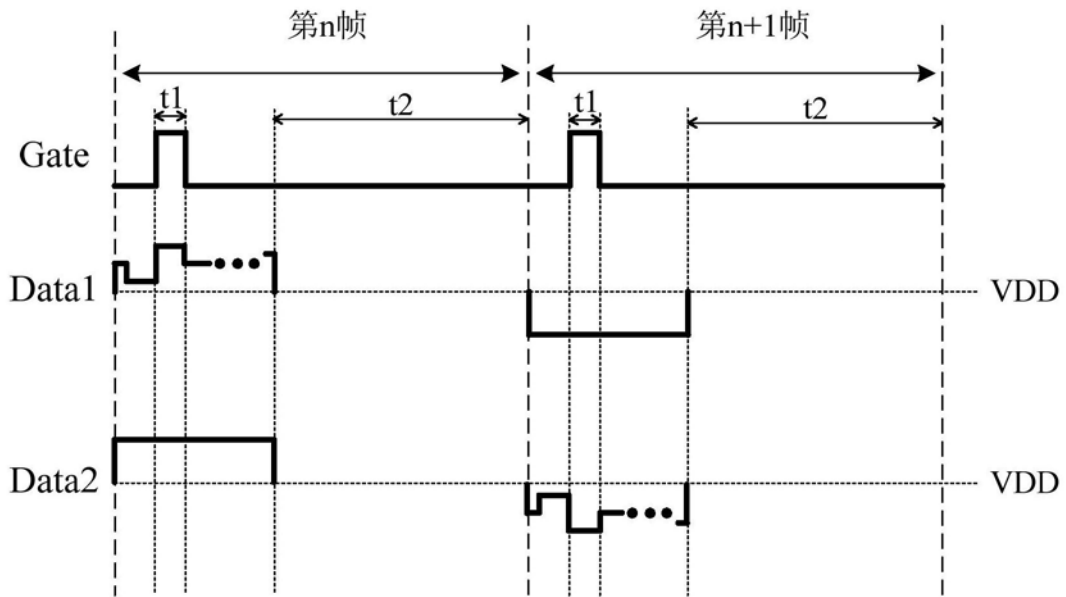


图6

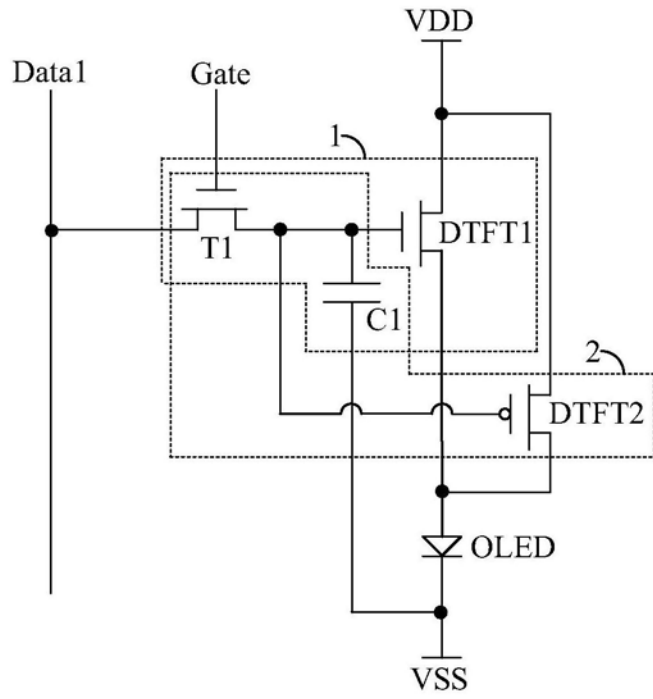


图7

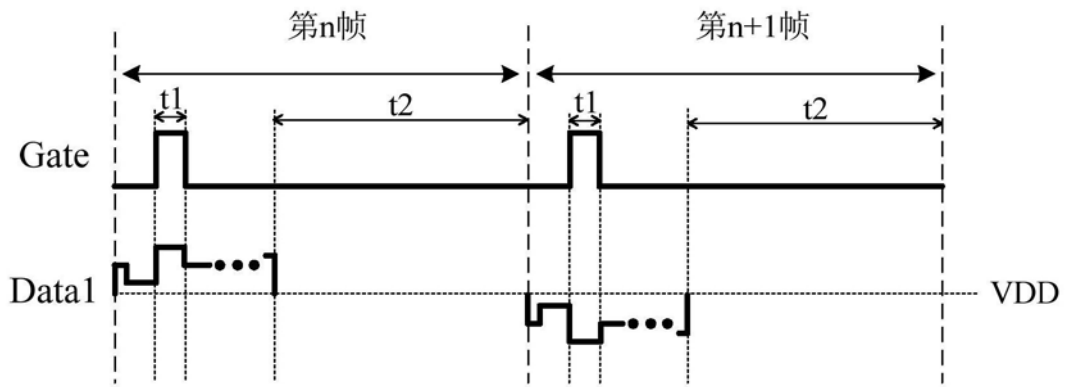


图8

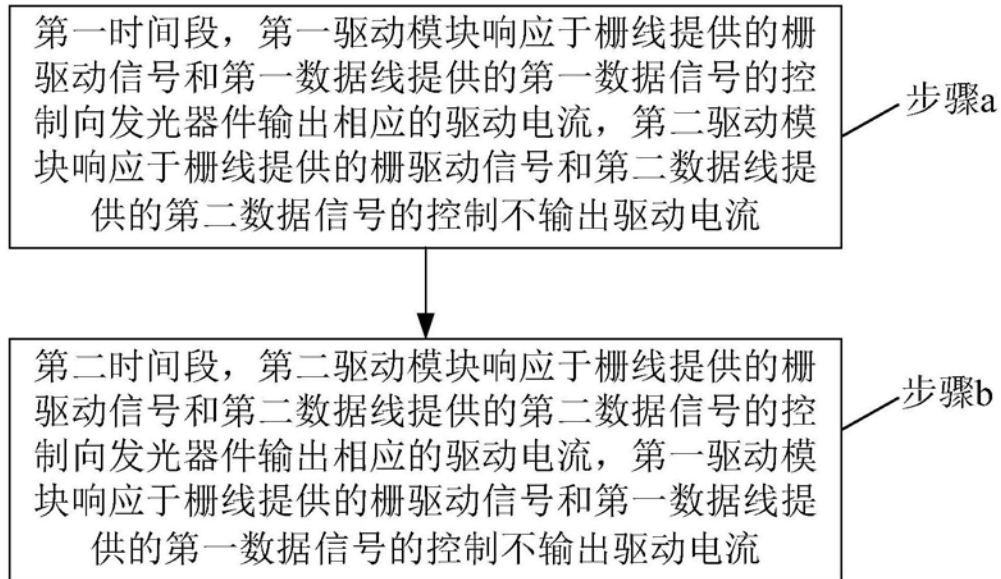


图9