(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 5 月 3 日(03.05.2012)

PCT

(10) 国際公開番号
WO 2012/056933 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2011/073879

(22) 国際出願日: 2011 年 10 月 18 日(18.10.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-238152 2010 年 10 月 25 日(25.10.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 **(HITACHI, LTD.)** [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目６番６号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 若菜　裕紀 **(WAKANA, Hironori)** [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内 Tokyo (JP). 河村　哲史 **(KAWAMURA, Tetsufumi)** [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目２８０番地 株式会社日立製作所　中央研究所内 Tokyo (JP). 内山　博幸 **(UCHIYAMA, Hiroyuki)** [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内 Tokyo (JP). 藤井　邦治 **(FUJII, Kuniharu)** [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内 Tokyo (JP).

(74) 代理人: 筒井　大和 **(TSUTSUI, Yamato)**; 〒1600022 東京都新宿区新宿２丁目３番１０号 新宿御苑ビル３階　筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

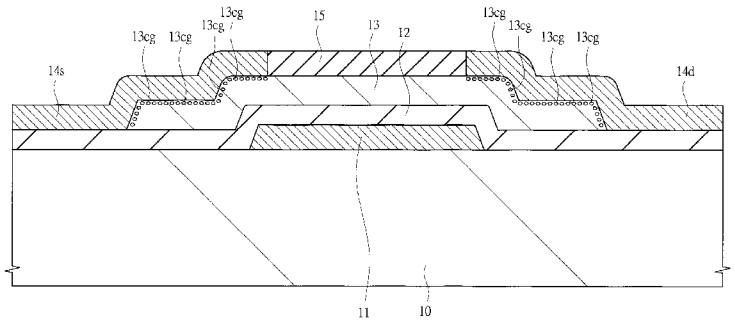
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

[続葉有]

(54) Title: OXIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 酸化物半導体装置およびその製造方法

図 8



(57) Abstract: To reduce the contact resistance between an oxide semiconductor layer and a source/drain electrode in a thin film transistor that uses an oxide semiconductor material for a channel layer. A thin film transistor, wherein a gate electrode (11), a gate insulating film (12), an amorphous oxide semiconductor layer (13) that constitutes a channel layer, a source electrode (14s) and a drain electrode (14d) are sequentially laminated in this order, is formed on the upper surface of a substrate (10). Crystal grains (13cg), which contain a constituent element of the amorphous oxide semiconductor layer (13), are formed within the amorphous oxide semiconductor layer (13) in the vicinity of the interfaces with the source electrode (14s) and the drain electrode (14d). The crystal grains (13cg) are formed by utilizing the energy of accelerated particles that are incident on the amorphous oxide semiconductor layer (13) when a conductive film that constitutes the source electrode (14s) and the drain electrode (14d) is deposited.

(57) 要約:

[続葉有]

WO 2012/056933 A1

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

酸化物半導体材料をチャネル層に用いた薄膜トランジスタにおいて、酸化物半導体層とソース、ドレイン電極とのコンタクト抵抗を低減する。基板１０の上面には、ゲート電極１１、ゲート絶縁膜１２、チャネル層を構成するアモルファス酸化物半導体層１３、ソース電極１４ｓおよびドレイン電極１４ｄがこの順に積層された薄膜トランジスタが形成されている。ソース電極１４ｓおよびドレイン電極１４ｄとの界面近傍のアモルファス酸化物半導体層１３内には、アモルファス酸化物半導体層１３の構成元素を含む結晶粒１３ｃｇが形成されている。結晶粒１３ｃｇは、ソース電極１４ｓおよびドレイン電極１４ｄを構成する導電膜を堆積する際、アモルファス酸化物半導体層１３に入射する加速粒子のエネルギーを利用して形成する。

明　細　書

発明の名称 ： 酸化物半導体装置およびその製造方法

技術分野

[0001] 本発明は、酸化物半導体材料をチャネル層に用いた薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）を有する半導体装置およびその製造に適用して有効な技術に関するものである。

背景技術

[0002] 薄膜トランジスタ（ＴＦＴ）は、素子面積が小さく、省スペースであることから、携帯電話、ノートパソコン、ＰＤＡといった各種携帯電子装置における表示装置駆動用トランジスタとして使用されている。

[0003] 従来、薄膜トランジスタの大部分は、アモルファスシリコンや多結晶シリコンに代表されるシリコン系半導体材料により作製されていた。これは、従来の半導体装置の製造工程・製造技術を用いて薄膜トランジスタを作製できるメリットがあるためである。

[0004] しかしながら、従来の半導体装置の製造工程を用いて薄膜トランジスタを作製する場合は、処理温度が３５０℃以上になるため、利用できる基板材料に制約が生じる。特に、ガラス基板やフレキシブルな樹脂基板は、耐熱温度が３５０℃以下のものが多いため、従来の半導体装置の製造工程を用いてこれらの基板上に薄膜トランジスタを形成することは困難である。

[0005] そこで、最近では、低温で成膜が可能な酸化物半導体材料をチャネル層に用いた薄膜トランジスタの研究開発が進められている。この酸化物半導体膜をチャネル層に用いた場合は、ガラス基板やフレキシブルな樹脂基板上に薄膜トランジスタを形成することができるため、従来に無い新規なデバイスを安価に作製することが可能となる。また、酸化物半導体材料の透明性を利用したデバイス形成が可能となり、この薄膜トランジスタをＲＦＩＤ(Radio Frequency Identification)タグなどに適用することも可能である。

[0006] 上記した酸化物半導体材料をチャネル層に用いた薄膜トランジスタの信頼

性やデバイス性能を向上させるためには、酸化物半導体層とソース、ドレイン電極とのコンタクト抵抗を低減することが課題となる。

[0007] 従来、酸化物半導体層とソース、ドレイン電極のコンタクト抵抗を低減する方法として、酸化物半導体層とソース、ドレイン電極との間に異種の金属材料層や酸素欠乏酸化物半導体層のような低抵抗層を挟み込む手法（特許文献１）や、ソース、ドレイン電極の下方の酸化物半導体層内に、酸化物半導体層とは組成が異なる低抵抗結晶粒を形成する手法（特許文献２）などが提案されている。

先行技術文献

特許文献

[0008] 特許文献1：特開２０１０－０８０９５２号公報

特許文献2：特開２００９－１４１００１号公報

発明の概要

発明が解決しようとする課題

[0009] 酸化物半導体層とソース、ドレイン電極との間に低抵抗層を挟み込む特許文献１においては、低抵抗層として、酸化物半導体層に比べて膜中の酸素濃度が低く、かつ結晶微粒子を含んだ半導体層を用いることで、良好なコンタクトが形成されることが報告されている。しかしながら、この手法は、酸化物半導体層と低抵抗層を同時に形成することが困難であるため、製造工程数の増加に伴う製造コストの増大が課題となっている。

[0010] また、酸化物半導体層内に低抵抗結晶粒を形成する特許文献２の手法では、例えばＩｎ（インジウム）－Ｚｎ（亜鉛）－Ｇａ（ガリウム）－Ｏ（酸素）からなる酸化物半導体層内に直径２０ｎｍ程度の金属結晶粒を形成することでコンタクト抵抗が低減することが報告されている。しかしながら、この手法の場合は、酸化物半導体層内の結晶粒がソース、ドレイン電極の近傍よりもゲート絶縁膜の近傍に多く形成されることによるしきい値電圧のシフトや、オン電流（Ｉｏｎ）／オフ電流（Ｉｏｆｆ）比の低下が課題となってい

る。

[0011] なお、特許文献２の手法において、酸化物半導体層内に低抵抗結晶粒が形成されるメカニズムは不明であるが、ソース、ドレイン電極を構成する金属材料が酸化物半導体層内に拡散することなどが関係しているものと考えられている。

[0012] 本発明の目的は、酸化物半導体材料をチャネル層に用いた薄膜トランジスタにおいて、上記従来技術のような課題を生じさせることなく、酸化物半導体層とソース、ドレイン電極とのコンタクト抵抗を低減することのできる技術を提供することにある。

[0013] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0014] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0015] 本発明の好ましい一態様である酸化物半導体装置は、基板の上面に、ゲート電極、ゲート絶縁膜、チャネル層を構成するアモルファス酸化物半導体層、ソース、ドレイン電極がこの順に積層されてなる薄膜トランジスタを備え、前記ソース、ドレイン電極との界面近傍の前記アモルファス酸化物半導体層内に、前記アモルファス酸化物半導体層の構成元素を含む結晶粒を有している。

[0016] 前記結晶粒は、前記アモルファス酸化物半導体層の上部にソース、ドレイン電極用の導電膜を堆積する際、前記アモルファス酸化物半導体層に入射する加速粒子のエネルギーを利用して形成する。

発明の効果

[0017] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

[0018] 酸化物半導体層とソース、ドレイン電極とのコンタクト抵抗が低い薄膜トランジスタを実現することができる。

[0019] また、薄膜トランジスタの製造工程を増やすことなく、酸化物半導体層とソース、ドレイン電極とのコンタクト抵抗を低減することができる。

図面の簡単な説明

[0020] [図1]本発明の実施の形態１である薄膜トランジスタの製造方法を示す断面図である。

[図2]図１に続く薄膜トランジスタの製造方法を示す断面図である。

[図3]図２に続く薄膜トランジスタの製造方法を示す断面図である。

[図4]図３に続く薄膜トランジスタの製造方法を示す断面図である。

[図5]図４に続く薄膜トランジスタの製造方法を示す断面図である。

[図6]図５に続く薄膜トランジスタの製造方法を示す断面図である。

[図7]図６の拡大図である。

[図8]図６に続く薄膜トランジスタの製造方法を示す断面図である。

[図9]実施の形態１および比較例の薄膜トランジスタのゲート電圧（Ｖｇ）とドレイン電流（Ｉｄ）との関係を示すグラフである。

[図10]実施の形態１の薄膜トランジスタにおけるドレイン電極と酸化物半導体層との界面近傍の断面ＴＥＭ写真である。

[図11]図１０のＴＥＭ像からＦＦＴ回折によって調べた結晶粒１３ｃｇの結晶構造の写真である。

[図12]本発明の実施の形態２である薄膜トランジスタの製造方法を示す断面図である。

[図13]図１２に続く薄膜トランジスタの製造方法を示す断面図である。

[図14]図１３に続く薄膜トランジスタの製造方法を示す断面図である。

[図15]本発明の薄膜トランジスタの別例を示す断面図である。

[図16]本発明の実施の形態３である薄膜トランジスタの断面図である。

[図17]実施の形態３の薄膜トランジスタのゲート電圧（Ｖｇ）とドレイン電流（Ｉｄ）との関係を示すグラフである。

[図18]本発明の薄膜トランジスタを使用したＲＦＩＤタグの概略構成を示す図である。

[図19]本発明の薄膜トランジスタを使用した半導体装置のアレイ構成の一例を示す回路ブロック図である。

[図20]図１９に示すアレイを適用したアクティブマトリクス型液晶表示装置の概略図である。

発明を実施するための形態

[0021] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態では、特に必要なときを除き、同一または同様な部分の説明を原則として繰り返さない。さらに、実施の形態を説明する図面においては、構成を分かり易くするために、平面図であってもハッチングを付す場合がある。

[0022] （実施の形態１）

本実施の形態は、ボトムゲート／トップコンタクト型薄膜トランジスタに適用したものである。ここで、ボトムゲートとは、ゲート電極がチャネル層（酸化物半導体層）よりも下層に配置される構造を意味し、トップコンタクトとは、ソース電極およびドレイン電極がチャネル層よりも上層に配置される構造を意味している。

[0023] 本実施の形態のボトムゲート／トップコンタクト型薄膜トランジスタは、以下の方法によって製造される。

[0024] まず、図１に示すように、絶縁性の基板１０を用意する。基板１０の材料としては、Ｓｉ（シリコン）、サファイア、石英、ガラス、フレキシブルなプラスチックフィルムなどを例示することができる。プラスチックフィルムの材料としては、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリエーテルイミド、ポリアクリレート、ポリイミド、ポリカーボネート、セルローストリアセテート、セルロースアセテートプロピオネートなどを例示することができる。また、必要に応じて上記した材料の表面に絶縁コーティング層を設けたものを使用することもできる。

[0025] 次に、図２に示すように、基板１０の上面に導電膜を堆積し、続いてこの

導電膜をパターニングすることによって、ゲート電極１１を形成する。ゲート電極１１を構成する導電膜としては、Ｍｏ（モリブデン）、Ｃｒ（クロム）、Ｗ（タングステン）、Ａｌ（アルミニウム）、Ｃｕ（銅）、Ｔｉ（チタン）、Ｎｉ（ニッケル）、Ｔａ（タンタル）、Ａｇ（銀）、Ｃｏ（コバルト）、Ｚｎ、Ａｕ（金）、Ｐｔ（白金）などような金属の単層膜、これらの金属を２種以上含む合金膜、これらの金属の積層膜を例示することができる。また、ＩＴＯ（Ｉｎ－Ｓｎ－Ｏ：インジウム錫酸化物）、Ａｌ、Ｇａ、ＩｎまたはＢ（ボロン）などを添加したＺｎＯ（酸化亜鉛）のような導電性金属酸化物膜や、これらの導電性金属酸化物と前記金属との積層膜を使用することもできる。さらに、ＴｉＮ（窒化チタン）のような導電性金属窒化物の単層膜、導電性金属窒化物と前記金属との積層膜などを使用することもできる。

[0026] 上記した各種導電膜の堆積は、ＣＶＤ法、スパッタリング法、蒸着法などにより行い、パターニングは、フォトレジスト膜をマスクに用いたドライエッチングまたはウェットエッチングにより行う。

[0027] 次に、図３に示すように、上記ゲート電極１１が形成された基板１０の上面にゲート絶縁膜１２を形成する。

[0028] ゲート絶縁膜１２を構成する絶縁膜としては、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、Y_2O_3（酸化イットリウム）膜、HfO_2（酸化ハフニウム）膜、ＹＳＺ（イットリア安定化ジルコニア）膜、有機系高分子絶縁膜などを例示することができる。有機系高分子絶縁膜の材料としては、ポリイミド誘導体、ベンゾシクロブテン誘導体、フォトアクリル誘導体、ポリスチレン誘導体、ポリビニルフェノール誘導体、ポリエステル誘導体、ポリカーボネート誘導体、ポリエステル誘導体、ポリ酢酸ビニル誘導体、ポリウレタン誘導体、ポリスルフォン誘導体、アクリレート樹脂、アクリル樹脂、エポキシ樹脂、パリレンなどを例示することができる。また、これらの絶縁膜の堆積は、ＣＶＤ法、スパッタリング法、蒸着法、塗布法などにより行う。

[0029] 次に、図４に示すように、上記ゲート絶縁膜１２の上部にアモルファス酸化物半導体層１３を形成する。アモルファス酸化物半導体層１３は、薄膜トランジスタのチャネル層を構成する半導体層であり、Ｉｎ、Ｚｎ、Ｃｄ（カドミウム）、Ａｌ、Ｇａ、Ｓｉ、Ｓｎ、Ｃｅ（セリウム）、Ｇｅ（ゲルマニウム）、Ｈｆのうち、いずれか一種以上の元素が酸素と結合した酸化物を例示することができる。アモルファス酸化物半導体層１３を構成する酸化物膜の堆積は、スパッタリング法、ＣＶＤ法、パルスレーザーデポジション（Pulsed Laser Deposition：ＰＬＤ）法、塗布法、印刷法、共蒸着法などにより行い、その膜厚は２５ｎｍ～１００ｎｍ程度とする。また、アモルファス酸化物半導体層１３を形成した後、必要に応じて不純物をドーピングしたり、基板１０にアニール処理を施したりしてもよい。さらに、上記酸化物膜のパターニングは、フォトレジスト膜をマスクに用いたドライエッチングまたはウェットエッチングにより行う。

[0030] 本実施の形態では、まず、Ｚｎ、Ｓｎ、Ｏを同時に成膜できる多元スパッタリング装置を用い、ガス圧を０．５Ｐａ（Ａｒ（アルゴン）＋１０％O_2）、ＲＣ電力を５０Ｗに設定し、室温下でゲート絶縁膜１２の上部に膜厚５０ｎｍのアモルファス状Ｚｎ－Ｓｎ－Ｏ（亜鉛錫酸化物）膜を堆積した。次に、フォトレジスト膜をマスクに用いたウェットエッチングでこのＺｎ－Ｓｎ－Ｏ膜をパターニングし、ゲート電極１１の上方の領域とその近傍の領域にＺｎ－Ｓｎ－Ｏ膜を残すことによって、アモルファス酸化物半導体層１３を形成した。

[0031] 次に、図５に示すように、上記アモルファス酸化物半導体層１３の上部に絶縁膜を堆積し、続いてこの絶縁膜をパターニングすることによって、チャネル層領域（ゲート電極１１の上方の領域）の上部にバリア層１５を形成する。

[0032] バリア層１５を構成する絶縁膜としては、酸化シリコン膜、窒化シリコン膜、アルミナ膜などの無機系絶縁膜や、パリレン膜などの有機系絶縁膜を例示することができる。これらの絶縁膜の堆積は、ＣＶＤ法、スパッタリング

法、塗布法などにより行う。また、絶縁膜のパターニングは、フォトレジスト膜をマスクに用いたドライエッチングまたはウェットエッチングにより行う。

[0033] 次に、図６に示すように、アモルファス酸化物半導体層１３およびバリア層１５の上部に導電膜１４を堆積する。導電膜１４としては、前述したゲート電極１１を構成する各種導電膜を例示することができる。また、導電膜１４の堆積は、電子ビーム蒸着法、スパッタリング法などにより行う。本実施の形態では、電子ビーム蒸着装置を用い、電子ビームの加速電圧を通常よりも高い値（例えば１０ｋＶ）に設定してＡｌからなる導電膜１４を堆積した。

[0034] 電子ビームの加速電圧を通常よりも高い値に設定してアモルファス酸化物半導体層１３の上部に導電膜１４を堆積すると、図７に示すように、アモルファス酸化物半導体層１３の表面近傍に結晶粒１３ｃｇが生成する。これは、電子ビーム蒸着装置内に設置された導電膜原料に高電圧で加速された電子ビームを照射すると、蒸発した導電膜原料がアモルファス酸化物半導体層１３の表面に高速で衝突し、アモルファス酸化物半導体層１３を構成する酸化物（本実施の形態ではＺｎ－Ｓｎ－Ｏ）の一部がそのエネルギーによって結晶化されるためである。このとき、アモルファス酸化物半導体層１３のチャネル層領域（ゲート電極１１の上方の領域）はバリア層１５で覆われているので、この領域に結晶粒１３ｃｇが形成されることはない。

[0035] 次に、図８に示すように、フォトレジスト膜をマスクに用いたドライエッチングでゲート電極１１の上方の導電膜１４を除去することにより、ソース電極１４ｓおよびドレイン電極１４ｄを形成する。ここまでの工程により、本実施の形態のボトムゲート／トップコンタクト型薄膜トランジスタが完成する。

[0036] 図９の実線Ａは、上述した方法で作製した薄膜トランジスタのゲート電圧（Ｖｇ）とドレイン電流（Ｉｄ）との関係を示すグラフである。また、同図の破線Ｂは、電子ビームの加速電圧を５ｋＶに設定して導電膜１４を堆積し

た薄膜トランジスタ（比較例）のしきいゲート電圧（Ｖｇ）とドレイン電流（Ｉｄ）との関係を示すグラフである。２種の薄膜トランジスタのチャネル長は０．１ｍｍとし、チャネル幅は２ｍｍとした。

[0037] 図９に示すように、電子ビームの加速電圧を１０ｋＶに設定して導電膜１４を堆積した本実施の形態の薄膜トランジスタは、電子ビームの加速電圧を５ｋＶに設定した比較例の薄膜トランジスタに比べて２倍以上のオン電流（Ｉｏｎ）を示した。

[0038] これは、本実施の形態の薄膜トランジスタでは、アモルファス酸化物半導体層１３の表面近傍が結晶化したことにより、この領域においてアモルファス酸化物半導体層１３の構成元素（Ｚｎ－Ｓｎ－Ｏ）の配列が密になり、キャリアである電子が流れ易くなった結果、アモルファス酸化物半導体層１３とソース電極１４ｓおよびドレイン電極１４ｄとのコンタクト抵抗が低減したのに対し、比較例の薄膜トランジスタでは、アモルファス酸化物半導体層１３中に結晶粒１３ｃｇが生成しなかったためである。

[0039] 図１０は、本実施の形態の薄膜トランジスタにおけるドレイン電極１４ｄとアモルファス酸化物半導体層１３との界面近傍の断面ＴＥＭ写真である。図１０に示すように、ドレイン電極１４ｄとの界面から深さ１０ｎｍ以内の結晶粒存在領域（Ｔｃｇ）内に結晶粒１３ｃｇがほぼ一列に並んで存在していることが確認できた。一方、比較例の薄膜トランジスタの断面ＴＥＭ写真からは、結晶粒１３ｃｇの存在を確認することができなかった。

[0040] 上記結晶粒１３ｃｇのＴＥＭ像からＦＦＴ回折によって結晶構造を調べたところ、図１１に示すような$ZnSnO_3$の存在を確認した。また、結晶粒１３ｃｇが形成された領域以外の領域はアモルファス状態であることも同時に確認した。

[0041] 次に、結晶粒１３ｃｇの粒径と結晶粒存在領域（Ｔｃｇ）との関係を調べるため、ソース電極１４ｓおよびドレイン電極１４ｄを構成する導電膜（Ａｌ膜）１４の堆積条件や堆積後のアニール条件を変えることによって、結晶粒１３ｃｇの粒径および結晶粒存在領域（Ｔｃｇ）を変化させた。その結果

、結晶粒１３ｃｇの粒径が１５ｎｍ程度で、かつ結晶粒存在領域（Ｔｃｇ）がアモルファス酸化物半導体層１３の表面から２０ｎｍ以内のとき、オン電流（Ｉｏｎ）の向上が確認された。これに対し、結晶粒１３ｃｇの粒径が２０ｎｍを超えると、結晶粒１３ｃｇが柱状成長し始め、アモルファス酸化物半導体層１３の表面荒れが生じてコンタクト抵抗が増加することを確認した。

[0042] 以上の結果から、結晶粒１３ｃｇの粒径は１５ｎｍ以下であることが好ましい。また、結晶粒存在領域（Ｔｃｇ）は、アモルファス酸化物半導体層１３の表面から２０ｎｍ以内であることが好ましく、より好ましくは１０ｎｍ以内である。

[0043] このように、本実施の形態の薄膜トランジスタによれば、アモルファス酸化物半導体層１３とソース電極１４ｓおよびドレイン電極１４ｄとのコンタクト抵抗を低減することができる。これにより、オン電流（Ｉｏｎ）が向上し、電界効果移動度が向上することから、高性能な薄膜トランジスタを提供することが可能となる。これにより、例えば１３．５６ＭＨｚ帯で動作するＲＦＩＤタグ等が実現可能となる。

[0044] また、本実施の形態では、電子ビーム蒸着法で導電膜１４を堆積する際に、電子ビームの加速電圧を通常よりも高い値に設定するだけでアモルファス酸化物半導体層１３内に結晶粒１３ｃｇを形成するので、結晶粒１３ｃｇを形成するための特別の工程や装置は不要である。

[0045] （実施の形態２）

薄膜トランジスタは、以下のような方法によって製造することもできる。まず、図１２に示すように、絶縁性の基板１０の上面にゲート電極１１、ゲート絶縁膜１２およびアモルファス酸化物半導体層１３をこの順に形成する。ここまでの工程は、前記実施の形態１の図１～図４に示した工程と同一である。

[0046] 次に、図１３に示すように、アモルファス酸化物半導体層１３の上部に導電膜１４を堆積する。導電膜１４としては、前述したゲート電極１１を構成

する各種導電膜を例示することができる。本実施の形態では、スパッタリング装置を用い、基板１０と導電膜材料（ターゲット）との間に印加する電圧を通常よりも高い値に設定して導電膜（ＡＩ膜）１４を堆積する。

[0047] このようにすると、加速されたイオンや電子が通常よりも高速でターゲットに衝突し、ターゲット粒子がアモルファス酸化物半導体層１３の表面に高エネルギーで衝突する結果、アモルファス酸化物半導体層１３を構成する酸化物の一部がそのエネルギーによって結晶化され、結晶粒１３ｃｇが生成する。また、本実施の形態では、アモルファス酸化物半導体層１３のチャネル層領域（ゲート電極１１の上方の領域）をバリア層１５（図５参照）で覆わないので、チャネル層領域の表面近傍にも結晶粒１３ｃｇが形成される。

[0048] スパッタリング法を用いて導電膜１４を堆積する際は、スパッタリング装置のチャンバ内にアシストイオン（例えばAr^+）を添加し、このアシストイオンを高速でアモルファス酸化物半導体層１３の表面に衝突させることによって、結晶粒１３ｃｇを形成することもできる。また、電子ビーム蒸着法（実施の形態１）やスパッタリング法（実施の形態２）で導電膜１４を堆積する工程に先立ち、アモルファス酸化物半導体層１３の表面に高エネルギーのレーザビームを照射することによって、結晶粒１３ｃｇを形成することもできる。

[0049] 前記実施の形態１と同様、結晶粒１３ｃｇの粒径は１５ｎｍ以下であることが好ましい。また、結晶粒存在領域（Ｔｃｇ）は、酸化物半導体層１３の表面から２０ｎｍ以内であることが好ましく、より好ましくは１０ｎｍ以内である。

[0050] 次に、図１４に示すように、フォトレジスト膜１６をマスクに用いたドライエッチングでゲート電極１１の上方の導電膜１４を除去することにより、ソース電極１４ｓおよびドレイン電極１４ｄを形成する。このとき、本実施の形態では、導電膜１４の除去に続いてその下部のアモルファス酸化物半導体層１３をオーバーエッチングすることにより、チャネル層領域の表面近傍に形成された結晶粒１３ｃｇを除去する。

[0051] ここまでの工程により、本実施の形態のボトムゲート／トップコンタクト型薄膜トランジスタが完成する。この薄膜トランジスタのチャネル長は０．１ｍｍであり、チャネル幅は２ｍｍである。

[0052] 次に、基板１０と導電膜材料（ターゲット）との間に印加する電圧を通常通りに設定して導電膜（ＡＩ膜）１４を堆積した薄膜トランジスタを作製し、オン電流（Ｉｏｎ）を比較したところ、本実施の形態の薄膜トランジスタは、比較例の薄膜トランジスタに比べて２倍以上のオン電流（Ｉｏｎ）を示した。

[0053] また、本実施の形態の薄膜トランジスタにおけるドレイン電極１４ｄとアモルファス酸化物半導体層１３との界面近傍の断面ＴＥＭ写真を観察したところ、ドレイン電極１４ｄとの界面から深さ１０ｎｍ以内の結晶粒存在領域（Ｔｃｇ）に結晶粒１３ｃｇが一列に並んで存在していることが確認できた。また、結晶粒１３ｃｇが形成された領域以外の領域は、アモルファス状態であることも同時に確認した。一方、上記比較例の薄膜トランジスタの断面ＴＥＭ写真からは、結晶粒１３ｃｇの存在を確認することができなかった。

[0054] 上記結晶粒１３ｃｇのＴＥＭ像からＦＦＴ回折によって結晶構造を調べたところ、選択したアモルファス酸化物半導体層１３の構成元素により異なるが、$ZnSnO_3$およびIn_2O_3を主成分とし、一部の構成元素が他の構成元素で置換された結晶構造を有していることが確認された。このように、結晶粒１３ｃｇの構成元素は、アモルファス酸化物半導体層１３の構成元素と同一である場合だけでなく、アモルファス酸化物半導体層１３の構成元素の少なくとも一部である場合もある。

[0055] 本実施の形態によれば、前記実施の形態１と同様、高性能な薄膜トランジスタを提供することが可能となる。また、本実施の形態では、アモルファス酸化物半導体層１３のチャネル層領域の上部にバリア層１５を形成する工程が不要となるので、より少ない工程で高性能な薄膜トランジスタを製造することができる。

[0056] 本実施の形態の製造方法では、ソース、ドレイン電極用の導電膜１４をド

ライエッチングでパターニングする際、導電膜１４の下部のアモルファス酸化物半導体層１３をオーバーエッチングし、チャネル層領域の表面近傍の結晶粒１３ｃｇを除去した。しかし、このとき、アモルファス酸化物半導体層１３のオーバーエッチング量が変動すると、チャネル層の膜厚にばらつきが生じるため、薄膜トランジスタの特性もばらつく可能性がある。

[0057] 上記の問題を防ぐ対策としては、図１５に示すように、アモルファス酸化物半導体層１３を第１酸化物半導体層１３Ａと第２酸化物半導体層１３Ｂの積層構造とし、下層の第１酸化物半導体層１３Ａは、例えばＩｎやＳｎのように、ｓ軌道の電子をキャリアとして使用できる元素の酸化物で構成する。さらに、オーバーエッチングされる上層の第２酸化物半導体層１３Ｂは、下層の第１酸化物半導体層１３Ａを構成する酸化物よりも酸素濃度を高くした高抵抗の酸化物で構成することが考えられる。具体的な例を挙げると、下層の第１酸化物半導体層１３ＡをＳｎＯｘで構成し、上層の第２酸化物半導体層１３ＢをＺｎＳｎＯｘで構成する。

[0058] このようにすると、上層の第２酸化物半導体層１３Ｂよりも電気抵抗の小さい下層の第１酸化物半導体層１３Ａが実質的にチャネル層として機能するので、上層の第２酸化物半導体層１３Ｂのオーバーエッチング量が変動しても、薄膜トランジスタの特性のばらつきを抑制することができる。

[0059] （実施の形態３）

図１６は、本実施の形態の薄膜トランジスタを示す断面図である。本実施の形態の薄膜トランジスタの特徴は、ソース電極１４ｓおよびドレイン電極１４ｄとの界面近傍だけでなく、アモルファス酸化物半導体層１３のチャネル層にも結晶粒１３ｃｇを形成したことにある。

[0060] 本実施の形態の薄膜トランジスタの製造方法は、前述した実施の形態２の製造方法とほぼ同じであり、ソース、ドレイン電極用の導電膜１４をドライエッチングでパターニングする際、導電膜１４の下部のアモルファス酸化物半導体層１３をオーバーエッチングしない点のみが異なっている。

[0061] 本実施の形態の薄膜トランジスタにおけるドレイン電極１４ｄとアモルフ

ァス酸化物半導体層１３との界面近傍の断面ＴＥＭ写真を観察したところ、ドレイン電極１４ｄとの界面から深さ１０ｎｍ以内の結晶粒存在領域（Ｔｃｇ）に結晶粒１３ｃｇが一列に並んで存在していることが確認できた。

[0062] 図１７は、本実施の形態の薄膜トランジスタのしきいゲート電圧（Ｖｇ）とドレイン電流（Ｉｄ）との関係を示すグラフである。ここで、実線Ｃは、アモルファス酸化物半導体層１３の膜厚（ｔｃｈ）を１０ｎｍ以下（ここでは６ｎｍ）にしたときのものであり、破線Ｄは、アモルファス酸化物半導体層１３の膜厚（ｔｃｈ）を１０ｎｍより厚くしたときのものである。

[0063] アモルファス酸化物半導体層１３の膜厚（ｔｃｈ）を１０ｎｍ以下にした場合は、良好なオン電流（Ｉｏｎ）値を示し、アモルファス酸化物半導体層１３内に結晶粒１３ｃｇを形成しない従来の薄膜トランジスタに比べて２倍以上のオン電流（Ｉｏｎ）を示した。また、この薄膜トランジスタのチャネル層近傍の断面ＴＥＭ写真を観察したところ、粒径５ｎｍ以下の結晶粒１３ｃｇが確認できた。他方、アモルファス酸化物半導体層１３の膜厚（ｔｃｈ）を１０ｎｍより厚くした場合は、ゲート電圧を－５０Ｖにしてもオフすることができず、導電膜のような振る舞いを示した。

[0064] 以上のことから、アモルファス酸化物半導体層１３の膜厚（ｔｃｈ）を１０ｎｍ以下にした薄膜トランジスタでは、チャネル層に結晶粒１３ｃｇが形成されている場合でも、オン電流（Ｉｏｎ）が向上し、電界効果移動度が向上することが分かる。

[0065] （実施の形態４）

図１８は、本発明の薄膜トランジスタを使用してアンテナ共振回路２１、整流器２２、変調器２３、デジタル回路２４などを構成したＲＦＩＤタグ２０の概略構成を示している。

[0066] ＲＦＩＤタグ２０は、例えば１３．５６ＭＨｚの高周波を使って外部のリーダ／ライタ２５と無線で通信を行うことができるようになっている。また、薄膜トランジスタのチャネル層を構成する酸化物半導体層は、透明材料であることから、ＩＣチップ内にほとんど透明な回路を形成することができる

。

[0067] 例えば、ＩＣチップの電極および配線をＩＴＯなどの透明導電膜で構成し、回路素子を本発明の薄膜トランジスタで構成することにより、例えば１３．５６ＭＨｚの高周波（ＲＦ）で送受信を行う透明な無線ＩＣタグを作製することができる。このような無線ＩＣタグは、従来のＲＦＩＤタグとは異なり、ＩＣチップやアンテナがほぼ透明であることから、フィルムやカードに取り付けた場合、フィルムやカードにあらかじめ印刷された意匠を損なうことがない。

[0068] （実施の形態５）

図１９は、本発明の薄膜トランジスタを使用した半導体装置のアレイ構成の一例を示す回路ブロック図である。本実施の形態の半導体装置は、本発明の薄膜トランジスタを含む素子を基板３０上にアレイ状に配置した構成になっている。上記薄膜トランジスタをアレイ内の各素子のスイッチングトランジスタや駆動用トランジスタに用いることはもちろん、この薄膜トランジスタのゲート電極（１１）と接続されるゲート配線３１に信号を送るゲート線駆動回路３２や、この薄膜トランジスタのソース電極およびドレイン電極と接続されるデータ配線３３に信号を送るデータ線駆動回路３４を構成するトランジスタに用いてもよい。この場合、各素子の薄膜トランジスタとゲート線駆動回路３２あるいはデータ線駆動回路３４内の薄膜トランジスタを並行して形成することができる。

[0069] アクティブマトリクス型液晶表示装置に上述したアレイを適用する場合、各素子は、例えば、図２０に示すような構成になる。図中のｘ方向に延在するゲート配線３１に走査信号が供給されると、薄膜トランジスタ３５がオンし、このオンされた薄膜トランジスタ３５を通して、図中のｙ方向に延在するデータ配線３３からの映像信号が画素電極３６に供給される。

[0070] なお、ゲート配線３１は、図中のｙ方向に並設され、データ配線３３は、図中のｘ方向に並設され、隣接する一対のゲート配線３１と隣接する一対のデータ配線３３とで囲まれた領域（画素領域）に画素電極３６が配置されて

いる。この場合、例えば、データ配線３３がソース電極と電気的に接続され、画素電極３６がドレイン電極と電気的に接続される。あるいは、データ配線３３がソース電極を兼ねてもよい。また、液晶表示装置に限らず、有機ＥＬ表示装置などに上述したアレイを適用してもよい。この場合、画素回路を構成するトランジスタに薄膜トランジスタを適用する。さらには、上述したアレイを記憶素子に適用し、選択トランジスタに薄膜トランジスタを適用してもよい。

[0071] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0072] 本発明は、酸化物半導体材料をチャネル層に用いた薄膜トランジスタを有する半導体装置に適用することができる。

符号の説明

[0073] １０　基板

１１　ゲート電極

１２　ゲート絶縁膜

１３　アモルファス酸化物半導体層

１３Ａ　第１酸化物半導体層

１３Ｂ　第２酸化物半導体層

１３ｃｇ　結晶粒

１４　導電膜

１４ｄ　ドレイン電極

１４ｓ　ソース電極

１５　バリア層

１６　フォトレジスト膜

２０　ＲＦＩＤタグ

２１　アンテナ共振回路

２２　整流器

２３　変調器

２４　デジタル回路

２５　リーダ／ライタ

３０　基板

３１　ゲート配線

３２　ゲート線駆動回路

３３　データ配線

３４　データ線駆動回路

３５　薄膜トランジスタ

３６　画素電極

請求の範囲

[請求項1] 基板の上面に、ゲート電極、ゲート絶縁膜、チャネル層を構成するアモルファス酸化物半導体層、ソース、ドレイン電極がこの順に積層されてなる薄膜トランジスタを備え、

前記ソース、ドレイン電極との界面近傍の前記アモルファス酸化物半導体層内に、前記アモルファス酸化物半導体層の構成元素を含む結晶粒を有することを特徴とする酸化物半導体装置。

[請求項2] 前記アモルファス酸化物半導体層は、Ｉｎ、Ｚｎ、Ｃｄ、Ａｌ、Ｇａ、Ｓｉ、Ｓｎ、Ｃｅ、Ｇｅ、Ｈｆのうち、いずれか一種以上の元素が酸素と結合した酸化物からなることを特徴とする請求項１記載の酸化物半導体装置。

[請求項3] 前記アモルファス酸化物半導体層の膜厚は、２５ｎｍ以上であり、前記結晶粒は、前記アモルファス酸化物半導体層の表面から深さ２０ｎｍまでの領域内に存在することを特徴とする請求項１記載の酸化物半導体装置。

[請求項4] 前記結晶粒の粒径は、１５ｎｍ以下であることを特徴とする請求項３記載の酸化物半導体装置。

[請求項5] 前記アモルファス酸化物半導体層の膜厚は、１０ｎｍ以下であり、前記結晶粒は、前記アモルファス酸化物半導体層のチャネル層にも存在することを特徴とする請求項１記載の酸化物半導体装置。

[請求項6] 前記アモルファス酸化物半導体層は、第１酸化物からなる第１アモルファス酸化物半導体層と、前記第１アモルファス酸化物半導体層の上部に形成され、前記第１酸化物よりも酸素濃度の低い第２酸化物からなる第２アモルファス酸化物半導体層との積層構造を有することを特徴とする請求項１記載の酸化物半導体装置。

[請求項7] 酸化物半導体材料をチャネル層に用いた薄膜トランジスタを有する酸化物半導体装置の製造方法であって、

（ａ）基板の上面にゲート電極を形成する工程と、

（ｂ）前記ゲート電極の上部にゲート絶縁膜を形成する工程と、

（ｃ）前記ゲート絶縁膜の上部にアモルファス酸化物半導体層を形成する工程と、

（ｄ）前記アモルファス酸化物半導体層のチャネル層領域の上部にバリア層を形成する工程と、

（ｅ）前記アモルファス酸化物半導体層および前記バリア層の上部に導電膜を形成する工程と、

（ｆ）前記チャネル層領域の上方の前記導電膜を除去することにより、前記チャネル層領域の両側の前記アモルファス酸化物半導体層上に前記導電膜からなるソース、ドレイン電極を形成する工程と、

を有し、

前記（ｅ）工程で前記導電膜を堆積する際、前記アモルファス酸化物半導体層に入射する加速粒子のエネルギーを利用し、前記ソース、ドレイン電極との界面近傍の前記アモルファス酸化物半導体層内に、前記アモルファス酸化物半導体層の構成元素を含む結晶粒を形成することを特徴とする酸化物半導体装置の製造方法。

［請求項8］ 酸化物半導体材料をチャネル層に用いた薄膜トランジスタを有する酸化物半導体装置の製造方法であって、

（ａ）基板の上面にゲート電極を形成する工程と、

（ｂ）前記ゲート電極の上部にゲート絶縁膜を形成する工程と、

（ｃ）前記ゲート絶縁膜の上部にアモルファス酸化物半導体層を形成する工程と、

（ｄ）前記アモルファス酸化物半導体層の上部に導電膜を形成する工程と、

（ｅ）前記ゲート電極の上方の前記導電膜をエッチングで除去することにより、チャネル層領域の両側の前記アモルファス酸化物半導体層上に前記導電膜からなるソース、ドレイン電極を形成する工程と、

を有し、

前記（ｄ）工程で前記導電膜を堆積する際、前記アモルファス酸化物半導体層に入射する加速粒子のエネルギーを利用し、前記ソース、ドレイン電極との界面近傍の前記アモルファス酸化物半導体層内に、前記アモルファス酸化物半導体層の構成元素を含む結晶粒を形成し、

前記（ｅ）工程で前記導電膜をエッチングする際、前記アモルファス酸化物半導体層の表面近傍をオーバーエッチングすることにより、前記チャネル層領域に形成された前記結晶粒を除去することを特徴とする酸化物半導体装置の製造方法。

[請求項9] 前記アモルファス酸化物半導体層は、Ｉｎ、Ｚｎ、Ｃｄ、ＡＩ、Ｇａ、Ｓｉ、Ｓｎ、Ｃｅ、Ｇｅ、Ｈｆのうち、いずれか一種以上の元素が酸素と結合した酸化物からなることを特徴とする請求項７記載の酸化物半導体装置の製造方法。

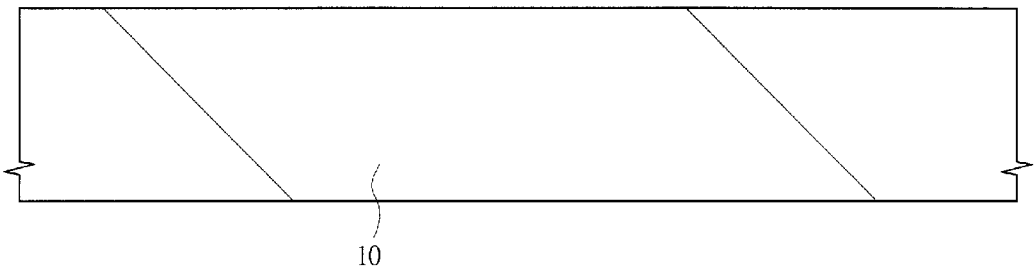
[請求項10] 前記導電膜は、電子ビーム蒸着法またはスパッタリング法により堆積することを特徴とする請求項７記載の酸化物半導体装置の製造方法。

[請求項11] 前記アモルファス酸化物半導体層の膜厚は、２５ｎｍ以上であり、前記結晶粒は、前記アモルファス酸化物半導体層の表面から深さ２０ｎｍまでの領域内に存在することを特徴とする請求項７記載の酸化物半導体装置の製造方法。

[請求項12] 前記結晶粒の粒径は、１５ｎｍ以下であることを特徴とする請求項７記載の酸化物半導体装置の製造方法。

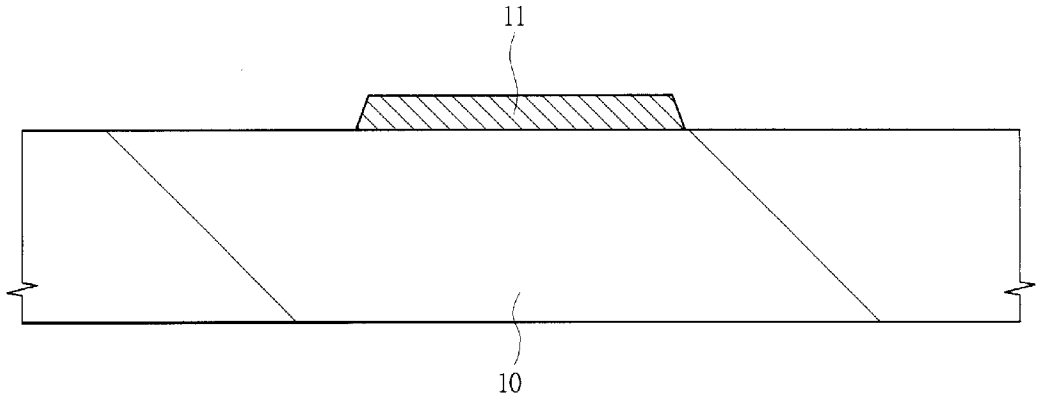
[図1]

図 1



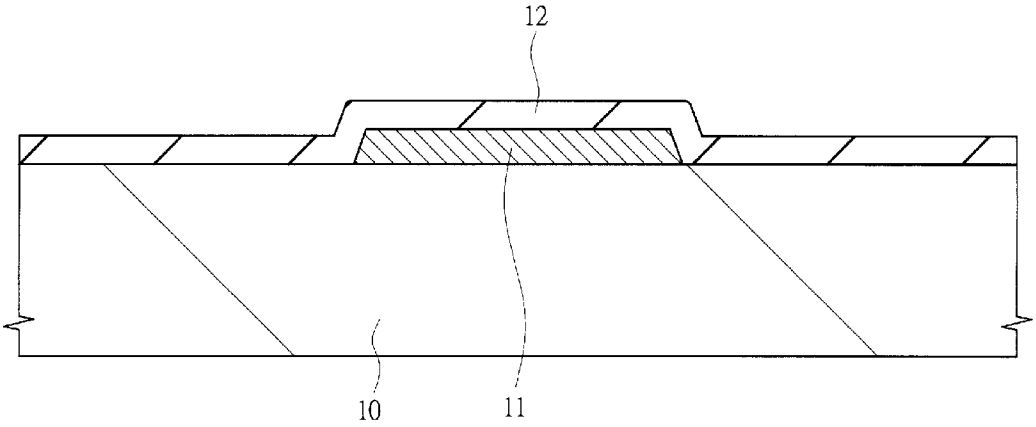
[図2]

図 2



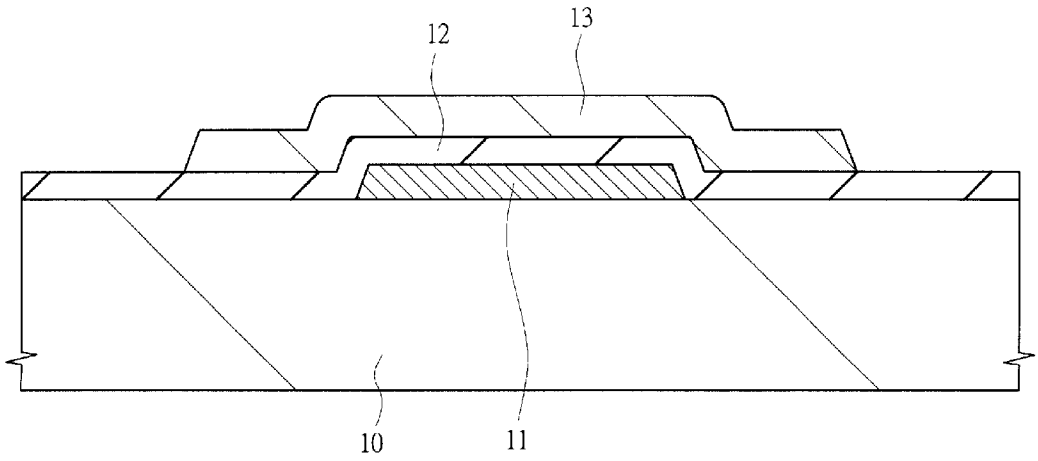
[図3]

図 3



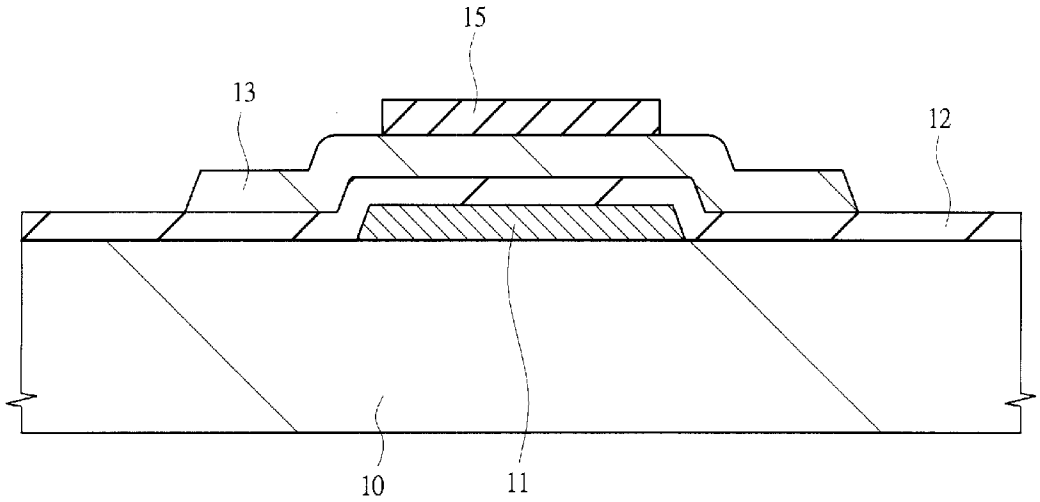
[図4]

図 4



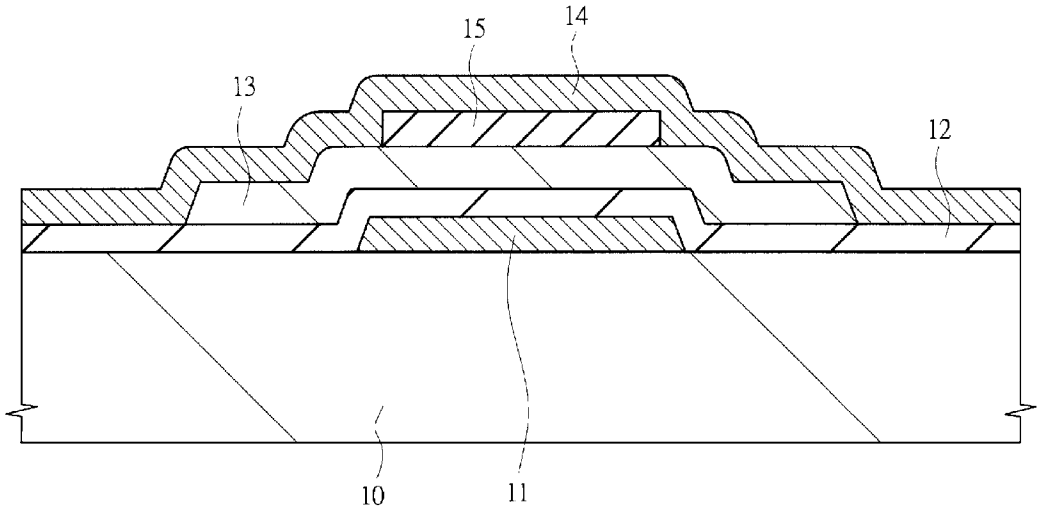
[図5]

図 5



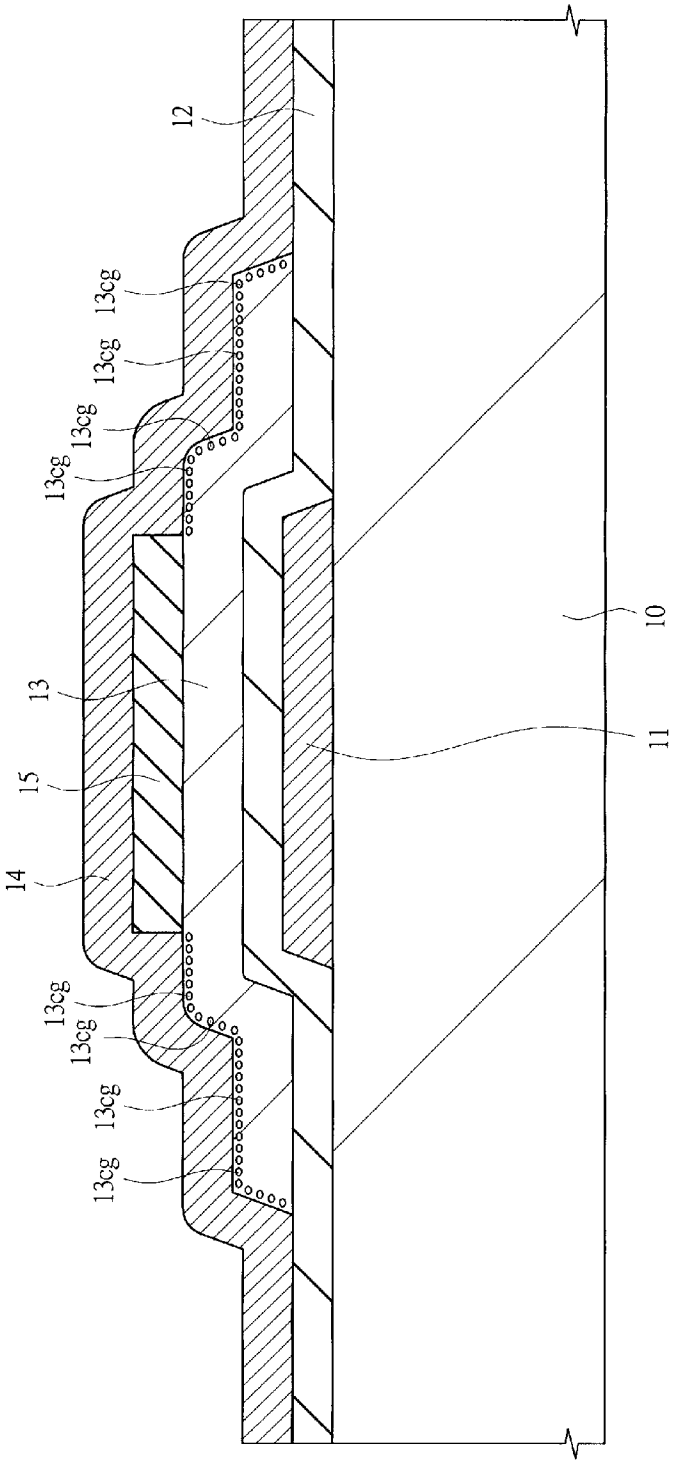
[図6]

図 6



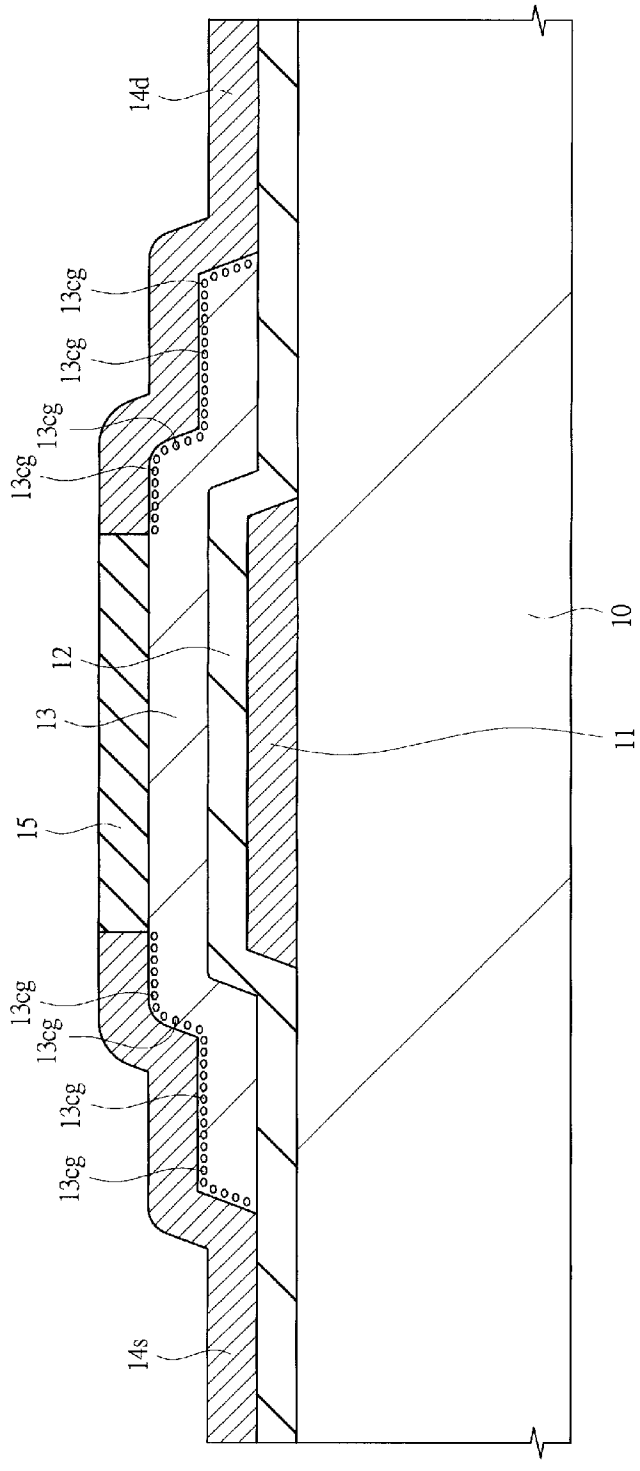
[図7]

図 7



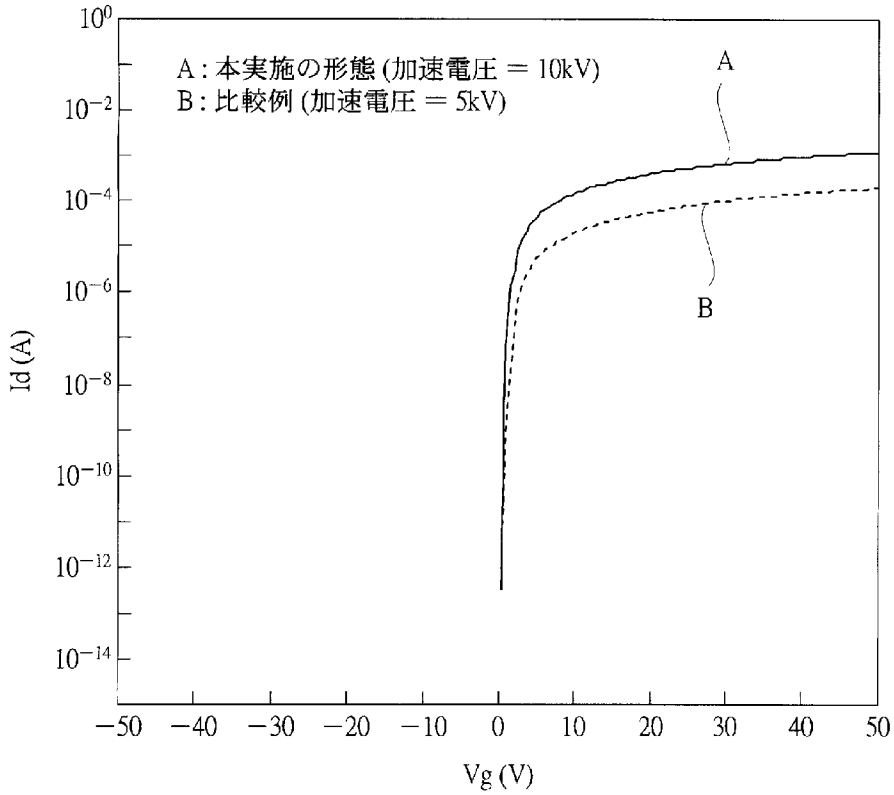
[図8]

図 8



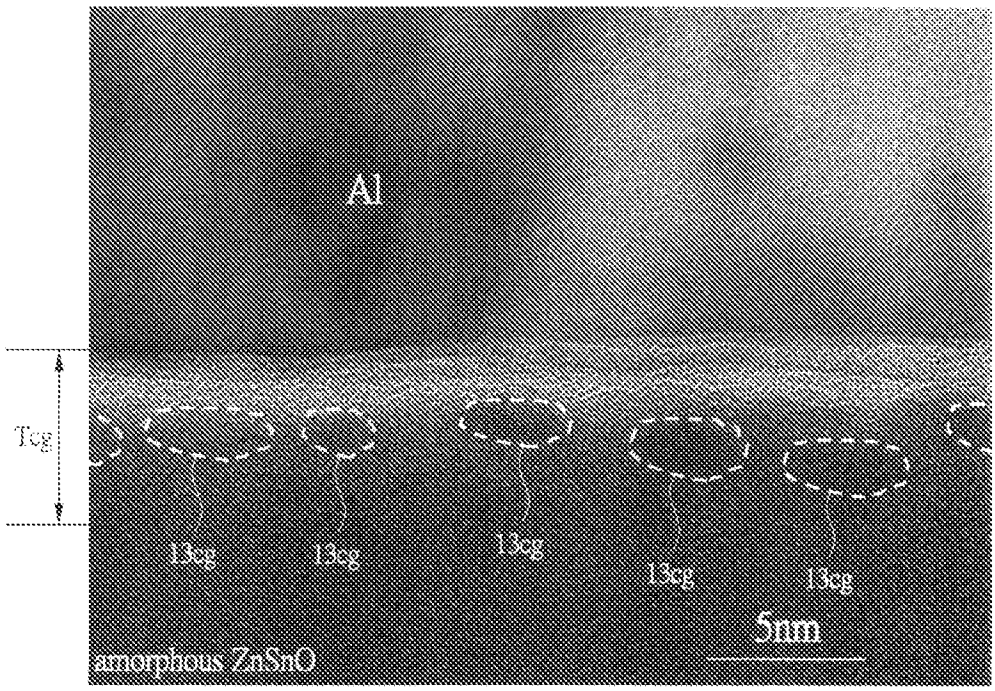
[図9]

図 9


A : 本実施の形態 (加速電圧 = 10kV)
B : 比較例 (加速電圧 = 5kV)
A
B
Id (A)
10^{0}
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
−50 −40 −30 −20 −10 0 10 20 30 40 50
Vg (V)

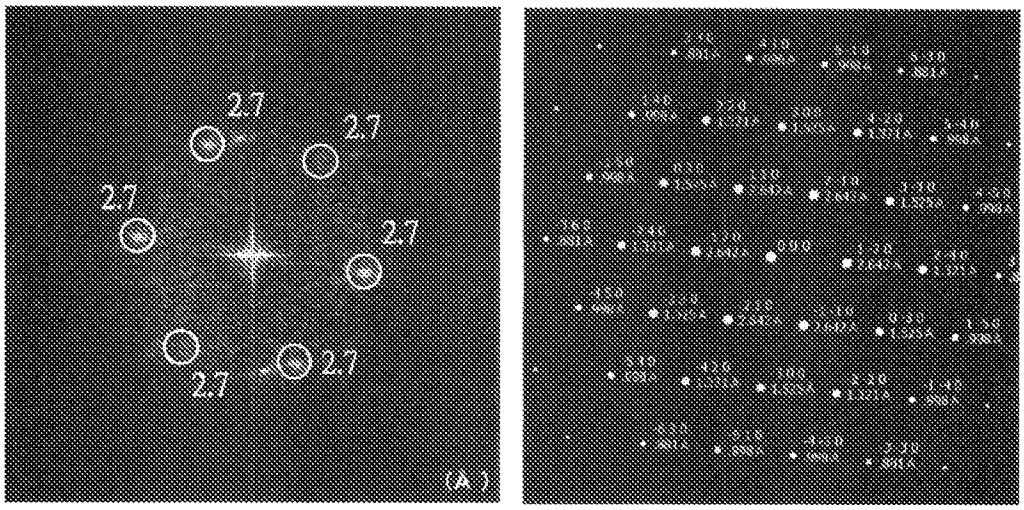
[図10]

図 10



[図11]

図 11



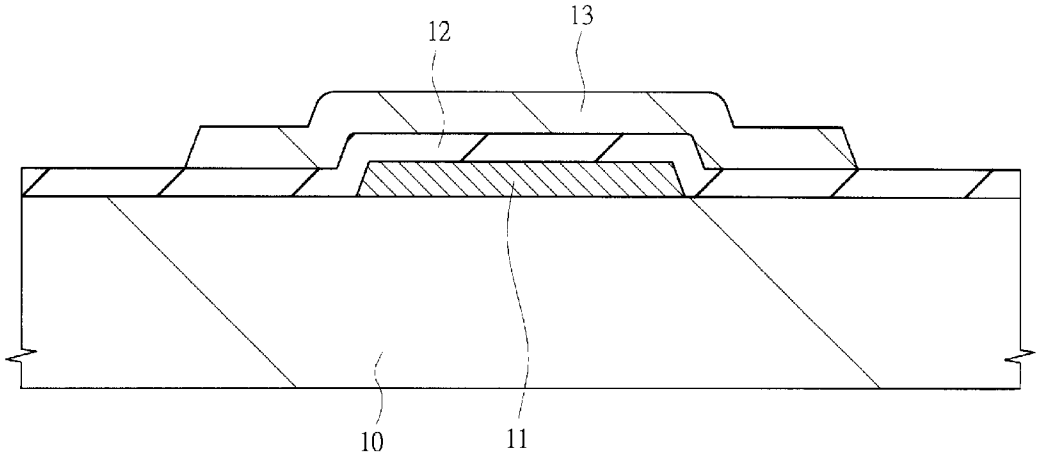
FFT Diffraction

$ZnSnO_3$ [001]

Card No.01-089-0095
Rhombohedral S.G.:R-3 (148)
a = 5.2835Å c = 14.0913Å

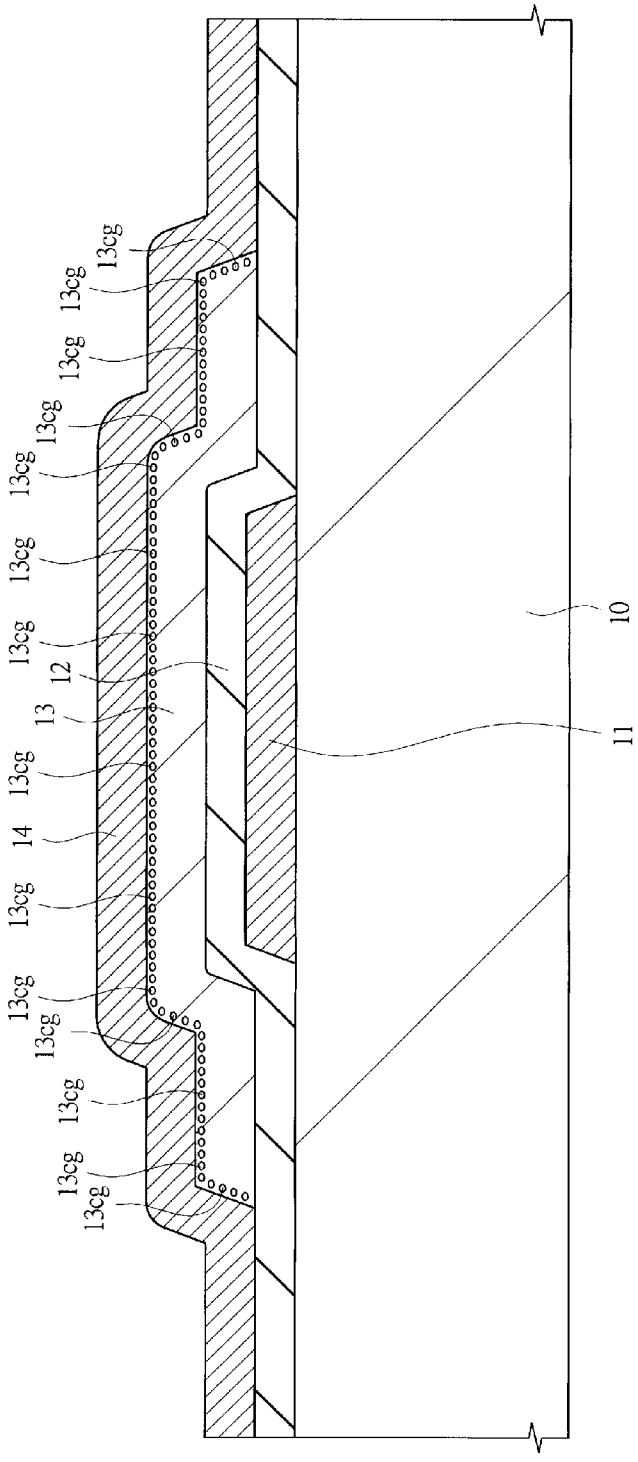
[図12]

図 12



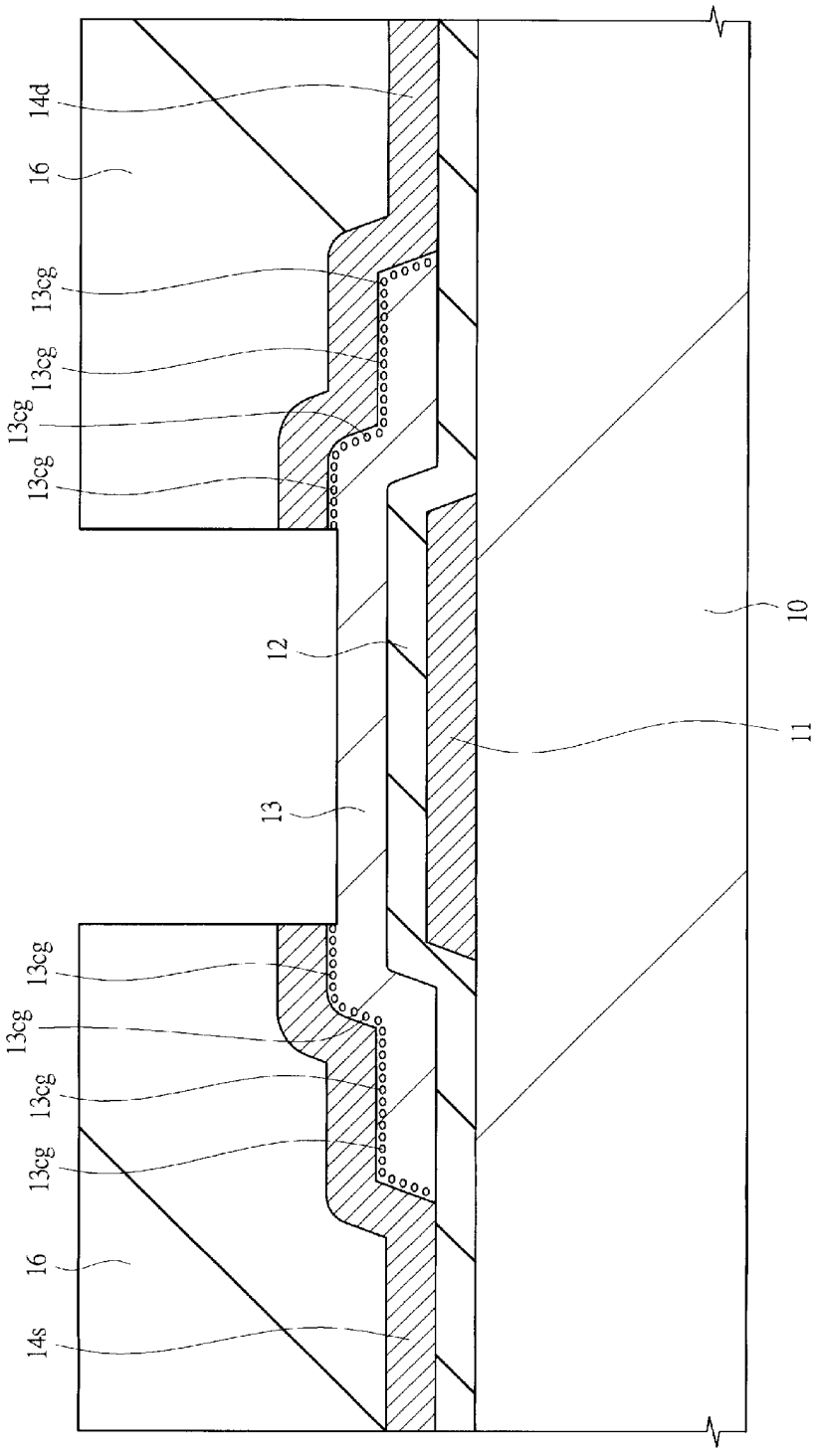
[図13]

図 13


13cg
13cg
13cg
13cg
13cg
13cg
13cg
12
13
13cg
14
13cg
13cg
13cg
13cg
13cg
10
11

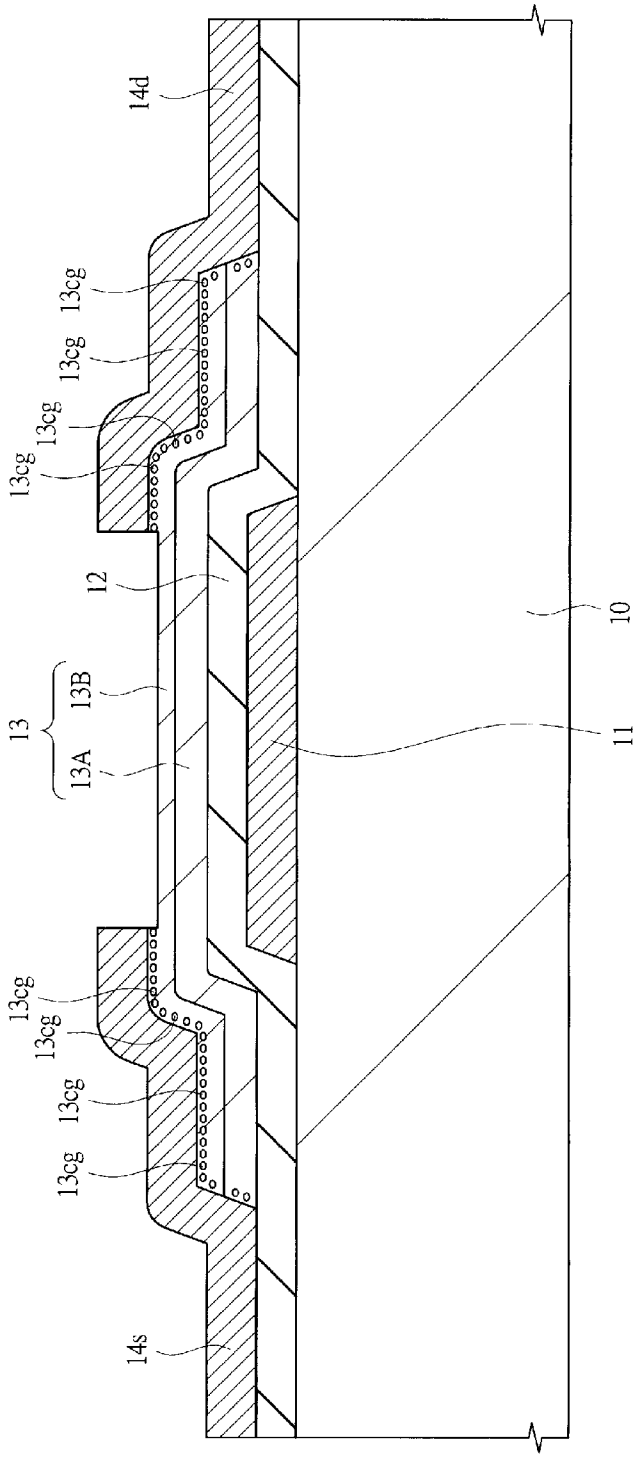
[図14]

図 14


14d
16
13cg
13cg
13cg
13cg
12
13
10
11
13cg
13cg
13cg
13cg
16
14s

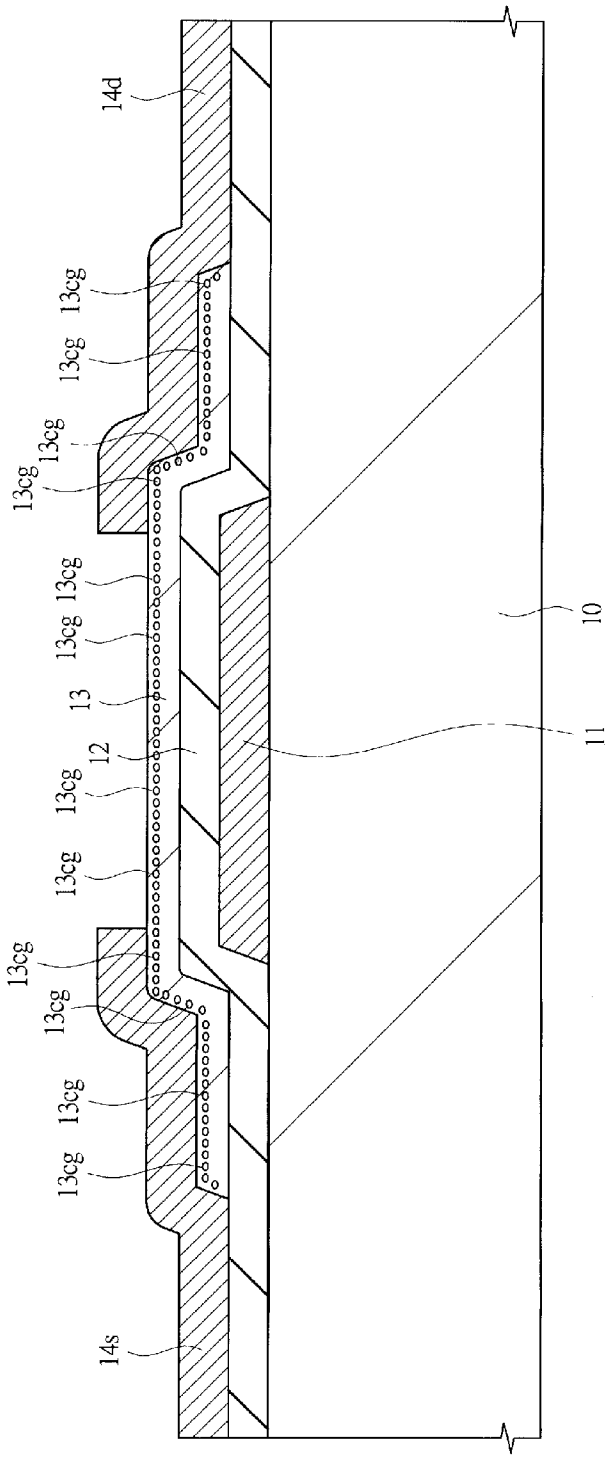
[図15]

図 15


14d
13cg
13cg
13cg
13cg
12
10
13
13B
13A
11
13cg
13cg
13cg
13cg
14s

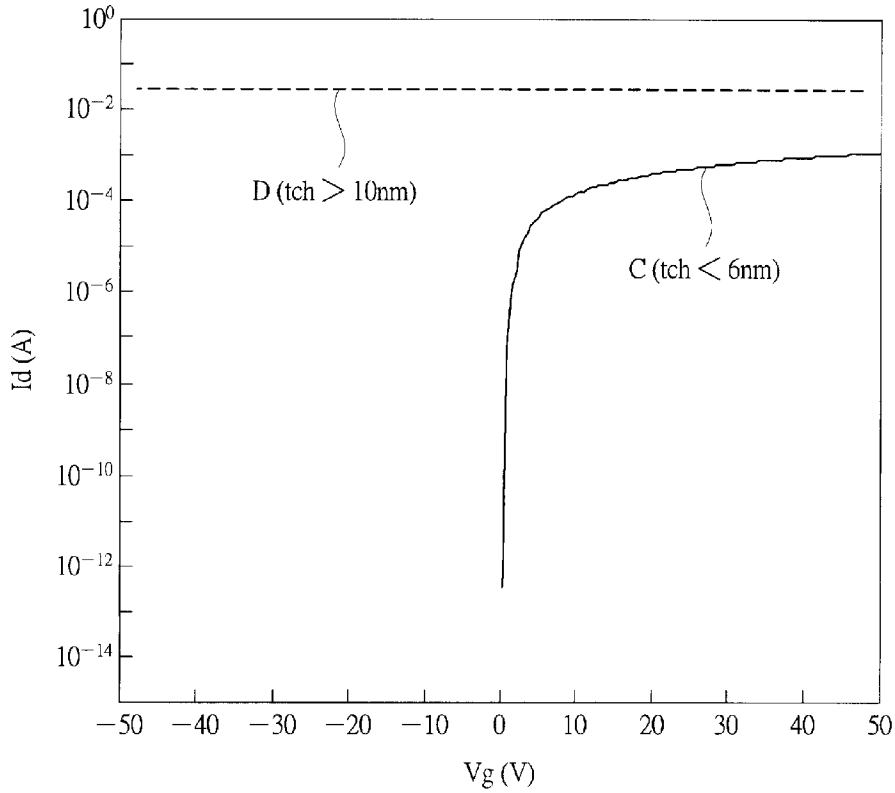
[図16]

図 16


14d
13cg
13cg
13cg
13cg
13cg
13cg
13cg
13
12
13cg
13cg
13cg
13cg
13cg
13cg
14s
10
11

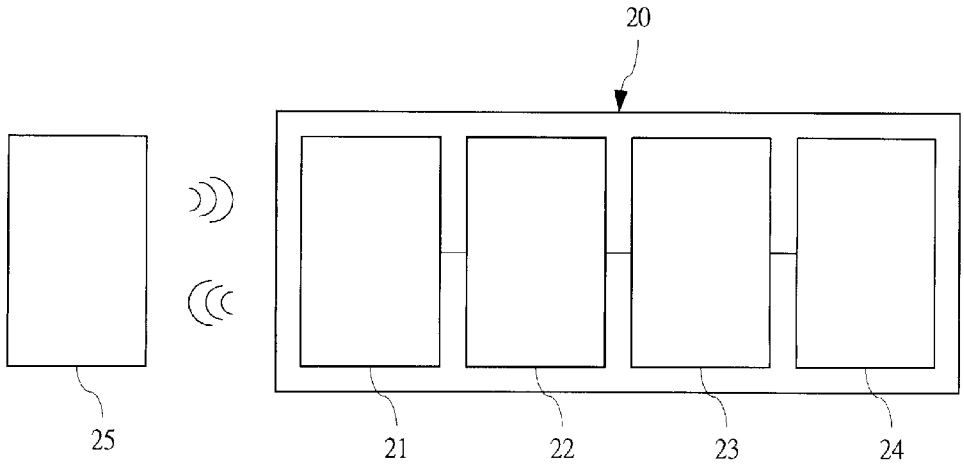
[図17]

図 17


10^{0}
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
Id (A)
D (tch > 10nm)
C (tch < 6nm)
−50 −40 −30 −20 −10 0 10 20 30 40 50
Vg (V)

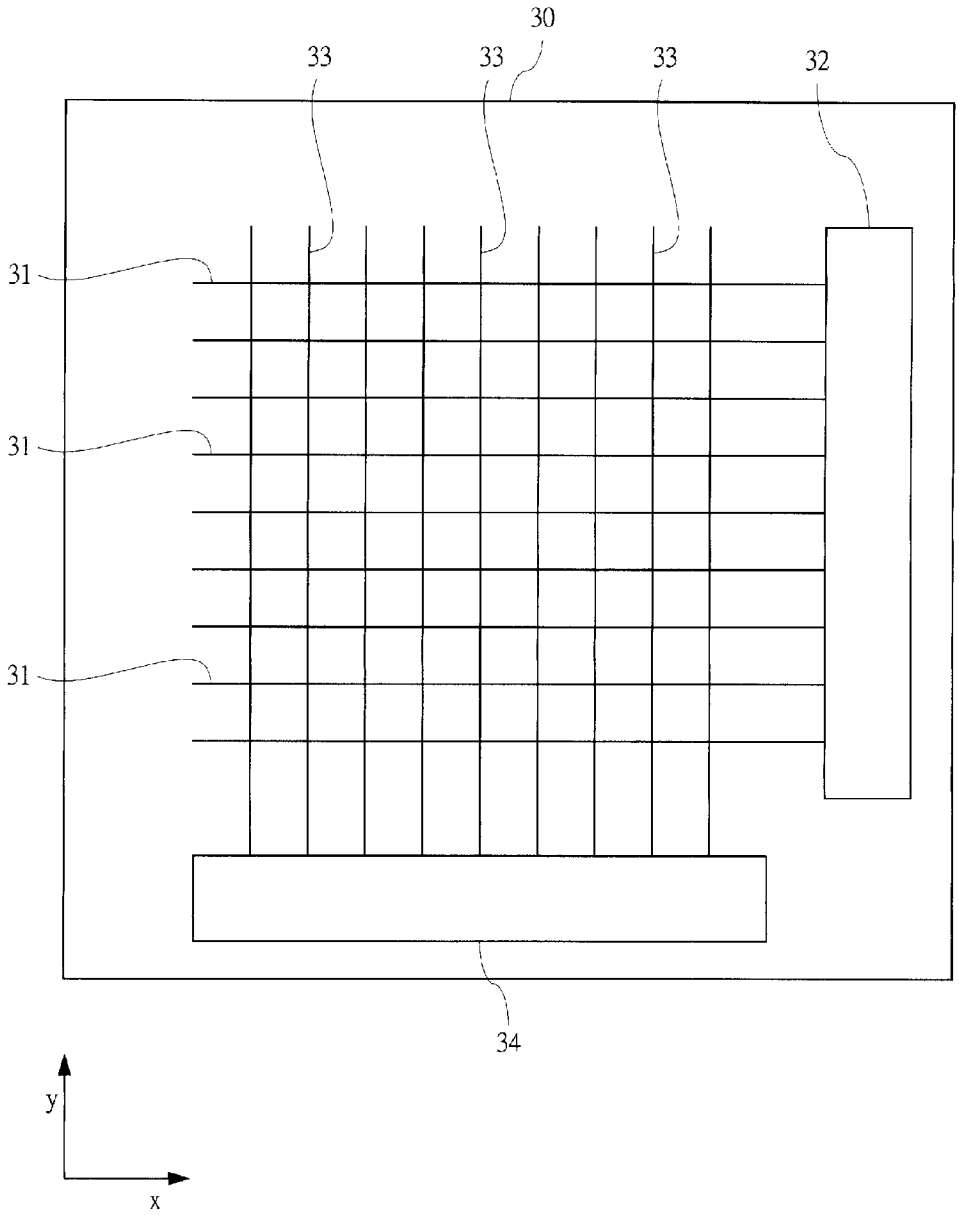
[図18]

図 18



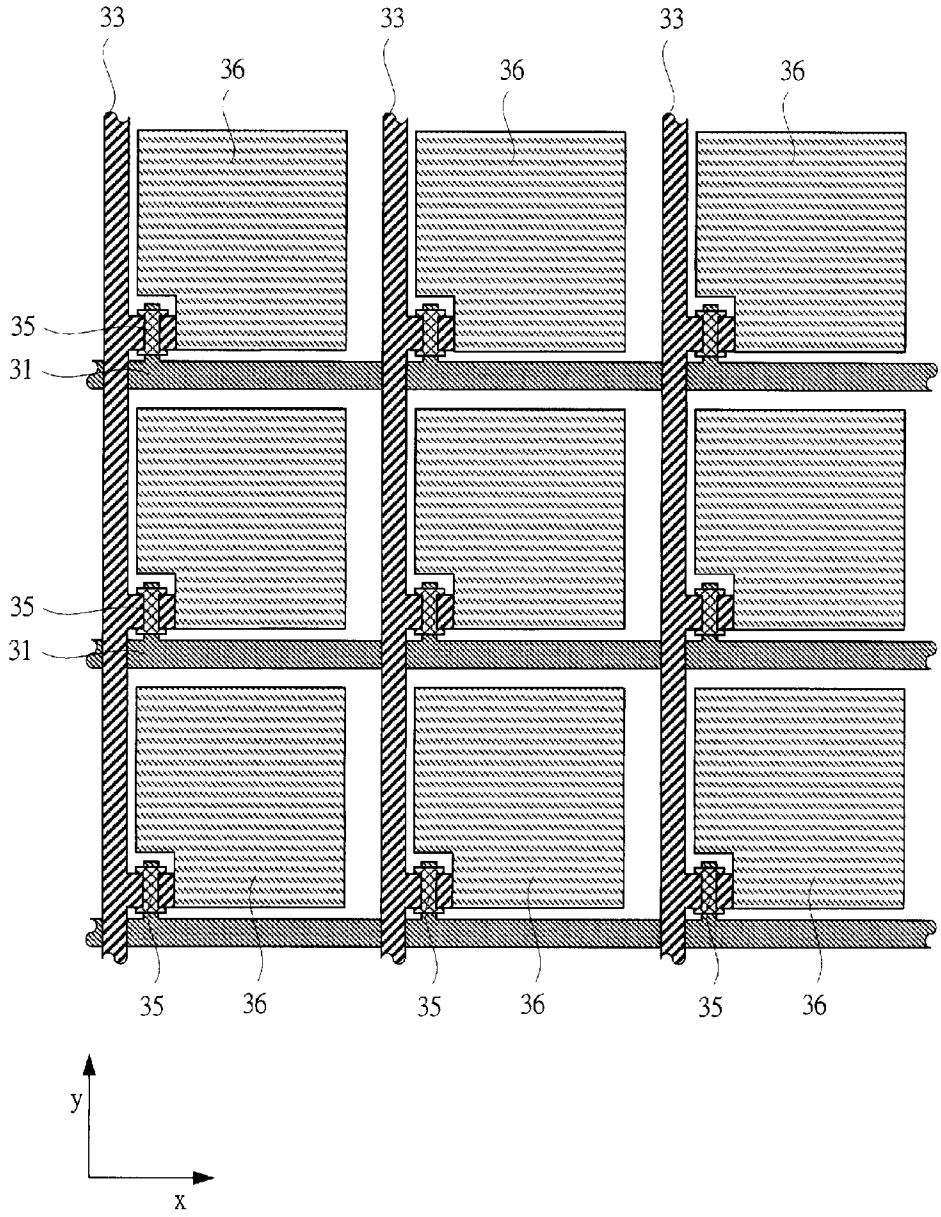
[図19]

図 19



[図20]

図 20



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/073879

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *H01L21/336*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-153828 A (Semiconductor Energy Laboratory Co., Ltd.), 08 July 2010 (08.07.2010), paragraphs [0043] to [0063], [0130] to [0182]; fig. 1, 9, 10 & US 2010/0301326 A1 & WO 2010/058746 A1	1-4,6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 January, 2012 (13.01.12)	24 January, 2012 (24.01.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/073879

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

It is considered that the inventions of claims 1-12 relate to "oxide semiconductor device" having a common matter which is relevant to the matter set forth in claim 1.

However, the search revealed that said oxide semiconductor device is disclosed in JP 2010-153828 A (Semiconductor Energy Laboratory Co., Ltd.), 8 July 2010 (08.07.2010), paragraphs [0043]-[0063], [0130]-[0182], fig. 1, 9 and 10, and therefore is not novel. As a result, since the above-said oxide semiconductor device does not make a contribution over the prior art, the common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence. (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-4, 6

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Consequently, the inventions of claims 1-12 have no technical relationship involving one or more of the same or corresponding special technical features, and therefore cannot be considered to be so linked as to form a single general inventive concept.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７３８７９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, H01L21/336(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2010-153828 A (株式会社半導体エネルギー研究所) 2010.07.08, 段落【0043】-【0063】, 【0130】-【0182】, 図 1, 9, 10 & US 2010/0301326 A1 & WO 2010/058746 A1	1 - 4, 6

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １３．０１．２０１２	国際調査報告の発送日 ２４．０１．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　３７７５ 三浦　尊裕 電話番号　０３－３５８１－１１０１　内線　３４６２

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７３８７９

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項１－１２に係る発明は、請求項１に記載された事項を共通する事項とする“酸化物半導体装置”と認められる。

しかしながら、調査の結果、この酸化物半導体装置は、JP 2010-153828 A（株式会社半導体エネルギー研究所）2010.07.08，段落【0043】-【0063】，【0130】-【0182】，図1，9，10に開示されたものであるから、新規でないことが明らかとなった。結果として、上記酸化物半導体装置は先行技術の域を出ないから、ＰＣＴ規則１３．２の第２文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求項１－１２に係る発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項１－４，６

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。