202335054

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202335054 A

(43)公開日： 中華民國 112 (2023) 年 09 月 01 日

(21)申請案號：111148538 (22)申請日： 中華民國 111 (2022) 年 12 月 16 日

(51)Int. Cl.： *H01L21/203 (2006.01)* *H01L21/302 (2006.01)*
*H01L21/324 (2006.01)* *H01L23/488 (2006.01)*

(30)優先權：2021/12/17 美國 63/291,285
2022/12/14 美國 18/066,159

(71)申請人：美商艾德亞半導體接合科技有限公司 (美國) ADEIA SEMICONDUCTOR BONDING TECHNOLOGIES INC. (US)
美國

(72)發明人：方騰二世 蓋烏斯 吉爾曼 FOUNTAIN, JR., GAIUS GILLMAN (US)；哈德遜 喬治 卡爾頓 HUDSON, GEORGE CARLTON (US)；姆洛奇克 帕爾維 MROZEK, PAWEL (US)；烏佐 賽普里恩 艾米卡 UZOH, CYPRIAN EMEKA (US)；提爾 傑瑞米 阿弗烈德 THEIL, JEREMY ALFRED (US)；高 桂蓮 GAO, GUILIAN (US)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：135 項 圖式數：6 共 59 頁

(54)名稱

具有用於直接接合的導電特徵的結構及形成其之方法

(57)摘要

本發明揭示用於直接接合之結構及方法。一接合結構可包括一第一元件及一第二元件。該第一元件可包括：一第一非導電結構，其具有一非導電接合表面；一空腔，其自該非導電接合表面至少部分地延伸通過該非導電結構之一厚度；及安置於該空腔中的一第一導電特徵，其具有一第一導電材料及該第一導電材料上方之一第二導電材料。第二導電材料在一線性側向維度上之一最大晶粒尺寸可小於該導電特徵之該線性側向維度的 20%。在該第二導電材料之晶界處可存在小於百萬分之 20(ppm)的雜質。

Structures and methods for direct bonding are disclosed. A bonded structure can include a first element and a second element. The first element can include a first non-conductive structure that has a non-conductive bonding surface, a cavity that extends at least partially through a thickness of the non-conductive structure from the non-conductive bonding surface, and a first conductive feature that has a first conductive material and a second conductive material over the first conductive material disposed in the cavity. A maximum grain size, in a linear lateral dimension, of the second conductive material can be smaller than 20% of the linear lateral dimension of the conductive feature. There can be less than 20 parts per million (ppm) of impurities at grain boundaries of the second conductive material.

指定代表圖：

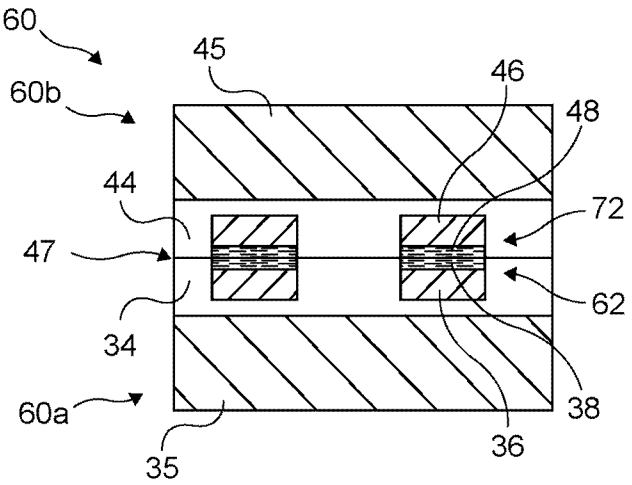



圖4F

符號簡單說明：

34:非導電結構/非導電材料/非導電特徵

35:裝置部分

36:第一導電材料

38:第二導電材料

44:非導電結構/非導電特徵

45:裝置部分

46:第三導電材料

47:接合界面

48:第四導電材料

60:接合結構

60a:第一元件

60b:第二元件

62:導電特徵

72:導電特徵

202333152
202333054
專利案號：111148538

# 【發明摘要】

【中文發明名稱】 具有用於直接接合的導電特徵的結構及形成其之方法

【英文發明名稱】 STRUCTURE WITH CONDUCTIVE FEATURE FOR DIRECT BONDING AND METHOD OF FORMING SAME

【中文】

本發明揭示用於直接接合之結構及方法。一接合結構可包括一第一元件及一第二元件。該第一元件可包括：一第一非導電結構，其具有一非導電接合表面；一空腔，其自該非導電接合表面至少部分地延伸通過該非導電結構之一厚度；及安置於該空腔中的一第一導電特徵，其具有一第一導電材料及該第一導電材料上方之一第二導電材料。第二導電材料在一線性側向維度上之一最大晶粒尺寸可小於該導電特徵之該線性側向維度的20%。在該第二導電材料之晶界處可存在小於百萬分之20(ppm)的雜質。

【英文】

Structures and methods for direct bonding are disclosed. A bonded structure can include a first element and a second element. The first element can include a first non-conductive structure that has a non-conductive bonding surface, a cavity that extends at least partially through a thickness of the non-conductive structure from the non-conductive bonding surface, and a first conductive feature that has a first conductive material and a second conductive material over the first conductive material disposed in the cavity. A maximum grain size, in a linear lateral dimension, of the second conductive material can be smaller than 20% of the linear lateral

dimension of the conductive feature. There can be less than 20 parts per million (ppm) of impurities at grain boundaries of the second conductive material.

【指定代表圖】　　圖4F

【代表圖之符號簡單說明】

34:非導電結構/非導電材料/非導電特徵

35:裝置部分

36:第一導電材料

38:第二導電材料

44:非導電結構/非導電特徵

45:裝置部分

46:第三導電材料

47:接合界面

48:第四導電材料

60:接合結構

60a:第一元件

60b:第二元件

62:導電特徵

72:導電特徵

【特徵化學式】

無

# 【發明說明書】

【中文發明名稱】 具有用於直接接合的導電特徵的結構及形成其之方法

【英文發明名稱】 STRUCTURE WITH CONDUCTIVE FEATURE FOR DIRECT BONDING AND METHOD OF FORMING SAME

【技術領域】

【0001】 本領域係關於用於直接接合之結構及方法，且尤其係關於導電特徵及非導電特徵兩者之混合直接接合。

相關申請案之交叉參考

【0002】 本申請案主張2021年12月17日申請之標題為「具有用於直接接合的導電特徵的結構及形成其之方法（STRUCTURE WITH CONDUCTIVE FEATURE FOR DIRECT BONDING AND METHOD OF FORMING SAME）」的美國臨時專利申請案第63/291,285號之優先權，該申請案之全部內容特此係以引用方式併入本文中。

【先前技術】

【0003】 半導體元件，諸如積體裝置晶粒或晶片，可安裝或堆疊於其他元件上。舉例而言，半導體元件可安裝至載體，諸如中介層、經重構晶圓或元件等。作為另一實例，半導體元件可堆疊於另一半導體元件之頂部上，例如，第一積體裝置晶粒可堆疊於第二積體裝置晶粒上。半導體元件中之各者可具有用於將半導體元件機械地及電接合至彼此之導電襯墊。

【0004】 在無諸如焊料之介入黏著劑的情況下將元件直接接合在一起有許多優點。然而，導電特徵與非導電場區兩者之直接混合接合可具有挑戰性。

因此，持續需要用於形成用於直接接合之導電特徵（諸如導電襯墊）的改良方法。

【發明內容】

【0005】 本發明描述形成在接合表面處或附近具有較小晶粒且在所述較小晶粒下方具有較大晶粒的導電特徵的方法。具有不同大小之晶粒的此類導電特徵可有利於直接金屬接合，諸如直接混合接合。舉例而言，兩個或多於兩個半導體元件（諸如，積體裝置晶粒、晶圓等）可堆疊於彼此之上或彼此接合以形成接合結構。一個元件之導電接觸襯墊可電連接至另一元件之對應導電接觸襯墊。任何合適數目個元件可堆疊於接合結構中。本文中所描述之方法及接合襯墊結構亦可適用於其他情形。

【圖式簡單說明】

【0006】 現在將參考以下圖式描述特定實施，所述圖式係作為實例而非限制提供。

【0007】 [圖1A]為兩個元件在直接混合接合之前的示意性橫截面側視圖。

【0008】 [圖1B]為圖1A中所展示之兩個元件在直接混合接合之後的示意性橫截面側視圖。

【0009】 [圖2A]為彼此接合之兩個相對較小晶粒導電特徵的橫截面掃描電子顯微鏡（SEM）影像。

【0010】 [圖2B]為彼此接合之一組導電特徵及並未彼此接合之另一組導電特徵的橫截面SEM影像。

【0011】 [圖2C]為包括僅在小區域中彼此接合之大量雜質的兩個精細銅襯墊之橫截面SEM影像。

【0012】 [圖3A]至[圖3E]繪示根據一具體實例之製造接合結構之製造過程的各種步驟。

【0013】 [圖4A]至[圖4F]繪示根據另一具體實例之製造接合結構之製造過程的各種步驟。

【0014】 [圖5]為根據一具體實例的經產生以示意性地繪示包括第一導電材料36及第二導電材料38的導電特徵42的影像。

【0015】 [圖6]為根據另一具體實例的經產生以示意性地繪示包括第一導電材料36及第二導電材料38的導電特徵62的影像。

【實施方式】

【0016】 本文中所揭示之各種具體實例係關於兩個或多於兩個元件可在無介入黏著劑之情況下彼此直接接合的直接接合結構。圖1A及圖1B示意性地繪示根據一些具體實例之用於在無介入黏著劑之情況下形成直接混合接合結構的製程。在圖1A及圖1B中，接合結構100包含可在無介入黏著劑之情況下在接合界面118處彼此直接接合的兩個元件102及104。兩個或多於兩個微電子元件102及104（諸如半導體元件，包括例如積體裝置晶粒、晶圓、被動裝置、諸如電源開關之個別主動裝置等）可堆疊於彼此上或彼此接合以形成接合結構100。第一元件102之導電特徵106a（例如，接觸襯墊、通孔之曝露末端（例如，TSV）或貫通基板電極）可電連接至第二元件104之對應導電特徵106b。任何合適數目個元件可堆疊於接合結構100中。舉例而言，第三元件（圖中未示）可堆疊於第二元件104上，第四元件（圖中未示）可堆疊於第三元件上等等。另外或替代地，一或多個額外元件（圖中未示）可沿著第一元件102鄰近於彼此側向地堆疊。在一些具體實例中，側向堆疊之額外元件可小於第二元件。在一些具體實例中，側向堆疊之額外元件可比第二元件小兩倍。

【0017】 在一些具體實例中，元件102及104在無黏著劑之情況下彼此直接接合。在各種具體實例中，包括非導電或介電材料之非導電場區可充當第一元件102之第一接合層108a，該第一接合層可在無黏著劑之情況下直接接合至對應非導電場區，該對應非導電場區包括充當第二元件104之第二接合層108b的非導電或介電材料。非導電接合層108a及108b可安置於裝置部分110a及110b之各別前側114a及114b上，裝置部分諸如元件102、103之半導體（例如矽）部分。主動裝置及/或電路系統可經圖案化及/或以其他方式安置於裝置部分110a及110b中或所述裝置部分上。主動裝置及/或電路系統可安置於裝置部分110a及110b之前側114a及114b處或附近，及/或裝置部分110a及110b之相對背側116a及116b處或附近。接合層可設置於元件之前側及/或背側上。非導電材料可被稱作第一元件102之非導電接合區或接合層108a。在一些具體實例中，第一元件102之非導電接合層108a可使用介電質至介電質接合技術直接接合至第二元件104之對應非導電接合層108b。舉例而言，可使用至少在美國專利第9,564,414號；第9,391,143號；及第10,434,749號中所揭示之直接接合技術在無黏著劑之情況下形成非導電接合或介電質至介電質接合，所述專利中之各者之全部內容以全文引用之方式且出於所有目的併入本文中。應瞭解，在各種具體實例中，接合層108a及/或108b可包含非導電材料，諸如介電材料（諸如氧化矽）或未摻雜半導體材料（諸如未摻雜矽）。用於直接接合之合適的介電質接合表面或材料包括但不限於無機介電質，諸如氧化矽、氮化矽或氮氧化矽，或可包括碳，諸如碳化矽、氧碳氮化矽、低K介電材料、SiCOH介電質、碳氮化矽或類金剛石碳或包含金剛石表面之材料。儘管包括碳，但此類含碳陶瓷材料可被視為無機的。在一些具體實例中，介電材料不包含諸如環氧樹脂、樹脂或模製材料之聚合物材料。

【0018】 在一些具體實例中，裝置部分110a及110b可具有界定非均質結構之顯著不同的熱膨脹係數（CTE）。裝置部分110a與110b之間的CTE差且尤其裝

置部分110a、110b之塊體半導體（典型地，單晶部分）之間的CTE差，可大於5 ppm或大於10 ppm。舉例而言，裝置部分110a與110b之間的CTE差可在5 ppm至100 ppm、5 ppm至40 ppm、10 ppm至100 ppm或10 ppm至40 ppm之範圍內。在一些具體實例中，裝置部分110a及110b中之一者可包含適用於光學壓電或熱電應用之光電單晶材料，包括鈣鈦礦材料，且裝置部分110a、110b中之另一者包含更習知的基板材料。舉例而言，裝置部分110a、110b中之一者包含鉭酸鋰（$LiTaO_3$）或鈮酸鋰（$LiNbO_3$），且裝置部分110a、110b中之另一者包含矽（Si）、石英、熔融矽石玻璃、藍寶石或玻璃。在其他具體實例中，裝置部分110a及110b中之一者包含III-V單半導體材料，諸如砷化鎵（GaAs）或氮化鎵（GaN），且裝置部分110a及110b中之另一者可包含非III-V半導體材料，諸如矽（Si），或可包含具有類似CTE之其他材料，諸如石英、熔融矽石玻璃、藍寶石或玻璃。

【0019】 在各種具體實例中，可在無介入黏著劑之情況下形成直接混合接合。舉例而言，非導電接合表面112a及112b可經拋光至高平滑度。接合表面112a及112b可經清潔且曝露於電漿及/或蝕刻劑以活化表面112a及112b。在一些具體實例中，表面112a及112b可在活化之後或在活化期間（例如，在電漿及/或蝕刻製程期間）用物種終止。在不受理論限制之情況下，在一些具體實例中，可執行活化製程以破壞接合表面112a及112b處之化學鍵，且終止製程可在接合表面112a及112b處提供額外化學物種，此在直接接合期間改良接合能量。在一些具體實例中，在同一步驟中提供活化及終止，例如，用於活化及終止表面112a及112b之電漿。在其他具體實例中，可在單獨處理中終止接合表面112a及112b以提供用於直接接合之額外物種。在各種具體實例中，終止物種可包含氮。舉例而言，在一些具體實例中，接合表面112a、112b可曝露於含氮電漿。另外，在一些具體實例中，接合表面112a及112b可曝露於氟。舉例而言，在第一元件102與第二元件104之間的接合界面118處或附近可存在一或多個氟峰值。因此，在直接接合

之結構100中，兩個非導電材料（例如，接合層108a與108b）之間的接合界面118可包含在接合界面118處具有較高氮含量及/或氟峰值之極平滑界面。可貫穿美國專利第9,564,414號；第9,391,143號；及第10,434,749號中發現活化及/或終止處理之額外實例，所述專利中之各者的全部內容以全文引用之方式且出於所有目的併入本文中。

【0020】 在各種具體實例中，第一元件102之導電特徵106a亦可直接接合至第二元件104之對應導電特徵106b。舉例而言，直接混合接合技術可用於提供沿著接合界面118導體至導體直接接合，該接合界面118包括如上文所描述製備的共價直接接合之非導電至非導電（例如，介電質至介電質）表面。在各種具體實例中，可使用至少在美國專利第9,716,033號及第9,852,988號中所揭示之直接接合技術來形成導體至導體（例如，導電特徵106a至導電特徵106b）直接接合及介電質至介電質混合接合，所述專利中之各者之全部內容以全文引用之方式且出於所有目的併入本文中。在本文中所描述之直接混合接合具體實例中，導電特徵設置於非導電接合層內，且導電特徵及非導電特徵兩者經製備用於直接接合，諸如藉由上文所描述之平坦化、活化及/或終止處理來進行。因此，經製備用於直接接合之接合表面包括導電特徵及非導電特徵兩者。

【0021】 舉例而言，非導電（例如，介電）接合表面112a、112b（例如，無機介電表面）可在無如上文所解釋之介入黏著劑之情況下經製備且彼此直接接合。導電接觸特徵（例如，可由接合層108a、108b內之非導電介電場區至少部分地包圍之導電特徵106a及106b）亦可在無介入黏著劑之情況下彼此直接接合。在各種具體實例中，導電特徵106a、106b可包含至少部分地嵌入於非導電場區中之離散襯墊或跡線。在一些具體實例中，導電接觸特徵可包含基板穿孔（例如，矽穿孔（TSV））之曝露接觸表面。在一些具體實例中，各別導電特徵106a及106b可凹陷到介電場區或非導電接合層108a及108b之外部（例如，上）表

面（非導電接合表面112a及112b）下方，例如凹陷小於30 nm、小於20 nm、小於15 nm或小於10 nm，例如凹陷於2 nm至20 nm之範圍內，或4 nm至10 nm之範圍內。在各種具體實例中，在直接接合之前，對置元件中之凹槽可經設定大小使得對置之接觸襯墊之間的總間隙小於15 nm或小於10 nm。在一些具體實例中，非導電接合層108a及108b可在室溫下在無黏著劑之情況下彼此直接接合，且隨後可對接合結構100進行退火。在退火之後，導電特徵106a及106b可擴展並彼此接觸以形成金屬至金屬直接接合。有益地，使用購自加利福尼亞州聖荷西（San Jose，CA）之阿迪亞公司（Adeia）的直接接合互連或DBI®技術可使得能夠跨越直接接合界面118連接高密度導電特徵106a及106b（例如，對於常規陣列之小或精細間距）。在一些具體實例中，導電特徵106a及106b（諸如嵌入於接合元件中之一者之接合表面中的導電跡線）之間距可小於100微米或小於10微米或甚至小於2微米。對於一些應用，導電特徵106a及106b之間距與接合襯墊之尺寸中之一者（例如，直徑）的比率小於小於20、或小於10、或小於5、或小於3且有時理想地小於2。在其他應用中，嵌入於接合元件中之一者之接合表面中的導電跡線之寬度可在0.3至20微米之間的範圍內，例如，在0.3至3微米之範圍內。在各種具體實例中，導電特徵106a及106b及/或跡線可包含銅或銅合金，但其他金屬可為合適的。舉例而言，本文中所揭示之導電特徵，諸如導電特徵106a及106b，可包含細晶粒金屬（例如細晶粒銅）。

【0022】 因此，在直接接合製程中，第一元件102可在無介入黏著劑之情況下直接接合至第二元件104。在一些配置中，第一元件102可包含單一化元件，諸如單一化之積體裝置晶粒。在其他配置中，第一元件102可包含載體或基板（例如，晶圓），該載體或基板包括在經單一化時形成複數個積體裝置晶粒之複數個（例如，數十、數百或更多個）裝置區。類似地，第二元件104可包含單一化元件，諸如單一化積體裝置晶粒。在其他配置中，第二元件104可包含載體或基板

（例如，晶圓）。本文中所揭示之具體實例可因此應用於晶圓至晶圓（W2W）、晶粒至晶粒（D2D）或晶粒至晶圓（D2W）接合製程。在晶圓至晶圓（W2W）製程中，兩個或多於兩個晶圓可彼此直接接合（例如，直接混合接合）且使用合適的單一化製程進行單一化。在單一化之後，單一化結構之側邊緣（例如，兩個接合元件之側邊緣）可實質上齊平且可包括指示用於接合結構之共同單一化製程之標記（例如，若使用鋸單一化製程，則為鋸標記）。

【0023】 如本文中所解釋，第一元件102及第二元件104可在無黏著劑之情況下彼此直接接合，此不同於沈積製程且產生相比於沈積之結構上不同的界面。在一個應用中，接合結構中之第一元件102之寬度類似於第二元件104之寬度。在一些其他具體實例中，接合結構100中之第一元件102之寬度不同於第二元件104之寬度。類似地，接合結構中之較大元件之寬度或面積可比較小元件之寬度或面積大至少10%。第一元件102及第二元件104可相應地包含非沈積元件。另外，不同於沈積層，直接接合結構100可包括沿著接合界面118之缺陷區，在該缺陷區中，存在奈米尺度空隙（奈米空隙）。由於接合表面112a及112b之活化（例如，曝露於電漿），可形成奈米空隙。如上文所解釋，接合界面118可包括來自活化及/或最後化學處理製程之材料濃度。舉例而言，在利用氮電漿進行活化之具體實例中，氮峰值可形成於接合界面118處。氮峰值可使用二次離子質譜法（SIMS）技術進行偵測。在各種具體實例中，舉例而言，氮終止處理（例如，使接合表面曝露於含氮電漿）可用$NH_2$分子替換水解（OH終止）表面之OH基團，從而得到氮終止表面。在利用氧電漿進行活化之具體實例中，氧峰值可形成於接合界面118處。在一些具體實例中，接合界面118可包含氮氧化矽、氧碳氮化矽或碳氮化矽。如本文中所解釋，直接鍵可包含共價鍵，其強於凡得瓦爾（van Der Waals）鍵。接合層108a及108b亦可包含經平坦化至高平滑度之經拋光表面。

【0024】 在各種具體實例中，導電特徵106a與106b之間的金屬至金屬接合

可經接合使得金屬晶粒跨越接合界面118彼此生長。在一些具體實例中，金屬為或包括銅，其可具有主要沿著111晶面定向之晶粒以用於改良跨越接合界面118之銅擴散。在一些具體實例中，導電特徵106a及106b可包括奈米孿晶銅晶粒結構，其可輔助在退火期間合併導電特徵。接合界面118可實質上完全延伸至接合導電特徵106a及106b之至少一部分，使得在接合導電特徵106a及106b處或附近在非導電接合層108a與108b之間實質上不存在間隙。在一些具體實例中，障壁層可設置於導電特徵106a及106b（例如，其可包括銅）下方及/或側向地包圍所述導電特徵。然而，在其他具體實例中，在導電特徵106a及106b下方可不存在障壁層，例如，如美國專利第11,195,748號中所描述，該專利以全文引用之方式且出於所有目的併入本文中。

【0025】 有益地，使用本文中所描述之混合接合技術可實現鄰近導電特徵106a與106b之間的極精細間距，及/或小襯墊大小。舉例而言，在各種具體實例中，鄰近導電特徵106a（或106b）之間的間距p（亦即，來自邊緣至邊緣或中心至中心的距離，如圖1A中所展示）可在0.5微米至50微米之範圍內、在0.75微米至25微米之範圍內、在1微米至25微米之範圍內、在1微米至10微米之範圍內或在1微米至5微米之範圍內。另外，主要側向尺寸（例如，襯墊直徑）亦可較小，例如，在0.25微米至30微米之範圍內、在0.25微米至5微米之範圍內或在0.5微米至5微米之範圍內。

【0026】 如上文所描述，非導電接合層108a、108b可在無黏著劑之情況下彼此直接接合，且隨後可對接合結構100進行退火。在退火之後，導電特徵106a、106b可擴展並彼此接觸以形成金屬至金屬直接接合。在一些具體實例中，導電特徵106a、106b之材料可在退火製程期間相互擴散。

【0027】 導電特徵之晶粒尺寸可影響導電特徵與另一導電特徵（例如，導電特徵106a、106b）之間的接合強度。在一些具體實例中，導電特徵可包含金

屬特徵，諸如銅接觸襯墊或線。具有相對小晶粒之導電特徵可能在能量上不穩定，且晶粒可驅動以隨著時間推移達到平衡。因此，具有相對較小增益大小之導電特徵即使在施加最少熱之情況下仍可以相對較高接合強度彼此接合，且可達成較低退火溫度用於藉由相對較小晶粒尺寸之直接接合。對於給定退火溫度，具有相對較小晶粒尺寸之此類導電特徵之間的接合強度大於單晶或大晶粒導電特徵之間的接合強度。實際上，跨越金屬特徵之表面的單一晶粒可完全防止接合，如圖2B之右側特徵中所示。在一些具體實例中，待接合之導電特徵兩者可包含相對較小晶粒導電特徵。在一些其他具體實例中，導電特徵中之一者可包含相對較小晶粒導電特徵，且導電特徵中之另一者可具有在接合表面處具有複數個晶界的較大晶粒導電特徵。藉由相互擴散在小晶粒導電特徵之間的接合可提供足夠可靠之金屬至金屬接合，而藉由針對給定退火溫度之相互擴散在單晶或大晶粒導電特徵之間的接合可不提供可靠的導體至導體（例如，金屬至金屬）接合。晶界處之雜質可抑制或妨礙晶粒移動及接合。因此，在接合界面附近，最少雜質可為較佳的。舉例而言，在本文所揭示之各種具體實例中，在接合界面處或附近之導電材料之晶界可具有小於百萬分之20（ppm）之雜質，諸如1 ppm或3 ppm之雜質。在一些具體實例中，在接合界面處或附近之導電材料之晶界可具有1 ppm至20 ppm、5 ppm至20 ppm、1 ppm至15 ppm或5 ppm至15 ppm之雜質。可使用例如二次離子質譜法（SIMS）掃描技術來量測雜質。舉例而言，可使用飛行時間SIMS（TOF-SIMS）相對於晶粒結構（包括邊界）映射各種元素之濃度。導電材料之晶體定向可使用例如電子反向散射繞射（EBSD）技術予以判定。導電材料之晶界構造可使用例如電子顯微法（EM）技術，諸如高解析度透射電子顯微法（HRTEM）技術予以判定。可基於導電材料之經判定構造來估計具有某一雜質之多個位點。

【0028】 一般而言，可在導電特徵之表面上（在接合之前）或在導電特徵

之橫截面圖中觀測到接合界面附近之晶粒尺寸。由於一個目標為允許對置元件上的導電特徵之晶界彼此相交且促進遷移率且因此直接接合，因此可相對於待接合之導電特徵的側向大小量測晶粒尺寸。在習知處理之基板中，隨著在連續幾代積體電路（IC）中之間距及導電特徵（例如接合襯墊、通孔、跡線或TSV）側向尺寸縮小，作為特徵之百分比的晶粒尺寸生長（例如在竹晶粒結構中）且當混合直接接合時晶界變得不大可能彼此交叉。與習知處理相比及/或與在直接接合界面處由多個晶粒或亞晶粒組成之導電特徵的側向尺寸相比，小晶粒對於遷移率而言可為有利的，以促進直接接合導電特徵。在接合界面處呈現多個晶粒會增加來自相對元件之晶界相交的可能性或機率，即使對於當今之IC中所採用及在未來預期更小的相對較小導電特徵大小亦如此。因此，相比於在接合界面處具有較大晶粒（此在接合界面處提供較小晶界（例如單個晶粒）），在接合界面處具有小晶粒會使得在接合界面處存在較大數目個晶界且增加形成接合的可能性或機率。如本文所描述之具體實例之諸如接合襯墊、通孔（例如，TSV）、跡線或貫通基板電極的導電特徵可具有在約0.01 μm與15 μm之間、在約0.1 μm與10 μm之間、在約0.5 μm與8 μm之間、在約2 μm與5 μm之間、在約1 μm與3 μm之間或在約0.01 μm與1 μm之間的範圍內的最大側向尺寸。舉例而言，相對較小、高間距接合襯墊的實例可在接合界面處具有小於約7 $\mu m^2$的導電特徵之整個曝露面積。

【0029】 將描述在接合之前將形成混合直接接合界面之部分的導電特徵之上表面處的晶粒尺寸。因此，將形成混合直接接合界面之部分的導電特徵之上表面處的晶粒尺寸可小於導電特徵之經組態以在接合之前接觸另一元件之對應接觸表面的接觸表面的20%、小於10%、小於5%或小於2%。百分比可藉由除以平均或最大晶粒尺寸且藉由導電特徵大小來計算，其中晶粒尺寸及特徵大小兩者係在側向（例如，*x*或*y*）維度（線性側向維度）上（例如，在垂直橫截面中）

線性地量測。就面積而言，界面晶粒（在接合界面處側向地量測）在接合之前可小於2000 $nm^2$、小於1000 $nm^2$、小於500 $nm^2$、小於300 $nm^2$或小於180 $nm^2$。此等相對較小晶粒可產生導電特徵，該導電特徵具有曝露在接合表面處之介於3至20個之間的晶粒、介於3至15個之間的晶粒或介於4至8個之間的晶粒，此最大化在兩個直接接合之導電特徵之間的接合界面處使晶界相交的機會。接合界面處之晶粒之最大側向尺寸在接合之前可小於200 nm、小於100 nm、小於50 nm、小於25 nm、小於20 nm或小於15 nm。

【0030】 將描述在接合之後形成混合直接接合界面之部分的導電特徵之上表面處的晶粒尺寸。在接合（其可包括退火以使導電特徵擴展成接觸）之後，界面晶粒尺寸可小於導電特徵之接觸表面的30%、小於20%或小於15%，此傾向於相對於預接合大小使晶粒尺寸生長，但與藉由習知高容量製造生產的退火後晶粒相比保持較小，如下文所描述。與預接合比較一樣，此等百分比可藉由除以平均或最大晶粒尺寸且將其除以導電特徵大小來計算，其中晶粒尺寸及特徵大小兩者係在側向（例如，*x*或*y*）維度上（例如，在垂直橫截面中）線性地量測。界面晶粒尺寸（在垂直橫截面圖中側向地量測）可意謂例如在接合之後晶粒之大小小於71000 $nm^2$、小於50000 $nm^2$、小於20000 $nm^2$、小於10000 $nm^2$或小於8000 $nm^2$。

【0031】 使用習知高容量製造過程（例如，由下而上電鍍）製造的導電特徵之晶粒尺寸可相對較大。在大部分導電特徵中具有此類較大晶粒尺寸可為有利的，此係由於此類晶粒比較小晶粒更穩定且可展現較佳導電性及信號速度以及較少電遷移。然而，如上文所提及，此類大晶粒在直接接合界面處可為缺點。達成較小晶界之一種方式為在電鍍製程期間採用抑制晶粒生長的雜質。然而，此類製程併入高濃度雜質，尤其在晶界處，此可能對接合界面處之導電材料遷移率呈現單獨的阻礙。使用此類習知製程形成具有相對較小晶粒尺寸而無雜質

之導電特徵可具有挑戰性。此外，形成僅包括小晶粒之相對較大導電特徵可為耗時的且經濟上低效的，且可對穩定性及導電性有不良的影響。此外，形成僅包括小晶粒之相對較大導電特徵可在導電特徵中形成非所需的空隙。

【0032】 一般而言，經電鍍導電材料（例如，銅）中之雜質可包括例如碳、氧、氮、硫。雜質可包括例如不與接觸襯墊之導電材料（例如，銅）形成合金之非合金雜質。在其他實例中，雜質可包含氧化矽粒子或碳化矽。

【0033】 圖2A為彼此接合的兩個導電特徵（第一導電特徵10及第二導電特徵12）之橫截面影像。圖2A之影像中的第一導電特徵10及第二導電特徵12包括在接合界面處具有多個重疊晶界之細晶粒銅（Cu）。細晶粒金屬可被定義為平均晶粒寬度小於15 nm、小於20 nm、小於50 nm、小於100 nm、小於200 nm、小於300 nm或小於500 nm的金屬。舉例而言，細晶粒金屬中之晶粒的最大寬度可在10 nm至500 nm、10 nm至300 nm、15 nm至500 nm、15 nm至300 nm、15 nm至100 nm、15 nm至50 nm、50 nm至500 nm、50 nm至300 nm或100 nm至300 nm之範圍內。在一些具體實例中，細晶粒金屬中之大部分晶粒可具有在10 nm至500 nm、10 nm至300 nm、15 nm至500 nm、15 nm至300 nm、15 nm至100 nm、15 nm至50 nm、50 nm至500 nm、50 nm至300 nm或100 nm至300 nm之範圍內的寬度。在一實例製程中，以每分鐘大約0.28 μm之電鍍速率來電鍍細晶粒銅。圖2A展示第一導電特徵10及第二導電特徵12之大量晶粒與第一導電特徵10與第二導電特徵12之間的接合界面相交，此可貢獻於提供第一導電特徵10與第二導電特徵12之間的可靠直接接合。

【0034】 圖2B為彼此接合之導電特徵14a、16a及並未彼此接合之導電特徵14b、16b的橫截面影像。與總特徵大小相比，導電特徵14a、14b、16a、16b中之晶粒相對較大（例如，在特徵之表面處存在有限數目個晶界）。圖2B展示導電特徵14b、16b經製備成彼此接合。然而，導電特徵14b、16b並不彼此接合。圖2B

中所展示之結構可指示，跨越導電特徵14b之整個接合界面延伸或幾乎橫跨導電特徵14b之整個接合界面的導電特徵14b之晶粒已防止形成金屬至金屬接合。因此，在要接合之導電特徵14b、16b之間不存在足夠的晶界重疊。此指示對於其中晶粒尺寸與導電特徵之特徵大小或接合界面相比較大的特徵，金屬特徵未接合之機率可為相當大的。因此，對於相對大數目個接合特徵之陣列，其一些數目將不會接合，因此降低了良率。

【0035】 圖2C為包括僅在小點區域中彼此接合之大量雜質的精細銅襯墊18、20之橫截面影像。如本文所論述，提供相對較小晶粒（例如，細晶粒）之一種方式為在電鍍製程期間引入抑制晶粒生長之雜質。圖2C展示與圖2A之第一導電特徵10及第二導電特徵12相比，精細銅襯墊18、20之間的接合較不可靠。

【0036】 本文中所揭示之各種具體實例係關於形成導電特徵之方法，所述導電特徵包括在接合表面處或附近之相對較小晶粒，而無過量雜質或空隙。根據各種具體實例，可使用兩個或多於兩個不同製程來形成導電特徵。在一個實例中，電鍍製程及氣相沈積製程可用以形成導電特徵。在另一實例中，第一速率下之第一電鍍製程及第二速率下之第二電鍍製程（例如，使用較高電流密度）可用以形成導電特徵。在又一實例中，第一導體形成製程提供大多數導電特徵，進行退火以形成較大、較穩定晶粒，且第二導體形成製程提供導電特徵之表面，且在該形成與接合製程之間不執行退火。本文中所教示之方法可在接合界面附近形成較小晶粒且在較遠離界面處形成較大晶粒，但在界面附近之晶界中無過量添加劑。

【0037】 由於相對較小晶粒可隨著時間推移而生長，因此將導電特徵（第一導電特徵）相對快速地接合至另一導電特徵（第二導電特徵）可為有利的。舉例而言，在形成第一及第二導電特徵之後的一至兩週內將第一導電特徵接合至第二導電特徵可最大化成功的金屬至金屬直接接合的機會。已發現，將生產

後的晶片或晶圓儲存較長時段（例如6個月或一年）可導致大晶粒生長，大晶粒尺寸傾向於抑制金屬至金屬接合，此很可能由於大晶粒之蠕變率降低及其在導電特徵中之相交晶界較少。

【0038】 圖3A至圖3E繪示根據一具體實例的製造接合結構30之製造過程的各種步驟。在圖3A處，空腔32可形成於非導電結構34中。在一些具體實例中，非導電結構34可安置於裝置部分35上方。在圖3B處，可使用第一沈積製程用第一導電材料36至少部分地填充空腔32。第一導電材料36可包含銅。在一些具體實例中，可藉助於由下而上填充製程使用相對較低電流密度（例如，小於30 $mA/cm^2$，更明確而言，小於15 $mA/cm^2$）及相對較低沈積速率將第一導電材料36電鍍至空腔32中。空腔32之側壁32可由第一導電材料36完全覆蓋。在一些具體實例中，可在沈積第二導電材料38之前對第一導電材料36進行退火，以生長並穩定第一導電材料36之晶粒。第一沈積製程可在完全填充空腔32之前停止，如所展示，從而在空腔32中留下開口40。

【0039】 在圖3C處，可使用第二沈積製程在空腔32中之第一導電材料36上方的開口40中設置第二導電材料38。第二導電材料38可包含銅。在一些具體實例中，可藉由使用相對較低添加劑濃度以比第一沈積製程更高的沈積速率（更高的電流密度）進行電鍍來設置第二導電材料38。舉例而言，相對較高電流密度，諸如大於或等於約2安培/平方分米（ASD）或$amps/dm^2$，可用於形成相對較細晶粒。然而，應避免極高電流密度（諸如高於7 ASD）或電鍍浴之質量轉移極限，以使粗糙或多孔金屬塗層最小化。在一些具體實例中，第一沈積製程包含電鍍，且第二沈積製程包含氣相沈積，諸如化學氣相沈積（CVD）或物理氣相沈積（PVD）。無論是藉由不同電鍍製程抑或氣相沈積製程形成，第二導電材料38之晶粒尺寸都平均明顯小於第一導電材料36之晶粒尺寸，及/或與第一導電材料36相比，第二導電材料38之雜質（諸如自用於晶粒控制之電鍍添加劑所存在

的雜質）明顯更小。在一些具體實例中，第一導電材料36可包括比第二導電材料38更多的雜質。

【0040】 包含非導電結構34之至少一部分及第二導電材料38之至少一部分的表面可經拋光，且該表面可經處理（例如，活化及終止）以界定元件（例如第一元件30a）之接合表面。在一些具體實例中，第二導電材料38之表面可與非導電結構34之表面齊平或大體上齊平。在一些其他具體實例中，第二導電材料38之表面可相對於非導電結構34之表面凹陷，如上文所描述。第二導電材料38之厚度可小於導電特徵42（第一導電材料36及第二導電材料38之組合）之厚度的70%、小於30%或小於20%。在一些具體實例中，第二導電材料38之厚度可為30 nm至600 nm，且第一導電材料36之厚度可為400 nm至5000 nm。

【0041】 在圖3D處，形成於圖3C中之元件（第一元件30a）可接觸另一元件（第二元件30b）。第二元件30b可具有與第一元件30a相同或大體上類似的結構。儘管第一導電材料36可在形成第二導電材料38之前經退火，但第二導電材料38可在接合之前不退火，或可在與第一導電材料退火（其中在其接合表面處具有大晶粒）相比較低的溫度及/或較短的持續時間下經退火，如上文所描述。第一元件30a之非導電結構34及第二元件30b之非導電結構44可在室溫下使第一元件30a與第二元件30b接觸後沿著接合界面47彼此接合。在一些具體實例中，非導電結構44可安置於裝置部分45上方。在一些具體實例中，第一元件30a之第二導電材料38及第二元件30b之導電特徵52（其可包含第三導電材料46及第四導電材料48）可在室溫下使第一元件30a與第二元件30b接觸後沿著接合界面47彼此接合。在圖3E處，接觸之第一元件30a及第二元件30b可在非導電特徵42、52之初始室溫接合之後經退火；此接合後退火允許導電特徵擴展至彼此中以完成混合接合且形成接合結構30。在接合結構30中，在一些具體實例中，第二導電材料38之晶粒尺寸可保持小於第一導電材料36之晶粒尺寸。

【0042】 圖4A至圖4F繪示根據一具體實例之製造接合結構60之製造過程的各種步驟。在圖4A處，空腔32可形成於非導電結構34中。在圖4B處，可使用第一沈積製程用第一導電材料36填充空腔32。第一導電材料36可包含銅。在一些具體實例中，可藉助於由下而上填充製程使用相對較低電流密度（例如，小於2安培/平方分米（ASD），更明確而言，小於0.5 ASD，或小於30 $mA/cm^2$，更明確而言，小於15 $mA/cm^2$）及相對較低沈積速率將第一導電材料36電鍍至空腔32中。在一些具體實例中，可用第一導電材料36完全填充空腔32。典型地，空腔32係過度填充的，且使用CMP製程以自非導電材料34上方移除導電材料覆蓋層，且導電材料覆蓋層隨後經移除或經平坦化以形成圖4B中所展示之結構。在一些具體實例中，可在沈積第二導電材料38之前對第一導電材料36進行退火，以生長並穩定第一導電材料36之晶粒。

【0043】 在圖4C處，可移除第一導電材料36之至少一部分以界定開口64。在一些具體實例中，可藉助於蝕刻（例如，濕式蝕刻）選擇性地移除第一導電材料36，以在圖2C中所展示之第一導電特徵36中形成凹槽或開口64。在一些具體實例中，障壁層（圖中未示）可至少部分地設置於空腔32之表面上。在形成障壁層之後，可設置第一導電材料36使得障壁層介入空腔32及第一導電材料36的表面。在一些具體實例中，可在不移除障壁層的情況下選擇性地移除第一導電材料36之一部分。可藉由移除安置於非導電材料34之空腔32中的第一導電材料36之一部分而形成凹槽或開口64。可對具有凹槽之第一導電材料36進行退火以增大或穩定晶粒。

【0044】 在圖4D處，可使用第二沈積製程在空腔32中之第一導電材料36上方設置第二導電材料38。第二導電材料38可包含銅。在一些具體實例中，可藉由使用低添加劑濃度以比第一沈積製程更高的沈積速率（更高的電流密度）進行電鍍來設置第二導電材料38。舉例而言，相對較高電流密度，諸如大於或

等於約2 ASD，可用以形成相對較細晶粒。然而，極高電流密度，諸如高於7 ASD或10 ASD，可能並非較佳的，此係因為藉由極高電流密度之沈積可能導致材料粗糙的或多孔的。在一些具體實例中，第一沈積製程包含電鍍，且第二沈積製程包含氣相沈積，諸如化學氣相沈積（CVD）或物理氣相沈積（PVD）。無論是藉由不同電鍍製程抑或氣相沈積製程形成，第二導電材料38之晶粒尺寸都平均明顯小於第一導電材料36之晶粒尺寸，且與第一導電材料36相比，第二導電材料38之雜質（諸如自用於晶粒控制之電鍍添加劑所存在的雜質）明顯更小。

【0045】 包含非導電結構34之至少一部分及第二導電材料38之至少一部分的表面可經拋光及處理（例如，活化及終止）以界定元件（例如第一元件60A）之接合表面。在一些具體實例中，第二導電材料38之表面可與非導電結構34之表面齊平或大體上齊平。在一些其他具體實例中，第二導電材料38之表面可相對於非導電結構34之表面凹陷，如上文所描述。

【0046】 在一些具體實例中，預接合凹槽可在非導電接合表面下方具有小於75 nm、小於50 nm且較佳小於20 nm的深度。第二導電材料38之厚度可小於導電特徵62（第一導電材料36及第二導電材料38之組合）之厚度的70%、小於50%、小於30%或小於20%。在一些具體實例中，第二導電材料38之厚度可為30 nm至600 nm，且第一導電材料36之厚度可為400 nm至5000 nm。在一些具體實例中，第二導電材料38之厚度可大於50 nm。

【0047】 在圖2E處，形成於圖2D中之元件（第一元件60a）可接觸另一元件（第二元件60b）。儘管第一導電材料36可在形成第二導電材料38之前經退火，但第二導電材料38可在接合之前不退火，或可在與第一導電材料退火相比較低的溫度及/或較低的持續時間下經退火，使得用於第二導電材料38之晶粒保持為小的，如上文所描述。第二元件60b可具有與第一元件60a相同或大體上類似的結構。第一元件60a之非導電結構34及第二元件60b之非導電結構44可在室溫下

使第一元件60a與第二元件60b接觸後沿著接合界面47彼此接合。在一些具體實例中，第一元件60a之第二導電材料38及第二元件60b之導電特徵72（其可包含第三導電材料46及第四導電材料48）可在室溫下使第一元件60a與第二元件60b接觸後沿著接合界面47彼此接合。在圖2F處，接觸之第一元件60a及第二元件60b可在非導電特徵34、44之初始室溫接合之後經退火；此接合後退火允許導電特徵62、72擴展至彼此中以完成混合接合且形成接合結構60。在接合結構60中，第二導電材料38之晶粒尺寸可保持平均小於第一導電材料36之晶粒尺寸。

【0048】 圖3A至圖3E及圖4A至圖4F之組件可相同或大體上類似於本文中所揭示之類似組件，例如圖1A及圖1B之組件。舉例而言，非導電特徵42、52可相同或大體上類似於非導電接合層108a、108b；且裝置部分35、45可相同或大體上類似於裝置部分110a、110b。

【0049】 在圖3A至圖3E中所展示之具體實例及圖4A至圖4F中所展示之具體實例兩者中，第二導電材料38可包含小晶粒或細晶粒。在接合之前，第二導電材料38之最大晶粒尺寸（在垂直橫截面中在側向尺寸上所量測）可小於導電特徵62之接觸表面的最大側向尺寸的20%、小於10%、小於5%或小於2%。就接合界面處所佔據之面積而言，在接合之前晶粒可小於2000 $nm^2$、小於1000 $nm^2$、小於500 $nm^2$、小於300 $nm^2$或小於180 $nm^2$。在接合之前，在側向尺寸上線性量測的第二導電材料38之最大晶粒尺寸可小於500 nm、小於200 nm、小於100 nm、小於50 nm、小於25 nm、小於20 nm或小於15 nm。舉例而言，第二導電材料38中之晶粒的最大寬度可在10 nm至500 nm、10 nm至300 nm、15 nm至500 nm、15 nm至300 nm、15 nm至100 nm、15 nm至50 nm、50 nm至500 nm、50 nm至300 nm或100 nm至300 nm之範圍內。

【0050】 相比之下，下部第一導電材料36可具有較大晶粒。舉例而言，就側向面積而言，在接合之前第一導電材料之晶粒可大於2000 $nm^2$、大於4000

$nm^2$、大於7000 $nm^2$或大於10000 $nm^2$。在接合之前，在側向尺寸上線性量測之第一導電材料之最大晶粒尺寸可大於50 nm、大於100 nm、大於300 nm或大於500 nm。在接合之前，第一導電材料之平均大小大於第二導電材料之平均大小。在一些具體實例中，在接合之前及在接合之後兩種情況下，第一導電材料之平均大小可比第二導電材料之平均大小大10%至200%。

【0051】 如上文所提及，在初始接合之後的退火允許相對元件30a、30b、60a、60b之導電特徵42、52、62、72進一步生長至彼此中且完成混合接合。此退火亦將使第二導電材料38之晶粒尺寸生長，但第二導電材料38之第二導電材料平均晶粒尺寸將保持小於底層第一導電材料36之平均導電材料晶粒尺寸。儘管第一導電材料36及第二導電材料38兩者可主要包含相同金屬或金屬合金（例如銅），但其可藉由明顯不同的平均及最大晶粒尺寸及在一些具體實例中藉由與第二導電材料38相比，第一導電材料36中明顯更高的添加劑雜質來區分。在接合之前，第二導電材料38之晶粒尺寸之最大側向尺寸可小於200 nm、小於150 nm、小於100 nm、小於50 nm或小於20 nm。在接合之前第二導電材料38之最大側向橫截面積可小於2000 $nm^2$、小於1000 $nm^2$、小於500 $nm^2$、小於300 $nm^2$或小於180 $nm^2$。由於在退火期間之晶粒生長，在接合之後，第二導電材料38之晶粒尺寸的最大側向尺寸可小於2 μm、小於1 μm、小於500 nm或小於300 nm。在接合之後，第二導電材料38之最大側向橫截面積可小於4 $\mu m^2$、小於1 $\mu m^2$、小於250,000 $nm^2$。

【0052】 儘管晶粒在退火期間生長，但第二導電材料38之晶粒相對於導電特徵42、62保持相對較小。在接合之後在側向尺寸上線性量測的第二導電材料38之最大晶粒尺寸可小於導電特徵42、62之寬度的30%、小於20%或小於15%，其中晶粒尺寸及特徵大小兩者在側向尺寸上經線性量測。第二導電材料38之較小晶粒可表示自接合界面47之頂部1至20個晶粒層，更明確而言頂部2至5個晶粒

層，而更遠離接合界面47之晶粒較大且可包括較高雜質濃度。在接合之後，至少部分地取決於接合後高溫退火之溫度剖面，例如針對200°C或更低之溫度且針對60分鐘之接合時間，第一導電材料36之平均大小可保持大於第二導電材料38之平均大小。在一些具體實例中，在接合之後，第一導電材料36之平均大小可比第二導電材料38之平均大小大2至4倍。

【0053】 圖5為所產生的展示包括第一導電材料36及第二導電材料38之導電特徵42將如何出現的影像。圖6為所產生的展示包括第一導電材料36及第二導電材料38之導電特徵62將如何出現的影像。圖5及圖6展示第一導電材料36及第二導電材料38之晶粒尺寸係明顯不同的。所屬技術領域中具有通常知識者應知曉，導電特徵42、62各自包含包括較大晶粒的部分（例如，第一導電材料36）及包括較小晶粒之明顯獨特部分（例如，第二導電材料38）。

【0054】 在一個態樣中，揭示一種用於形成元件之方法。該方法可包括設置非導電結構且在該非導電結構中形成空腔。空腔自非導電結構之表面至少部分地延伸通過非導電結構之厚度。該方法可包括在空腔中設置包括第一導電材料及第一導電材料上方之第二導電材料的導電特徵。第二導電材料定位於元件之接合表面處。第二導電材料在線性側向維度上之最大晶粒尺寸小於導電特徵之線性側向維度的20%。該方法可包括製備用於直接接合之元件之接合表面。

【0055】 在一個具體實例中，在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質。

【0056】 在一個具體實例中，第二導電材料之平均晶粒尺寸小於第一導電材料之平均晶粒尺寸。

【0057】 在一個具體實例中，設置導電特徵包含分開地設置第一導電材料及第二導電材料。設置第一導電材料可包括部分地填充空腔。設置第一導電材料可包括用第一導電材料填充空腔且移除該第一導電材料之一部分。該方法可

進一步包括在設置第二導電材料之前對第一導電材料進行退火。設置導電材料可包括藉助於電漿氣相沈積（PVD）將第二導電材料設置於第一導電材料上方。第二導電材料可藉由在比用於設置第一導電材料之第一沈積製程更高的電流密度下進行電鍍來設置。製備接合表面可包括對非導電材料及第二導電材料之表面進行拋光。

【0058】 在一個具體實例中，第二導電材料之最大晶粒尺寸小於導電特徵之線性側向維度的10%。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的5%。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的2%。

【0059】 在一個具體實例中，在接合表面處之導電特徵之面積小於7 $\mu m^2$。

【0060】 在一個具體實例中，在橫截面圖中在接合表面處之第二導電材料的最大晶粒側向面積小於2000 $nm^2$。

【0061】 在一個具體實例中，在接合表面處之第二導電材料的最大線性側向晶粒尺寸小於200 nm。

【0062】 在一個具體實例中，第一導電材料及第二導電材料包含銅。

【0063】 在一個具體實例中，該方法進一步包括在第一導電材料與第二導電材料之間設置介入層。

【0064】 在一個具體實例中，第二導電材料之厚度小於導電特徵之厚度的50%。第二導電材料之厚度可小於導電特徵之厚度的30%。

【0065】 在一個態樣中，揭示一種用於形成接合結構之方法。該方法可包括設置第一元件，該第一元件包括：第一非導電結構，其具有非導電接合表面；空腔，其自該非導電接合表面至少部分地延伸通過該非導電結構之厚度；及安置於該空腔中的第一導電特徵，其具有第一導電材料及該第一導電材料上方之第二導電材料。第二導電材料至少部分曝露在元件之接合表面處。第二導電材

料之平均晶粒尺寸小於第一導電材料之平均晶粒尺寸。該方法可包括設置第二元件，該第二元件包括第二非導電結構及第二導電特徵。該方法可包括：在不使第二導電材料經受退火製程的情況下，使第一元件之接合表面與第二元件之接合表面接觸；及在接觸之後直接接合第一元件與第二元件。

【0066】 在一個具體實例中，在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質。

【0067】 在一個具體實例中，直接接合第一元件與第二元件包括：在無介入黏著劑之情況下直接接合第一非導電結構與第二非導電結構，及在無介入黏著劑之情況下直接接合第一導電特徵與第二導電特徵。

【0068】 在一個具體實例中，設置第一元件包括：設置第一非導電結構；在該第一非導電結構中形成空腔；設置第一導電材料；及在設置第一導電材料之後設置第二導電材料。該方法可進一步包括在設置第二導電材料之前對第一導電材料進行退火。

【0069】 在一個具體實例中，該方法進一步包括對所述接合之第一及第二元件進行退火。

【0070】 在一個具體實例中，該方法進一步包括製備用於直接接合之元件之接合表面。製備接合表面可包括對非導電材料及第二導電材料之表面進行拋光。

【0071】 在一個具體實例中，在直接接合第一元件與第二元件之前，第二導電材料在線性側向維度上的最大晶粒尺寸小於導電特徵之線性側向維度的20%。在直接接合第一元件與第二元件之前，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的10%。在直接接合第一元件與第二元件之前，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的5%。

【0072】 在一個具體實例中，導電特徵之整個曝露面積小於7 $\mu m^2$。

【0073】 在一個具體實例中，在直接接合第一元件與第二元件之前，第二導電材料之最大晶粒側向面積小於2000 $nm^2$。

【0074】 在一個具體實例中，在直接接合第一元件與第二元件之前，第二導電材料之最大線性側向晶粒尺寸小於200 nm。

【0075】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料在線性側向維度上的最大晶粒尺寸小於導電特徵之線性側向維度的30%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的20%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的15%。

【0076】 在一個具體實例中，在直接接合第一元件與第二元件之後，在接合表面處之第二導電材料的最大晶粒側向面積小於71000 $nm^2$。

【0077】 在一個具體實例中，在直接接合第一元件與第二元件之後，在接合表面處之第二導電材料的最大線性側向晶粒尺寸小於2 μm。

【0078】 在一個具體實例中，第一導電材料及第二導電材料包括銅。

【0079】 在一個具體實例中，該方法進一步包括在第一導電材料與第二導電材料之間設置介入層。

【0080】 在一個態樣中，揭示一種元件。該元件可包括非導電結構及該非導電結構中之空腔。空腔自非導電結構之表面至少部分地延伸通過非導電結構之厚度。該元件可包括在空腔中之導電特徵，該導電特徵包括第一導電材料及該第一導電材料上方之第二導電材料。第二導電材料定位於元件之接合表面處。第二導電材料在線性側向維度上之最大晶粒尺寸小於導電特徵之線性側向維度的20%。

【0081】 在一個具體實例中，在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質。

【0082】 在一個具體實例中，第二導電材料在線性側向維度上之平均晶粒尺寸小於第一導電材料在線性側向維度上的平均晶粒尺寸。

【0083】 在一個具體實例中，第二導電材料之厚度小於導電特徵之厚度的50%。第二導電材料之厚度可小於導電特徵之厚度的30%。

【0084】 在一個具體實例中，元件之接合表面經製備用於直接接合。接合表面可具有小於2 nm的均方根（rms）表面粗糙度。

【0085】 在一個具體實例中，第二導電材料之最大晶粒尺寸小於導電特徵之線性側向維度的10%。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的5%。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的2%。

【0086】 在一個具體實例中，在接合表面處之導電特徵的線性側向維度小於7 $\mu m^2$。

【0087】 在一個具體實例中，在接合表面處之第二導電材料的最大晶粒側向面積小於2000 $nm^2$。

【0088】 在一個具體實例中，在接合表面處之第二導電材料的最大晶粒尺寸小於200 nm。

【0089】 在一個具體實例中，第一導電材料及第二導電材料包括銅。

【0090】 在一個具體實例中，該元件進一步包括在第一導電材料與第二導電材料之間的介入層。

【0091】 在一個態樣中，揭示一種接合結構。該接合結構可包括第一元件，該第一元件包括：第一非導電結構，其具有非導電接合表面；空腔，其自該非導電接合表面至少部分地延伸通過該非導電結構之厚度；及安置於該空腔中的第一導電特徵，其具有第一導電材料及該第一導電材料上方之第二導電材料。第二導電材料之平均晶粒尺寸小於第一導電材料之平均晶粒尺寸。在第二

導電材料之晶界處存在小於百萬分之20（ppm）的雜質。該接合結構可包括第二元件，該第二元件包括第二非導電結構及第二導電特徵。第一元件與第二元件彼此接合，使得第一非導電結構及第二非導電結構在無介入黏著劑之情況下彼此直接接合。第二導電材料與第二導電特徵在無介入黏著劑之情況下彼此直接接合。

【0092】 在一個具體實例中，第二導電材料之厚度小於導電特徵之厚度的50%。第二導電材料之厚度小於導電特徵之厚度的30%。

【0093】 在一個具體實例中，第一導電材料及第二導電材料包含銅。

【0094】 在一個具體實例中，接合結構進一步包括在第一導電材料與第二導電材料之間的介入層。

【0095】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料在線性側向維度上的最大晶粒尺寸小於導電特徵之線性側向維度的30%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的20%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的15%。

【0096】 在一個具體實例中，在直接接合第一元件與第二元件之後，接合表面處之第二導電材料的最大晶粒側向面積小於71000 $nm^2$。

【0097】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料之最大線性側向晶粒尺寸小於2 μm。

【0098】 在一個態樣中，揭示一種用於形成元件之方法。該方法可包括：設置非導電結構；在該非導電結構中形成空腔；及在該空腔中設置包括第一導電材料及該第一導電材料上方之第二導電材料的導電特徵，使得第二導電材料至少部分地曝露於元件之接合表面處。在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質，且第二導電材料在線性側向維度上之最大晶粒尺寸小於

導電特徵之線性側向維度的20%。

【0099】 在一個具體實例中，設置導電特徵包含分開地設置第一導電材料及第二導電材料。設置第一導電材料可包括部分地填充空腔。設置第一導電材料可包括用第一導電材料填充空腔且移除該第一導電材料之一部分。該方法可進一步包括在設置第二導電材料之前對第一導電材料進行退火。設置導電材料可包括藉助於氣相沈積將第二導電材料設置於第一導電材料上方。氣相沈積可為物理氣相沈積或化學氣相沈積。第二導電材料可藉由在比用於設置第一導電材料之第一沈積製程更高的電流密度下進行電鍍來設置。

【0100】 在一個具體實例中，該方法進一步包括製備用於直接接合之元件之接合表面。製備接合表面可包括對非導電材料及第二導電材料之表面進行拋光。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的5%。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的2%。

【0101】 在一個具體實例中，導電特徵之整個曝露面積小於7 $\mu m^2$。

【0102】 在一個具體實例中，在接合表面處之第二導電材料的最大晶粒側向面積小於2000 $nm^2$。

【0103】 在一個具體實例中，第二導電材料之最大晶粒尺寸小於200 nm。

【0104】 在一個具體實例中，第一導電材料及第二導電材料包含銅。

【0105】 在一個具體實例中，該方法進一步包括在第一導電材料與第二導電材料之間設置介入層。

【0106】 在一個具體實例中，第二導電材料之厚度小於導電特徵之厚度的50%。第二導電材料之厚度小於導電特徵之厚度的30%。

【0107】 在一個態樣中，揭示一種用於形成接合結構之方法。該方法可包括設置第一元件，該第一元件包括：第一非導電結構，其具有非導電接合表面；該非導電結構中之空腔；及安置於該空腔中的第一導電特徵，其具有第一導電

材料及該第一導電材料上方之第二導電材料。第二導電材料至少部分曝露在元件之接合表面處。在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質。第二導電材料在線性側向維度上之最大晶粒尺寸小於導電特徵之線性側向維度的20%。該方法可包括設置第二元件，該第二元件包括第二非導電結構及第二導電特徵。該方法可包括：在不使第二導電材料經受退火製程的情況下，使第一元件之接合表面與第二元件之接合表面接觸；及在接觸之後直接接合第一元件與第二元件。

【0108】 在一個具體實例中，直接接合第一元件與第二元件包括：在無介入黏著劑之情況下直接接合第一非導電結構與第二非導電結構，及在無介入黏著劑之情況下直接接合第一導電特徵與第二導電特徵。

【0109】 在一個具體實例中，設置第一元件包括：設置第一非導電結構；在該第一非導電結構中形成空腔；設置第一導電材料；及在設置第一導電材料之後設置第二導電材料。該方法可進一步包括在設置第二導電材料之前對第一導電材料進行退火。

【0110】 在一個具體實例中，該方法進一步包括對所述接合之第一及第二元件進行退火。

【0111】 在一個具體實例中，該方法進一步包括製備用於直接接合之元件之接合表面。製備接合表面可包括對非導電材料及第二導電材料之表面進行拋光。

【0112】 在一個具體實例中，在直接接合第一元件與第二元件之前，第二導電材料之最大晶粒尺寸小於導電特徵之線性側向維度的5%。在直接接合第一元件與第二元件之前，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的2%。

【0113】 在一個具體實例中，導電特徵之整個曝露面積小於7 $\mu m^2$。

【0114】 在一個具體實例中，在直接接合第一元件與第二元件之前，接合表面處之第二導電材料的最大晶粒側向面積小於2000 $nm^2$。

【0115】 在一個具體實例中，在直接接合第一元件與第二元件之前，第二導電材料之最大晶粒尺寸小於200 nm。

【0116】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸小於導電特徵之線性側向維度線性側向維度的30%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的20%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的15%。

【0117】 在一個具體實例中，在直接接合第一元件與第二元件之後，接合表面處之第二導電材料的最大晶粒側向面積小於71000 $nm^2$。

【0118】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸小於2 μm。

【0119】 在一個具體實例中，第一導電材料及第二導電材料包含銅。

【0120】 在一個具體實例中，該方法進一步包括在第一導電材料與第二導電材料之間設置介入層。

【0121】 在一個態樣中，揭示一種元件。該元件可包括非導電結構及該非導電結構中之空腔。空腔自非導電結構之表面至少部分地延伸通過非導電結構之厚度。該元件可包括在空腔中之導電特徵，該導電特徵包括第一導電材料及該第一導電材料上方之第二導電材料。第二導電材料定位於元件之接合表面處。第二導電材料在線性側向維度上之最大晶粒尺寸小於導電特徵之線性側向維度的20%。在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質。

【0122】 在一個具體實例中，第二導電材料之厚度小於導電特徵之厚度的50%。第二導電材料之厚度可小於導電特徵之厚度的30%。

【0123】 在一個具體實例中，元件之接合表面經製備用於直接接合。接合表面可具有小於2 nm的均方根（rms）表面粗糙度。

【0124】 在一個具體實例中，第二導電材料之最大晶粒尺寸小於導電特徵之線性側向維度的5%。第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的2%。

【0125】 在一個具體實例中，在接合表面處之導電特徵之面積小於7 $\mu m^2$。

【0126】 在一個具體實例中，在接合表面處之第二導電材料的最大晶粒側向面積小於2000 $nm^2$。

【0127】 在一個具體實例中，第二導電材料之最大晶粒尺寸小於200 nm。

【0128】 在一個具體實例中，第一導電材料及第二導電材料包括銅。

【0129】 在一個具體實例中，該元件進一步包括在第一導電材料與第二導電材料之間的介入層。

【0130】 在一個態樣中，揭示一種接合結構。該接合結構可包括第一元件，該第一元件包括：第一非導電結構，其具有非導電接合表面；空腔，其自該非導電接合表面至少部分地延伸通過該非導電結構之厚度；及安置於該空腔中的第一導電特徵，其具有第一導電材料及該第一導電材料上方之第二導電材料。該接合結構可包括第二元件，該第二元件包括第二非導電結構及第二導電特徵。第一元件與第二元件彼此接合，使得第一非導電結構與第二非導電結構在無介入黏著劑之情況下彼此直接接合，且第二導電材料與第二導電特徵在無介入黏著劑之情況下彼此直接接合。在直接接合第一元件與第二元件之後，第二導電材料在線性側向維度上的最大晶粒尺寸小於導電特徵之線性側向維度的30%。

【0131】 在一個具體實例中，在第二導電材料之晶界處存在小於百萬分之20（ppm）的雜質。

【0132】 在一個具體實例中，第二導電材料之厚度小於導電特徵之厚度的50%。第二導電材料之厚度小於導電特徵之厚度的30%。

【0133】 在一個具體實例中，第一導電材料及第二導電材料包含銅。

【0134】 在一個具體實例中，接合結構進一步包括在第一導電材料與第二導電材料之間的介入層。

【0135】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸小於導電特徵之線性側向維度的20%。在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸可小於導電特徵之線性側向維度的15%。

【0136】 在一個具體實例中，在直接接合第一元件與第二元件之後，接合表面處之第二導電材料的最大晶粒側向面積小於71000 $nm^2$。

【0137】 在一個具體實例中，在直接接合第一元件與第二元件之後，第二導電材料之最大晶粒尺寸小於2 μm。

【0138】 在一個具體實例中，導電特徵之整個曝露面積小於7 $\mu m^2$。

【0139】 在一個態樣中，揭示一種在基板中形成用於直接混合接合之導電特徵之方法。該方法可包括藉由第一沈積製程沈積第一導電材料，該第一沈積製程包括在用於形成第一平均晶粒尺寸之條件下進行電鍍。該方法可包括藉由不同於第一沈積製程之第二沈積製程沈積第二導電材料，而不相對於第一沈積製程增加雜質含量。第二沈積製程形成小於第一沈積製程之第二平均晶粒尺寸。該方法可包括製備包括第二導電材料及非導電表面的用於直接混合接合之接合表面。

【0140】 在一個具體實例中，第一導電材料之雜質含量等於或大於第二導電材料。

【0141】 在一個具體實例中，第二沈積製程為抑制晶粒生長而不在第二導

電材料之晶界處引入小於百萬分之20（ppm）之雜質的製程。

【0142】 在一個具體實例中，第一沈積製程包括電鍍製程且第二沈積製程包含氣相沈積製程。電鍍製程可使用大於2 amp/dm$^2$的電流密度。

【0143】 在一個具體實例中，第一沈積製程包括使用第一電流密度進行電鍍，且第二沈積製程包含使用高於第一電流密度之第二電流密度進行電鍍。

【0144】 在一個具體實例中，第一沈積製程包括電鍍且第二沈積製程包括氣相沈積。

【0145】 在一個具體實例中，第一導電材料及第二導電材料主要包括銅。

【0146】 除非上下文另有明確要求，否則貫穿描述及申請專利範圍，詞語「包含（comprise/comprising）」、「包括（include/including）」及其類似者應被認作具包括性意義，此與排他性或窮盡性意義相反；亦即，具「包括但不限於」之意義。如本文一般所使用之詞語「耦接」係指可直接連接或藉助於一或多個中間元件連接之兩個或多於兩個元件。同樣，如本文一般所使用之詞語「連接」係指可直接連接或藉助於一或多個中間元件連接之兩個或多於兩個元件。另外，當用於本申請案中時，詞語「本文中」、「上文」、「下文」及類似意義之詞語應指本申請案整體而非本申請案之任何特定部分。此外，如本文中所使用，當第一元件描述為在第二元件「上」或「上方」時，第一元件可直接在第二元件上或上方，使得第一元件及第二元件直接接觸，或第一元件可間接在第二元件上或上方，使得一或多個元件介入在第一元件與第二元件之間。在上下文准許的情況下，上述[實施方式]中使用單數或複數數目之詞語亦可分別包括複數或單數數目。涉及兩個或多於兩個項目清單之詞語「或」，該詞語涵蓋所有以下該詞語之解釋：清單中之項目中之任一者、清單中之所有項目及清單中之項目之任何組合。

【0147】 此外，除非另外特定地陳述，或使用時以其他方式在上下文內理

解，否則本文中所使用之條件性語言（諸如「可以（can/could）」、「可能（might/may）」「例如」、「舉例而言」、「諸如」及其類似者）大體上意欲傳達某些具體實例包括而其他具體實例並不包括某些特徵、元件及/或狀態。因此，此類條件性語言一般並不意欲暗示特徵、元件及/或狀態無論如何為一或多個具體實例所需的。

【0148】 雖然已描述某些具體實例，但是此等具體實例僅藉助於實例呈現，且並不意欲限制本發明之範圍。實際上，可以多種其他形式體現本文中所描述之新穎設備、方法及系統；此外，在不脫離本發明之精神的情況下，可對本文中所描述之方法及系統的形式進行各種省略、取代及改變。舉例而言，雖然以給定配置呈現區塊，但替代具體實例可用不同組件及/或電路拓樸執行類似功能性，且一些區塊可被刪除、移動、添加、再分、組合及/或修改。可以多種不同方式實施此等區塊中之各者。上文所描述的各種具體實例之元件及動作的任何適合之組合可經組合以提供其他具體實例。隨附申請專利範圍及其等效物意欲涵蓋將屬於本揭示內容之範圍及精神的此類形式或修改。

【符號說明】

【0149】

10:第一導電特徵

12:第二導電特徵

14a:導電特徵

14b:導電特徵

16a:導電特徵

16b:導電特徵

18:精細銅襯墊

20:精細銅襯墊

30:接合結構

30a:第一元件

30b:第二元件

32:空腔

32a:側壁

34:非導電結構/非導電材料/非導電特徵

35:裝置部分

36:第一導電材料

38:第二導電材料

40:開口

42:導電特徵

44:非導電結構/非導電特徵

45:裝置部分

46:第三導電材料

47:接合界面

48:第四導電材料

52:導電特徵

60:接合結構

60a:第一元件

60b:第二元件

62:導電特徵

64:開口

72:導電特徵

100:接合結構

102:微電子元件/第一元件

104:微電子元件/第二元件

106a:導電特徵

106b:導電特徵

108a:第一接合層/非導電接合層

108b:第二接合層/非導電接合層

110a:裝置部分

110b:裝置部分

112a:非導電接合表面

112b:非導電接合表面

114a:前側

114b:前側

116a:背側

116b:背側

118:接合界面

p:間距

# 【發明申請專利範圍】

【請求項1】一種用於形成元件之方法，該方法包含：

設置非導電結構；

在該非導電結構中形成空腔，該空腔從該非導電結構之表面至少部分地延伸穿過該非導電結構之一厚度；

在該空腔中設置包括第一導電材料及在該第一導電材料上方之第二導電材料的導電特徵，該第二導電材料定位於該元件之接合表面處，其中該第二導電材料在一線性側向維度上之一最大晶粒尺寸小於該導電特徵之該線性側向維度的20%；及

製備用於直接接合之該元件之該接合表面。

【請求項2】如請求項1之方法，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質。

【請求項3】如請求項1之方法，其中該第二導電材料之平均晶粒尺寸小於該第一導電材料之平均晶粒尺寸。

【請求項4】如請求項1之方法，其中所述設置該導電特徵包含分開地設置該第一導電材料及該第二導電材料。

【請求項5】如請求項4之方法，其中所述設置該第一導電材料包含部分地填充該空腔。

【請求項6】如請求項4之方法，其中所述設置該第一導電材料包含用該第一導電材料填充該空腔且移除該第一導電材料之一部分。

【請求項7】如請求項4之方法，其進一步包含在設置該第二導電材料之前對該第一導電材料進行退火。

【請求項8】如請求項4之方法，其中所述設置該導電材料包含藉助於電漿氣相沈積（PVD）將該第二導電材料設置於該第一導電材料上方。

【請求項9】如請求項4之方法，其中該第二導電材料係藉由在比用於設置該第一導電材料之第一沈積製程更高的電流密度下進行電鍍來設置。

【請求項10】如請求項1之方法，其中該製備該接合表面包含對該非導電材料及該第二導電材料之表面進行拋光。

【請求項11】如請求項1之方法，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的10%。

【請求項12】如請求項11之方法，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的5%。

【請求項13】如請求項12之方法，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的2%。

【請求項14】如請求項1之方法，其中在該接合表面處之該導電特徵的一面積小於7 $\mu m^2$。

【請求項15】如請求項1之方法，其中在一橫截面圖中在該接合表面處之該第二導電材料的最大晶粒側向面積小於2000 $nm^2$。

【請求項16】如請求項1之方法，其中在該接合表面處之該第二導電材料的一最大線性側向晶粒尺寸小於200 nm。

【請求項17】如請求項1之方法，其中該第一導電材料及該第二導電材料包含銅。

【請求項18】如請求項1之方法，其進一步包含在該第一導電材料與該第二導電材料之間設置一介入層。

【請求項19】如請求項1之方法，其中該第二導電材料之厚度小於該導電特徵之厚度的50%。

【請求項20】如請求項19之方法，其中該第二導電材料之厚度小於該導電特徵之厚度的30%。

【請求項21】一種用於形成接合結構之方法，該方法包含：

設置第一元件，該第一元件包括：

第一非導電結構，其具有非導電接合表面，

空腔，其自該非導電接合表面至少部分地延伸穿過該非導電結構之一厚度，及

安置於該空腔中的第一導電特徵，其具有第一導電材料及在該第一導電材料上方之第二導電材料，該第二導電材料至少部分地曝露於該元件之接合表面處，其中該第二導電材料之一平均晶粒尺寸小於該第一導電材料之一平均晶粒尺寸；

設置一第二元件，該第二元件包括：

第二非導電結構，及

第二導電特徵；以及

在不使該第二導電材料經受一退火製程的情況下，使該第一元件之該接合表面與該第二元件之接合表面接觸；及

在該接觸之後直接接合該第一元件與該第二元件。

【請求項22】如請求項21之方法，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質。

【請求項23】如請求項21之方法，其中所述直接接合該第一元件與該第二元件包含在無介入黏著劑之情況下直接接合該第一非導電結構與該第二非導電結構，及在無介入黏著劑之情況下直接接合該第一導電特徵與該第二導電特徵。

【請求項24】如請求項21之方法，其中所述設置該第一元件包含：

設置該第一非導電結構；

在該第一非導電結構中形成該空腔；

設置一第一導電材料；及

在設置該第一導電材料之後設置一第二導電材料。

【請求項25】如請求項24之方法，其進一步包含在設置該第二導電材料之前對該第一導電材料進行退火。

【請求項26】如請求項21之方法，其進一步包含對接合之該第一元件及該第二元件進行退火。

【請求項27】如請求項21之方法，其進一步包含製備用於直接接合之該元件之該接合表面。

【請求項28】如請求項27之方法，其中該製備該接合表面包含對該非導電材料及該第二導電材料之表面進行拋光。

【請求項29】如請求項21之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料在一線性側向維度上之最大晶粒尺寸小於該導電特徵之該線性側向維度的20%。

【請求項30】如請求項29之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的10%。

【請求項31】如請求項30之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的5%。

【請求項32】如請求項21之方法，其中該導電特徵之整個曝露面積小於7 $\mu m^2$。

【請求項33】如請求項21之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之最大晶粒側向面積小於2000 $nm^2$。

【請求項34】如請求項21之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之最大線性側向晶粒尺寸小於200 nm。

【請求項35】如請求項21之方法，其中在直接接合該第一元件與該第二元件之後，該第二導電材料在一線性側向維度上之最大晶粒尺寸小於該導電特徵之該線性側向維度的30%。

【請求項36】如請求項35之方法，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的20%。

【請求項37】如請求項36之方法，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的15%。

【請求項38】如請求項21之方法，其中在直接接合該第一元件與該第二元件之後，在該接合表面處之該第二導電材料的最大晶粒側向面積小於71000 $nm^2$。

【請求項39】如請求項21之方法，其中在直接接合該第一元件與該第二元件之後，在該接合表面處之該第二導電材料的最大線性側向晶粒尺寸小於2 μm。

【請求項40】如請求項21之方法，其中該第一導電材料及該第二導電材料包含銅。

【請求項41】如請求項21之方法，其進一步包含在該第一導電材料與該第二導電材料之間設置一介入層。

【請求項42】一種元件，其包含：

非導電結構；

該非導電結構中之空腔，該空腔自該非導電結構之一表面至少部分地延伸通過該非導電結構之一厚度；

該空腔中之導電特徵，該導電特徵包括第一導電材料及該第一導電材料上方之第二導電材料，該第二導電材料定位於該元件之接合表面處，其中該第二導電材料在一線性側向維度上之最大晶粒尺寸小於該導電特徵之該線性側向維

度的20%。

【請求項43】如請求項42之元件，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質。

【請求項44】如請求項42之元件，其中該第二導電材料在該線性側向維度上之一平均晶粒尺寸小於該第一導電材料在該線性側向維度上的平均晶粒尺寸。

【請求項45】如請求項42之元件，其中該第二導電材料之厚度小於該導電特徵之厚度的50%。

【請求項46】如請求項45之元件，其中該第二導電材料之厚度小於該導電特徵之厚度的30%。

【請求項47】如請求項42之元件，其中該元件之該接合表面經製備用於直接接合。

【請求項48】如請求項47之元件，其中該接合表面具有小於2 nm的均方根(rms)表面粗糙度。

【請求項49】如請求項42之元件，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的10%。

【請求項50】如請求項49之元件，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的5%。

【請求項51】如請求項50之元件，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的2%。

【請求項52】如請求項42之元件，其中在該接合表面處之該導電特徵的該線性側向維度小於7 $\mu m^2$。

【請求項53】如請求項42之元件，其中在該接合表面處之該第二導電材料的一最大晶粒側向面積小於2000 $nm^2$。

【請求項54】如請求項42之元件，其中在該接合表面處之該第二導電材料的該最大晶粒尺寸小於200 nm。

【請求項55】如請求項42之元件，其中該第一導電材料及該第二導電材料包含銅。

【請求項56】如請求項42之元件，其進一步包含在該第一導電材料與該第二導電材料之間的一介入層。

【請求項57】一種接合結構，其包含：

第一元件，該第一元件包括：

第一非導電結構，其具有非導電接合表面，

空腔，其自該非導電接合表面至少部分地延伸穿過該非導電結構之一厚度，及

安置於該空腔中的一第一導電特徵，其具有第一導電材料及該第一導電材料上方之第二導電材料，其中該第二導電材料之平均晶粒尺寸小於該第一導電材料之平均晶粒尺寸，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質；

第二元件，該第二元件包括：

第二非導電結構，及

第二導電特徵；且

其中該第一元件與該第二元件彼此接合，使得該第一非導電結構與該第二非導電結構在無一介入黏著劑之情況下彼此直接接合，且該第二導電材料與該第二導電特徵在無一介入黏著劑之情況下彼此直接接合。

【請求項58】如請求項57之接合結構，其中該第二導電材料之厚度小於該導電特徵之厚度的50%。

【請求項59】如請求項58之接合結構，其中該第二導電材料之厚度小於該

導電特徵之厚度的30%。

【請求項60】如請求項57之接合結構，其中該第一導電材料及該第二導電材料包含銅。

【請求項61】如請求項57之接合結構，其進一步包含在該第一導電材料與該第二導電材料之間的一介入層。

【請求項62】如請求項57之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料在一線性側向維度上之一最大晶粒尺寸小於該導電特徵之該線性側向維度的30%。

【請求項63】如請求項62之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的20%。

【請求項64】如請求項63之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的15%。

【請求項65】如請求項57之接合結構，其中在直接接合該第一元件與該第二元件之後，在接合表面處之該第二導電材料的一最大晶粒側向面積小於71000 $nm^2$。

【請求項66】如請求項57之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之一最大線性側向晶粒尺寸小於2 μm。

【請求項67】一種用於形成元件之方法，該方法包含：

設置非導電結構；

在該非導電結構中形成空腔；及

在該空腔中設置包括第一導電材料及在該第一導電材料上方之第二導電材料的導電特徵，使得該第二導電材料至少部分地曝露於該元件之接合表面處，

在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質，且該第二導電材料在線性側向維度上之最大晶粒尺寸小於該導電特徵之該線性側向維度的20%。

【請求項68】如請求項67之方法，其中所述設置該導電特徵包含分開地設置該第一導電材料及該第二導電材料。

【請求項69】如請求項68之方法，其中所述設置該第一導電材料包含部分地填充該空腔。

【請求項70】如請求項68之方法，其中所述設置該第一導電材料包含用該第一導電材料填充該空腔且移除該第一導電材料之一部分。

【請求項71】如請求項68之方法，其進一步包含在設置該第二導電材料之前對該第一導電材料進行退火。

【請求項72】如請求項68之方法，其中所述設置該導電材料包含藉助於氣相沈積將該第二導電材料設置於該第一導電材料上方。

【請求項73】如請求項72之方法，其中該氣相沈積係物理氣相沈積或化學氣相沈積。

【請求項74】如請求項68之方法，其中該第二導電材料係藉由在比用於設置該第一導電材料之第一沈積製程更高的電流密度下進行電鍍來設置。

【請求項75】如請求項67之方法，其進一步包含製備用於直接接合之該元件之該接合表面。

【請求項76】如請求項75之方法，其中該製備該接合表面包含對該非導電材料及該第二導電材料之表面進行拋光。

【請求項77】如請求項67之方法，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的5%。

【請求項78】如請求項77之方法，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的2%。

【請求項79】如請求項67之方法，其中該導電特徵之整個曝露面積小於7 $\mu m^2$。

【請求項80】如請求項67之方法，其中在該接合表面處之該第二導電材料的一最大晶粒側向面積小於2000 $nm^2$。

【請求項81】如請求項67之方法，其中該第二導電材料之該最大晶粒尺寸小於200 nm。

【請求項82】如請求項67之方法，其中該第一導電材料及該第二導電材料包含銅。

【請求項83】如請求項67之方法，其進一步包含在該第一導電材料與該第二導電材料之間設置一介入層。

【請求項84】如請求項67之方法，其中該第二導電材料之厚度小於該導電特徵之厚度的50%。

【請求項85】如請求項84之方法，其中該第二導電材料之厚度小於該導電特徵之厚度的30%。

【請求項86】一種用於形成一接合結構之方法，該方法包含：

設置第一元件，該第一元件包括：

第一非導電結構，其具有一非導電接合表面，

該非導電結構中之空腔，及

安置於該空腔中的第一導電特徵，其具有第一導電材料及在該第一導電材料上方之第二導電材料，該第二導電材料至少部分地曝露於該元件之接合表面處，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm）的雜質，其中該第二導電材料在線性側向維度上之最大晶粒尺寸小於該導電特徵之該線性側向維度的20%；

設置第二元件，該第二元件包括：

第二非導電結構，及

第二導電特徵；以及

在不使該第二導電材料經受一退火製程的情況下，使該第一元件之該接合表面與該第二元件之接合表面接觸；及

在該接觸之後直接接合該第一元件與該第二元件。

【請求項87】如請求項86之方法，其中所述直接接合該第一元件與該第二元件包含在無一介入黏著劑之情況下直接接合該第一非導電結構與該第二非導電結構，及在無一介入黏著劑之情況下直接接合該第一導電特徵與該第二導電特徵。

【請求項88】如請求項86之方法，其中該設置該第一元件包含：

設置該第一非導電結構；

在該第一非導電結構中形成該空腔；

設置第一導電材料；及

在設置該第一導電材料之後設置第二導電材料。

【請求項89】如請求項88之方法，其進一步包含在設置該第二導電材料之前對該第一導電材料進行退火。

【請求項90】如請求項86之方法，其進一步包含對接合之該第一元件及該第二元件進行退火。

【請求項91】如請求項86之方法，其進一步包含製備用於直接接合之該元件之該接合表面。

【請求項92】如請求項91之方法，其中所述製備該接合表面包含對該非導電材料及該第二導電材料之表面進行拋光。

【請求項93】如請求項86之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度

的5%。

【請求項94】如請求項93之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的2%。

【請求項95】如請求項86之方法，其中該導電特徵之整個曝露面積小於7 $\mu m^2$。

【請求項96】如請求項86之方法，其中在直接接合該第一元件與該第二元件之前，在該接合表面處之該第二導電材料的一最大晶粒側向面積小於2000 $nm^2$。

【請求項97】如請求項86之方法，其中在直接接合該第一元件與該第二元件之前，該第二導電材料之該最大晶粒尺寸小於200 nm。

【請求項98】如請求項86之方法，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度線性側向維度的30%。

【請求項99】如請求項98之方法，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的20%。

【請求項100】如請求項99之方法，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的15%。

【請求項101】如請求項86之方法，其中在直接接合該第一元件與該第二元件之後，在該接合表面處之該第二導電材料的一最大晶粒側向面積小於71000 $nm^2$。

【請求項102】如請求項86之方法，其中在直接接合該第一元件與該第二元

件之後，該第二導電材料之該最大晶粒尺寸小於2 μm。

【請求項103】如請求項86之方法，其中該第一導電材料及該第二導電材料包含銅。

【請求項104】如請求項86之方法，其進一步包含在該第一導電材料與該第二導電材料之間設置一介入層。

【請求項105】一種元件，其包含：

非導電結構；

該非導電結構中之空腔，該空腔從該非導電結構之表面至少部分地延伸穿過該非導電結構之一厚度；

該空腔中之導電特徵，其包括第一導電材料及在該第一導電材料上方之第二導電材料，該第二導電材料定位於該元件之接合表面處，其中該第二導電材料在線性側向維度上之最大晶粒尺寸小於該導電特徵之該線性側向維度的20%，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質。

【請求項106】如請求項105之元件，其中該第二導電材料之厚度小於該導電特徵之厚度的50%。

【請求項107】如請求項106之元件，其中該第二導電材料之厚度小於該導電特徵之厚度的30%。

【請求項108】如請求項105之元件，其中該元件之該接合表面經製備用於直接接合。

【請求項109】如請求項108之元件，其中該接合表面具有小於2 nm的一均方根(rms)表面粗糙度。

【請求項110】如請求項105之元件，其中該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的5%。

【請求項111】如請求項110之元件，其中該第二導電材料之該最大晶粒尺寸

小於該導電特徵之該線性側向維度的2%。

【請求項112】如請求項105之元件，其中在該接合表面處之該導電特徵的面積小於7 $\mu m^2$。

【請求項113】如請求項105之元件，其中在該接合表面處之該第二導電材料的一最大晶粒側向面積小於2000 $nm^2$。

【請求項114】如請求項105之元件，其中該第二導電材料之該最大晶粒尺寸小於200 nm。

【請求項115】如請求項105之元件，其中該第一導電材料及該第二導電材料包含銅。

【請求項116】如請求項105之元件，其進一步包含在該第一導電材料與該第二導電材料之間的一介入層。

【請求項117】一種接合結構，其包含：

第一元件，該第一元件包括：

第一非導電結構，其具有非導電接合表面，

空腔，其從該非導電接合表面至少部分地延伸穿過該非導電結構之厚度，及

安置於該空腔中的第一導電特徵，其具有第一導電材料及在該第一導電材料上方之第二導電材料；

第二元件，該第二元件包括：

第二非導電結構，及

第二導電特徵；且

其中該第一元件與該第二元件彼此接合，使得該第一非導電結構與該第二非導電結構在無一介入黏著劑之情況下彼此直接接合，且該第二導電材料與該第二導電特徵在無一介入黏著劑之情況下彼此直接接合，

其中在直接接合該第一元件與該第二元件之後，該第二導電材料在線性側向維度上之一最大晶粒尺寸小於該導電特徵之該線性側向維度的30%。

【請求項118】如請求項117之接合結構，其中在該第二導電材料之晶界處存在小於百萬分之20(ppm)的雜質。

【請求項119】如請求項117之接合結構，其中該第二導電材料之厚度小於該導電特徵之厚度的50%。

【請求項120】如請求項118之接合結構，其中該第二導電材料之厚度小於該導電特徵之厚度的30%。

【請求項121】如請求項117之接合結構，其中該第一導電材料及該第二導電材料包含銅。

【請求項122】如請求項117之接合結構，其進一步包含在該第一導電材料與該第二導電材料之間的一介入層。

【請求項123】如請求項117之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的20%。

【請求項124】如請求項123之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於該導電特徵之該線性側向維度的15%。

【請求項125】如請求項117之接合結構，其中在直接接合該第一元件與該第二元件之後，在該接合表面處之該第二導電材料的一最大晶粒側向面積小於71000 $nm^2$。

【請求項126】如請求項117之接合結構，其中在直接接合該第一元件與該第二元件之後，該第二導電材料之該最大晶粒尺寸小於2 μm。

【請求項127】如請求項117之接合結構，其中該導電特徵之整個曝露面積

小於7 $\mu m^2$。

【請求項128】一種在基板中形成用於直接混合接合之導電特徵的方法，該方法包含：

藉由第一沈積製程沈積第一導電材料，該第一沈積製程包含在用於形成第一平均晶粒尺寸之條件下進行電鍍；

藉由不同於該第一沈積製程之第二沈積製程沈積第二導電材料而不相對於該第一沈積製程增加雜質含量，其中該第二沈積製程形成小於該第一沈積製程的第二平均晶粒尺寸；及

製備包括該第二導電材料及非導電表面的用於直接混合接合之接合表面。

【請求項129】如請求項128之方法，其中該第一導電材料之雜質含量等於或大於該第二導電材料。

【請求項130】如請求項128之方法，其中該第二沈積製程為抑制晶粒生長而不在該第二導電材料之晶界處引入小於百萬分之20(ppm)之雜質的製程。

【請求項131】如請求項128之方法，其中該第一沈積製程包含電鍍製程且該第二沈積製程包含氣相沈積製程。

【請求項132】如請求項131之方法，其中該電鍍製程使用大於2 amp/$dm^2$之電流密度。

【請求項133】如請求項128之方法，其中該第一沈積製程包含使用第一電流密度進行電鍍，且該第二沈積製程包含使用高於該第一電流密度之第二電流密度進行電鍍。

【請求項134】如請求項128之方法，其中該第一沈積製程包含電鍍，且該第二沈積製程包含氣相沈積。

【請求項135】如請求項128之方法，其中該第一導電材料及該第二導電材料主要包含銅。

# (發明圖式)

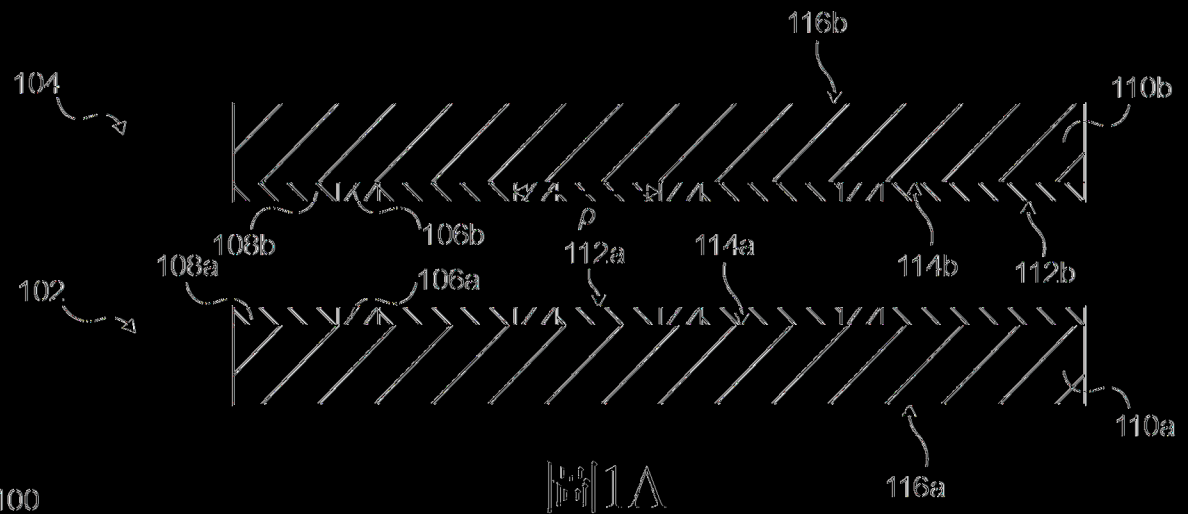

116b
104
110b
ρ
108b
106b
108a
112a
114a
114b
112b
102
106a
110a
116a

圖1A

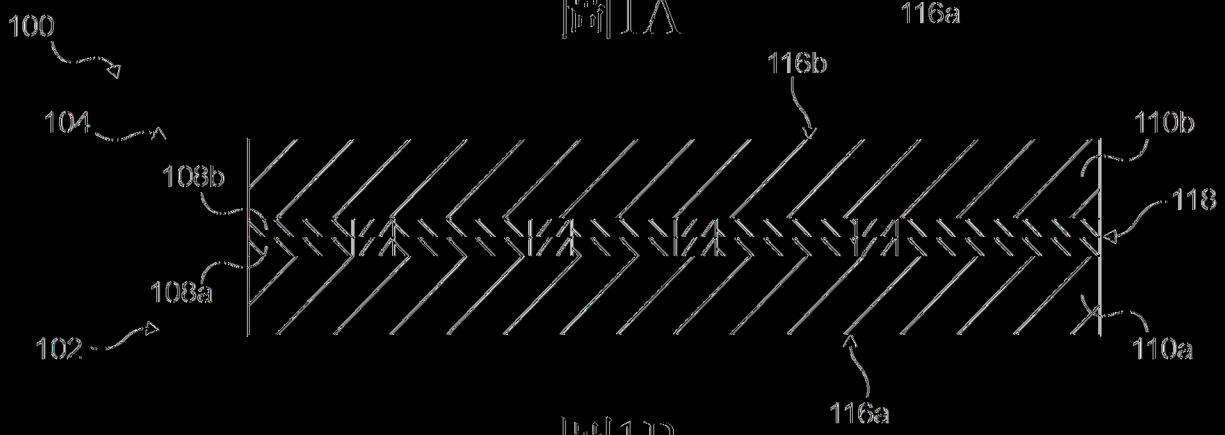

100
116b
104
110b
108b
118
108a
102
110a
116a

圖1B

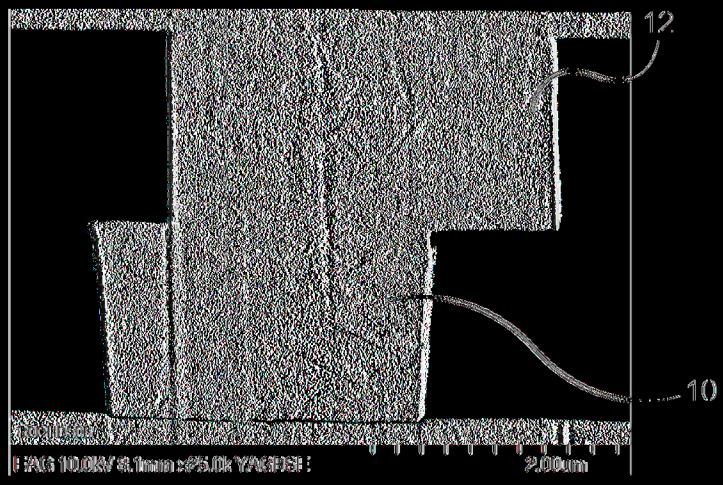



圖2A

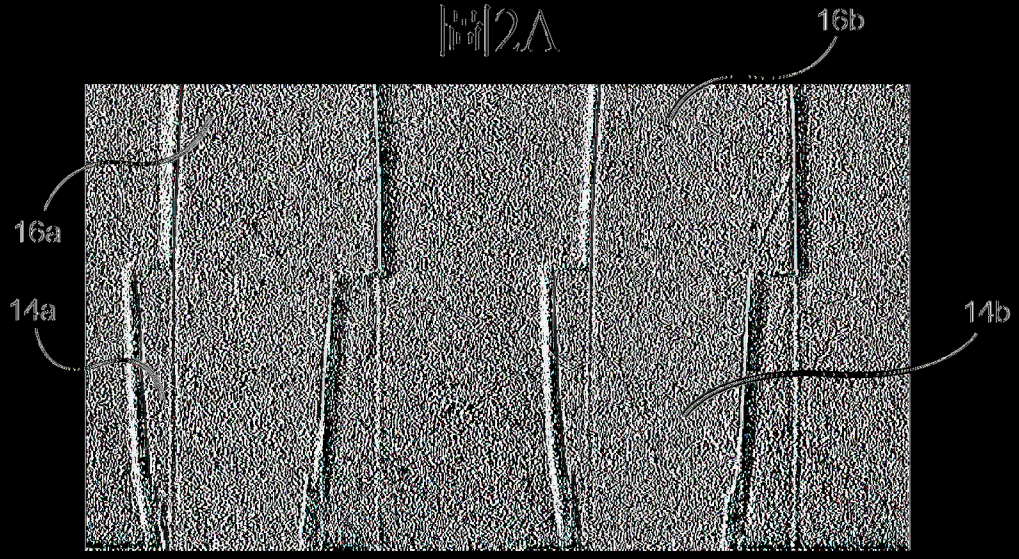



圖2B

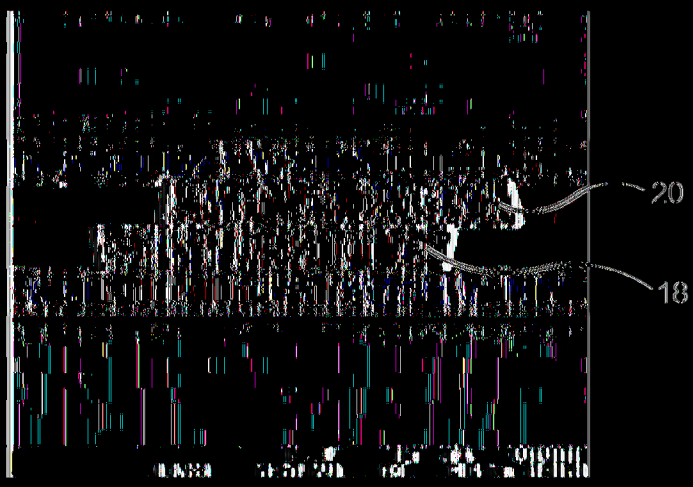



圖2C

圖3D




圖3B




圖3A




圖3B




圖3C

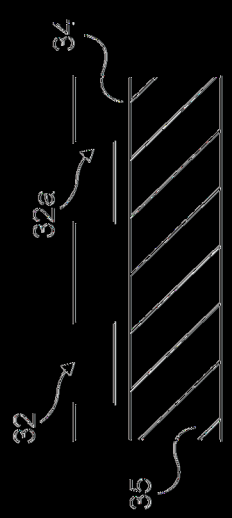



圖 4A

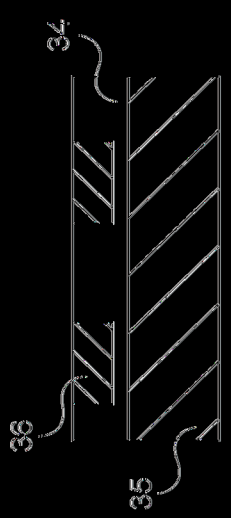



圖 4B

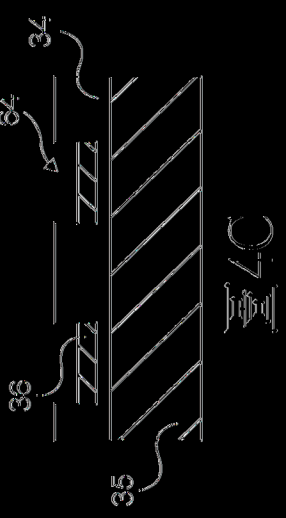



圖 4C

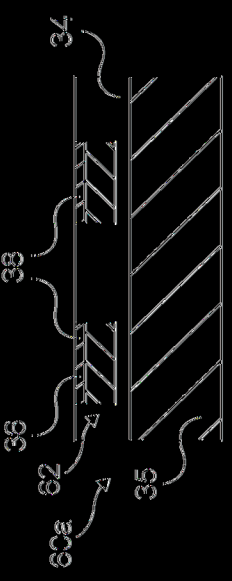



圖 4D

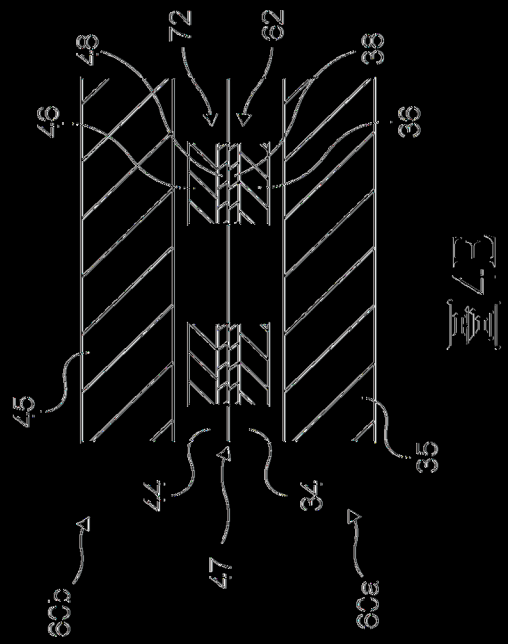



圖 4E

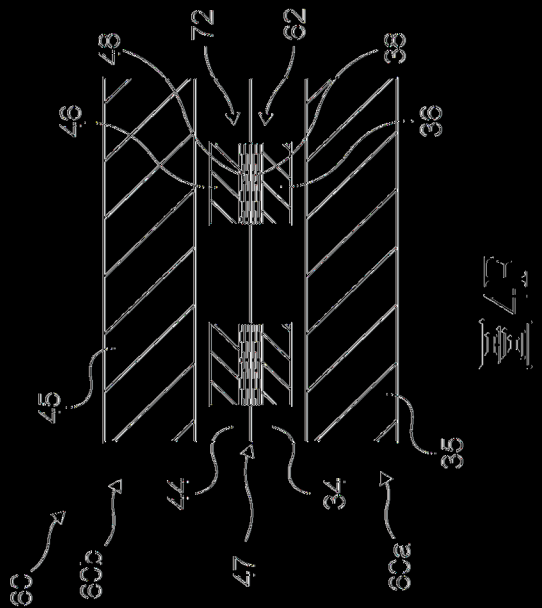
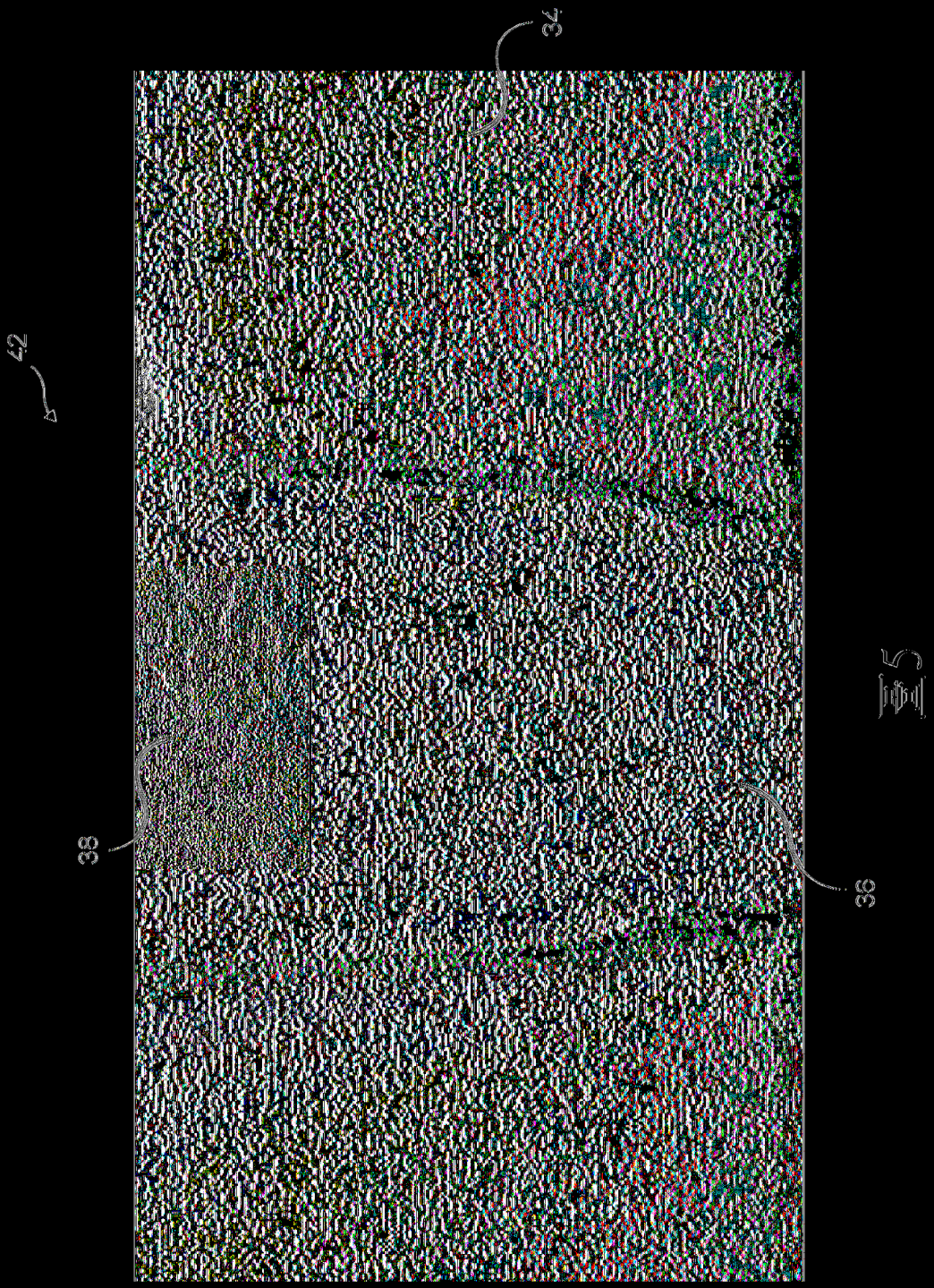
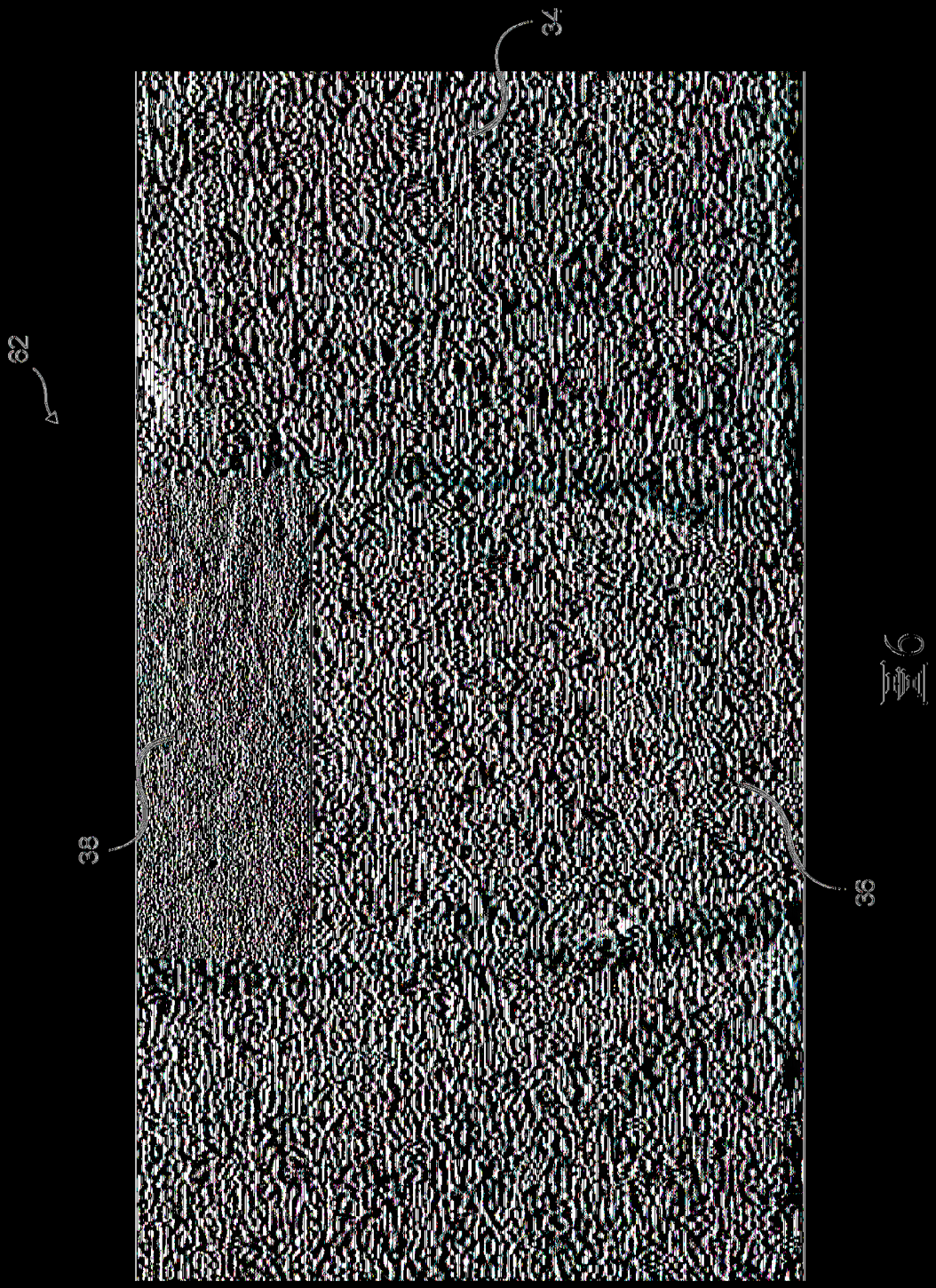



圖 4F


S1
S2
S3
S4
S5
S6


S1
S2
S3
S4
S5
S6