

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成30年4月5日(2018.4.5)

【公表番号】特表2017-513283(P2017-513283A)
 【公表日】平成29年5月25日(2017.5.25)
 【年通号数】公開・登録公報2017-019
 【出願番号】特願2016-553297(P2016-553297)
 【国際特許分類】

H 0 4 B 1/38 (2015.01)

【 F I 】

H 0 4 B 1/38

【手続補正書】

【提出日】平成30年2月19日(2018.2.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路であって、
 ホストプロセッサと、
シリアル半二重のユニバーサル非同期レシーバ/トランスミッタ(UART)回路要素
 であって、前記ホストプロセッサに結合され、受信データ入力と送信データ出力とを有し、
前記送信データ出力が前記受信データ入力から分離される、前記UART回路要素と、
前記ホストプロセッサと前記UART回路要素とから分離されるロジック回路要素と
 であって、前記送信データ出力に結合される送信データ入力と、前記送信/受信モード出力と
 を有する、前記ロジック回路要素と、
 を含む、集積回路。

【請求項2】

請求項1に記載の集積回路であって、
 前記ロジック回路要素が、コプロセッサ回路要素を含む、集積回路。

【請求項3】

請求項1に記載の集積回路であって、
 前記ロジック回路要素が、前記送信データ入力と前記送信/受信モード出力とに結合さ
れるタイマ回路要素を含む、集積回路。

【請求項4】

請求項1に記載の集積回路であって、
 前記ホストプロセッサが、如何なる送信/受信モード出力から自由である、集積回路。

【請求項5】

請求項1に記載の集積回路であって、
前記受信データ入力に結合される受信データ出力と、前記送信データ出力に結合される
送信データ入力と、前記送信/受信モード出力に結合されるモード入力とを有するトラン
シーバ回路要素を更に含む、集積回路。

【請求項6】

集積回路であって、
ホストプロセッサと、
前記ホストプロセッサに結合され、受信データ入力と送信データ出力とを有するシリア

ル半二重 U A R T 回路要素であって、前記送信データ出力が前記受信データ入力から分離されており、前記 U A R T 回路要素が、前記送信データ出力上でのフレーム伝送の過程を追跡するライン状態レジスタを含む、前記 U A R T 回路要素と、

前記ホストプロセッサと前記 U A R T 回路要素とから分離されているロジック回路要素であって、前記送信データ出力に結合される送信データ入力と、送信 / 受信モード出力と、前記 U A R T 回路要素の前記ライン状態レジスタに結合されるライン状態レジスタ入力とを有する、前記ロジック回路要素と、
を含む、集積回路。

【請求項 7】

請求項 6 に記載の集積回路であって、

前記ロジック回路要素が、コプロセッサ回路要素を含む、集積回路。

【請求項 8】

請求項 6 に記載の集積回路であって、

前記ホストプロセッサが、如何なる送信 / 受信モード出力から自由である、集積回路。

【請求項 9】

請求項 6 に記載の集積回路であって、

前記受信データ入力に結合される受信データ出力と、前記通信データ出力に結合される送信データ入力と、前記送信 / 受信モード出力に結合されるモード入力とを有するトランシーバ回路要素を更に含む、集積回路。

【請求項 10】

集積回路を作動するプロセスであって、

ホストプロセッサから分離されたロジック回路要素において、スタートビットのために U A R T の送信データ出力をモニタリングし、

前記ロジック回路要素内のタイマをスタートして、前記送信データ出力上にスタートビットをモニタリングするときに前記ロジック回路要素から送信モード出力を選択し、

前記タイマの満了のときに前記ロジック回路要素から受信モード出力を選択し、

前記選択の前に遅延を開始し、

前記遅延の間に別のスタートビットのために前記 U A R T の送信データ出力をモニタリングし、

前記遅延の満了のときに前記選択を進める、

ことを含む、プロセス。

【請求項 11】

請求項 10 に記載のプロセスであって、

前記タイマの満了のときに、前記選択の前に遅延を開始することを更に含む、プロセス

。

【請求項 12】

請求項 10 に記載のプロセスであって、

前記タイマの満了のときに、前記選択の前に遅延を開始して、別のスタートビットのために前記 U A R T の送信データ出力をモニタリングすることを更に含む、プロセス。

【請求項 13】

集積回路を作動するプロセスであって、

ホストプロセッサから分離されたロジック回路要素において、スタートビットのために U A R T の送信データ出力をモニタリングし、

前記ロジック回路要素内のタイマをスタートして、前記送信データ出力上にスタートビットをモニタリングするときに前記ロジック回路要素から送信モード出力を選択し、

前記タイマの満了のときに、前記ロジック回路要素から受信モード出力を選択し、

前記選択の前に遅延を開始し、

前記遅延の間に別のスタートビットのために前記 U A R T の送信データ出力をモニタリングし、

前記ロジック回路要素内のタイマを再びスタートして、前記送信データ出力上に別のス

スタートビットをモニタリングするときに前記ロジック回路要素から前記送信モード出力を
選択する、
ことを含む、プロセス。