

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3789302号  
(P3789302)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl. F I  
**GO 6 F 15/80 (2006.01)** GO 6 F 15/80  
**GO 6 F 15/173 (2006.01)** GO 6 F 15/173 6 4 O A

請求項の数 12 (全 16 頁)

|               |                               |           |                         |
|---------------|-------------------------------|-----------|-------------------------|
| (21) 出願番号     | 特願2000-576383 (P2000-576383)  | (73) 特許権者 | 501013640               |
| (86) (22) 出願日 | 平成11年10月8日 (1999.10.8)        |           | ファースト サーチ アンド トランスフ     |
| (65) 公表番号     | 特表2002-527827 (P2002-527827A) |           | ァー エイエスエイ               |
| (43) 公表日      | 平成14年8月27日 (2002.8.27)        |           | ノールウェー国, エヌ - O 1 2 O オ |
| (86) 国際出願番号   | PCT/N01999/000308             |           | スロ, バイカ, ピー. オー. ボックス 1 |
| (87) 国際公開番号   | W02000/022545                 |           | 6 7 7                   |
| (87) 国際公開日    | 平成12年4月20日 (2000.4.20)        | (74) 代理人  | 100066692               |
| 審査請求日         | 平成13年4月6日 (2001.4.6)          |           | 弁理士 浅村 皓                |
| (31) 優先権主張番号  | 19984746                      | (74) 代理人  | 100072040               |
| (32) 優先日      | 平成10年10月9日 (1998.10.9)        |           | 弁理士 浅村 肇                |
| (33) 優先権主張国   | ノルウェー (NO)                    | (74) 代理人  | 100094673               |
|               |                               |           | 弁理士 林 拓三                |
|               |                               | (74) 代理人  | 100107467               |
|               |                               |           | 弁理士 員見 正文               |

最終頁に続く

(54) 【発明の名称】 デジタル処理装置

(57) 【特許請求の範囲】

【請求項 1】

特にデジタルのデータおよび信号構造を処理するデジタル処理装置 P であって、前記データおよび信号構造は繰り返されたシーケンスおよび／または入れ子にされたパターンを含み、また前記処理装置 P は一般に  $n+1$  レベルの  $S_0, S_1, \dots, S_n$  を持ち且つ等級  $k$  の正規のトリートリーとして形成され、前記処理装置 P はレベル  $S_n$  の回路  $P_n$  の形で与えられてトリートの根ノードを形成し、最も近いレベル  $S_{n-1}$  は回路  $P_n$  内で入れ子で与えられて前記根ノードの子ノードを形成する  $k$  個の回路  $P_{n-1}$  を備え、一般に回路  $P_n$  内の下のレベル  $S_{n-q}$  ( $q \in \{1, 2, \dots, n-1\}$ ) は上のレベル  $S_{n-q+1}$  の  $k^{q-1}$  個の回路  $P_{n-q+1}$  内で入れ子で与えられる  $k^q$  個の回路  $P_{n-q}$  を備え、このレベルの各回路  $P_{n-q+1}$  は  $k$  個の回路  $P_{n-q}$  を備え、 $q=n$  のとき回路  $P_n$  内の定義されたゼロ・レベル  $S_{n-q} = S_0$  は  $k^{n-1} + 1$  から  $k^n$  個までの回路  $P_0$  を備え、前記回路  $P_0$  は処理装置 P 内の核プロセッサであってトリートリー内のこのレベル  $S_0$  で葉ノードを形成し、核プロセッサ  $P_0$  はレベル  $S_1$  の  $k^{n-1}$  個の回路  $P_1$  のそれぞれで 1 から  $k$  までの或る数で入れ子で与えられ、各レベル  $S_1, S_2, \dots, S_n$  の各回路  $P_1, P_2, \dots, P_n$  は一般に各回路  $P_1, P_2, \dots, P_n$  内で入れ子で与えられるそれぞれ最も近い下のレベル  $S_0, S_1, \dots, S_{n-1}$  の回路  $P_0, P_1, \dots, P_{n-1}$  に接続される論理ユニット E を備え、選択に従って各回路  $P_1, P_2, \dots, P_n$  内で前記回路  $P_0, P_1, \dots, P_{n-1}$  のネットワークを形成し、各回路  $P_0, P_1, \dots, P_n$  は同じインターフェース I を有することを特徴とする、デジタル処理装置。

10

20

## 【請求項 2】

ゼロ・レベル  $S_0$  は  $k^n$  個の核プロセッサ  $P_0$  を備え、核プロセッサ  $P_0$  はマッピング係数  $r = k$  を持つ上のレベルの回路  $P_1$  を再帰的にマッピングしてトリートを縮小されないトリートすなわち完全なトリートにし、一般にレベル  $S_{n-q}$  の回路  $P_{n-q}$  はマッピング係数  $r = k$  を持つ上のレベル  $S_{n-q+1}$  の回路  $P_{n-q+1}$  を再帰的にマッピングすることを特徴とする、請求項 1 に記載のデジタル処理装置。

## 【請求項 3】

ゼロ・レベル  $S_0$  は  $r k^{n-1}$  ( $1 < r < k$ ) 個の核プロセッサ  $P_0$  を備え、核プロセッサ  $P_0$  はマッピング係数  $r$  ( $1 < r < k$ ) を持つ上のレベル  $S_1$  の回路  $P_1$  をマッピングしてトリートを対称的に縮小させたトリートすなわち釣り合わせたトリートにし、一般に上のレベル  $S_1$  からの全てのレベルの回路  $P_{n-q}$  はマッピング係数  $r = k$  を持つ上のレベル  $S_{n-q+1}$  の回路  $P_{n-q+1}$  を再帰的にマッピングすることを特徴とする、請求項 1 に記載のデジタル処理装置。

10

## 【請求項 4】

1 個から  $k$  個までの各核プロセッサはそれぞれレベル  $S_1$  の各回路  $P_1$  内に入れ子で与えられ、少なくとも 1 個の回路  $P_1$  は少なくとも 2 個、多くとも  $k-1$  個の核プロセッサ  $P_0$  を備え、レベル  $S_0$  の核プロセッサ  $P_0$  の総数は少なくとも  $k^{n-1} + 1$  個、多くとも  $k^n - 1$  個であり、トリートは非対称的に縮小されたトリートすなわち不釣り合いなトリートであり、一般にレベル  $S_{n-q}$  の回路  $P_{n-q}$  は各回路  $P_{n-q}$  内に入れ子にされた回路  $P_{n-q-1}$  によりマッピングされることを特徴とする、請求項 1 に記載のデジタル処理装置。

20

## 【請求項 5】

前記核プロセッサ  $P_0$  は少なくとも 1 個の組み合わせユニット  $C$  と、少なくとも 1 個の組み合わせユニット  $C$  に接続するメモリ・ユニット  $M$  を備えることを特徴とする、請求項 1 に記載のデジタル処理装置。

## 【請求項 6】

前記メモリ・ユニット  $M$  の少なくとも一部はレジスタ・ユニット  $R$  として形成されることを特徴とする、請求項 5 に記載のデジタル処理装置。

## 【請求項 7】

少なくとも 1 個の組み合わせユニット  $C$  とレジスタ・ユニット  $R$  は算術論理ユニット  $ALU$  として形成されることを特徴とする、請求項 6 に記載のデジタル処理装置。

30

## 【請求項 8】

前記論理ユニット  $E$  は少なくとも 1 個の組み合わせユニット  $C$  と、少なくとも 1 個の組み合わせユニット  $C$  に接続するレジスタ・ユニット  $R$  を備えることを特徴とする、請求項 1 に記載のデジタル処理装置。

## 【請求項 9】

少なくとも 1 個の組み合わせユニット  $C$  はマルチプレクサであることを特徴とする、請求項 8 に記載のデジタル処理装置。

## 【請求項 10】

回路  $P_{n-q}$  内の論理ユニット  $E$  は隣接トリート内の同じレベル  $S_{n-q}$  の対応する回路  $P_{n-q}$  内の論理ユニット  $E$  に接続することを特徴とする、請求項 9 に記載のデジタル処理装置。

40

## 【請求項 11】

回路  $P_{n-q}$  内の論理ユニット  $E$  は、隣接トリート内の各下のレベル  $S_{n-q-1}$ ,  $S_{n-q-2}$ ,  $\dots$ ,  $S_1$  の回路  $P_{n-q-1}$ ,  $P_{n-q-2}$ ,  $\dots$ ,  $P_1$  内の論理ユニット  $E$  に接続することを特徴とする、請求項 9 に記載のデジタル処理装置。

## 【請求項 12】

回路  $P_{n-q}$  内の論理ユニット  $E$  は隣接トリート内の 1 個以上の核プロセッサ  $P_0$  に、直接に、または回路  $P_1$  内の論理ユニット  $E$  を介して接続し、核プロセッサ  $P_0$  または対象とする前記各核プロセッサ  $P_0$  は入れ子にされていることを特徴とする、請求項 11 に記載のデジタル処理装置。

50

## 【発明の詳細な説明】

## 【0001】

## (発明の分野)

本発明はデジタル処理装置P、特にデジタルのデータおよび信号構造の処理に関する。ただし、データおよび信号構造は繰り返しシーケンスおよび／または入れ子にされたパターンを備え、また処理装置Pは一般に $n+1$ レベル $S_0, S_1, \dots, S_n$ を持ち且つ等級 $k$ の正規トリーとして形成される。

## 【0002】

大量のデータに繰り返し操作または再帰的操作を行う大規模データ処理は、従来のマイクロプロセッサを用いるとデータの数に限られている場合でもボトルネックになるので、膨大な並列演算を行うのが普通である。この場合、多数の処理要素が大量のデータ・ストリームに対して異なる演算を並列に同時に行うが、また複数のデータ・ストリームに対して並列の演算を行うこともある。かかる大量のデータが繰り返しシーケンスおよび／または入れ子にされたパターンを持つデータまたは信号構造で出現する場合は、同じレベルまたは複数の異なるレベルで並列に処理を行えば効率的である。

## 【0003】

米国特許番号第4860201号(Stolfo 他)は、それぞれが自分自身の入出力ユニットを持つ多数のプロセッサを用いる2進トリー構造の並列処理装置を開示している。一般に、Stolfo 他は2進トリー状に接続された多数のプロセッサを持つコンピュータを開示している。トリーの根と葉のプロセッサを除き、各プロセッサは1個の親プロセッサと2個の子プロセッサを有する。一般に各プロセッサは親プロセッサから送られるデータと同期して動作し、その結果を最も近い次のプロセッサ(すなわち親プロセッサの子達)に送る。同時に、子プロセッサと親プロセッサは相互に通信する。Stolfo 他によると、各ノードは、本来の意味のプロセッサと、読み取り/書き込みメモリすなわちランダム・アクセス・メモリと、入出力装置とを備える処理要素である。入出力装置は各処理要素とその親および子の処理要素との間のインターフェースであって、2進トリー構造を通してデータを送る速度を実質的に向上させる。2進トリー構造の全てのノードに処理要素があるので、処理装置は一般に $2^n - 1$ (すなわち、2進トリーが10レベルの場合は1023)個の処理要素を備える。好ましい実施の形態では、既知の並列処理装置のクロック周波数は12MHzである。したがって、それぞれの平均命令サイクル・タイムが1.8μsである1023個のプロセッサでトリーを構成する場合、処理性能は毎秒約570,000命令である。

## 【0004】

この種の2進並列プロセッサは、分解可能なまたは分割可能なデータ処理問題(例えば大量の情報内の探索)を処理するのに特に適している。分割可能な探索問題とは、オブジェクト $x$ とオブジェクト集合との関係の問い合わせを行うことが或るアイデンティティを有する可換および連想2進演算子 $b$ を繰り返し使用することであると定義され、基本問い合わせは新しいオブジェクト $x$ と集合 $F$ 内の各要素 $f$ との間で行われる。したがって、論理機能ORと、オブジェクト $x$ と $F$ 内の各要素 $f$ との間の基本問い合わせ「 $x=f$ か」とを結合すると、分割可能な探索問題になる。Stolfo 他が述べているように、集合 $F$ についての問い合わせに答えるという問題には、 $F$ の任意の部分集合への問い合わせに対する答えの組み合わせで答えてよい。言い換えると問題は分割可能すなわち分解可能であって、並列処理により高速で実行するのに適している。集合 $F$ は、利用可能なプロセッサの数に等しい多数の任意の部分集合に分割される。したがって、全てのプロセッサに送信される未知数 $x$ と集合 $F$ 内の局所的に記憶されている要素 $f$ との間で、各プロセッサに並列に基本問い合わせ $q$ を行う。次に演算子 $b$ を $\log_2 N$ 回繰り返してこの結果を並列に結合する。なぜなら、多数の計算をまず $N/2$ 個の隣接するプロセッサ対で行い、次に最初の計算の結果を用いて $N/4$ 対のプロセッサで対応する数の計算を行う。したがって、演算を次々と2進トリー内の上のレベルに(言い換えると子プロセッサから親プロセッサに)移動し、各レベルで並列に繰り返す。

10

20

30

40

50

## 【0005】

しかしデータ処理の問題はいろいろある。例えば、データおよび信号の構造が繰り返しシーケンスおよび／または入れ子にされたパターンを含むと、これに対して米国特許番号第4860201号に開示された種類の処理装置は望ましい柔軟性がなく、またはこの問題を処理するのに全く適していない。そこに開示されている2進トリー構造は、原理的に問題が2進分割できることと、演算を同じレベルで並列に行うことを前提としている。しかし別の程度の分解が必要な問題や、処理は並列に行うがトリー構造内の異なるレベルで行わなければならない問題がある。また問題の分割にしても、トリー構造の或る部分トリー内の同じレベルに大きな分割容量を持つことが望ましいこともある。これを解決するには実際に、任意の数のレベルだけでなく任意の等級を有する一般的なトリー構造内から出

10

発するが、部分トリー内のノードは対象とするトリーの親ノードに接続するだけでなく、例えば隣接トリー内の同じレベルまたは下のレベルのノードに接続する必要がある。したがって、望ましい数のレベルを持ち且つ任意の等級のトリー構造内の接続性を高めることにより、元のトリー構造を、縮小されたトリーかまたは簡単なまたは複雑なグラフの形に変更することができる。同時に、1個以上のノードを結合して、対象とする親ノードの機能を行うことができる。

米国特許番号第5561768号により、複数のプロセッサと複数の制御プロセッサを有する大規模並列コンピュータシステムが知られている。これらプロセッサを分割することにより、制御ネットワークトリー構造において種々のレベルを形成することが可能である。

20

## 【0006】

したがって本発明の目的は、膨大な並列方式で且つ一般的なトリー構造内の異なるレベルで大量のデータを処理するのに特に適し、同時に異なるレベルでまた好ましくは所定の条件で入れ子にされた回路として随意に構成することが可能で、所定のレベルの選択された構成が下のレベルの構成により再帰的に生成される、処理装置を提供することである。特に、本発明に係る処理装置の目的は多数の命令と多数のデータで動作する処理装置であるMIMD処理装置を実現することである。

## 【0007】

上に述べた目的またはその他の目的は本発明のデジタル処理装置により達成することができる。この装置の特徴は、処理装置Pはレベル $S_n$ の回路 $P_n$ の形で与えられてトリーの根ノードを形成し、最も近いレベル $S_{n-1}$ は回路 $P_n$ 内で入れ子で与えられて根ノードの子ノードを形成する $k$ 個の回路 $P_{n-1}$ を備え、一般に回路 $P_n$ 内の下のレベル $S_{n-q}$  ( $q \in \{1, 2, \dots, n-1\}$ )は上のレベル $S_{n-q+1}$ の $k^{q-1}$ 個の回路 $P_{n-q+1}$ 内で入れ子で与えられる $k^q$ 個の回路 $P_{n-q}$ を備え、このレベルの各回路 $P_{n-q+1}$ は $k$ 個の回路 $P_{n-q}$ を備え、 $q = n$ のとき回路 $P_n$ 内の定義されたゼロ・レベル  $S_{n-q} = S_0$  は $k^{n-1} + 1$  から $k^n$ 個までの回路 $P_0$ を備え、回路 $P_0$ は処理装置P内の核プロセッサであってトリー内のこのレベル $S_0$ で葉ノードを形成し、核プロセッサ $P_0$ はレベル $S_1$ の $k^{n-1}$ 個の回路 $P_1$ のそれぞれで1から $k$ までの或る数の入れ子で与えられ、各レベル $S_1, S_2, \dots, S_n$ の各回路 $P_1, P_2, \dots, P_n$ は一般に各回路 $P_1, P_2, \dots, P_n$ 内で入れ子で与えられるそれぞれ最も近い下のレベル $S_0, S_1, \dots, S_{n-1}$ の回路 $P_0, P_1, \dots, P_{n-1}$ に接続される論理ユニット

30

40

Eを備え、選択に従って各回路 $P_1, P_2, \dots, P_n$ 内で前記回路 $P_0, P_1, \dots, P_{n-1}$ のネットワークを形成し、各回路 $P_0, P_1, \dots, P_n$ は同じインターフェースIを有することである。

## 【0008】

本発明に係る処理装置の第1の好ましい実施の形態の特徴は、ゼロ・レベル $S_0$ は $k^n$ 個の核プロセッサ $P_0$ を備え、核プロセッサ $P_0$ はマッピング係数  $r = k$  ( $r < 1 < k$ ) を持つ上のレベルの回路 $P_1$ を再帰的にマッピングしてトリーを縮小されないトリーすなわち完全なトリーにし、一般にレベル $S_{n-q}$ の回路 $P_{n-q}$ はマッピング係数  $r = k$  を持つ上のレベル $S_{n-q+1}$ の回路 $P_{n-q+1}$ を再帰的にマッピングすることである。

また本発明に係る処理装置の第2の実施の形態の特徴は、ゼロ・レベル $S_0$ は $r k^{n-1}$  (

50

$1 < r < k$ ) 個の核プロセッサ  $P_0$  を備え、核プロセッサ  $P_0$  はマッピング係数  $r$  ( $1 < r < k$ ) を持つ上のレベル  $S_1$  の回路  $P_1$  をマッピングしてトリーを対称的に縮小させたトリーすなわち釣り合わせたトリーにし、一般に上のレベル  $S_1$  からの全てのレベルの回路  $P_{n-q}$  はマッピング係数  $r = k$  を持つ上のレベル  $S_{n-q+1}$  の回路  $P_{n-q+1}$  を再帰的にマッピングすることである。

#### 【0009】

最後に、本発明に係る処理装置の第2の実施の形態の特徴は、1個から  $k$  個までの各核プロセッサはそれぞれレベル  $S_1$  の各回路  $P_1$  に入れ子で与えられ、少なくとも1個の回路  $P_1$  は少なくとも2個、多くとも  $k-1$  個の核プロセッサ  $P_0$  を備え、レベル  $S_0$  の核プロセッサ  $P_0$  の総数は少なくとも  $k^{n-1} + 1$  個、多くとも  $k^n - 1$  個であり、トリーは非対称的に縮小されたトリーすなわち不釣り合いなトリーであり、一般にレベル  $S_{n-q}$  の回路  $P_{n-q}$  は各回路  $P_{n-q}$  内で入れ子にされた回路  $P_{n-q-1}$  によりマッピングされる。

#### 【0010】

本発明に係る核プロセッサ  $P_0$  は少なくとも1個の組み合わせユニット  $C$  と、少なくとも1個の組み合わせユニット  $C$  に接続するメモリ・ユニット  $M$  を備え、メモリ・ユニット  $M$  の少なくとも一部はレジスタ・ユニット  $R$  である。後者の場合、好ましくは少なくとも1個の組み合わせユニット  $C$  とレジスタ・ユニット  $R$  は算術論理ユニットとして形成される。本発明の論理ユニットは少なくとも1個の組み合わせユニット  $C$  と、少なくとも1個の組み合わせユニットに接続するレジスタ・ユニット  $R$  を備え、少なくとも1個の組み合わせユニット  $C$  は好ましくはマルチプレクサである。回路  $P_{n-q}$  内の論理ユニット  $E$  は隣接トリー内の同じレベル  $S_{n-q}$  の対応する回路  $P_{n-q}$  内の論理ユニット  $E$  に接続する。

#### 【0011】

また回路  $P_{n-q}$  内の論理ユニット  $E$  は、隣接トリー内の各下のレベル  $S_{n-q-1}$ ,  $S_{n-q-2}$ , ...,  $S_1$  の回路  $P_{n-q-1}$ ,  $P_{n-q-2}$ , ...,  $P_1$  内の論理ユニット  $E$  に接続する。最後に、回路  $P_{n-q}$  内の論理ユニット  $E$  は隣接トリー内の1個以上の核プロセッサ  $P_0$  に、直接に、または回路  $P_1$  内の論理ユニット  $E$  を介して接続する。ただし、核プロセッサ  $P_0$  または対象とする各核プロセッサ  $P_0$  は入れ子にされている。

#### 【0012】

図1は、本発明に係る並列処理装置の配置図を対称的に示す。形式的に、図1の方式は次のように述べることができる。すなわち、インターフェース  $I_{P_0}$  を持つ回路  $P_0$  と回路  $E$  が与えられると、それぞれのインターフェース  $I_{P_1}$ ,  $I_{P_2}$ , ...,  $I_{P_n}$  を持ち、それぞれ  $k$  個の回路  $P_0$ ,  $P_2$ , ...,  $P_{n-1}$  と1個の別の回路  $E$  を含む、回路  $P_1$ ,  $P_2$ ,  $P_3$  の繰り返しシーケンスを生成することができる。インターフェース  $I$  は全ての回路  $P_1$ ,  $P_2$ , ...,  $P_n$  で同じである。すなわち、 $I_{P_0} = I_{P_1} = I_{P_2} \dots = I_{P_n}$  である。全ての場合において、回路  $P_1$  は  $n+1$  レベル  $S$  を持ち且つ等級  $k$  のトリー・ネットワークとして形成される。特に、図1は5レベル  $S$  を持ち且つ等級3のトリーを形成する回路  $P_4$  の形のデジタル処理装置を示す。これは図1に示すように、レベル  $S_4$  にある回路  $P_4$  は下のレベルに3個の回路  $P_3$  を含むことを意味する。レベル  $S_3$  の各回路  $P_3$  は下のレベル  $S_2$  の回路  $P_2$  で生成され、レベル  $S_2$  の各回路  $P_2$  は下のレベル  $S_1$  の3個の回路  $P_1$  で生成される。最後に、レベル  $S_1$  の各回路  $P_1$  はレベル  $S_0$  の3個の回路  $P_0$  で生成される。回路  $P_0$  は処理装置  $P_4$  内の固有の処理ユニットであり、 $P_4$  の核プロセッサである。図2に示す回路  $P_4$  は三元トリーで構築されているので、レベル  $S_0$  は全部で  $3^4 = 81$  個の核プロセッサ  $P_0$  を含み、上のレベル  $S_1$  は27個の回路  $P_1$  を含み、次のレベル  $S_2$  は9個の回路  $P_2$  を含む。最後に、レベル  $S_3$  は3個の回路  $P_3$  を含む。各回路  $P_0$ ,  $P_1$ ,  $P_2$ ,  $P_3$  は図2のトリー内のノードである。

#### 【0013】

核プロセッサ  $P_0$  はトリーの葉ノードであり、回路  $P_4$  はトリーの根ノードである。このように構築された図2のトリーの形は、任意のレベル  $S$  の回路が最も近い次の上のレベルの回路にマッピング係数  $r$  (この場合は3) で再帰的にマッピングするので再帰的三元トリーである。各回路  $P_1$ ,  $P_2$ ,  $P_3$ ,  $P_4$ , は更に論理ユニット  $E$  を含む。全ての回路  $P_1$

10

20

30

40

50

,  $P_2$ ,  $P_3$ ,  $P_n$ 内の論理ユニットEは物理的にトリーのノードであると考えられる。論理ユニットEにより、一般的にトリーの各ノードをその親ノードまたはその子ノードに接続することができる。また論理ユニットEを通して、ノードの各子ノードを互いに接続することができる。またトリーの葉ノードである各核プロセッサは親ノードとして各回路 $P_1$ を有し、これらを介して互いに接続することができる。本発明の処理装置が処理しなければならない問題は分割されるので、レベル $S_0$ で核プロセッサ $P_0$ は処理を並列に行う。各親ノード $P_1$ は核プロセッサ $P_0$ からの結果を結合して更に送る。最終結果が回路 $P_4$ に得られるまでこの過程を繰り返す。

核プロセッサ $P_0$ と論理ユニットEの詳細については後で説明する。

#### 【0014】

しかし回路 $P_4$ を完全なすなわち正規の再帰的トリーとして実現する必要はなく、対称的に縮小されたトリーとして生成してよい。この意味は、葉ノードの数、すなわちノード $P_1$ に接続される核プロセッサ $P_0$ の数を縮小することである。すなわち各回路 $P_1$ は2個以上の葉ノードすなわち核プロセッサ $P_0$ を含むが、どの場合も核プロセッサ $P_0$ は $k$ 個より少ない。図1の回路は  $k = 3$  なので、これは図3に示すように対称的に縮小されたトリーが回路 $P_1$ 毎に2個の核プロセッサ $P_0$ を含むことを意味する。図3の対称的に縮小されたトリーは言い換えると正規の再帰的ではなく、再帰はレベル $S_1$ からマッピング係数3で始まる。図1のトリーが、図3では各回路 $P_1$ が論理ユニットEの他に核プロセッサ $P_0$ を2個だけ含む。下のレベルの回路を上レベルに再帰的にマッピングすることは、明らかにこれらの回路が上のレベルの回路で入れ子にされることを意味し、回路 $P_4$ 全体の形は入れ子の回路である。

#### 【0015】

回路が非対称的に縮小された形を図4aに示す。この場合、ノード $P_1$ は正規に3個の葉ノード $P_0$ を持つ場合と、2個の葉ノード $P_0$ を持つ場合と、また1個の葉ノード $P_0$ を持つ場合とがある。最後の場合は、親ノードのマッピングはその一致(identity)マッピングするので論理要素は回路 $P_1$ に残ってよい。全ての回路 $P_1$ が1個の核プロセッサ $P_0$ を含む場合は、 $P_1 = P_0$  なので回路 $P_4$ を生成するトリーの形は完全に縮小され、回路 $P_4$ は4レベルでレベル $S_0$ に27個の核プロセッサ $P_0$ を持つ正規の再帰的回路 $P_3$ に変換される。したがって、完全に縮小されたトリーの形にならないようにするためには、レベルの数が $n+1$ の場合に回路 $P_n$ はレベル $S_0$ に少なくとも $k^{n-1} + 1$ 個の核プロセッサを持たなければならない。

#### 【0016】

最も大きく非対称的に縮小されたトリー内の部分トリーを図4bに示す。この部分トリーのノード $P_2$ は子ノード $P_1$ を持つが、1個のノード $P_1$ だけが2個の核プロセッサすなわち葉ノード $P_0$ を有し、トリー内の他の全てのノード $P_1$ は1個の葉ノード $P_0$ だけを有する（この場合は $P_1$ は $P_0$ に縮小される）。図1の回路に対応する5レベルでは、図4bに示すように形成された回路 $P_4$ （すなわち1個の回路 $P_1$ は2個の葉ノードを、その他の各ノード $P_1$ は1個の葉ノードを持つ）の形は最も大きく非対称的に縮小されたトリーであり、レベル $S_0$ のノードの数は  $3^3 + 1 = 28$  になる。これに対応して、最も小さく非対称的に縮小されたトリー内のノード $P_2$ の部分トリーを図4cに示す。この場合、1個のノード $P_1$ は2個の葉ノードすなわち核プロセッサ $P_0$ を含み、トリー内の他の全てのノード $P_1$ は前と同様に3個の葉ノード $P_0$ を含む。もちろんこれは、図1の回路に対応する最も小さく非対称的に縮小されたトリーは全部で80個の核プロセッサ $P_0$ を含むことを意味する。図4に示すトリーとして生成された回路の形は、もちろん全ての下のレベル $S_1$ ,  $S_2$ ,  $S_3$ で入れ子になっているが、マッピングは再帰的ではない。なぜなら、回路 $P_1$ ,  $P_2$ ,  $P_3$ ,  $P_4$ はそれぞれの下レベル $S_0$ ,  $S_1$ ,  $S_2$ ,  $S_3$ にある全ての回路によりマッピングされるからである。回路 $P_4$ を対称的または非対称的に縮小されたトリーとして生成することの利点については後で詳細に説明する。

#### 【0017】

図5は、本発明に係る再帰的自己マッピング処理装置 $P_n$ を生成する方法を示す。回路 $P_n$

10

20

30

40

50

は、 $n + 1$  レベルを持ち且つ等級  $k = 4$  のトリートとして実現されている。各回路  $P_0$ ,  $P_1, \dots, P_{n-1}$  は最も近い上のレベル  $S_1, S_2, \dots, S_n$  の各回路  $P_1, P_2, \dots, P_n$  内で入れ子にされている。入れ子にされたレベルの数はもちろん  $n$  であり、回路  $P_n$  は各核プロセッサ  $P_0$  により定義されるゼロ・レベル  $S_0$  で全部で  $k^n$  個のこの種の核プロセッサを備える。一般に、レベル  $S_{n-q}$  ( $q = 0, 1, 2, \dots, n$ ) の回路  $P_{n-q}$  の数は  $k^q$  である。

#### 【0018】

図6は、図5の原理に従って再帰的トリートとして生成された入れ子にされた回路  $P_2$  を示す。回路  $P_2$  は論理ユニット  $E$  と、下のレベル  $S_1$  で入れ子にされた4個の回路  $P_1$  を備え、各回路  $P_1$  は論理ユニット  $E$  と、下のレベルで入れ子にされた4個の回路すなわち核プロセッサ  $P_0$  を備える。各論理ユニットは3レベル  $S_0, S_1, S_2$  を持つ四元トリートとして回路  $P_2$  を形成し、レベル  $S_0$  には全部で16個の核プロセッサ  $P_0$  すなわち葉ノードがある。これに対応して、図7は5レベルを持ち且つ  $k = 4$  の逐次生成された回路を示す。言い換えると、図7の回路はレベル  $S_0$  に全部で64個の核プロセッサ  $P_0$  を持つ四元構成トリートを備える。前と同様に、各回路  $P_0, P_1, P_2, P_3$  のインターフェース  $I$  はもちろん同じである。

10

#### 【0019】

図8は一般に四元トリートとして形成された図6の回路  $P_2$  を示すが、更に、例えばレベル  $S_1$  のノードである回路  $P_1$  はレベル  $S_0$  の隣接トリート内の核プロセッサ  $P_0$  と相互に接続されている。一般に、ノード  $P_1, P_2, \dots, P_n$  の中の1個の中の論理ユニット  $E$  により、そのノードが存在する部分トリート内で上向きおよび下向きに接続することができるだけでなく、同じレベル内の隣接トリート内のノードに接続し、または隣接トリート内の下のレベルの最も近くにあるノードに接続することができる。したがって図6の回路では、部分トリート内のノード  $P_1$  を隣接トリート内の第1の葉ノード  $P_0$  に接続することができる。

20

#### 【0020】

これに対応して図9は、4レベルで総数64個の核プロセッサを持つ四元トリートを形成する、図7の回路内の接続を示す。この場合も、所定のレベルのノードを、同じレベルの隣接トリート内のノードに接続し、また任意の下のレベルの隣接トリート内の最も近い隣接ノードに接続することができる。

これは、論理要素を介して一般的なトリート構造を複雑度の高いまたは低いグラフに形成することができることを意味する。図10に示す例では、16個の核プロセッサ  $P_0$  を逐次接続して図6または図8の回路  $P_2$  を実際に一次元のグラフにした。

30

#### 【0021】

通常、本発明に係る処理装置は所定のタスク（たとえば画像処理）専用の処理装置として実現される。一般的なトリート構造を基礎にして、操作的にまたは物理的に、タスク専用構成する。操作的に構成する場合は、インターフェースを介して、処理に適したネットワークを実現する構成パラメータを回路に与える。この場合の構成は、実際に回路に与えられる数より少ない核プロセッサを用いて回路を形成することを意味する。本発明に係る処理装置の形は、図3に示すような対称的に縮小されたトリート、または図4に示すような非対称的に縮小されたトリートである。或る具体的なデータ処理タスクでは、特定のタスク用の処理装置の容量を増やすために1つ以上の部分トリート内の核プロセッサの数を増やす必要がある。

40

#### 【0022】

上に述べたように、本発明に係る処理装置の形は対称的または非対称的に縮小された物理的に縮小されたトリートでもよい。これは、実際の物理的な回路設計が、トリート内のレベル  $S$  の数および等級  $k$  より少ない数の核プロセッサで実現されることを意味する。これは、チップ上の占有領域 (real estate) の条件を最適に活用する回路技術方式として適している。本発明に係る専用の処理装置内の核プロセッサの数が物理的に縮小されると、例えばチップの物理的サイズが縮小し、または選択された実際の構造に従ってチップの占有領域の活用が改善されることを意味する。もちろん条件は、処理装置に割り当てられたタスク

50

を全ての環境で実行することである。

回路  $P_0$  は処理装置  $P$  内のゼロ番目の入れ子にされないレベルを定義し、 $P$  内の核プロセッサである。

#### 【0023】

核プロセッサ  $P_0$  を一般に図 11a に示す。核プロセッサ  $P_0$  はメモリ・ユニット  $M$  に接続する組み合わせユニット  $C$  を備える。核プロセッサ  $P_0$  内のインターフェース  $I_{P_0}$  (もちろんこれは他の回路  $P_1, \dots, P_n$  のインターフェース  $I$  と同じである) は  $P_0$  側にあり、入力側を「In」、出力側を「Out」と記した矢印で示す。組み合わせユニット  $C$  は、処理するデータを含む演算パラメータの形のデータを入力側に受ける。また入力側は核プロセッサ  $P_0$  の構成パラメータの形のデータを供給する。かかる構成パラメータは、組み合わせユニット  $C$  とメモリ・ユニット  $M$  内の部分要素のための命令と設定パラメータから成る。処理するデータの形が繰り返しシーケンスおよび／または入れ子にされたパターンを持つ構造であり、またデータの処理が所定のシーケンスおよびパターン向けであって命令の比較的限定された集合を用いる場合は、メモリ・ユニットの全てまたは一部をレジスタ・ユニット  $R$  で構成してよい。なぜなら、各レジスタ・ユニットは、処理中に実行する演算に従ってそれぞれ固定長とアドレスを持つ複数のレジスタを備えてよいからである。インターフェースの出力側は処理の結果を例えば全処理装置  $P_n$  用の図示されていない外部入出力インターフェースに送り、またはその結果を回路  $P_1$  内の他の核処理ユニット  $P_0$  に、または下のレベル  $S_2, S_3, \dots, S_n$  の回路  $P_2, P_3, \dots, P_n$  内の入力インターフェースに送る。

#### 【0024】

探索プロセッサ装置に用いられる回路  $P_1$  の、略図ではあるが全ての主な構成要素を備える特定の実施の形態を図 11b に示す。図に示すインターフェースは、それぞれ入力インターフェース  $I_{in}$  と出力インターフェース  $I_{out}$  である。入力インターフェース  $I_{in}$  はマルチプレクサ  $MUX$  に接続する。マルチプレクサ  $MUX$  の出力は、出力インターフェース  $I_{out}$  と、核プロセッサ  $P_0$  に対応する比較ユニット  $COM$  と、第 1 の  $D$  フリップフロップと、シーケンス制御ユニット  $SC$  にそれぞれ接続する。比較ユニット  $COM$  は、所定のパターンを形成するキャラクタまたはキャラクタのストリングを比較する探索動作に用いられる。これにより、所定のパターンを、異なるパターンで生成された集合の中の 1 つ以上の要素の形で検索することができるかどうか判定することができる。比較ユニット  $COM$  は受けたデータを出力インターフェース  $I_{out}$  に送り、また比較の結果を待ち合わせユニット  $LAT$  に送る。待ち合わせユニット  $LAT$  は正の 2 進値を所定のサイクル数の間遅らせるのに用いられる。待ち合わせユニット  $LAT$  は  $D$  フリップフロップ  $D1$  を介してマルチプレクサ  $MUX$  の出力に接続し、また比較の結果をシーケンス制御ユニット  $SC$  に送る。シーケンス制御ユニット  $SC$  は、現在の核プロセッサ自身が一致を報告する前に現在の核プロセッサの前または後に接続する核プロセッサが一致を報告することを要求する。これにより、パターンの一部が欠けている場合にパターンを比較することができるし、またパターンの一部が繰り返されるときにパターンを比較することができる。

#### 【0025】

シーケンス制御ユニット  $SC$  の入力側は  $D$  フリップフロップ  $D_1$  に接続し、出力側は  $D$  フリップフロップ  $D_2$  に接続する。フリップフロップの数は、比較ユニット  $COM$  で比較するキャラクタの数と同じである。シーケンス制御ユニット  $SC$  は前および後のプロセッサ・ユニットでの比較操作からの結果を受けることが可能でなければならないので入力インターフェース  $I_{in}$  とマルチプレクサ  $MUX$  に接続し、自身は比較操作の結果を、出力インターフェース  $I_{out}$  を介して報告する。最後に、この実施の形態の回路  $P_1$  は結果セクタ  $RS$  を含む。結果セクタ  $RS$  は他の核プロセッサまたは他の結果セクタからの 2 つの結果値を結合するのに用いられる。結果セクタ  $RS$  は入力インターフェース  $I_{in}$  と出力インターフェース  $I_{out}$  にそれぞれ接続し、2 つの結果値にブール演算を行い、またはプロセッサの集合に対して大きい、小さい、等しい、という比較操作を行うことができる。

#### 【0026】

或る実施の形態では、デジタル処理装置Pを膨大な並列方式で種々の数値計算に適用することができる。この場合は、組み合わせユニットCとレジスタ・ユニットRを算術論理ユニットALUとして形成する。各核プロセッサP<sub>0</sub>は更にRAMのメモリ・ユニットMを備えてインテリジェントRAM（IRAM）を形成し、この種のデータ処理の待ち合わせの問題を軽減し又は除去する。

#### 【0027】

各入れ子にされたレベルS<sub>1</sub>, S<sub>2</sub>, ..., S<sub>n</sub>には論理ユニットEという別の回路がある。論理ユニットE自体がプロセッサ・ユニットであって、組み合わせユニットCとレジスタ・ユニットRから成る。論理ユニットEは一般に全ての回路P<sub>1</sub>, P<sub>2</sub>, ..., P<sub>n</sub>で同じである。例えば回路P内で、インターフェースIと比較器（核プロセッサ）COMを除き、論理ユニットEは図11bの全ての構成要素に対応する。正規の2進トリーでは、図11bの回路P<sub>1</sub>はもちろん2個の核プロセッサ（すなわち、2個の接続された比較ユニットCOM）を有する。この場合、各レベルS<sub>1</sub>, S<sub>2</sub>, ..., S<sub>n</sub>の回路Eは、各レベルと恐らく下のレベルでネットワークを形成するための処理ユニットとして機能する。回路Eはネットワークの各ノード内にある。適当なネットワーク構成パラメータを回路Eに与えることにより、実行する処理タスクに最適な所定のレベルのネットワークを形成することができる。論理ユニットEは隣接トリー内の同じまたは下のレベルのノードに接続し、正規のトリー構造を基礎にしてこれを複雑度の高いまたは低いグラフとネットワークに変換し、例えば釣り合った分割ができない問題で、タスク特有のデータ量とデータ速度の処理を改善することができる。

#### 【0028】

比較ユニットCOMとして実現され、探索プロセッサ装置で用いられる核プロセッサP<sub>0</sub>内の組み合わせユニットを図12aに示す。レジスタxは一時的に比較ユニットCOM内に存在するデータ語を含み、レジスタaはxと比較するデータ語を含む。図12aから容易に分かるように、4種類の比較が行われ（すなわち、 $x = a$ 、 $x \geq a$ 、 $x \neq a$ 、 $x \leq a$ ）、その結果はマルチプレクサMUXの出力に送られる。比較ユニットは図12aに示すように接続されるので、キャラクタ・ストリングの形の簡単なパターンを比較することができる。原理を図12bに示す。図の相互接続されたユニットはaのすぐ後にb、そのすぐ後にcというストリングabcを比較することができる。

#### 【0029】

本発明に係る処理装置を探索プロセッサ装置として実現する場合は、縮小されない釣り合った2進トリーを用いてよい。トリー内の各内部ノード（すなわち、根ノードと葉ノードを除く全てのノード）毎に、マルチプレクサを用いて、2つの部分トリーが同じデータ要素を並列に受けるかどうか、またデータを逐次受けるかどうかを決定する。すでに述べたように、これは隣接トリー内の2つの異なるレベルのノードを接続することに対応する。

#### 【0030】

図12cは、8個の核プロセッサ（ここでは回路0, 1, ..., 7で示す）を持つ2進トリーとして実現された探索プロセッサ装置を示す。これについて述べると、結果を2個の回路すなわち2個の核プロセッサから得ると、論理操作を用いてこれらを結合する。これは結果セクタRSで行う。図11bに示すように各回路内の論理ユニットEは結果セクタRSを備え、結果の1つだけを選択する。言い換えると、2進トリーで用いられる結果セクタはプロセッサ・ユニットのグループから1つの結果を与える。同時に、2進トリーの形の探索処理装置は、核プロセッサすなわち比較ユニットCOMがとりあえず処理したキャラクタまたはキャラクタ・ストリングを比較する前または後に行ったキャラクタまたはキャラクタ・ストリングの比較からの結果も取り出す。論理ユニット内のシーケンス制御ユニットを用いることにより、異なるキャラクタまたはキャラクタ・ストリングを比較する任意の要素について右または左の結果を選ぶことにより比較操作を行うようにトリーを形成してよい。

#### 【0031】

複数の比較ユニットが更に同じキャラクタまたはキャラクタ・ストリングを比較するとき

10

20

30

40

50

、その前と後の結果は同じであろう。これらの結果は、用いるデータ・ストリングを制御する同じマルチプレクサMUXが発見し、比較結果を更に、同じキャラクタまたはキャラクタ・ストリングを比較する任意の隣接要素に送る。これも、図12cに示す探索プロセッサ装置で実現される。これについて述べると、ここでは同じマルチプレクサ集合を3つの異なる目的に用いる。すなわち、データを分配することと、多数のフリップフロップを通してメモリ・ビットの経路を選択することと、前または後のキャラクタまたはキャラクタ・ストリングを比較した結果を与えることである。しかし異なる核プロセッサからの結果は、部分トリートと探索プロセッサ装置の出力との間に接続されたルックアップ・テーブルを用いて結合することができる。この場合、ルックアップ・テーブルは図12cの結果セクタRSに代わるものである。

10

#### 【0032】

本発明に係る入れ子にされた、恐らく再帰的に生成された処理装置Pを用いて、膨大な並列方式で大量のデータを処理するタスク専用の処理装置を実現することができる。かかるタスクの例は、文書の形で構築された大量のデータの探索である。この場合、探索は全てのまたは多数の文書で同時に並列に行い、例えばパターンを検索し、識別し、比較する。また本発明に係る処理装置により、例えば画像処理、符号化および復号、一般に再帰手続きに基づく処理を行うことができる。純粋に数値プロセッサとして適用すれば、本発明に係る処理装置は因数分解に適用することができる。

#### 【0033】

前に述べたように、核プロセッサ $P_0$ は標準のマイクロエレクトロニクス構成要素を用いてよく、例えば、いわゆるフィールド・プログラムド・ゲート・アレイ(FPGA)、または特殊用途向け集積回路(ASIC)として実現してよい。どちらの場合も集積度は多様である。本発明に係る処理装置は複数の次元(例えば処理容量や接続性に関して)で基準化することができるので、その実現は限定された技術や限定された技術レベルにより制限されるものではなく、いつでも利用可能な技術レベルを用いて実際に実現することができる。したがって、処理装置の性能は技術の発展と共に向上させることができる。

20

#### 【0034】

原理的に、本発明に係る処理装置Pは、任意の等級 $k$ と任意の数 $n+1$ のレベルSで実現することができる。どの場合でも、核プロセッサの数は $k^n$ である。実際には $k$ も $n$ も、処理装置Pを実現するのに利用可能なマイクロエレクトロニクス技術により、また特に利用可能な集積度により制限される。技術と、処理装置Pが実現すべき特定の処理タスクに従って、 $k$ と $n$ の値は諸条件(例えば並列方式および分割の程度の必要性)を勘案して選択される。実際には処理装置 $P_n$ は、例えば  $k=8$  且つ  $n=3$ 、すなわちレベル $S_0$ の512個の核プロセッサ $P_0$ で実現される。

30

#### 【0035】

従来の無機半導体技術(例えばシリコン技術)に基づく標準のマイクロエレクトロニクスを用いて処理装置Pを基板上で実質的にプレーナ技術で集積して実現する場合は、ネットワーク内の回路を相互に接続する接続性は、複雑であることと信号経路が長いという問題を有する。しかし原理的にはネットワークの構成を変更することができる。すなわち、或るタスク用に構成されたネットワークを、例えば論理ユニットEを介して適当な構成パラメタを用いることにより別のネットワークに変更することができる。しかし膨大な並列処理を行う或るタスクでは、高度の接続性が、理想的には全接続性(すなわち全てのノードを相互に接続すること)が望ましい。この場合は、 $m$ 個のノードの接続性の程度は $m^2/2$ であり、 $m$ が限定された数(例えば512)であっても従来の回路構成法では実現が困難である。回路を構成する1つの方法は、立体構成で互いに重ねる有機薄膜技術を用いて回路を重ね、別個のノードまたは回路の間を接続するため垂直および水平導電構造を用いて、三次元ネットワーク構成にすることである。これにより非常に高度の接続性が得られる。かかる技術は、NO特許出願19982518(Gudesen, Leistad および Nordal)に開示されている。これはMIMD構造を持つ集積可変データ処理装置に関するもので、立体的に構築されたユニットとして実現され、膨大な並列処理において最適なネットワーク

40

50

構成と高度の接続性を有する。

【図面の簡単な説明】

【図 1】 本発明に係る処理装置の第 1 の実施の形態。

【図 2】 正規のトリートリー構造として形成された図 1 の実施の形態。

【図 3】 トリートリー構造として形成された本発明に係る処理装置の第 2 の実施の形態。

【図 4 a】 非対称的に縮小されたトリートリーとして形成された本発明に係る処理装置の第 3 の実施の形態。

【図 4 b】 本発明に係る処理装置を表す、トリートリー構造内の葉ノードを持つ部分トリートの例。

【図 4 c】 本発明に係る処理装置を表す、トリートリー構造内の葉ノードを持つ部分トリートの別の例。 10

【図 5】 再帰的マッピングにより入れ子にされた回路として本発明に係る処理装置を生成する原理の略図。

【図 6】 3 レベルを持ち且つ等級 4 の再帰的回路としての本発明に係る処理装置の実施の形態。

【図 7】 4 レベルを持ち且つ同じく等級 4 の再帰的回路としての本発明に係る処理装置の別の実施の形態。

【図 8】 図 6 の回路に対応するトリートリー内のノードの間の可能な接続。

【図 9】 図 7 の回路に対応するトリートリー内のノードの間の可能な接続。

【図 10】 一次元グラフとして接続された図 6 または図 8 の回路。 20

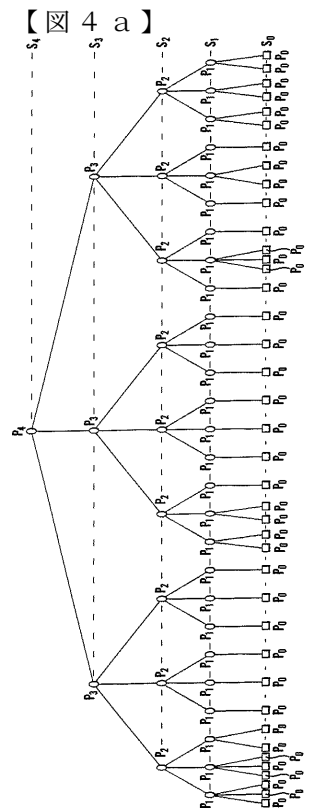
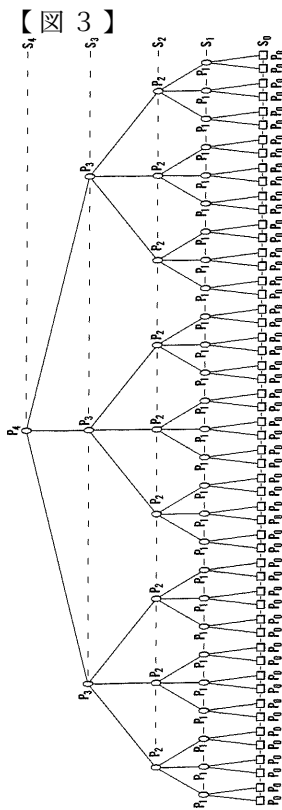
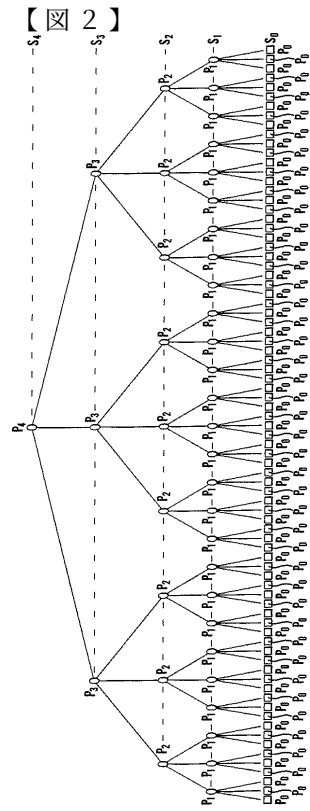
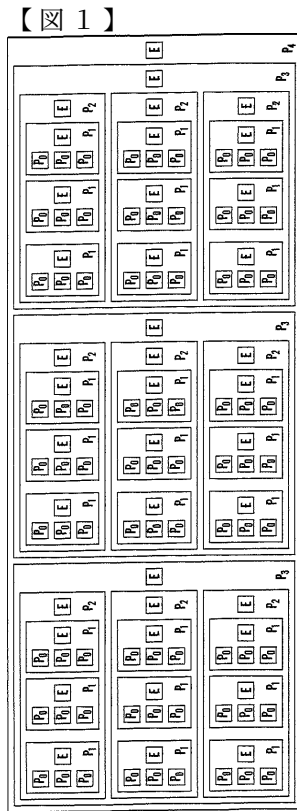
【図 11 a】 本発明に係る処理装置内の核プロセッサの実施の形態の略図。

【図 11 b】 本発明に係る処理装置に基づき探索プロセッサ内で用いられる論理ユニットと比較ユニットの形の核プロセッサを持つ回路の実施の形態の略図。

【図 12 a】 図 11 b 内の比較ユニット。

【図 12 b】 例えば 3 キャラクタのパターンを比較するための図 12 a と同じ比較器の接続。

【図 12 c】 図 11 b の回路に対応する回路で実現された釣り合った 2 進トリートリー。



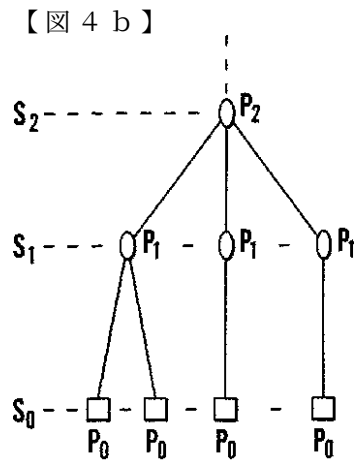


Fig.4b

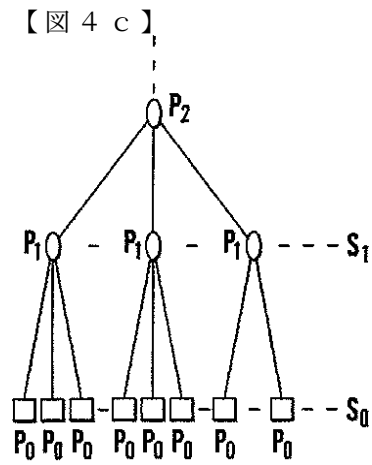


Fig.4c

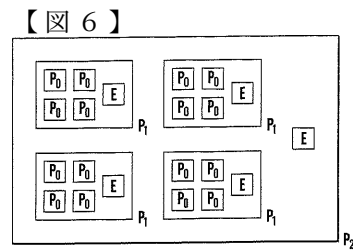


Fig.6

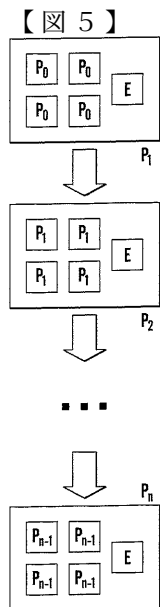


Fig.5

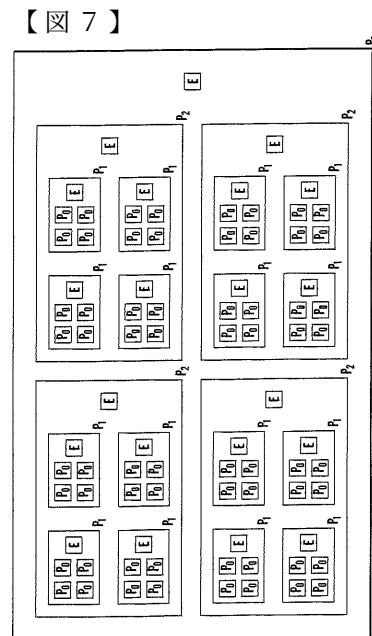


Fig.7



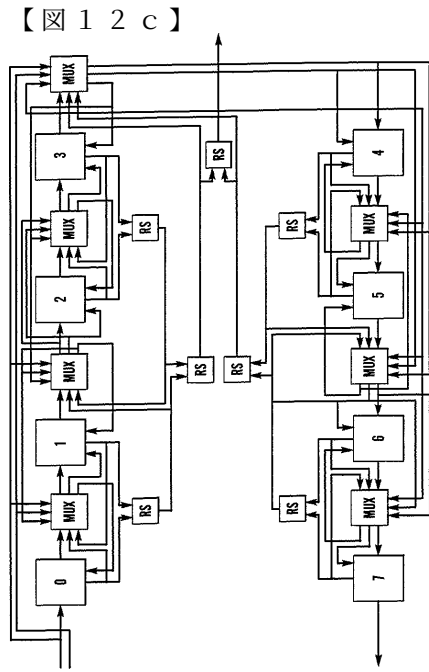


Fig. 12c

---

フロントページの続き

- (72)発明者 ハラース、アルネ  
ノルウェー国 トロンド Heim、オベルレジエ ブラッツ ペイ 60
- (72)発明者 スビンゲン、ボルゲ  
ノルウェー国 ホメルビク、ボルクダレン 6
- (72)発明者 レイスタド、ゲイル、アイ  
ノルウェー国 サンドビカ、ヨングススツッベン 19

審査官 久保 正典

- (56)参考文献 特開昭55-092964 (JP, A)  
特表平01-501261 (JP, A)  
米国特許第05561768 (US, A)

- (58)調査した分野(Int.Cl., DB名)  
G06F15/78-15/80  
G06F15/16-15/177