



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0034262
(43) 공개일자 2016년03월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 21/02 (2006.01)
H01L 21/28 (2006.01) H01L 29/51 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/66742 (2013.01)
H01L 21/02172 (2013.01)
(21) 출원번호 10-2015-7037203
(22) 출원일자(국제) 2014년06월11일
심사청구일자 없음
(85) 번역문제출일자 2015년12월30일
(86) 국제출원번호 PCT/EP2014/062120
(87) 국제공개번호 WO 2015/010825
국제공개일자 2015년01월29일
(30) 우선권주장
13177735.1 2013년07월24일
유럽특허청(EPO)(EP)

(71) 출원인
아이엠이씨 브이제트더블유
벨기에 비-3001 루벤 카펠드리프 75
카톨릭에케 유니버시티 루벤
벨기에, 3000 루벤, 와아이스트라아트 6-박스
5105, 케이유 루벤 리서치 앤드 디벨롭먼트
네덜란드 오르가니자티에 포오르 토에게파스트-나
투우르베텐샤펠리즈크 온테르조에크 데엔오
네덜란드 엔엘-2595 디에이 '에스-그라벤헤이그
안나 반 류렌플레인 1
(72) 발명자
내그, 만노즈
벨기에 비-3001 루벤 카펠드리프 75, 지적재산부
브호로감, 아자이 삼파트
벨기에 비-3001 루벤 카펠드리프 75, 지적재산부
필러, 요한
벨기에 비-3001 루벤 카펠드리프 75, 지적재산부
(74) 대리인
특허법인 무한

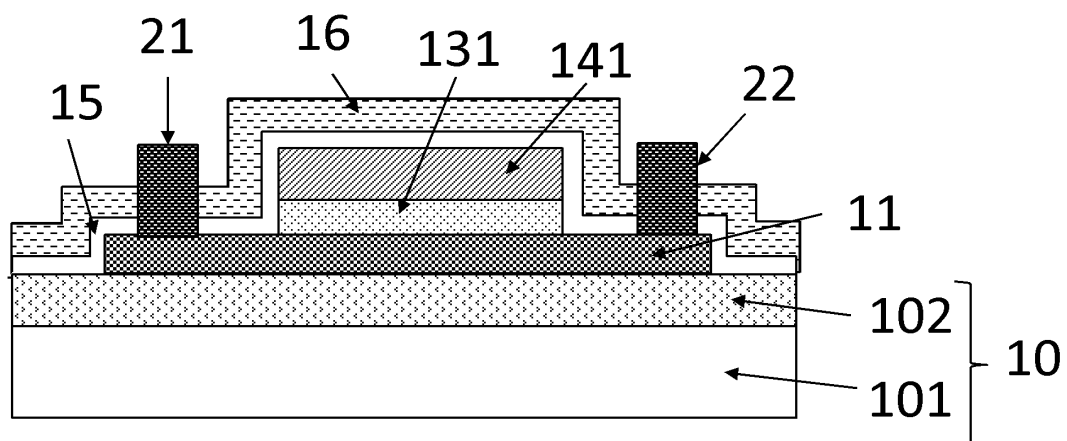
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 금속 산화물 반도체층의 전기전도도의 개선 방법

(57) 요약

본 개시내용은 소정의 위치에서 금속 산화물 반도체층의 전기전도도를 개선하기 위한 방법을 제공한다. 상기 방법은 금속 산화물 반도체층을 기판 상에 제공하는 단계; 상기 금속 산화물 반도체층 상에 금속 산화물층을 원자층 증착에 의해서 제공하는 단계를 포함하고, 상기 금속 산화물층은 상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉한다. 놀랍게도, 이 방법에 의해서 소정의 위치에서 금속 산화물 반도체층의 전기전도도가 증가하는 것을 밝혀냈다. 본 개시내용의 방법은 소스 및 드레인 영역에서 전기전도도를 개선하기 위해서 바람직하게 자체 배열된 상부 게이트 금속 산화물 반도체 박막 트랜지스터의 제조 공정에서 사용될 수 있다

대표도 - 도1f



(52) CPC특허분류

H01L 21/28194 (2013.01)

H01L 29/517 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/7869 (2013.01)

H01L 2251/303 (2013.01)

H01L 2924/05432 (2013.01)

명세서

청구범위

청구항 1

소정의 위치에서 금속 산화물 반도체층의 전기전도도를 개선하는 방법으로서,

금속 산화물 반도체층(12)을 기판(10) 상에 제공하는 단계;

상기 금속 산화물 반도체층 상에 금속 산화물층(15)을 원자층 증착에 의해서 제공하는 단계를 포함하고, 상기 금속 산화물층은 상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉하는, 방법.

청구항 2

제1항에 있어서,

상기 금속 산화물층(15)은 두께가 10nm와 100 nm의 범위 내에 있는, 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 금속 산화물층(15)을 제공하는 단계는, 150℃와 200℃의 범위 내의 온도에서 수행되는, 방법.

청구항 4

상기 어느 한 항에 있어서,

상기 금속 산화물 반도체층(12)은 갈륨-인듐-아연 산화물층인, 방법.

청구항 5

상기 어느 한 항에 있어서,

상기 금속 산화물층(15)은 Al_2O_3 층인, 방법.

청구항 6

제5항에 있어서,

상기 Al_2O_3 층은 반응물로서 트리메틸알루미늄 및 물(H_2O)로부터 증착되는, 방법.

청구항 7

상기 어느 한 항에 있어서,

상기 금속 산화물 반도체층 상에 상기 금속 산화물층을 제공하는 단계 전에,

상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉하는 알칼리 금속 또는 알칼리 토금속을 포함하는 환원층을 제공하는 단계;

상기 환원층과 상기 금속 산화물 반도체층 사이의 화학적 환원 반응을 유도하는 단계; 및
상기 환원층 및 상기 환원 반응으로부터의 반응 부산물을 제거하는 단계;
를 더 포함하는, 방법.

청구항 8

제1항 내지 제7항 중 어느 한 항에 따른 방법을 사용해서 자체 배열된 상부 게이트 금속 산화물 반도체 박막 트랜지스터를 제조하는 방법으로서, 상기 방법은:

기관(10) 상에 금속 산화물 반도체층(12)을 제공하는 단계;

상기 금속 산화물 반도체층(12) 상에 게이트 유전체층(13)을 증착하는 단계;

상기 게이트 유전체층(13) 상에 게이트 전극층(14)을 증착하는 단계;

게이트 전극(141) 및 게이트 절연체(131)를 형성하기 위해서 상기 게이트 전극층(14) 및 상기 게이트 절연층(13)을 패터닝하는 단계;

상기 박막 트랜지스터의 소스 영역(111), 채널 영역(110), 및 드레인 영역(112)을 정의하기 위하여, 상기 금속 산화물 반도체층(12)을 패터닝하는 단계; 및

상기 소스 영역(111) 및 드레인 영역(112) 내에서 상기 금속 산화물 반도체층의 전기전도도를 증가시키기 위해서 금속 산화물층(15)을 원자층 증착에 의해서 증착하는 단계를 포함하고, 상기 금속 산화물층이 상기 금속 산화물 반도체층과 직접 물리적으로 접촉하는, 방법.

청구항 9

제8항에 있어서,

상기 금속 산화물층(15) 상에 유전체층(16)을 제공하는 단계;

상기 유전체층(16) 및 상기 금속 산화물층(15)을 통해 비아를 형성하는 단계; 및

소스 전극(21) 및 드레인 전극(22)을 형성하기 위해 상기 비아에 금속을 충전하는 단계;

를 더 포함하는, 방법.

청구항 10

제8항 또는 제9항에 있어서,

상기 방법은 200℃ 미만의 온도에서 수행되는, 방법.

청구항 11

제8항 내지 제10항 중 어느 한 항에 있어서,

상기 기관은 저비용의 플렉서블 기관인, 방법.

청구항 12

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 기관은 PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), 또는 PC(폴리카보네이트)를 포함

하는, 방법.

발명의 설명

기술 분야

[0001] 본 개시내용은 금속 산화물 반도체층의 전기전도도를 국소적으로 개선하는 방법에 관한 것이다.

[0002] 본 개시내용은 또한 금속 산화물 반도체 기반 박막 트랜지스터를 제조하는 방법에 관한 것이다.

배경 기술

[0003] 비정질 금속 산화물 반도체 박막 트랜지스터(TFT), 예를 들면, 비정질 인듐-갈륨-아연 산화물(a-IGZO) 박막 트랜지스터는, 높은 이동성 및 큰 영역 균일성 때문에 평면 패널 디스플레이 적용에서 실리콘 기반 TFT의 잠재적인 대안으로서 조사되었다.

[0004] 활성 매트릭스 액정 디스플레이에서 스위치 장치로서 사용되는 종래의 비정질 실리콘 TFT는, 큰 영역 균일성의 장점이 있다. 그러나, 전계효과 이동성($< 1 \text{ cm}^2/\text{V} \cdot \text{s}$)이 너무 낮아서 유기 발광 다이오드(OLED)를 구동시키지 못한다.

[0005] 한편, 기존에 AMOLED 디스플레이에서 스위치 장치로서 사용되고 있는 높은 이동성($> 50 \text{ cm}^2/\text{V} \cdot \text{s}$)의 결정질 p-Si TFT는, 대면적 AMOLED 디스플레이에서 임계 전압 및 전계효과 이동성의 비균일성을 갖는다.

[0006] 공지된 하부 게이트 및 상부 게이트 TFT 구조체는, 높은 기생 용량(parasitic capacitance) 및 낮은 확장성(큰 풋프린트(footprint)) 때문에 고해상도 디스플레이에서 사용하는 데에 적합하지 않다. 이러한 TFT 구조체 내의 높은 기생 용량은, 소스와 게이트의 사이 및/또는 드레인과 게이트의 사이의 오버랩의 존재에 의한 것이다. 이러한 오버랩은, 게이트, 소스, 및 드레인 사이의 잘못된 배열의 부정적인 결과를 방지하거나 제한하기 위해서 채널 길이보다 큰 트랜지스터 게이트 길이를 사용하는 것 때문이다.

[0007] 따라서, 소스 및 드레인이 게이트에 배열되고, TFT가 우수한 전기적 성능 및 높은 안정성을 갖는, 자체 배열된 상부 게이트 산화물 TFT를 제조하기 위한 방법이 개발되고 있다. 소스 및 드레인 영역에서 금속 산화물 반도체층의 전기전도도가 국소적으로 증가하는, 산화물 반도체 활성층을 갖는 다수의 자체 배열된 상부 게이트 구조체가 보고되었다.

[0008] 금속 산화물 반도체 물질의 전기전도도를 (국소적으로)증가시키기 위한 다수의 방법이 제안되었다. 하나의 접근 방법은, 불순물(예를 들면, 붕소, 인, 또는 비소)의 이온 주입법에 의한 도프로 구성된다. 그러나, 이온 주입법은, 도펀트 활성을 위해서 어닐링 단계(일반적으로 450°C 초과)가 필요하기 때문에 플렉서블 기판에 대해서 사용하는 것이 곤란할 수 있다.

[0009] 또 다른 접근 방법은, 아르곤 플라즈마 처리, 수소플라즈마 처리 또는 NH_3 플라즈마 처리를 수행하는 것으로 구성된다. 그러나, 이러한 플라즈마 처리된 소스 및 드레인 영역의 안정성이 우수하지 못하고, OLED 집적에 요구되는 추가의 가공 단계 후 플라즈마 처리 효과가 사라질 수 있는 것이 관찰되었다.

[0010] 미국 특허 공개 제2012/0001167호에서는, 자체 배열 금속 산화물 반도체 박막 트랜지스터의 제조 방법이 개시되어 있고, 금속 산화물 반도체층의 전기전도도를 국소적으로 증가시키기 위한 또 다른 방법이 사용되고 있다. 금속 산화물 반도체층, 게이트 절연체 및 게이트 전극을 증착한 후, Ti, Al, 또는 In 와 같은 금속으로 제조된 금속 필름이 제공되고, 금속 필름의 두께는 10 nm 이하이다. 다음, 산소 함유 분위기에서 예를 들면, 300°C 의 온도에서 열처리가 수행된다. 이러한 열처리 결과, 금속 필름이 산화된다. 금속 필름의 산화 반응에서, 금속 산화물 반도체층의 소스 영역 및 드레인 영역 내에 포함되는 산소의 일부가 금속 필름으로 전달된다. 따라서, 소스 영역 및 드레인 영역 내의 산소 농도가 감소하고, 금속 산화물 반도체층의 상부에서 낮은 저항 영역이 형성된다. 금속 필름의 두께가 바람직하게 10 nm 이하이고, 금속 필름은 산소 함유 분위기에서 열처리 중에 완전히 산화될 수 있다. 이와 같이 해서, 산화되지 않은 금속을 제거하기 위한 에칭 단계가 회피될 수 있다.

[0011] 미국 특허 공개 제2012/0001167호에서 개시된 방법은, 적어도 200°C , 예를 들면, 약 300°C 의 온도를 필요로 한다. 따라서, 이러한 방법은, 일부 저비용의 플렉서블 기판(예를 들면, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), 및 PC(폴리카보네이트))과 상용하지 못하고, 높은 열 안정성 및 화학적 안정성을 갖는 높은 가격의 플라스틱 호일 PI(폴리이미드), PES(폴리에테르설폰), 또는 PEEK(폴리에테르에테르케톤)을 필

으로 할 수 있다. 상기 방법은 또한, 산화되지 않은 금속을 제거하기 위한 에칭 단계를 피하기 위해서, 금속층의 두께를 우수하고 정확하게 제어하는 것이 필요하다.

발명의 내용

해결하려는 과제

[0012] 본 개시내용의 목적은, 금속 산화물 반도체층의 전기전도도를 국소적으로 증가시키기 위한 방법을 제공하고, 전기전도도 증가에 의해 우수한 열 안정성이 얻어지고, 상기 방법은 200℃ 미만의 온도에서 수행될 수 있는 것이다.

[0013] 본 개시내용의 목적은, 우수한 소스 및 드레인 컨택, 우수한 전계효과 이동성(예를 들면, $10 \text{ cm}^2/\text{Vs}$ 초과), 우수한 열 안정성 및 우수한 바이어스 안정성을 갖고, 200℃ 미만의 온도에서 제조될 수 있는 자체 배열된 상부 게이트 금속 산화물 반도체 박막 트랜지스터의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0014] 본 개시내용은 금속 산화물 반도체층의 전기전도도를 소정의 위치에서 개선하는 방법에 관한 것이다. 상기 방법은, 금속 산화물 반도체층을 기판 상에 제공하는 단계; 상기 금속 산화물 반도체층 상에 금속 산화물층을 원자층 증착(ALD)에 의해서 제공하는 단계를 포함하고, 상기 금속 산화물층은 상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉하고, 즉, 직접적인 물리적 계면에 의해서 접촉된다.

[0015] 놀랍게도, 이러한 금속 산화물층을 ALD에 의해 증착하면, 금속 산화물층이 금속 산화물 반도체층과 직접 물리적으로 접촉하는 위치에서 금속 산화물 반도체층의 전도도가 증가하는 것을 밝혀냈다.

[0016] 본 개시내용의 실시형태에서, 금속 산화물층은 두께가 10 nm와 100 nm 범위 또는 11 nm와 99 nm 범위 내에 있을 수 있고, 본 개시내용은 이들로 제한되지 않는다.

[0017] 본 개시내용의 실시형태에서, 예를 들면, 금속 산화물층을 원자층 증착에 의해 제공하는 단계는, 150℃와 200℃의 범위 내의 온도에서 수행될 수 있다.

[0018] 본 개시내용의 실시형태에서, 상기 방법은, 금속 산화물 반도체층 상에 상기 금속 산화물층을 제공하는 단계 전에, 상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉하는 알칼리 금속(예를 들면, Li, Na, K, Rb, Cs 또는 Fr 중 어느 하나 또는 이들의 조합) 또는 알칼리 토금속(예를 들면, Be, Mg, Ca, Sr, Ba 또는 a 중 어느 하나 또는 이들의 조합)을 포함하는 환원층을 제공하는 단계; 예를 들면, 20℃와 200℃의 범위 내의 온도에서 어닐링 단계를 수행함으로써 상기 환원층과 상기 금속 산화물 반도체층 사이의 화학적 환원 반응을 유도하는 단계; 및 예를 들면, 물 또는 알코올 내에서 세정함으로써 상기 환원층 및 상기 환원 반응으로부터의 반응 부산물을 제거하는 단계를 더 포함할 수 있다.

[0019] 본 개시내용의 실시형태에서, 금속 산화물 반도체층은 예를 들면, 갈륨-인듐-아연 산화물(GIZO 또는 IGZO)를 포함할 수 있고, 금속 산화물층은 예를 들면, Al_2O_3 를 포함할 수 있다. 그러나, 본 개시내용은 이들로 제한되지 않는다. 그 외의 금속 산화물 반도체는, 예를 들면, ZnO, ZnSnO, InO, InZnO, InZnSnO, LaInZnO, GaInO, HfInZnO, MgZnO, LaInZnO, TiO, TiInSnO, ScInZnO, SiInZnO 및 ZrInZnO 또는 ZrZnSnO가 사용될 수 있다. 그 외의 금속 산화물층은, 예를 들면, HfO_2 , Ta_2O_5 , ZrO_2 , 또는 Ga_2O_3 가 사용될 수 있다.

[0020] 본 개시내용의 실시형태에서, 금속 산화물층은 Al_2O_3 이고, 금속 산화물층은 전구체로서 테트라메틸알루미늄 및 물(H_2O)로부터 증착될 수 있고, 전구체로서, 예를 들면, 트리에틸알루미늄 및 물 또는 트리소부틸알루미늄 및 물로부터 증착될 수 있다.

[0021] 본 개시내용의 실시형태에서, 상이한 전구체가 혼합되거나, 상이한 전구체가 또한 금속 산화물층을 형성하는 경우 사용될 수 있다.

[0022] 본 개시내용은 또한 자체 배열된(소스 및 드레인이 게이트에 자체 배열되는 것을 의미한다) 상부 게이트(게이트는 금속 산화물 반도체층 상부에 제공된다) 금속 산화물 반도체 박막 트랜지스터의 제조 방법에 관한 것이다. 상기 방법은, 기판 상에 금속 산화물 반도체층을 제공하는 단계; 상기 금속 산화물 반도체층 상에 게이트 유전체층을 증착하는 단계; 상기 게이트 유전체층 상에 게이트 전극층을 증착하는 단계; 금속 산화물 반도체층 내에

채널 영역을 정의하기 위해서, 게이트 전극 및 게이트 절연체가 형성되도록 상기 게이트 전극층 및 상기 게이트 절연층을 패터닝하는 단계; 금속 산화물 반도체층 내에 소스 및 드레인 영역을 정의하기 위해서 상기 금속 산화물 반도체층을 패터닝하는 단계; 및 상기 소스 영역 및 드레인 영역 내에서 상기 금속 산화물 반도체층의 전기 전도도를 증가시키기 위해서 예를 들면, 적어도 소스 및 드레인 영역 내에서 금속 산화물층을 원자층 증착에 의해서 증착하는 단계;를 포함하고, 상기 금속 산화물층이 상기 금속 산화물 반도체층과 직접 물리적으로 접촉한다(즉, 금속 산화물 반도체층과 직접적인 물리적 계면에 의해 접촉된다).

[0023] 상기 방법은 상기 금속 산화물층 상에 유전체층을 제공하는 단계; 상기 유전체층 및 상기 금속 산화물층을 통해 비아를 형성하는 단계; 및 소스 컨택 및 드레인 컨택을 형성하기 위해 상기 비아에 금속을 충전하는 단계를 더 포함할 수 있다.

[0024] 본 개시내용의 실시형태에서, 상기 방법은, 금속 산화물 반도체층 상에 상기 금속 산화물층을 제공하는 단계 전에, 상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉하는 알칼리 금속(예를 들면, Li, Na, K, Rb, Cs 또는 Fr 중 어느 하나 또는 이들의 조합) 또는 알칼리 토금속(예를 들면, Be, Mg, Ca, Sr, Ba 또는 a 중 어느 하나 또는 이들의 조합)을 포함하는 환원층을 제공하는 단계; 예를 들면, 20℃와 200℃ 범위 내의 온도에서 어닐링 단계를 수행함으로써 상기 환원층과 상기 금속 산화물 반도체층 사이의 화학적 환원 반응을 유도하는 단계; 및 예를 들면, 물 또는 알코올 내에서 세정함으로써 상기 환원층 및 상기 환원 반응으로부터의 반응 부산물을 제거하는 단계를 더 포함할 수 있다.

[0025] 본 개시내용의 방법은, 200℃ 미만, 199℃ 미만의, 190℃ 미만, 180℃ 미만, 170℃ 미만, 또는 160℃ 미만 온도에서 수행될 수 있는 이점이 있다. 따라서, 상기 방법은, 저비용의 플렉서블 기판, 예를 들면, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), 및 PC(폴리카보네이트)과 상용할 수 있다.

[0026] 본 개시내용의 방법은, 일부 종래 기술의 접근 방법의 경우에서와 같이 층 두께를 정확하게 조절하는 단계가 거의 필요하지 않거나 전혀 필요하지 않은 이점이 있다.

[0027] 본 개시내용의 방법은, 금속 산화물층을 증착하는 단계에 의해 하층의 금속 산화물 반도체층의 전기전도도가 개선될 뿐만 아니라, 금속 산화물층을 증착하는 단계에 의해서 또한 하층의 금속 산화물 반도체층이 패시베이션 및 캡슐화되는(예를 들면, 금속 산화물 반도체층이 완전히 덮이거나 캡슐화되고, 즉 어떤 부분도 환경에 노출되지 않는) 이점이 있다.

[0028] 본 개시내용의 방법은, 금속 산화물 반도체층의 전도도 증가에 의해서 우수한 안정성이 얻어지고; 증가된 전도도가 시간 경과에 따라 유지되는 이점이 있다.

[0029] 본 개시내용의 이점은, 우수한 바이어스 안정성 및 우수한 열 안정성을 갖는 자체 배열된 상부 게이트 금속 산화물 반도체 박막 트랜지스터를 제조하는 이점이 있다.

[0030] 본 발명 형태의 특정한 목적 및 이점은 상기에 기재되어 있다. 물론, 본 개시내용의 임의의 특정한 실시형태에 따라서 이러한 모든 목적 또는 이점이 반드시 달성되는 것은 아닌 것으로 이해되어야 한다. 따라서, 예를 들면, 당업자는 본 개시내용이 본원에 교시되거나 제안될 수 있는 그 외의 목적 또는 이점을 반드시 달성하지 않더라도 본원에 교시된 이점 또는 이점의 그룹을 달성하거나 최적화하도록 구현되거나 수행될 수 있는 것을 인지할 것이다. 또한, 이러한 요약은 단지 일례이며 본 개시내용의 범위를 제한하는 것은 아닌 것으로 이해된다. 본 개시내용은, 작동 및 작동방법, 및 그 특성 및 이점에 대해서, 수반하는 도면을 참조하여 읽는 경우 하기 상세한 설명을 참조하여 잘 이해될 수 있다.

도면의 간단한 설명

[0031] 도 1a 내지 1f는 본 개시내용의 방법에 따른 금속 산화물 반도체 박막 트랜지스터의 제조 방법을 도시한다.

도 2는 본 개시내용의 방법에 따라서 제조된 a-IGZO 박막 트랜지스터의 전달 특성($I_{DS}-V_{GS}$)을 도시한다.

도 3은 본 개시내용의 방법에 따라서 제조된 a-IGZO 박막 트랜지스터의 출력 특성($I_{DS}-V_{DS}$)을 도시한다.

도 4는 상이한 바이어스 응력 시간에 대해 본 개시내용의 방법에 따라서 제조된 a-IGZO TFT ($W/L = 30/10 \mu m/\mu m$)의 전달 특성($I_{DS}-V_{GS}$)을 도시하는 것으로, 도 4a는 $-1MV/cm$ ($V_{GS} = -12 V$ 및 $V_{DS} = 0 V$)의 네가티브 바이어스 응력에 대한 것이고; 도 4b는 $+1MV/cm$ ($V_{GS} = +12V$ 및 $V_{DS} = +12V$ 의 포지티브 바이어스 응력에 대한 것이다.

도 5는 포지티브 및 네거티브 방향에서 응력 시간의 함수로서 본 개시내용의 방법에 따라서 제조된 a-IGZO TFT의 V_{th} 의 이동을 도시한다.

도 6은 a-IGZO TFT ($W/L = 30/10 \mu m/\mu m$)의 초기 전달 특성(빈 원형) 및 150℃에서 질소에서 2시간 어닐링 후 전달 특성(채워진 사각형)을 도시한다.

청구범위에 기재된 임의의 참조부호가 본 개시내용의 범위를 제한하는 것으로 해석되지 않아야 한다.

상기한 도면에서, 동일한 참조부호는 동일하거나 유사한 엘리먼트를 지칭한다.

발명을 실시하기 위한 구체적인 내용

- [0032] 다음의 상세한 설명에서는, 특정한 실시형태에서 어떻게 실시될 수 있는지 및 본 개시내용의 완전한 이해를 제공하기 위해 많은 특정 세부사항이 기재되어 있다. 그러나, 본 개시내용은 이러한 특정한 세부사항 없이 실시될 수 있는 것으로 이해되어야 한다. 그 외의 예에서, 본 개시내용을 불분명하지 않기 위해서, 공지된 방법, 절차, 및 기술은 상세하게 기재되지 않았다.
- [0033] 본 개시내용은 특정한 도면을 참조해서 구체적인 실시형태에 대해서 기재되고, 본 개시내용은 이들로 제한되지 않는다. 본원에 포함되고 기재된 도면은 개략적인 것으로 본 개시내용의 범위를 제한하지 않는다. 도면에서, 설명 목적으로 일부 엘리먼트의 크기는 확대될 수 있지만, 정확한 스케일로 도시되는 것이 아닌 것을 유의한다.
- [0034] 또한, 상세한 설명에서 "제1, 제2, 제3" 등은 유사한 엘리먼트를 구별하기 위해서 사용되는 것이며, 반드시 시간적 순서, 공간적 순서, 차례, 또는 임의의 다른 방법의 순서를 기재하는 것은 아니다. 이와 같이 사용된 용어가 적당한 환경하에서 상호 교환될 수 있고, 본원에 기재된 본 개시내용의 실시형태가 본원에 기재되거나 설명된 순서 외에 다른 순서로 작동할 수 있는 것으로 이해되어야 한다.
- [0035] 또한, 상세한 설명에서 "상부", "하부", "위", "아래" 등은 설명 목적으로 사용된 것이며, 반드시 상대적인 위치를 설명하는 것은 아니다. 이와 같이 사용된 용어는 적당한 환경 하에서 상호 교환될 수 있고, 본원에 기재된 본 개시내용의 실시형태는 본원에 기재되거나 설명되는 방향 외에 다른 방향에서 작동 가능한 것으로 이해되어야 한다.
- [0036] 본 개시내용은 금속 산화물 반도체층의 전기전도도를 개선(증가)하는 방법, 예를 들면, 금속 산화물 박막 트랜지스터의 소스 및 드레인 컨택의 위치에서 이러한 층의 전기전도도를 국소적으로 개선하는 방법을 제공한다. 전기전도도의 증가는, 실질적으로 예를 들면, 적어도 10배, 예를 들면, 1000배 이하 정도일 수 있다.
- [0037] 본 개시내용의 일 형태에 따르면, 소정의 위치에서 금속 산화물 반도체층의 전기전도도를 증가시키는 방법을 제공하고, 상기 방법은, 금속 산화물층을 상기 금속 산화물 반도체층 상에 원자층 증착에 의해서 증착하고, 금속 산화물층을 상기 금속 산화물 반도체층과 소정의 위치에서 물리적으로 접촉하고, 따라서 계면 접촉하는 단계를 포함한다.
- [0038] 놀랍게도, 이러한 금속 산화물층을 ALD에 의해 증착하면, 금속 산화물층이 금속 산화물 반도체층과 직접 물리적으로 접촉하는 위치에서 금속 산화물 반도체층의 전기전도도가 증가하는 것을 밝혀냈다.
- [0039] 금속 산화물층은, 예를 들면, Al_2O_3 , HfO_2 , Ta_2O_5 , ZrO_2 , 또는 Ga_2O_3 를 포함할 수 있고, 본 개시내용은 이들로 제한되지 않는다.
- [0040] 본 개시내용의 실시형태에서, 금속 산화물층은 Al_2O_3 층일 수 있다. 이는, 전구체로서 예를 들면, 트리메틸알루미늄(TMA, $Al(CH_3)_3$) 및 물(H_2O)로부터 증착될 수 있다. 그러나, Al_2O_3 층을 형성하기 위해서, 그 외의 전구체는, 예를 들면, 트리에틸알루미늄 및 물 또는 트리아이소부틸알루미늄 및 물이 사용될 수 있다.
- [0041] 본 개시내용의 실시형태에서, 금속 산화물층은 예를 들면, Ga_2O_3 층일 수 있다. 이러한 층에 대해서 사용될 수 있는 전구체는 예를 들면, 트리에틸갈륨 및 물, 트리메틸갈륨 및 물, 트리아이소프로필갈륨 및 물 또는 트리-tert-부틸갈륨 및 물을 포함하고, 본 개시내용은 이들로 제한되지 않는다.
- [0042] 본 개시내용의 실시형태에서, 상이한 전구체가 혼합되거나 상이한 전구체가 또한 금속 산화물층을 형성하는 경우 사용될 수 있다.
- [0043] 금속 산화물층은, 두께가 예를 들면, 10 nm와 100nm의 범위 내일 수 있고, 예를 들면, 150℃와 200℃의 범위,

예를 들면, 150℃와 170℃의 범위의 온도에서 증착될 수 있고, 본 개시내용은 이들로 제한되지 않는다.

[0044] 본 개시내용의 방법은, 소스 영역 및 드레인 영역에 상응하는 소정의 위치에서 전기전도도를 국소적으로 증가시키기 위해서 바람직하게 금속 산화물 반도체 활성층을 갖고 소스 및 드레인 컨택으로부터 전하 주입을 개선시키는 박막 트랜지스터의 제조 방법에서 사용될 수 있다. 상기 방법은, 바람직하게 자체 배열된 상부 게이트 박막 트랜지스터의 제조 방법에서 사용될 수 있다.

[0045] 상기 방법은 컨택으로부터 전하 주입을 개선하기 위해 그 외의 금속 산화물 반도체 기반 장치, 예를 들면, 다이오드 또는 트랜지스터 다이오드의 제조 공정에서 사용될 수 있다.

[0046] 금속 산화물 반도체층은, 예를 들면, 갈륨-인듐-아연 산화물(GIZO, 또한 IGZO로도 칭함) 또는 예를 들면, 다음 조성물(ZnO , $ZnSnO$, InO , $InZnO$, $InZnSnO$, $LaInZnO$, $GaInO$, $HfInZnO$, $MgZnO$, $LaInZnO$, TiO , $TiInSnO$, $ScInZnO$, $SiInZnO$ 및 $ZrInZnO$, $ZrZnSnO$)(화합양론으로 표시되지 않음)의 그 외의 금속 산화물 기반 반도체를 포함할 수 있다. 그러나, 본 개시내용은 이들로 제한되지 않고 당업자에게 공지된 그 외의 적합한 금속 산화물 반도체에 의해 사용될 수 있다. 일반적인 두께 5 nm와 50 nm 사이 또는 6 nm와 49 nm 사이의 이러한 반도체층은, 예를 들면, 전구체 용액의 스퍼터링, 열증발, 펄스레이저 증착, 및 스핀 캐스팅, 잉크젯 인쇄 또는 드롭 캐스팅과 같은 다수의 방법에 의해서 제공될 수 있다.

[0047] 자체 배열된 상부 게이트 금속 산화물 반도체 박막 트랜지스터의 제조 방법이 또한 기재되고, 본 개시내용의 방법은, 소스 및 드레인 영역 내의 금속 산화물 반도체층의 전기전도도를 국소적으로 개선하기 위해서 사용된다. 이러한 장치 구조체에서, ALD 금속 산화물층은, 하층의 소스 및 드레인 영역의 전도도를 변화시키고, 패시베이션 및 캡슐화층의 기능을 갖는다.

[0048] 본 개시내용에 따른 금속 산화물 반도체 박막 트랜지스터를 제조하기 위한 예시의 공정 흐름은 도 1a 내지 도 1f에 개략적으로 도시되어 있다.

[0049] 제1단계에서, 도 1a에 도시된 금속 산화물 반도체층(12), 예를 들면, GIZO층은 전구체 용액으로부터 예를 들면, 스퍼터링, 레이저 가공(laser ablation) 또는 스핀코팅에 의해서 기판(10) 상에 제공된다. 도 1a에 도시된 실시예에서, 기판(10)은 실리콘 기판(101) 및 유전체층(102), 예를 들면, 실리콘 산화물층을 포함한다. 그러나, 그 외의 적합한 기판이 사용될 수 있다. GIZO 층(12)의 두께는 예를 들면, 약 10 nm 또는 약 15 nm 내지 20 nm, 예를 들면, 10 nm와 20 nm의 사이, 또는 11 nm와 19 nm의 사이일 수 있지만, 그 외의 적합한 두께가 사용될 수 있다.

[0050] 다음, 도 1b에 도시된 바와 같이, 게이트 유전체층(13), 예를 들면, 실리콘 이산화물층은, 예를 들면, 플라즈마 화학증착법에 의해서 금속 산화물 반도체층(12) 상에 증착된다. 이어서, 게이트 유전체층(13) 상에 게이트 전극층(14), 예를 들면, Mo 층이 증착된다(도 1b).

[0051] 그 다음에, 도 1c에 도시된 바와 같이, 게이트 전극(141) 및 게이트 절연체(131)를 형성하기 위해 게이트 전극층(14) 및 게이트 절연층(13)이 패터닝된다.

[0052] 다음, 박막 트랜지스터의 활성층(11)을 정의하기 위해 금속 산화물 반도체층(12)이 패터닝된다(도 1d). 금속 산화물 반도체층은, 예를 들면, 웨트 에칭에 의해 예를 들면, 버퍼 HF 또는 옥살산에 의해서 패터닝될 수 있다. 활성층의 패터닝을 위해 옥살산을 사용하면, 하층에 대한 우수한 선택도를 갖는 이점이 있다. 도 1d에 개략적으로 도시된 바와 같이, 패터닝된 게이트 전극(141)은, 활성층(11) 내에서 채널 영역(110), 소스 영역(111), 및 드레인 영역(112)을 정의한다. 소스 및 드레인 영역은 채널 영역에 직접 인접하고 자체 배열된다.

[0053] 도 1에 도시된 실시예에서, 게이트 전극층 및 게이트 유전체층의 패터닝 후에, 금속 산화물 반도체층이 패터닝된다. 그러나, 본 개시내용은 이들로 제한되지 않는다. 예를 들면, 금속 산화물 반도체층은 또한 게이트 제조 공정 전에 또는 게이트 제조 공정 다음 단계에서 패터닝될 수 있다.

[0054] 다음, (도 1e에 도시된) 금속 산화물층(15), 예를 들면, Al_2O_3 층은, 전구체로서 예를 들면, 트리메틸알루미늄(TMA, $Al(CH_3)_3$) 및 물(H_2O)을 사용하고 ALD에 의해 증착된다. 놀랍게도, 이러한 층을 증착하면, Al_2O_3 층(15)이 금속 산화물 반도체층(11)과 직접 물리적으로 접촉하는 위치에서 금속 산화물 반도체층의 전도도가 증가하는 것을 밝혀냈다. 따라서, 금속 산화물 반도체층(11)의 소스 영역(111) 및 드레인 영역(112) 내에서 적어도 금속 산화물 반도체층의 상부에서의 전도도가 향상된다. ALD 전구체 및 금속 산화물 반도체층 표면 사이서는, 그 상호작용 때문에 일종의 도프 효과 또는 환원 작용이 있는 것을 알 수 있다. 예를 들면, Al_2O_3 에 대한 ALD 전구

체로서 사용되는 TMA 및 H_2O 는 IGZO 표면과 반응할 수 있다. 예를 들면, 반응에서 H_2O , O_2 , O_3 가 있으면, 도프 효과가 발생한다. 상부는, 바람직하게 수 nm 내지 10 nm 이하 또는 약 10 nm의 깊이/두께를 갖는다. ALD 금속 산화물 증착이 추가의 도프(예를 들면, Ca 사용, 상기 참조)와 결합되면, 향상된 전도도는 금속 산화물 반도체 층으로 더 깊게, 예를 들면, 수십 nm 이하, 예를 들면, 20 nm 이하 또는 30 nm 이하로 확장되는 것이 기대된다.

[0055] 다음, 유전체층(16), 예를 들면, 실리콘 질화물층이 금속 산화물층(15) 상에 제공된 후 소스 및 드레인 전극이 형성될 위치에서 하층의 금속 산화물층(15) 및 유전체층(16)을 통해 비아를 형성한다. 그 다음에, 소스 전극(21) 및 드레인 전극(22)을 형성하기 위해, 비아는 적합한 금속, 예를 들면, Mo를 충전한다. 얻어진 구조체는 개략적으로 도 1f에 도시된다.

[0056] 도 2는 상기 기재된 본 개시내용의 방법에 따라서 제조된 ALD Al_2O_3 금속 산화물층(15)을 갖는 a-IGZO 박막 트랜지스터의 전달 특성 ($I_{DS}-V_{GS}$)을 도시한다. 도 3은 본 트랜지스터의 출력 특성($I_{DS}-V_{DS}$)을 도시한다.

[0057] a-IGZO TFT 는 높은 열 안정성 및 우수한 전기적 성능을 나타낸다. $14.82 \text{ cm}^2/\text{V}\cdot\text{s}$ 의 전계효과 이동성, 3.6 V의 임계 전압, 0.42 V/dec의 서브 임계 스윙 및 약 10^8 의 온/오프 전류비가 관찰된다.

[0058] TFT의 전기적 성능에 대한 바이어스 응력의 영향이 조사되었다. 포지티브 및 네가티브 방향에서 $\pm 1.0 \text{ MV/cm}$ 에 상응하는 게이트 필드는 암실(dark)에서 실온에서 응력 시간 10^4 초 이하 동안 적용되었다. 풀리 온 조건(fully-on condition)($V_{DS} = 12 \text{ V}$ 및 $V_{GS} = 12 \text{ V}$)에 상응하는 포지티브 게이트 바이어스 응력의 경우, 0.8 V의 임계값의 이동이 관찰되었다. 네가티브 바이어스 응력($V_{DS} = 0 \text{ V}$ 및 $V_{GS} = -12 \text{ V}$)의 경우, 1.0V의 임계 전압 이동이 관찰되었다. 도 4a 및 4b는 상이한 바이어스 응력 시간(0 s (즉, 바이어스 응력 없음), 100 s, 300 s, 1000 s, 3000 s 및 10000 s) 동안 전달 특성을 도시하는 것으로, 도 4a는 네가티브 게이트 바이어스 응력에 대한 것이고, 도 4b는 포지티브 게이트 바이어스 응력에 대한 것이다. 도 5는 포지티브 및 네가티브 방향에서 응력 시간의 함수로서 V_{TH} 의 이동을 도시한다. 이 결과, 응력 조건하에서의 안정성이 매우 우수하다고 결론지을 수 있다.

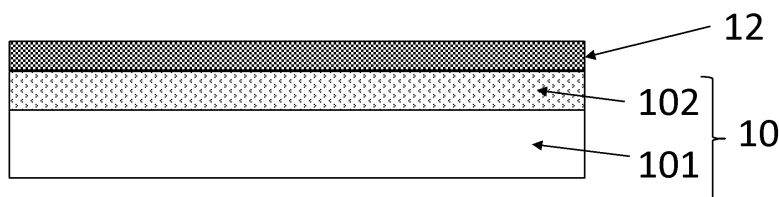
[0059] 도 6은 a-IGZO TFT ($W/L = 30/10 \text{ }\mu\text{m}/\mu\text{m}$)의 초기 전달 특성(빈 원형) 및 150°C 에서 질소에서 2시간 어닐링 후 전달 특성(채워진 사각형)을 도시한다. 이러한 결과로부터 장치 특성에 대한 어닐링 단계의 효과는 무시될 수 있으며, 이는 우수한 열 안정성을 나타내는 것으로 결론지을 수 있다.

[0060] 상기 설명은 본 발명의 특정한 실시형태를 상술한다. 그러나, 상기에 상세하게 설명하였지만, 본 발명은 다양한 방법으로 실시될 수 있는 것을 알 수 있다. 특정한 용어는, 본 개시내용의 특정한 특징 또는 형태를 상술하는 경우에, 본 개시내용이, 용어에 관련된 특징 및 형태의 구체적인 특성을 포함하는 것으로 한정되도록 다시 정의되는 것은 아닌 것을 유의해야 한다.

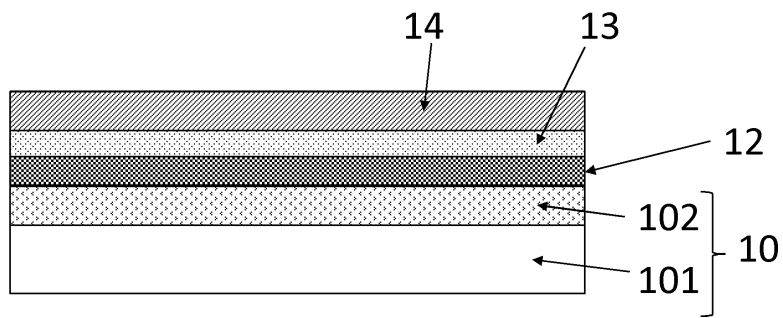
[0061] 상기 상세한 설명이 다양한 실시형태에 적용되는 본 발명의 새로운 특징을 표시하고, 기재하고 있지만, 설명된 소자 또는 공정의 세부 사항 및 형태의 생략, 치환 및 변화는 본 발명 형태의 일반적인 개념을 벗어나지 않고 당업자에 의해서 실시될 수 있는 것으로 이해되어야 한다.

도면

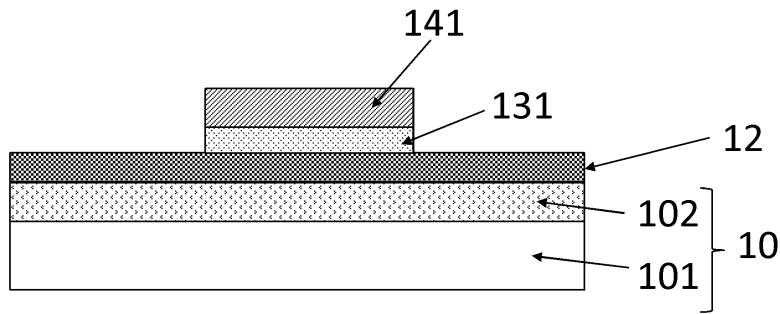
도면1a



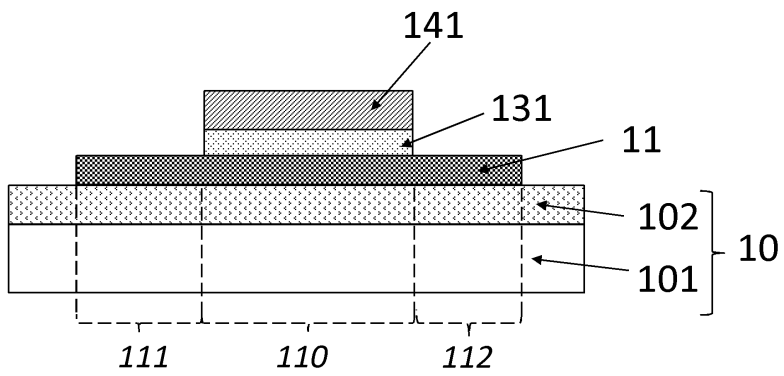
도면1b



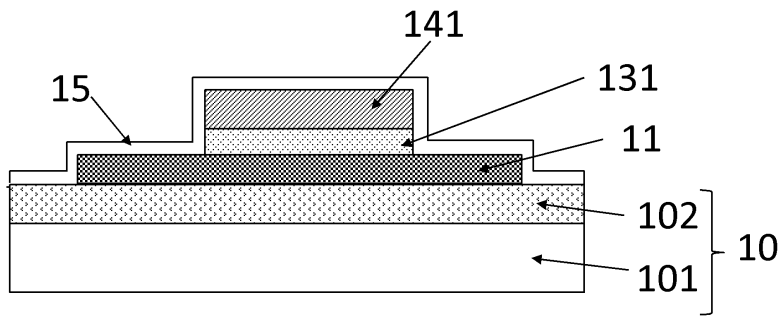
도면1c



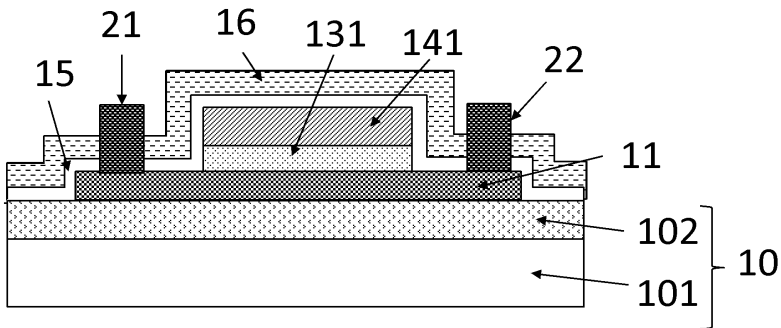
도면1d



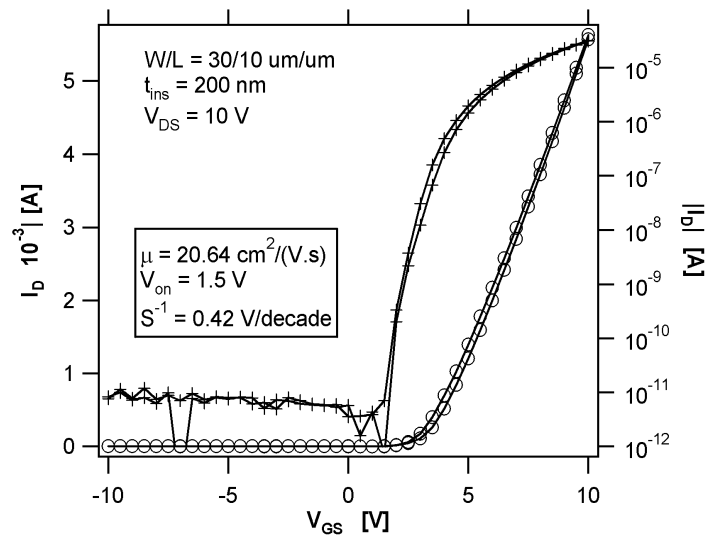
도면1e



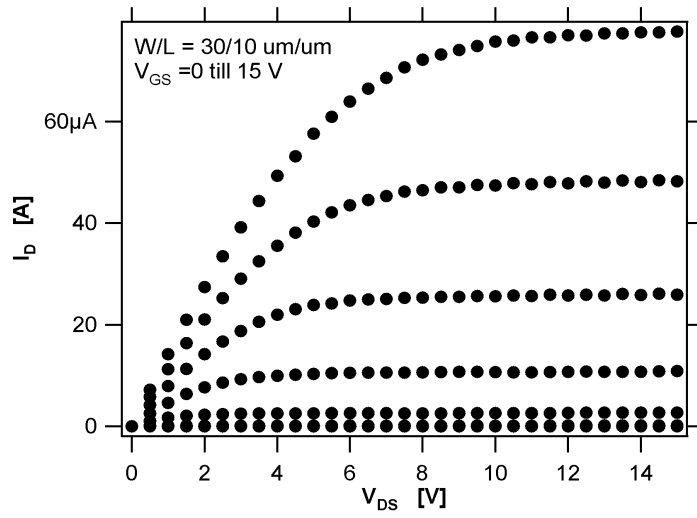
도면1f



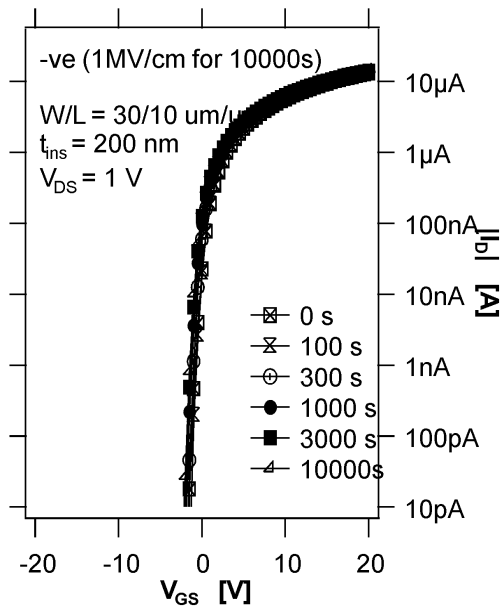
도면2



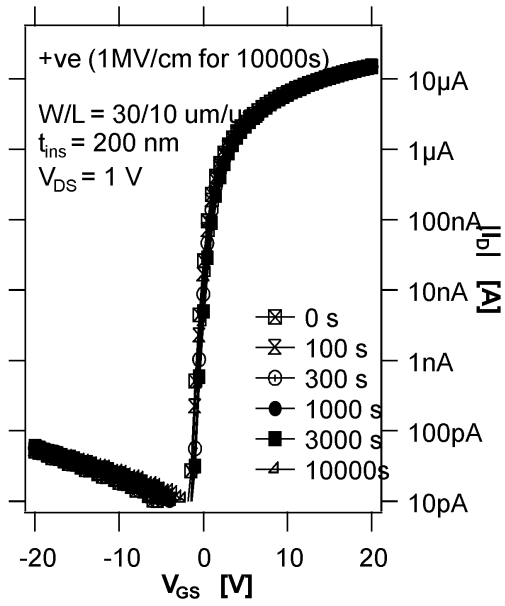
도면3



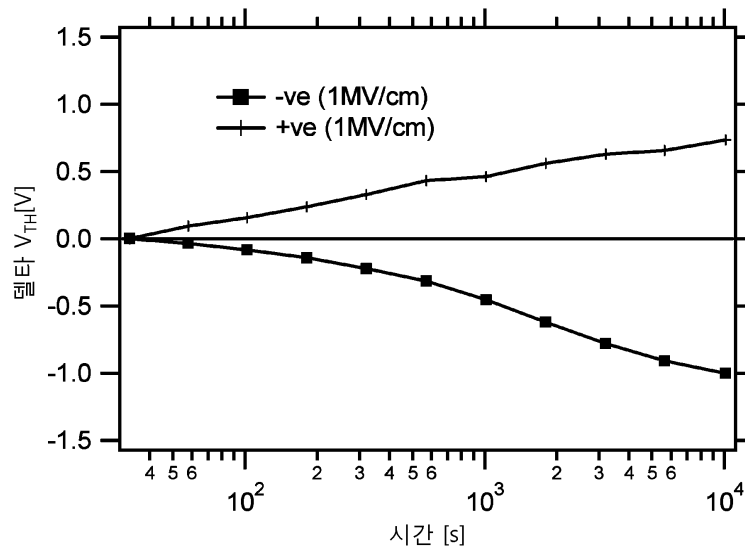
도면4a



도면4b



도면5



도면6

