

本
公
生
特
申
請
日
期

申請日期	88年2月26日
案號	88103000
類別	H01L 24/00

A4
C4

426869

50↑

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	三維裝置之製造方法
	英 文	
二、發明 創作人	姓 名	(1) 井上聰 (2) 下田達也
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 (2) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	姓 名 (名稱)	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代 表 人 姓 名	(1) 安川英昭

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

日本 1998年2月27日 10-48410 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

(技術領域)

本發明係關於一種三維裝置之製造方法者。

(習知技術)

習知，在製造三維 I C 等之三維裝置時，首先，在 S i 基板上經多數製程形成包含場效電晶體 F E T 之第 1 層。然後在第 1 層上形成同樣之第 2 層。以下，同樣地形成第 3 層以後者。

然而，在習知上之三維裝置之製造方法中，由於在相同基板上依次重疊所形成。因此，形成上層係必須在下層不會有不良影響下，受到各種限制（例如，下層不會變質之溫度的上限等）。

又，疊層不同層時，擬以適合各層的裝置參數（例如，閘極線寬度，閘極絕緣膜之膜厚，設計定則，製造時之溫度等之製造條件）形成，非常困難。

又，在習知的三維裝置之製造方法中，由於在構成裝置之基板上形成各層，因此，使用基板係必須兼備作為裝置之基板的適合性，及作為形成各層時之基板的適合性，故，僅可使用特定之基板，而有所不方便。

由此些理由，三維 I C 等的三維裝置之實用化尚未實現。

本發明之目的係在於提供一種可擴張薄膜裝置層之形成條件的自由度，可容易地製造高性能之三維裝置之三維裝置之製造方法。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

(發明之概要)

此種目的係介經下述(1)至(22)之本發明可達成。

(1) . 一種三維裝置之製造方法，屬於將配置於二維方向之所定領域的複數薄膜裝置層疊層在其厚度方向俾製造三維裝置的三維裝置之製造方法，其特徵為：介經轉印法疊層上述各薄膜裝置層中之至少一層者。

(2) . 一種三維裝置之製造方法，屬於基體上，在向二維方向擴展之所定領域內將構成電路之複數薄膜裝置層疊層在其厚度方向俾製造構成三維方向之電路的三維裝置之製造方法，其特徵為：介經轉印法疊層上述各薄膜裝置層中之至少一層者。

(3) . 上述(1)或(2)所述的三維裝置之製造方法，其中，上述轉印法係在第1基板上經由分離層形成薄膜裝置層之後，將照射光照射在上述分離層，在上述分離層之層內及/或介面產生剝離，並將上述第1基板之薄膜裝置層轉印至第2基板側者。

(4) . 上述(3)所述的三維裝置之製造方法，其中，上述分離層之剝離係介經構成分離層之物質的原子間或分子間之結合力消失或減少所產生者。

(5) . 上述(3)所述的三維裝置之製造方法，其中，上述分離層之剝離，係介經由構成分離層之物質發生氣體所產生者。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(3)

(6) . 上述(3)至(5)所述的三維裝置之製造方法，其中，上述照射光係雷射光者。

(7) . 上述(6)所述的三維裝置之製造方法，其中，上述雷射光之波長係100~350nm者。

(8) . 上述(6)所述的三維裝置之製造方法，其中，上述雷射光之波長係350~1200nm者。

(9) . 上述(3)至(8)任一項所述的三維裝置之製造方法，其中，上述分離層係由非晶質矽、陶瓷、金屬或有機高分子材料所構成者。

(10) . 上述(3)至(9)任一項所述的三維裝置之製造方法，其中，上述第1基板係透明基板者。

(11) . 上述(1)至(10)所述的三維裝置之製造方法，其中，在上述薄膜裝置層形成連接電極，介經該連接電極，電氣式地連接鄰接之上述薄膜裝置層彼此間者。

(12) . 上述(11)所述的三維裝置之製造方法，其中，上述連接電極係存在於上述薄膜裝置層之兩面者。

(13) . 上述(11)或(12)所述的三維裝置之製造方法，其中，介經各向異性導電膜接合鄰接的上述薄膜裝置層彼此間者。

(14) . 上述(1)至(10)任一項所述的三維裝置之製造方法，其中，在上述各薄膜裝置層中所對應之兩層中，在其中一方之層形成發光部，而在另一方之層形

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(4)

成受光來自上述發光部之光的受光部，介經此等發光部及受光部，在上述兩層間可實行依光之通信者。

(15) . 上述(1)至(14)任一項所述的三維裝置之製造方法，其中，上述轉印被疊層的薄膜裝置層，係與其他之薄膜裝置層中之至少一層同時地製造者。

(16) . 上述(1)至(15)任一項所述的三維裝置之製造方法，其中，上述各薄膜裝置層中之至少一層，係具有複數之薄膜電晶體者。

(17) . 上述(1)至(16)任一項所述的三維裝置之製造方法，其中，轉印複數次作為記憶體之上述薄膜裝置層，俾形成大規模記憶體者。

(18) . 上述(1)至(16)任一項所述的三維裝置之製造方法，其中，轉印複數次作為邏輯之上述薄膜裝置層，俾形成大規模邏輯者。

(19) . 上述(1)至(16)任一項所述的三維裝置之製造方法，其中，轉印作為記憶體之上述薄膜裝置層與作為邏輯之上述薄膜裝置層，俾形成系統LSI者。

(20) . 上述(19)所述的三維裝置之製造方法，其中，上述邏輯與記憶體，係由不同設計規則所形成者。

(21) . 上述(19)所述的三維裝置之製造方法，其中，上述邏輯與記憶體，係由不同設計參數所形成者。

(22) . 上述(19)所述的三維裝置之製造方法

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

，其中，上述邏輯與記憶體，係由不同製造處理所形成者。

(實施發明所用的最佳形態)

以下，依照表示於所附圖式之適當實施例詳述本發明的三維裝置之製造方法。

在本發明中，係使用下述之「薄膜構造之轉印方法(轉印技術)」來疊層複數之層，俾製造三維裝置(例如，三維IC等)。首先，說明上述「薄膜構造之轉印方法」。

第1圖至第8圖係分別模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。以下，依照此等圖式，依次說明薄膜構造之轉印方法(剝離方法)的製程。

(1)如第1圖所示，在基板1之一面(分離層形成面11)，形成分離層(光吸收層)2。

基板1係將照射光7從基板1側照射時，具有該照射光7可透射的透光性者較理想。

此時，照射光7之透射率係10%以上較理想，50%以上者更理想。該透射率過低時，照射光7之衰減變大，擬剝離分離層2需要更大光量。

又，基板1係以高可靠性材料所構成較理想，特別是，以耐熱性上優異之材料所構成較理想。其理由為，例如形成下述之被轉印層4或中間層3時，藉由該種類或形成方法有處理溫度變高(例如約350~1000℃)，惟

(請先閱讀背面之注意事項再填寫本頁)

訂 · 結

五、發明說明(6)

此時若基板1在耐熱性上優異，則被轉印層4等形成在基板1上時，其溫度條件等之成膜條件之設定寬度較廣。

因此，基板1係將形成被轉印層4時之最高溫度為 T_{max} 時，畸變點為 $300^{\circ}C$ 以上者較理想， $500^{\circ}C$ 以上者更理想。作為此種者，有例如石英玻璃，鹼玻璃，康林7059，日本電氣玻璃OA-2等耐熱性玻璃。

又，形成下述之分離層2，中間層3及被轉印層4時之處理溫度較低時，則對於基板1，也可以使用低融點之價廉的玻璃材料或合成樹脂。

又，基板1之厚度係並未被限定，惟一般係約 $0.1 \sim 5.0$ mm較理想，而約 $0.5 \sim 1.5$ mm更理想。基板1之厚度過薄時則導致降低強度。而過厚時，基板1之透射係數較低時，則容易產生照射光7之衰減。又，基板1之照射光7透射係數較高時，則其厚度超過上述上限值者也可以。又，為了均勻地可照射照射光7，基板1之分離層形成部分之厚度係均勻較理想。

又，基板1之分離層形成面11，或照射光入射面12，係並不被限定於如圖示之平面，也可以為曲面。

在本發明中，並不是介經蝕刻等除去基板1，而是為個剝離位於基板1與被轉印層4之間的分離層2而脫離基板1，作業容易，例如使用較厚之基板等，有關於基板1之選擇的寬度也較寬廣。

以下，對於分離層2加以說明。

分離層2係吸收下述之照射光7，在其層內及/或界

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

面 2 a 或 2 b 產生剝離(以下,稱為「層內剝離」,「界面剝離」)之性質者。較理想為,介經照射光 7 之照射,使其構成分離層 2 之物質的原子間或分子間的結合力消失或減少,亦即,產生磨損而成為層內剝離及/或界面剝離者。

又,介經照射光 7 之照射,從分離層 2 被放出氣體,也有分離效果被發現之情形。亦即,含有分離層 2 之成分成為氣體而被放出之情形,及分離層 2 吸收光而一瞬間成為氣體,使該蒸汽被放出,有助於分離之情形。

作為此種分離層 2 之組成,有例如以下所述者。

①. 非晶質矽(a-Si)

在該非晶質矽中,含有氫氣 H 也可以。此時, H 之含有量係約 2 原子% 以上較理想,而約 2 至 20 原子% 更理想。如此,氫氣 H 含有所定量時,之後藉由照射光 7 之照射使氫氣被放出,在分離層 120 發生內壓,該內壓減為剝離上下之薄膜的力量。

非晶質矽中的氫 H 之含有量,係介經適當地設定例如 CVD 之氣體組成,氣體壓,氣體環境氣氛,氣體流量,溫度,基板溫度,投入動力等之條件可調整。

在本實施形態中,除了藉由該處理條件在分離層 120 中含有氫氣之外,如上所述,還在形成非晶質矽層之後的任何時期,作為剝離促進用離子可離子植入氫離子。由此,不受非晶質矽之處理條件,可將一定量以上之氫氣含有在非晶質矽層內。

(請先閱讀背面之注意事項再填寫本頁)

訂
續

五、發明說明 (8)

② . 有氧化矽或矽酸化合物，氧化鈦或鈦酸化合物，氧化鋯或鋯酸化合物，氧化鏷或鏷酸化合物等各種氧化物陶瓷，介質（強介質）或是半導體。

作為氧化矽，有 SiO 、 SiO_2 、 Si_3O_2 ，作為矽酸化合物，有例如 K_2SiO_3 、 Li_2SiO_3 、 CaSiO_3 、 ZrSiO_4 、 Na_2SiO_3 等。

作為氧化鈦，有 TiO 、 Ti_2O_3 、 TiO_2 ，作為鈦酸化合物，有例如 BaTiO_4 、 BaTiO_3 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{BaTi}_5\text{O}_{11}$ 、 CaTiO_3 、 SrTiO_3 、 PbTiO_3 、 MgTiO_3 、 ZrTiO_2 、 SnTiO_4 、 Al_2TiO_5 、 FeTiO_3 。

作為氧化鋯，有 ZrO_2 ；而作為鋯酸化合物，有例如 BaZrO_3 、 ZrSiO_4 、 PbZrO_3 、 MgZrO_3 、 K_2ZrO_3 。

③ . PZT 、 PLZT 、 PLLZT 、 PBZT 等之陶瓷或介質（強介質）

④ . 氮化矽，氮化鋁，氮化鈦等之氮化物陶瓷

⑤ . 有機高分子材料

作為有機高分子材料，係具有 $-\text{CH}-$ 、 $-\text{CO}-$ 、 $-\text{CONH}-$ 、 $-\text{NH}-$ 、 $-\text{COO}-$ 、 $-\text{N}=\text{N}-$ 、 $-\text{CH}=\text{N}-$ 等之結合（介經照射光 7 之照射，此等結合被切斷）者，特別是，具有很多此等結合者，則任何者均可以。又，有機高分子材料係在構成式中具有芳香族碳氫（1 或 2 以上之苯環或其稠環）者也可以。

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明(9)

作為此等有機高分子材料之具體例，係例如聚乙烯，聚丙烯之聚烯，聚亞醯胺，聚醯胺，聚酯，聚甲基丙烯酸酯(PMMA)，聚苯撐硫化物(PPS)，聚醚磺(PES)，環氧樹脂等。

⑥. 金屬

作為金屬，有例如Al, Li, Ti, Mn, In, Sn, Sm或含有這些中之至少一種的合金。

又，分離層2之厚度係依剝離目的或分離層2之組成，層構成，形成方法等諸條件而不相同，惟一般係約1nm至20 μ m較理想，而約10nm至2 μ m更理想，又約40nm至1 μ m最理想。

若分離層2之膜厚過薄時，則成膜之均勻性受損，在剝離時產生不均勻，又，若膜厚過厚時，則為了確保分離層2之良好剝離性，需增大照射光7光量，同時在後續之除去分離層2時，在其作業上費時。又，分離層2之膜厚係儘量形成均勻較理想。

分離層2之形成方法，係並不被特別限定，隨著膜組成或膜厚等之諸條件被適當地選擇。例如有CVD(包括MOCVD, 低壓CVD, ECR-CVD), 蒸鍍, 分子線蒸鍍(MB), 濺散, 離子植入, PVD等之各種氣相成膜法, 電鍍, 浸漬鍍, 無電解鍍等之各種鍍法, LB法, 旋轉塗布, 噴霧塗佈, 輥塗布等之塗布法, 各種印刷法, 轉印法, 墨水噴射法, 粉末噴射法等, 也可組合這些中之以上所形成者。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

例如，分離層 2 之組成爲非晶質矽 (a - S i) 時，則 C V D，特別是，由低壓 C V D 或電漿 C V D 形成膜較理想。

又，分離層 2 以依溶膠 - 凝膠法的陶瓷所構成時，或以有機高分子材料構成時，則依塗布法，特別是，依旋轉塗布形成成膜較理想。

又，形成分離層 2 係以二製程以上之製程 (例如層之形成製程與熱處理製程) 實行也可以。

這些分離層 2 係以 2 以上之層所構成也可以。此時，上述 2 以上之層的組成或特性，係相同也可以，或不相同也可以。

(2) 如第 2 圖所示，在分離層 2 上面形成中間層 3

。

該中間層 3 係以各種形成目的所形成，例如，有發揮作爲將製造或使用時將下述之被轉印層 4 物理性或化學性地保護之保護層，絕緣層，導電層，照射光 7 之遮光層，阻止對於被轉印層 4 或來自被轉印層 4 之成分之遷移用的障層，反射層的功能內之至少一種者。

作爲該中間層 3 之組成，係隨著其形成目的適當地被設定，例如，形成在依非晶質矽之分離層 2 與依薄膜電晶體 T F T 之被轉印層 4 之間的中間層 3 時，有 S i O₂ 等之氧化矽，而形成在分離層 2 與依 P Z T 之被轉印層 4 之間的中間層 3 時，有例如 P t，A u，K l，T a，M o，A l，C r，T i 或如以此等爲主之合金的金屬。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

此等中間層 3 之厚度係隨著其形成目的或可發揮之功能程度適當地決定，惟一般係約 $10\text{ nm} \sim 5\ \mu\text{m}$ 較理想，而約 40 nm 至 $1\ \mu\text{m}$ 更理想。

又，中間層 3 之形成方法，也有與上述分離層 2 所列舉之形成方法相同方法。又，形成中間層 3 係以 2 製程以上之製程實行也可以。

又，這些中間層 3 係將相同或不相同之組成者形成兩層以上也可以。又，在本發明中，未形成中間層 3，而在分離層 2 上直接形成被轉印層 4 也可以。

(3) 如第 3 圖所示，在中間層 3 上面形成被轉印層 (被剝離物) 4。

該被轉印層 4 係被轉印至下述之轉印體 6 之屏，介經與在上述分離層 2 所列舉之形成方法同樣之方法可形成。

被轉印層 4 之形成目的，種類，形態，構造，組成，物理性或化學性特性等，並未特別加以限制，惟考慮轉印之目的或有用性，為薄膜，特別是功能性或功能性薄膜或薄膜裝置較理想。

作為功能性薄膜及薄膜裝置，例如有薄膜電晶體 T E T，薄膜二極體，其他之薄膜半導體裝置，電極 (例如：I T O，如氧化錫膜的透明電極)，或使用於太陽電池或感像器等之光電變換元件，交換元件，記憶體，壓電元件等之主動器，微型鏡 (壓電薄膜陶瓷)，磁性記錄媒體，光磁性記錄媒體，光記錄媒體，磁性記錄薄膜磁頭，線圈，感應器，薄膜高透磁材料及組合這些的微磁性裝置

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

，濾波器，反射膜，分色鏡，俾光元件等之光學薄膜，半導體薄膜，超傳導薄膜（例如 Y B C O 薄膜），磁性薄膜，金屬多層薄膜，金屬陶瓷多層薄膜，金屬半導體多層薄膜，陶瓷半導體多層薄膜，有機薄膜及其他物質之多層薄膜等。

其中，特別是，適用於薄膜裝置，微磁性裝置，微三維構造物之構成，主動器，微型鏡等之有用性較高而較理想。

此等功能性薄膜或薄膜裝置係與其形成方法之關係，一般，經較高之處理溫度所形成。因此，此時，如上所述，作為基板 1，係成為需可耐於其處理溫度的高可靠性者。

又，被轉印層 4 係單層或複數層之疊層也可以。又，如上述薄膜電晶體等，施以所定之圖案者也可以。被轉印層 4 之形成（疊層），圖案係介經隨著此之所定方法來實行。此等被轉印層 4 係一般經複數製程所形成。

依薄膜電晶體之被轉印層之形成，係例如依照日本特公平 2 - 5 0 6 3 0 號公報或文獻：H. Ohshima et al: International Symposium Digest of Technical Papers SID 1983 " B/W and Color LC Video Display Addressed by Poly Si TFTs" 所述之方法可實行。

又，被轉印層 4 之厚度也並未特別加以限定，隨著其形成目的，功能，組成，特性等諸條件而被適當設定。被轉印層 4 為薄膜電晶體時，其合計厚度係較理想為約

（請先閱讀背面之注意事項再填寫本頁）

表

訂

結

五、發明說明 (13)

0.5 ~ 200 μm ，更理想為約 1.0 ~ 10 μm 。又，其他之薄膜時，較理想之合計厚度係在更廣範圍也可以，例如可作成約 50 nm ~ 1000 μm 。

又，被轉印層 4 係並不被限定於如上述之薄膜，例如，塗布膜或薄片之厚膜也可以。

(4) 如第 4 圖所示，在被轉印層 (被剝離物) 4 上形成黏接層 5。經由黏接層 5 黏接) 接合) 轉印層 6。

作為構成黏接層 5 之黏接劑的最佳例子，係有反應硬化型黏接劑，熱硬化型黏接劑，紫外線硬化型黏接劑等之光硬化型黏接劑，厭氣硬化型黏接劑等之各種硬化型黏接劑。作為黏接劑之組成，係例如環氧系，丙烯酸酯系，矽酮系等，任何一種者均可以。此種黏接層 5 之形成係例如介經塗布法所實施。

使用上述硬化型黏接劑時，例如在被轉印層 4 上塗布硬化型黏接劑，並在其上面接合下述之轉印體 6 之後，介經對應於硬化型黏接劑之特性的硬化方法使上述硬化型黏接劑硬化，俾黏接，固定被轉印層 4 與轉印體 6。

使用光硬化型黏接劑時，將透光性之轉印體 6 配置在未硬化之黏接層 5 上之後，從轉印體 6 照射硬化用之光而將黏接劑予以硬化較理想。又，若基板 1 具有透光性者，從基板 1 與轉印體 6 之兩側照射硬化用之光而將黏接劑予以硬化，則硬化成為確實較理想。

又，與圖示不相同，在轉印體 6 側形成黏接層 5，而在其上面黏接被轉印層 4 也可以。又，在被轉印層 4 與黏

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

接層 5 之間，設置如上述之中間層也可以。又，例如轉印體 6 本體具有黏接功能時等，省略黏接層 5 之形成。

作為轉印體 6，係並未特別限定，惟有基板（板材），特別有透明基板。又，即使此等基板係平板，或是彎曲板也可以。

又，轉印體 6 係比上述基板 1，耐熱性，耐蝕性等特性較差者也可以。其理由係在本發明，由於在基板 1 側形成被轉印層 4，之後，將被轉印層 4 轉印在轉印體 6。因此，被要求在轉印體 6 之特性，特別是耐熱性，係並不依存在形成被轉印層 4 時的溫度條件等。

因此，將形成被轉印層 4 時之最高溫度作為 T_{max} 時，作為轉印體 6 之構成材料，可使用玻璃轉變點 T_g 或軟化點為 T_{max} 以下者。例如，轉印體 6 係玻璃變點 T_g 或軟化點較理想為 800°C 以下，更理想為 500°C 以下，而最理想為 320°C 以下之材料所構成。

又，作為轉印體 6 之機械性特性，具有某一程度之剛性（強度）較理想，惟具有可撓性，彈性者也可以。

作為此種轉印體 6 之構成材料，有各種合成樹脂或各種玻璃材料，特別是，各種合成樹脂或一般之（低融點之）價廉的玻璃材較理想。

作為合成樹脂，熱可塑性樹脂，熱硬化性樹脂之任可一種樹脂均可以，例如可使用聚乙烯，聚丁烯，乙烯-丁烯共聚體，乙烯-醋酸乙烯共聚體（EVA）等之聚烯烴，環狀聚烯烴，改性聚烯烴，聚氯化乙烯，聚偏二氯乙烯

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (15)

，聚苯乙烯，聚醯胺，聚醯亞胺，聚醯胺-醯亞胺，聚碳酸酯，聚(4-甲基戊烯-1)，離子鍵聚合物，丙烯酸系樹脂，聚甲基丙烯酸甲酯(PMMA)，丙烯腈-丁二烯-苯乙烯共聚體(ABS樹脂)，丙烯腈-苯乙烯共聚體(AS樹脂)，丁二烯-苯乙烯共聚體，聚氧化亞甲基，聚乙烯醇(PVA)，乙烯-乙醇共聚體(EVOH)，聚對-酞酸乙二酯(PET)，聚對苯二甲酸丁二醇酯(PBT)，聚環己烷對酞酸酯(PCT)等之聚醯胺，聚醚，聚醚酮(PEK)，聚醚醚酮(PEEK)，聚醚醯亞胺，聚縮醛(POM)，聚苯醚，改性聚苯醚，聚砵，聚苯硫醚(PPS)，聚醚砵(PES)，聚芳酯，芳香族聚酯(液晶聚合物)，聚四氟乙烯，聚偏二氟乙烯，其他氟系樹脂，苯乙烯系，聚烯烴系，聚氯化乙烯系，聚尿烷系，聚醯胺系，聚丁二烯系，轉聚戊二烯系，氟橡膠系，氯化聚乙烯系等之各種熱可塑性彈性體，環氧樹脂，酚樹脂，脲醛樹脂，三聚氮胺樹脂，不飽和聚醯胺，矽酮樹脂，聚尿烷等，或是以此為主的共聚體，摻合體，聚合物-合金等，可使用組合此等中之一種或兩種以上(例如作為兩層以上之疊層體)。

作為玻璃材料，係例如有矽酸玻璃(石英玻璃)，矽酸鹼玻璃，鈉石灰玻璃，鉀石英玻璃，鉛(鹼)玻璃，銀玻璃，硼矽酸玻璃等。此中，矽酸玻璃以外者，係與矽酸玻璃相比較融點較低，又，成形，加工也較容易，而且價廉而較理想。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (16)

作為轉印體 6 使用以合成樹脂所構成者時，可享受一體地成形大型轉印體 6，同時，具有彎曲面或凹凸者等之複雜形狀也可容易地製造。又，材料費用，製造費用也低廉的各種優點。因此，合成樹脂之使用係在製造大型又價廉的裝置（例如，液晶顯示裝置）上較有利。

又轉印體 6 係例如液晶格，為構成其本體獨立之裝置者，或例如濾色器，電極層，介質層，絕緣層，半導體元件，構成裝置之一部分者也可以。

又，轉印體 6 係金屬，陶瓷，石材，木材，紙等物質也可以，或是構成某一物品之任意面上（時鐘之鐘面上，空調機之表面上，印刷基板上等），或牆壁，柱，樑，天花板，窗玻璃等構造物之表面上也可以。

(5) 如第 5 圖所示，從基板 1 之背面側（照射光入射面 1 2 側）來照射照射光 7。該照射光 7 係透射基板 1 之後，從界面 2 a 側照射在分離層 2。由此，如第 6 圖或第 7 圖所示，由於在分離層 2 產生層內剝離及 / 或界面剝離，而結合力被減少或消滅，因此，將基板 1 與轉印體 6 予以互相遠離，則被轉印層 4 從基板 1 脫離後，被轉印至轉印體 6。

又，第 6 圖係表示在分離層 2 產生層內剝離之情形；第 7 圖係表示在分離層 2 產生界面 2 a 之界面剝離之情形。產生分離層 2 之層內剝離及 / 或界面剝離的原理，係推想依在分離層 2 之構成材料產生磨耗，又，依包含於分離層 2 的氣體之放出，或是依產生在剛照射後之熔融，蒸散

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (17)

等之相變化者。

在此，所謂磨耗係指吸收照射光之固定材料（分離層 2 之構成材料）被光化學地或熱地被激勵，而切斷其表面或內部之原子或分子之結合並被放出之情形，主要出現作為分離層 2 之構成材料的全部或一部分產生熔融，蒸散（氣化）等之相變化的現象。又，藉由上述相變化成為微小之發泡狀態，而也使結合力降低之情事。

分離層 2 產生層內剝離，或是產生界面剝離，或產生該雙方，係受到分離層 2 之組成，或其他各種要因之影響，作為其要因之一要因，有照射光 7 之種類，波長，強度，到達深度等條件。

作為照射光 7，係在分離層 2 可產生層內剝離及 / 或界面剝離者之任何一種均可。例如有 X 線，紫外線，可視光，紅外線（熱線），雷射光，毫波，微波，電子線，放射線（ α 線， β 線， γ 線）等。其中，在容易產生分離層 2 之剝離（磨耗）上，雷射光較理想。

作為發生該雷射光的雷射裝置，有各種氣體雷射，固體雷射（半導體雷射）等，惟激元雷射，Nd - YAG 雷射，Ar 雷射，CO₂ 雷射，CO 雷射，He - Ne 雷射等適當地被使用，其中以激元雷射特別理想。

激元雷射係在短波長域輸出高能量，故在極短時間內在分離層 2 可產生磨耗，如此在鄰接或近旁之中間層 3，被轉印層 4 或基板 1 等幾乎不會產生溫度上昇，亦即，不會產劣化，損傷，可剝離分離層 2。

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (18)

又，在分離層 2 產生磨耗時，有照射光之波長依存性之情形，被照射的雷射光之波長，係約 100 nm 至 350 nm 較理想。

又，在分離層 2，產生例如氣體放出，氣化，昇華等相變化而給與分離特性時，所照射之雷射光之波長係約 350 至 1200 nm 較理想。

又，所照射的雷射光之能量密度，特別是，激元雷射時的能量密度，係約 10 至 5000 mJ / cm² 較理想，而以約 100 至 500 mJ / cm² 更理想。又，照射時間係約 1 至 1000 nsec 較理想，而以約 10 至 100 nsec 更理想。能量密度較低或照射時間較短時，則無法產生充分磨耗等，又，能量密度較高或照射時間較久時，則介經透射分離層 2 之照射光對於被轉印層 4 有不良影響。

在此種雷射光所代表之照射光 7 係照射成其強度成爲均勻較理想。

照射光 7 之照射方向係對於分離層 2 不限定於垂直方向，而對於分離層 2 形成傾斜所定角度之方向也可以。

又，分離層 2 之面積比照射光一次之照射面積較多時，也可對於分離層 2 之全領域，分複數次來照射照射光。又，在相同部位也可照射二次以上。

又，將不相同之種類類或不相同之波長（波長域）的照射光（雷射光）照射兩次以上在相同領域或不相同領域也可以。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

(6) 如第 8 圖所示，介經例如洗淨，蝕刻，灰化，研磨等之方法或組合此等之方法來除去附著於中間層 3 之分離層 2。

在如第 6 圖所示的分離層 2 之層內剝離時，也可同樣地除去附著於基板 1 的分離層 2。

又，在基板 1 為如石英玻璃之高價格材料或稀少材料所構成時等，基板 1 係較理想可供於再利用。亦即，對於欲再利用之基板 1，可適用本發明，具有有用性。

經由如上之各製程，即完全被轉印層 4 對於轉印體 6 之轉印。之後，也可實行鄰接於被轉印層 4 之中間層 3 之除去，或是也可實行其他任意層之形成等。

在本發明中，並不是直接地剝離被剝離物之被轉印層 4 本體，而是在接合於被轉印層 4 之分離層 2 施以剝離，故不管被剝離物（被轉印層 4）之特性，條件等，可容易且確實地，而且均勻地剝離（轉印），不會有隨著剝離操作對於被剝離物（被轉印層 4）之損傷，可維持被轉印層 4 之高可靠性。

又，在圖示之實施例中，從基板 1 側來照射照射光 7，惟例如被轉印層 4 介經照射光 7 之照射不受不良影響者時，則照射光 7 之照射方向係不被限定於上述，而從與基板 1 相反側來照射照射光也可以。

又，對於分離層 2 之面方向局部地，亦即以所定之圖案來照射照射光，以上述圖案來轉印被轉印層 4 之構成也可以（第 1 項方法）。在此時，在上述（ 5 ）之製程時，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (20)

對於基板 1 之照射光入射面 1 2，施以對應於上述圖案之光罩來照射照射光，或是介經精密地控制照射光 7 之照射位置等之方法可實行。

又，並不是將分離層 2 形成在基板 1 之分離層形成面 1 1 全面，也可以所定圖案形成分離層 2 (第 2 項方法)。此時，介經光罩等將分離層 2 事先形成在所定圖案，或是可將分離層 2 形成在分離層形成面 1 1 之全面後，介經蝕刻等施以圖案或修整之方法。

依照如上之第 1 方法或第 2 方法，也可將被轉印層 4 之轉印，與其圖案或修整同時地實行。

又，介經與上述之方法同樣之方法，重複實行兩次以上轉印也可以。此時，若轉印次數為偶數次時，則可將形成在最後之轉印體的被轉印層之表背位置關係成為與在基板 1 最初形成被轉印層之狀態相同。

又，將大型之透明基板 (例如，有效領域為 9 0 0 m m × 1 6 0 0 m m) 作為轉印體 6，而將形成於小型基板 1 (例如，有效領域為 4 5 m m × 4 0 m m) 之小單位的被轉印層 4 (薄膜電晶體) 複數次 (例如，約 8 0 0 次) 較理想地依次轉印至鄰接位置，俾在大型透明基板之整體有效領域形成被轉印層 4，而在最後也可製造與上述大型透明基板相同尺寸的液晶顯示裝置。

又，準備複數形成於基板 1 上之被轉印層 4，將各被轉印層 4 依次轉印 (重疊) 在轉印體 6 上，俾形成被轉印層 4 之疊層體也可以。此時，被疊層之被轉印層 4 係相同

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (21)

也可以，或是不相同也可以。

以上為在本發明所使用的薄膜構造之轉印方法。

又，說明使用上述的薄膜構造之轉印方法（轉印技術）的三維裝置（多層構造之裝置）之製造方法的第 1 實施例。

第 9 圖係模式地表示三維裝置之構成例子的剖面圖；第 10 圖至第 15 圖係分別模式地表示本發明的三維裝置之製造方法的第 1 實施例之製程的剖面圖。又，對於與上述的薄膜構造之轉印方法之共通點係省略說明。

如第 9 圖所示，三維裝置 10 係具有：作為基體之基板（轉印側基板）21，及第 1 被轉印層（第 1 薄膜裝置層）41，及第 2 被轉印層（第 2 薄膜裝置層）42。被轉印層 41 及 42 係分別擴張向二維方向（對於基板 21 平行之方向），構成所定之電路。

此時，在基板 21 之第 9 圖中上側，介經黏接層 5 黏接（接合）有被轉印層 41。

又，在該被轉印層 41 之第 9 圖中上側，經由導電性黏接層 22 黏接（接合）有被轉印層 42。

被轉印層 41 係在該第 9 圖中上側分別具有連接電極（連接用端子）411 及 412。又，被轉印層 42 係在該第 9 圖中下側分別具有連接電極 421 及 422。該被轉印層 41 之連接電極 411 與被轉印層 42 之連接電極 421 係經由導電性黏接層 22 予以電氣式地連接，或是，被轉印層 41 之連接電極 412 與被轉印層 42 之連接

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (22)

電極 4 2 2 係經由導電性黏接層 2 2 予以電氣式連接。

作為導電性黏接層 2 2，係各向異性導電膜 (A C F : Anisotropic Conductive Film) 較理想。介經以各向異性導電膜予以黏接，由於僅以厚度方向 (第 9 圖中，上下方向) 確保導通，因此，可防止第 9 圖中橫方向之短路，亦即，可防止連接電極 4 1 1 與連接電極 4 1 2，連接電極 4 1 1 與連接電極 4 2 2，連接電極 4 2 1 與連接電極 4 2 2，連接電極 4 2 1 與連接電極 4 1 2 之間的短路。

又，介經以各向異性導電膜施以黏接，可使連接電極 4 1 1 與連接電極 4 2 1，連接電極 4 1 2 與連接電極 4 2 2 容易對位而分別電氣式地連接，並可黏接 (接合) 被轉印層 4 1 與被轉印層 4 2。

又，該三維裝置 1 0 之基板 (轉印側基板) 2 1，係相當於第 4 圖至第 8 圖中之轉印體 6。

又，作為三維裝置 1 0 之被轉印層 4 1 及 4 2，例如例示作為上述之被轉印層 4 的各種者。

具體而言，被轉印層 4 1 及 4 2 係可作為 D R A M，S R A M，E P R O M，R O M 等記憶體，C P U 等邏輯電路，光察覺器，磁性察覺器等之察覺器等。又，被轉印層 4 1 及 4 2 係當然並不被限定於上述者。

又，被轉印層 4 1 與被轉印層 4 2 係相同也可以，或不相同也可以。

被轉印層 4 1 與被轉印層 4 2 作為相同時，例如，可將被轉印層 4 1 及被轉印層 4 2 之雙方作為記憶體 (記憶

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (23)

體格陣列)。由此，實現大容量的記憶體（大規模記憶體）。

又，除了上述之外，例如也可將被轉印層 4 1 及被轉印層 4 2 之雙方作為邏輯電路。由此可實現大規模之邏輯電路。

又，作為被轉印層 4 1 與被轉印層 4 2 不相同時，例如可將被轉印層 4 1 及被轉印層 4 2 中之一方作為記憶體，而將另一方作為邏輯。亦即，三維裝置 1 0 係成為混載（一體化）記憶體與邏輯的系統 IC（例如，系統 L S I）。

此種情形時，依照本發明，以不相同之設計定則（最小線寬）可形成被轉印層 4 1 與被轉印層 4 2。又，以不相同之設計參數可形成被轉印層 4 1 與被轉印層 4 2。又，以不相同之製程可形成被轉印層 4 1 與被轉印層 4 2。習知在被疊層之層彼此間，無法或很難變更此些條件。

上述系統 IC 的記憶體之最小線寬，係例如作為約 $0.35 \mu\text{m}$ （ μm 定則），而邏輯之最小線寬，係例如作為 $0.5 \mu\text{m}$ （ μm 定則），（記憶體之最小線寬係比邏輯之最小線寬小）。又，與此相反地，將記憶體之最小線寬形成比邏輯之最小線寬大也可以。

上述三維裝置 1 0 係介經上述的薄膜構造之轉印方法，例如，如下述地製造。

（A 1）如第 1 0 圖所示地，在基板（原基板）1 之單面，形成分離層 2。又，如第 1 1 圖所示地，在基板（

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (24)

原基板) 1 之單面，形成分離層 2。

(A 2) 如第 1 0 圖及第 1 1 圖所示地，在各基板 1 之分離層 2 之上，分別形成中間層 (底子層) 3。

(A 3) 如第 1 0 圖所示，在中間層 3 之上，形成第 1 被轉印層 (第 1 薄膜裝置層) 4 1。又，如第 1 1 圖所示，在中間層 3 之上，形成第 2 被轉印層 (第 2 薄膜裝置) 4 2。

將被轉印層 4 1 之 k 部分 (在第 1 0 圖中以一點鏈線所圍繞之部分) 的放大剖面圖表示於第 1 0 圖中。

如第 1 0 圖所示地，被轉印層 4 1 係例如具有形成在中間層 3 (例如， SiO_2 膜) 上的薄膜電晶體 (T F T) 6 0。

該薄膜電晶體 6 0 係由在聚矽層導入 n 型或 p 型雜質所形成的源極層 (n^+ 或 p^+ 層) 6 1 及汲極層 (n^+ 或 p^+ 層) 6 2，及通道層 6 3，及閘極絕緣膜 6 4，及閘極電極 6 5，及層間絕緣膜 6 6，及例如鋁所構成的電極 6 7 與 6 8，及保護膜 6 9 所構成。

在該薄膜電晶體 6 0 之保護膜 6 9 之第 1 0 圖中下側，形成有連接電極 4 1 1。該連接電極 4 1 1 係經由形成在保護膜 6 9 的接觸孔，電氣式地連接於電極 6 8。

又，將被轉印層 4 2 之 k 部分 (在第 1 1 圖中以一點鏈線所圍繞之部分) 的放大剖面圖表示在第 1 1 圖中。

如第 1 1 圖所示地，被轉印層 4 2 係例如具有形成在中間層 3 (例如， SiO_2 膜) 上的薄膜電晶體 (T F T)

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (25)

60。

該薄膜電晶體 60 係由在聚矽層導入 n 型或 p 型雜質所形成的源極層 (n⁺ 或 p⁺ 層) 61 及汲極層 (n⁺ 或 p⁺ 層) 62，及通道層 63，及閘極絕緣膜 64，及閘極電極 65，及層間絕緣膜 66，及例如鋁所構成的電極 67 與 68，及保護膜 69 所構成。

在該薄膜電晶體 60 之保護膜 69 之第 11 圖中上側，形成有連接電極 421。該連接電極 421 係經由形成在保護膜 69 的接觸孔，電氣式地連接於電極 67。

又，由於電極 412 近旁之被轉印層 41 及電極 422 近旁之被轉印層 42 之構成係與上述大約同樣，故省略說明。

在本發明中，將被轉印層 41 同時地形成多數在未予圖示之一枚基板 (例如，玻璃製基板)，並切出該些也可以。同樣地，將被轉印層 42 同時地形成多數在未予圖示之一枚基板 (例如，玻璃製基板)，並切出該些也可以。

此時，例如將被轉印層 41，42 所形成的基板分別設定在探針裝置，而在各被轉印層 41，42 之連接電極或未予圖示之端子接觸觸針，實施各被轉印層 41，42 的電氣式特性檢查。如此，在被判定為不良之被轉印層 41，42 以印表機或唱針等作標記。

之後，分別切片各被轉印層 41，42。此時，介經有無作標記，將各該被轉印層 41，42，選別成不良品與良品。又，經切片之後，實施各該被轉印層 41，42

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明（26）

之電氣式特性檢查也可以。

又，在本發明係同時地製造被轉印層 4 1 與被轉印層 4 2 也可以，特別是，在相同之基板（原基板）1 上，同時地製造也可以。由此，可減少製程數。

（A 4）如第 1 2 圖所示，經由黏接（接合）形成在上述基板 1 上的被轉印層 4 1，及基板（轉印側基板）2 1。

（A 5）如第 1 2 圖所示，從基板 1 之背面側（照射光入射面 1 2 側）來照射照射光 7。如上所述，該照射光 7 係透射基板 1 之後，照射在分離層 2，由此，在分離層 2 產生層內剝離及／或界面剝離，而使結合力減少或消滅。

如此，隔離基板 1 與基板 2 1。由此，如第 1 3 圖所示，被轉印層 4 1 從基板 1 脫離，而轉印至基板 2 1。

（A 6）如第 1 3 圖所示，例如介經洗淨，蝕刻，灰化，研磨等方法或組合此等之方法除去被轉印層 4 1 之中間層 3 或分離層 2。又，視需要，連接電極 4 1 1，4 1 2 能露出之程度地，留下上述中間層 2 也可以。

又，分離層 2 之層內剝離等，也同樣地除去附著於基板 1 的分離層 2。

又，在基板 1 為如石英玻璃之高價格材料或稀少材料所構成時等，基板 1 係較理想可供於再利用。亦即，對於欲再利用之基板 1，可適用本發明，具高有用性。

經由如上之各製程，即完成被轉印層 4 1 對於基板

五、發明說明 (27)

2 1 之轉印。之後，也可實行其他之任意層的形成等。

(A 7) 如第 1 4 圖所示，相對向對應之連接電極彼此間，亦即，相對向連接電極 4 1 1 與連接電極 4 2 1，且相對向連接電極 4 1 2 與連接電極 4 2 2 地施以定位之狀態下，經由導電性黏接層 2 2 黏接（接合）形成於上述基板 1 上之被轉印層 4 2，及轉印於上述基板 2 1 之被轉印層 4 1。

作為該導電性黏接層 2 2，係如上所述，各向異性導電膜較理想，惟本發明係並不被限定於此者。

以各向異性導電膜黏接時，係在被轉印層 4 1 與被轉印層 4 2 之間填充（配置）所定之導電性黏接劑，而將該導電性黏接劑向第 1 4 圖中縱方向加壓下使之硬化。由此，經由導電性黏接層 2 2 黏接被轉印層 4 1 與被轉印層 4 2，同時，該導電性黏接層 2 2 中之未予圖示之導電粒子連接（接觸）於第 1 4 圖中縱向，經由上述導電粒子分別電氣式地來連接連接電極 4 1 1 與連接電極 4 2 1，連接電極 4 1 2 與連接電極 4 2 2。

(A 8) 如第 1 4 圖所示，從基板 1 之背面側（照射光入射面 1 2 側）來照射照射光 7。如上所述，該照射光 7 係透射基板 1 之後，照射在分離層 2，由此，在分離層 2 產生層內剝離及／或界面剝離，而使結合力減少或消滅。

如此，隔離基板 1 與基板 2 1。由此，如第 1 5 圖所示，被轉印層 4 1 從基板 1 脫離，而轉印至基板 2 1。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (28)

又，將被轉印層 4 1，4 2 及導電性黏接層 2 2 之 k 部分（在第 1 5 圖中以一點鏈線所圍繞之部分）的放大剖面圖表示於第 1 5 圖中。

(A 9) 如第 1 5 圖所示，例如介經洗淨，蝕刻，灰化，研磨等方法或組合此等之方法除去被轉印層 4 1 上之中間層 3 或分離層 2。又，視需要，留下上述中間層 2 也可以。

又，分離層 2 之層內剝離等，也同樣地除去附著於基板 1 的分離層 2。

又，在基板 1 為如石英玻璃之高價格材料或稀少材料所構成時等，基板 1 係較理想可供於再利用。亦即，對於欲再利用之基板 1，可適用本發明，具有有用性。

經由如上之各製程，即完成被轉印層 4 2 對於被轉印層 4 1 上之轉印，亦即，完成被轉印層 4 2 與被轉印層 4 1 之疊層。之後，也可實行其他之任意層的形成等。

如上所述地，依照本發明，介經轉印，可容易地製造三維裝置（例如，三維元 I C）1 0。

特別是，由於分別單獨地製造各薄膜裝置，因此，不必考慮如習知地對於下層（下側之薄膜裝置層）之不良影響，製造條件較廣。

又，在本發明係疊層複數薄膜裝置層，故可提高積體度。亦即，較緩和之設計定則也可將 I C 形成在較狹窄之面積。

例如，在三維裝置 1 0 具有記憶體時（例如，被轉印

（請先閱讀背面之注意事項再填寫本頁）

訂 結

五、發明說明 (29)

層 4 1 及 4 2 之雙方為記憶體時)，則可得到記憶體之大容量化。又在三維裝置 1 0 具有邏輯時（例如，被轉印層 4 1 及 4 2 之雙方為邏輯時），可得到邏輯之大規模化。又，在本發明，由於可將各薄膜裝置層一旦形成在不相同之基板上，因此，可用任意之裝置定則（例如，閘極線寬，閘極絕緣膜之膜厚，設計定則，製造時之溫度等製造條件）形成各薄膜裝置層）。因此，可將各薄膜裝置層分別以最適當之裝置參數所形成，由此，提供一種高可靠性及高性能的三維裝置 1 0。

例如，三維裝置 1 0 為混載（一體化）記憶體與邏輯的系統 I C（例如，系統 L S I）時，當製造其系統 I C 時，由於可分別對應之處理形成記憶體與邏輯，因此，容易製造，生產性高，又量產性上有利。

又，由於在各薄膜裝置層之一端，形成連接電極（連接用端子），因此，可將鄰接之薄膜裝置層彼此間容易且確實地電氣式地連接，由此，可得到三維裝置 1 0 之三維化（可構成三維方向之電路）。

又，由於僅選別良品之薄膜裝置層並可疊層於每一層，因此，與在相同基板上依次形成各層（直接形成各層）而製造三維裝置之情形相比較，良品率較高。

又，不選定基板（轉印側基板）2 1，也可轉印至各種基板 2 1。亦即，對於以無法直接形成或不適用於形成薄膜裝置之材料，容易成形之材料，廉價之材料等所構成者等，也可介經轉印來形成該裝置。換言之，由於在基板

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明（30）

2 1 具自由度，例如在可撓性之基板上形成 I C，因此，可容易地製造 I C 卡等。

又，作為基板（原基板）1，由於可使用價格較低且大面積之玻璃製基板，因此可減低成本。

又，在上述實施例中，被轉印層（薄膜裝置層）4 1 及 4 2 之轉印次數係分別一次，惟在本創作中，可疊層被轉印層 4 1 與被轉印層 4 2，而被轉印層 4 1 之轉印次數係兩次以上也可以，或是被轉印層 4 2 之轉印次數係兩次以上也可以。

例如，將被轉印層之轉印次數作為兩次時，可將基板 1 上之被轉印層轉印在基板 1 及基板 2 1 以外之未予圖示的第 3 基板上，然後，將該第 3 之基板上之被轉印層轉印在基板 2 1 上。又，在上述第 3 基板，形成有上述之分離層 2 等。

若被轉印層之轉印次數為偶數次時，則可將形成在最後轉印體之基板（轉印側基板）2 1 的被轉印層之表，背之位置關係，形成與在基板（原基板）1 最初形成被轉印層之狀態相同。

又，在本發明中，在基板（轉印側基板）2 1 上直接形成被轉印層 4 1，介經上述之轉印方法，在該被轉印層 4 1 上轉印被轉印層 4 2，來製造三維裝置 1 0 也可以。

又，在本發明中，疊層三層以上被轉印層（薄膜裝置層）也可以。介經增加被轉印層（薄膜裝置層）之層數，可提高積體度。

五、發明說明 (31)

例如，將三維裝置 10 之被轉印層（薄膜裝置層）之層數作為三層，電氣式地連接鄰接之被轉印層彼此間時，如第 16 圖所示，在位於第 1 被轉印層（第 1 薄膜裝置層）41 與第 2 被轉印層（第 2 薄膜裝置層）42 之間的第 3 被轉印層（第 3 薄膜裝置層）43 之兩端形成連接電極（連接用端子）。亦即，在被轉印層 43 之一端（第 16 圖中下側），形成連接電極 431 及 432，而在另一端（第 16 圖中上側）形成連接電極 433 及 434。

又，經由導電性黏接層 22 電氣式地連接被轉印層 41 之連接電極 411 與被轉印層 43 之連接電極 431，經由導電性黏接層 22 電氣式地連接被轉印層 41 之連接電極 412 與被轉印層 43 之連接電極 432。同樣地，經由導電性黏接層 23 電氣式地連接被轉印層 32 之連接電極 433 與被轉印層 42 之連接電極 421，經由導電性黏接層 23 電氣式地連接被轉印層 43 之連接電極 434 與被轉印層 42 之連接電極 422。

作為導電性黏接層 23，係與導電性黏接層 22 同樣之理由，使用各向異性導電膜較理想。

又，疊層三層以上被轉印層（薄膜裝置層）時，各層均相同也可以，或是各層均不相同也可以，又，僅一部分之層相同也可以。

以下，說明三維裝置之製造方法的第 2 實施例。

第 17 圖係模式地表示三維裝置之構成例的剖面圖。

又，對於與上述之第 1 實施例之共通點，則省略說明，而

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (32)

說明主要之不同點。

表示於第 17 圖之三維裝置 10 也與上述之第 1 實施例同樣地，介經薄膜構造之轉印方法來製造。

但是，在該三維裝置 10 係在上述製程 (A 7) 中，接觸第 1 被轉印層 (第 1 薄膜裝置層) 41 之連接電極 411 與第 2 被轉印層 (第 2 薄膜裝置層) 42 之連接電極 421，並電氣式地連接這些，接觸於被轉印層 41 之連接電極 412 與被轉印層 42 之連接電極 422，並電氣式地連接這些，同時，經由黏接層 24 黏接 (接合) 被轉印層 41 與被轉印層 42。

在該第 2 實施例也可得到與上述之第 1 實施例同樣之效果。

又，在本發明中，被轉印層 41 與被轉印層 42 之黏接 (接合) 方法，及電氣式地連接對應之連接電極彼此間的方法，係並不被限定於上述之第 1 實施例及第 2 實施例。

例如，分別接觸連接電極 411 與連接電極 421，連接電極 412 與連接電極 422，並加熱這些，一旦熔融接觸面，介經予以固化，固裝所對應之連接電極彼此間即可以。由此，電氣式地連接所對應之連接電極彼此間，同時，接合被轉印層 41 與被轉印層 42。

又，在連接電極 411 與連接電極 421 之間，及連接電極 412 與連接電極 422 之間，分別配置焊劑 (導電性硬焊材)，加熱此等焊劑，一旦熔融，固化也可以。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (33)

由此，經由焊劑電氣式地連接所對應之連接電極彼此間，同時，經由焊劑黏接（接合）被轉印層 4 1 與被轉印層 4 2。

以下，說明三維裝置之製造方法的第 3 實施例。

第 1 8 圖係模式地表示三維裝置之構成例的剖面圖。又，對於與上述之第 1 實施例之共通點，省略說明，而說明主要之不同點。

表示於第 1 8 圖之三維裝置 1 0 也與上述之第 1 實施例同樣地，介經薄膜構造之轉印方法來製造。

在該三維裝置 1 0 的第 1 被轉印層（第 1 薄膜裝置層）4 1 之一端（第 1 8 圖中上側），形成有發光部（發光元件）4 1 3 及受光部（受光元件）4 1 4。

又，第 2 被轉印層（第 2 薄膜裝置層）4 2 之一端（第 1 8 圖中下側），形成有發光部（發光元件）4 2 3 及受光部（受光元件）4 2 4。

在該三維元件 1 0，係在上述製程（A 7）中，對應之發光部與受光部相對向，亦即，發光部 4 1 3 與受光部 4 2 4 相對向，且發光部 4 2 3 與受光部 4 1 4 相對向地定位狀態下，實質上經由透明（對於來質發光部 4 1 3 及 4 2 3 之光具有光透射性）之黏接層 2 5 來黏接（接合）被轉印層 4 1 與被轉印層 4 2。

作為該三維裝置 1 0 之發光部 4 1 3 及 4 2 3，例如，可使用有機 E L 元件。

第 1 9 圖係表示有機 E L 元件之構成例的剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂 總

五、發明說明 (34)

如同圖所示，有機 E L 元件 3 0 係以隔間壁 (觸排) 3 4 ，及形成於該隔間壁 3 4 之內側的透明電極 3 1 及發光層 (有機 E L) 3 2 ，及金屬電極 3 3 所構成。

此時，在透明電極 3 1 上形成有發光層 3 2 ，而在隔間壁 3 4 及發光層 3 2 上形成有金屬電極 3 3 。

透明電極 3 1 係例如以 I T O 等所構成。

又，發光層 3 2 係例如，主要為將形成發光層 3 2 之共設系高分子有機化合物的前驅體，及為了變化發光層 3 2 之發光特性的螢光色素等溶解或分散於所定溶媒 (極性溶媒) 的有機 E L 元件用組成物 (發光層 3 2 用之組成物) 予以加熱處理，並將該有機 E L 元件用組成物中之上述前驅體予以高分子化的薄膜 (固體薄膜) 所構成。

又，金屬電極 3 3 係例如以 A l - L i 等所構成。

又，隔間壁 3 4 係例如以樹脂黑抗蝕劑等所構成。

在被轉印層 4 1 及 4 2 ，分別形成有驅動該有機 E L 元件 3 0 之未予圖示的驅動部 (驅動電路) 。

在該有機 E L 元件 3 0 ，係當所定電壓從上述驅動電路施加於透明電極 3 1 與金屬電極 3 3 之間時，則電子及正孔 (電洞) 注入在發光層 3 2 ，而這些是依藉由所施加之電壓所產生之電場移動發光層 3 2 中被再結合。依該再結合時所放出的能量產生激子 (Exciton) ，而該激子恢復成基底狀態時則放出能量 (螢光或磷光) 。亦即，會發光。又，將該現象稱為 E L 發光。

又，作為該三維裝置 1 0 之受光部 4 1 4 及 4 2 4 ，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

例如，可使用 P I N 光二極體。

第 20 圖係表示 P I N 光二極體之構成例的剖面圖。

如同圖所示，P I N 光二極體 50 係由：受光部窗電極 51，及 p 型 a - S i C 層（p 型半導體層）52，及 i 型 a - S i 層（半導體層）53，及 n 型 a - S i C 層（n 型半導體層）54，及兼具受光部上部電極與配線（電氣配線）的 A l - S i - C u 層 55 所構成。

此等受光部窗電極 51，p 型 a - S i C 層 52，i 型 a - S i 層 53，n 型 a - S i C 層 54 及 A l - S i - C u 層 55 係從第 20 圖中下側以該順序被疊層。又，上述受光部窗電極 51 係例如以 I T O 等所構成。

如上所述，有機 E L 元件 30 係介經電氣式地連接於該有機 E L 元件 30 之未予圖示的驅動電路被驅動而發光。亦即，有機 E L 元件 30 係傳送（發送）光信號（光）。

來自該有機 E L 元件 30 之光，係透射黏接層 25 後從受光窗電極 51 入射。亦即，在 P I N 光二極體 50 被受光。

從 P I N 光二極體 50 輸出對應於受光光量之大小的電流，亦即輸出電氣信號（信號）（光信號被變換成電氣信號而被輸出）。

依據來自該 P I N 光二極體 50 之信號，電氣式地連接於該 P I N 光二極體 50 之未予圖示的電路施以動作。

又，如第 18 圖所示，來自發光部 413 之光係透射

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (36)

黏接層 2 5 之後在受光部 4 2 4 被受光，又，來自發光部 4 2 3 之光係透射黏接層 2 5 之後在受光部 4 1 4 被受光。亦即，介經發光部 4 1 3 及 4 2 3，受光部 4 1 4 及 4 2 4，在被轉印層 4 1 與被轉印層 4 2 之間實施依光（光信號）之通信。

在該第 3 實施例也可得到與上述之第 1 實施例同樣之效果。

如此，在該第 3 實施例中，層間之信號傳送係並不是電氣（電氣信號），而是構成以光（光信號）所實行，故容易製造，特別是可更提高積體度。

又，在本發明中，發光部 4 1 3 及 4 2 3 係並不限定於有機 EL 元件，例如，以無機 EL 元件，發光二極體（LED），半導體雷射（雷射二極體）等所構成也可以。

又，在本發明中，受光部 4 1 4 及 4 2 4 係並不限定於 PIN 二極體，例如，以 PIN 光二極體，突崩光二極體等之各種光二極體，光電晶體，光發光（有機光發光，無機光發光等）等所構成也可以。

又，在本發明中，黏接（接合）被轉印層（薄膜裝置層）4 1 與被轉印層（薄膜裝置層）4 2 之方法，係並不限定於上述之方法。亦即，在被轉印層 4 1 與被轉印層 4 2 之間，可實施依光（光信號）之通信，而可黏接（接合）被轉印層 4 1 與被轉印層 4 2 即可以。

例如，局部地黏接（接合）被轉印層 4 1 與被轉印層

（請先閱讀背面之注意事項再填寫本頁）

訂 總

五、發明說明 (37)

4 2 也可以。此時，以發光部 4 1 3，4 2 3，受光部 4 1 4 及 4 2 4 以外之部分施以黏接（接合）時，則以不透明之黏接層黏接被轉印層 4 1 與被轉印層 4 2 也可以。

又，在被轉印層 4 1 與被轉印層 4 2 之間設置間隔件（例如，柱），經由該間隔件黏接（接合）被轉印層 4 1 與被轉印層 4 2 也可以。在此時，在被轉印層 4 1 之發光部 4 1 3 與受光部 4 1 4，及被轉印層 4 2 之受光部 4 2 4 與發光部 4 2 3 之間形成有空間。

又，分別接觸被轉印層 4 1 之發光部 4 1 3 與受光部 4 1 4，及被轉印層 4 2 之受光部 4 2 4 及發光部 4 2 3 也可以。

又，在本發明中，將三維裝置的被轉印層（薄膜裝置層）之層數作為三層以上時，未鄰接之層間中，構成可依光（光信號）之通信的構成也構成。

又，在本發明中，發光部係以發光特性（例如，發光之光的峰值波長）之不同的複數發光元件所構成，而受光部係以受光來自對應之上述發光元件之光的複數受光元件所構成也可以。

此時，可同時地通信複數之資訊（信號）。亦即，成為可依多通道之光通信的資訊傳送。

又，在本發明中，設置發光特性（例如，發光之光的峰值波長）之不同的複數發光部。並設置受光來自對應之上述發光部之光的複數受光部也可以。

又，在本發明中，在至少一個所定之被轉印層（薄膜

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (38)

裝置層)內，形成可依如上述被轉印層(薄膜裝置層)間之光(光信號)的通信之構成也可以。

以上，依據圖示之實施例說明本發明的三維裝置之製造方法，惟本發明係並不被限定於此者。

例如，在本發明中，欲將三維裝置之被轉印層(薄膜裝置層)之層數作成三層以上時，如第1實施例或第2實施例地電氣式地連接所定之被轉印層間(被轉印層彼此間)(以下，稱為「電氣式地連接」)，而在其他之被轉印層間，如第3實施例等，可依光(光信號)之通信(以下，稱為「光學式地連接」)的構成也可以。

又，在本發明中，對於所定之被轉印層間，電氣式地連接其一部分，而光學式地連接其他部分也可以。

又，在本發明中，將構成三維裝置之複數被轉印層(薄膜裝置層)中之至少一層介經上述的薄膜構造之轉印方法(轉印技術)予以轉印來製造該裝置即可以。

又，本發明之轉印方向係並不被限定於上述之方法。

(產業上之利用可能性)

如上所述，依照本發明的三維裝置之製造方法，由於介經轉印方法來疊層薄膜裝置層，因此，可容易地製造三維裝置(例如三維IC)。

特別是，由於可分別單獨地形成各薄膜裝置層，因此，不必考慮如以往之對於下層(下側之薄膜裝置層)之不良影響，而製造條件之自由度較廣。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

又，在本發明中，由於疊層複數薄膜裝置層來製造裝置，因此，可提高積體度。

又，在本發明中，由於可將各薄膜裝置層層形成在不同之基板上，因此，可用各該最適當之裝置參數形成各薄膜裝置層，由此，可提供一種高性能之裝置。

又，在本發明中，由於僅選別良品之薄膜裝置層後可疊層每一層，因此，與在相同基板上依次形成（直接形成多層）各層來製造三維裝置時相比較，可得到高良品率。

（圖式之簡單說明）

第 1 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 2 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 3 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 4 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 5 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 6 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 7 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (40)

第 8 圖係模式地表示本發明的薄膜構造之轉印方法之實施例之製程的剖面圖。

第 9 圖係模式地表示本發明之三維裝置之構成例的剖面圖。

第 10 圖係模式地表示本發明的三維裝置之製造方法之第 1 實施例之製程的剖面圖。

第 11 圖係模式地表示本發明的三維裝置之製造方法之第 1 實施例之製程的剖面圖。

第 12 圖係模式地表示本發明的三維裝置之製造方法之第 1 實施例之製程的剖面圖。

第 13 圖係模式地表示本發明的三維裝置之製造方法之第 1 實施例之製程的剖面圖。

第 14 圖係模式地表示本發明的三維裝置之製造方法之第 1 實施例之製程的剖面圖。

第 15 圖係模式地表示本發明的三維裝置之製造方法之第 1 實施例之製程的剖面圖。

第 16 圖係模式地表示本發明的三維裝置之其他構成例的剖面圖。

第 17 圖係模式地表示本發明的三維裝置之其他構成例的剖面圖。

第 18 圖係模式地表示本發明的三維裝置之其他構成例的剖面圖。

第 19 圖係表示本發明之有機 EL 元件之構成例的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (41)

第 20 圖係表示本發明之 P I N 光二極體之構成例的剖面圖。

(記號之說明)

1 : 基板 , 1 1 : 分離層形成面 , 1 2 : 照射光入射面 , 2 : 分離 , 2 a , 2 b : 界面 , 3 : 中間層 , 4 、 4 1 ~ 4 3 : 被轉印層 , 4 1 1 、 4 1 2 : 連接電極 , 4 2 1 、 4 2 2 : 連接電極 , 4 1 3 、 4 2 3 : 發光部 , 4 1 4 、 4 2 4 : 受光部 , 4 3 1 ~ 4 2 4 : 連接電極 , 5 : 黏接層 , 6 : 轉印體 , 7 : 照射光 , 1 0 : 三維裝置 , 2 1 : 基板 , 2 2 、 2 3 : 導電性黏接層 , 2 4 : 黏接層 , 2 5 : 透明之黏接層 , 3 0 : 有機 E L 元件 , 3 1 : 透明電極 , 3 2 : 發光層 , 3 3 : 金屬電極 , 3 4 : 隔間壁 , 5 0 : P I N 光二極體 , 5 1 : 受光部窗電極 , 5 2 : p 型 a - S i C 層 , 5 3 : i 型 a - S i 層 , 5 4 : n 型 a - S i C 層 , 5 5 : A l - S i - C u 層 , 6 0 : 薄膜電晶體 , 6 1 : 源極層 , 6 2 : 汲極層 , 6 3 : 通道層 , 6 4 : 閘極絕緣膜 , 6 5 : 閘極電極 , 6 6 : 層間絕緣膜 , 6 7 、 6 8 : 電極 , 6 9 : 保護膜。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱：

三維裝置之製造方法

本發明的三維裝置之製造方法，係具有：在透光性基板 1 上形成分離層 2，中間層 3 及第 1 被轉印層 4 1，同樣地，在透光性基板 1 上形成分離層 2，中間層 3 及第 2 被轉印層 4 2 的製程，及在與被轉印層 4 1 之基板 1 相反側經由黏接層 5 接合基板(轉印側基板) 2 1 的製程，及將照射光 7 照射在分離層 2，介經磨蝕在分離層 2 之層內及/或界面產生剝離，將被轉印層 4 1 從基板 1 脫離並轉印至基板 2 1 的製程，及在與被轉印層 4 2 之基板 1 相反側經由導電性黏接層 2 2 接合被轉印層 4 1 的製程，及與上述同樣地將照射光 7 照射在分離層 2，將被轉印層 4 2 從基板 1 脫離並轉印至被轉印層 4 1 上的製程。

(請先閱讀背面之注意事項再填寫本頁各欄)

衣

訂

線

英文發明摘要(發明之名稱：

六、申請專利範圍

1. 一種三維裝置之製造方法，屬於將配置於二維方向之所定領域的複數薄膜裝置層疊層在其厚度方向俾製造三維裝置之三維裝置之製造方法，其特徵為：介經轉印法疊層上述各薄膜裝置層中之至少一層者。

2. 一種三維裝置之製造方法，屬於基體上，在向二維方向擴展之所定領域內將構成電路之複數薄膜裝置層疊層在其厚度方向俾製造構成三維方向之電路的三維裝置之製造方法，其特徵為：介經轉印法疊層上述各薄膜裝置層中之至少一層者。

3. 如申請專利範圍第1項所述的三維裝置之製造方法，其中，上述轉印法係在第1基板上經由分離層形成薄膜裝置層之後，將照射光照射在上述分離層，在上述分離層之層內及／或介面產生剝離，並將上述第1基板之薄膜裝置層轉印至第2基板側者。

4. 如申請專利範圍第2項所述的三維裝置之製造方法，其中，上述轉印法係在第1基板上經由分離層形成薄膜裝置層之後，將照射光照射在上述分離層，在上述分離層之層內及／或介面產生剝離，並將上述第1基板之薄膜裝置層轉印至第2基板側者。

5. 如申請專利範圍第3項所述的三維裝置之製造方法，其中，上述分離層之剝離係介經構成分離層之物質的原子間或分子間之結合力消失或減少所產生者。

6. 如申請專利範圍第4項所述的三維裝置之製造方法，其中，上述分離層之剝離係介經構成分離層之物質的

六、申請專利範圍

原子間或分子間之結合力消失或減少所產生者。

7. 如申請專利範圍第3項所述的三維裝置之製造方法，其中，上述分離層之剝離，係介經由構成分離層之物質發生氣體所產生者。

8. 如申請專利範圍第4項所述的三維裝置之製造方法，其中，上述分離層之剝離，係介經由構成分離層之物質發生氣體所產生者。

9. 如申請專利範圍第3項所述的三維裝置之製造方法，其中，上述照射光係雷射光者。

10. 如申請專利範圍第4項所述的三維裝置之製造方法，其中，上述照射光係雷射光者。

11. 如申請專利範圍第9項所述的三維裝置之製造方法，其中，上述雷射光之波長係100~350nm者。

12. 如申請專利範圍第10項所述的三維裝置之製造方法，其中，上述雷射光之波長係100~350nm者。

13. 如申請專利範圍第9項所述的三維裝置之製造方法，其中，上述雷射光之波長係350~1200nm者。

14. 如申請專利範圍第10項所述的三維裝置之製造方法，其中，上述雷射光之波長係350~1200nm者。

15. 如申請專利範圍第3項所述的三維裝置之製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

方法，其中，上述分離層係由非晶質矽、陶瓷、金屬或有機高分子材料所構成者。

16. 如申請專利範圍第4項所述的三維裝置之製造方法，其中，上述分離層係由非晶質矽、陶瓷、金屬或有機高分子材料所構成者。

17. 如申請專利範圍第3項所述的三維裝置之製造方法，其中，上述第1基板係透明基板者。

18. 如申請專利範圍第4項所述的三維裝置之製造方法，其中，上述第1基板係透明基板者。

19. 如申請專利範圍第1項所述的三維裝置之製造方法，其中，在上述薄膜裝置層形成連接電極，介經該連接電極，電氣式地連接鄰接之上述薄膜裝置層彼此間者。

20. 如申請專利範圍第19項所述的三維裝置之製造方法，其中，上述連接電極係存在於上述薄膜裝置層之兩面者。

21. 如申請專利範圍第19項所述的三維裝置之製造方法，其中，介經各向異性導電膜接合鄰接的上述薄膜裝置層彼此間者。

22. 如申請專利範圍第1項至第18項中任何一項所述的三維裝置之製造方法，其中，在上述各薄膜裝置層中所對應之兩層中，在其中一方之層形成發光部，而在另一方之層形成受光來自上述發光部之光的受光部，介經此等發光部及受光部，在上述兩層間可實行依光之通信者。

23. 如申請專利範圍第1項所述的三維裝置之製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

方法，其中，上述轉印被疊層的薄膜裝置層，係與其他之薄膜裝置層中之至少一層同時地製造者。

24．如申請專利範圍第1項所述的三維裝置之製造方法，其中，上述各薄膜裝置層中之至少一層，係具有複數之薄膜電晶體者。

25．如申請專利範圍第1項所述的三維裝置之製造方法，其中，轉印複數次作為記憶體之上述薄膜裝置層，俾形成大規模記憶體者。

26．如申請專利範圍第1項所述的三維裝置之製造方法，其中，轉印複數次作為邏輯之上述薄膜裝置層，俾形成大規模邏輯者。

27．如申請專利範圍第1項所述的三維裝置之製造方法，其中，轉印作為記憶體之上述薄膜裝置層與作為邏輯之上述薄膜裝置層，俾形成系統LSI者。

28．如申請專利範圍第27項所述的三維裝置之製造方法，其中，上述邏輯與記憶體，係由不同設計規則所形成者。

29．如申請專利範圍第27項所述的三維裝置之製造方法，其中，上述邏輯與記憶體，係由不同設計參數所形成者。

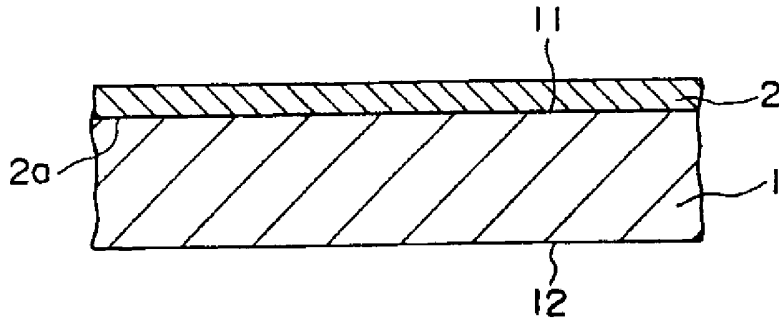
30．如申請專利範圍第27項所述的三維裝置之製造方法，其中，上述邏輯與記憶體，係由不同製造處理所形成者。

(請先閱讀背面之注意事項再填寫本頁)

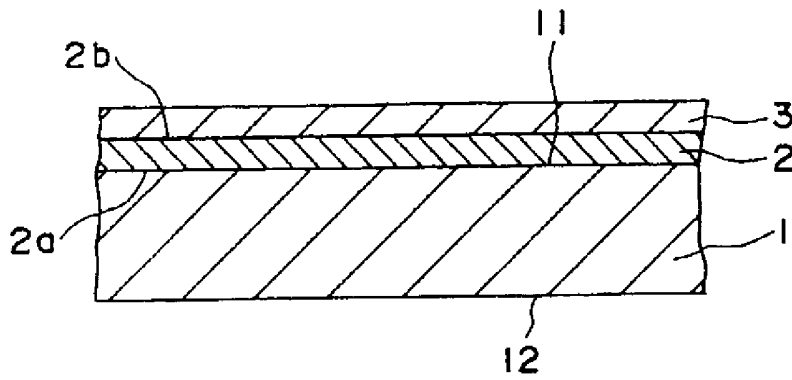
裝

訂

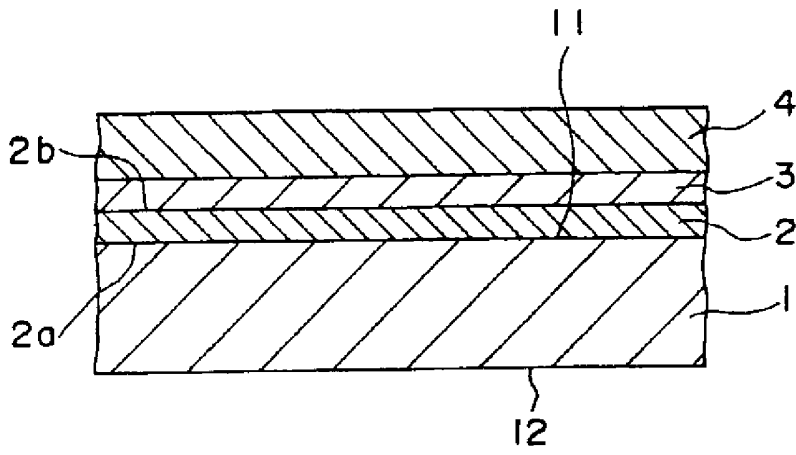
線



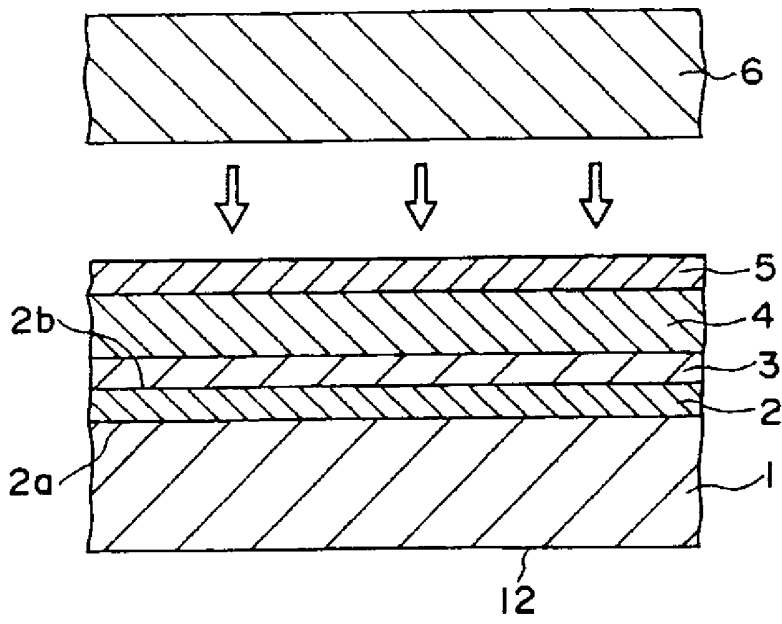
第 1 圖



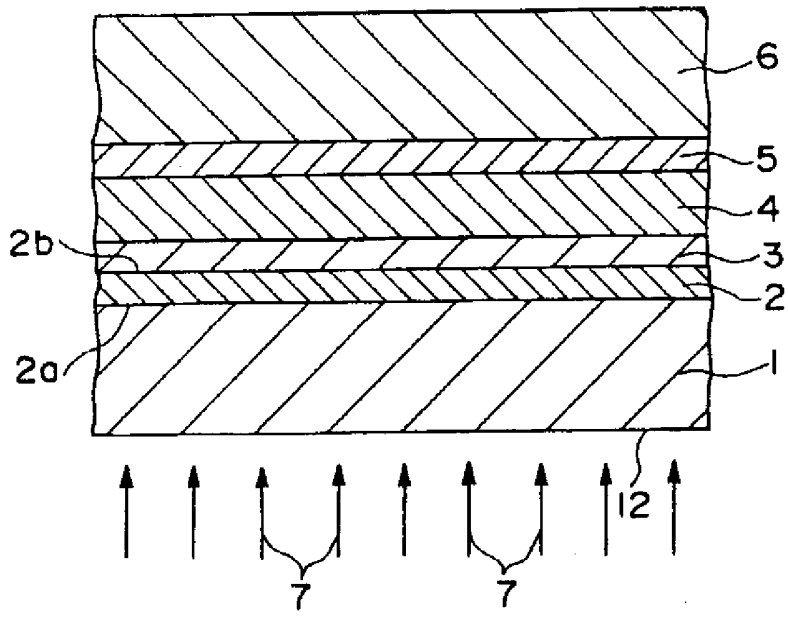
第 2 圖



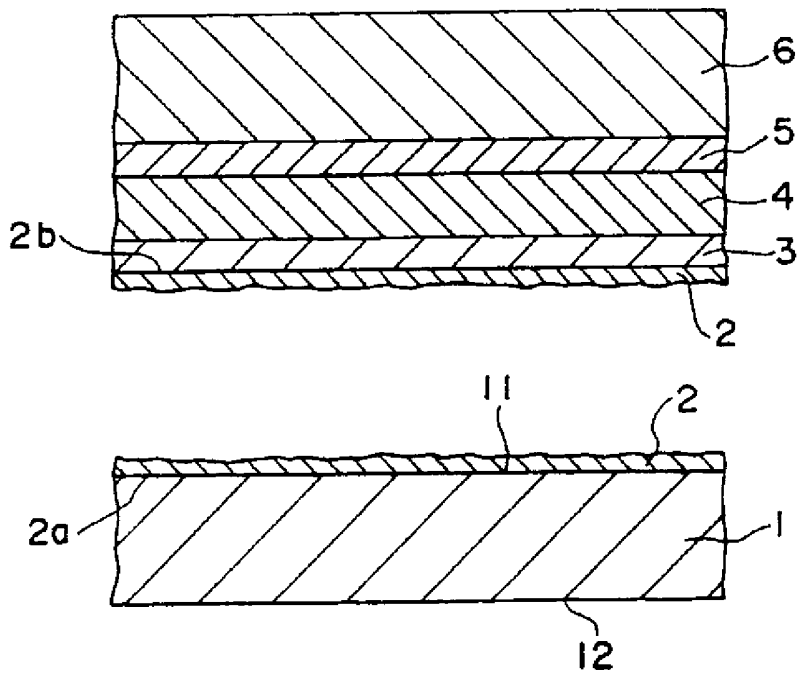
第 3 圖



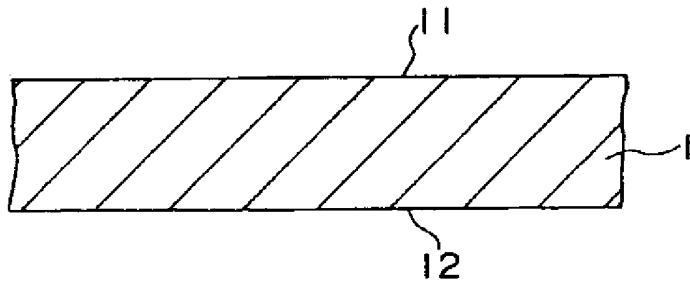
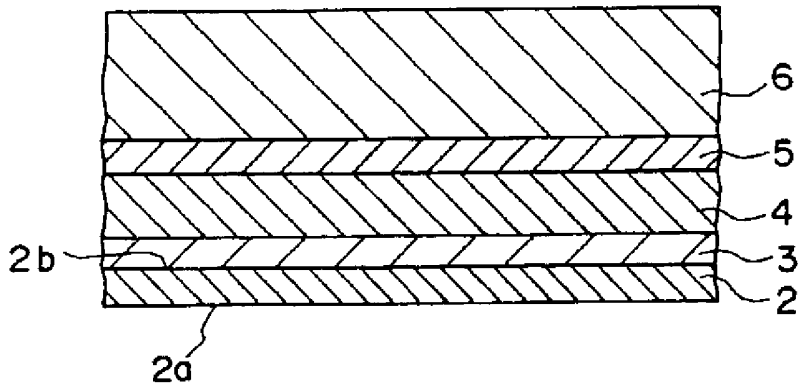
第 4 圖



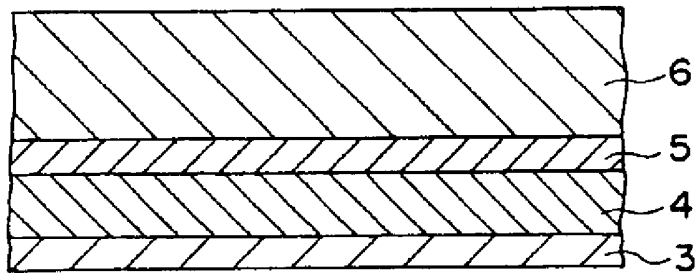
第 5 圖



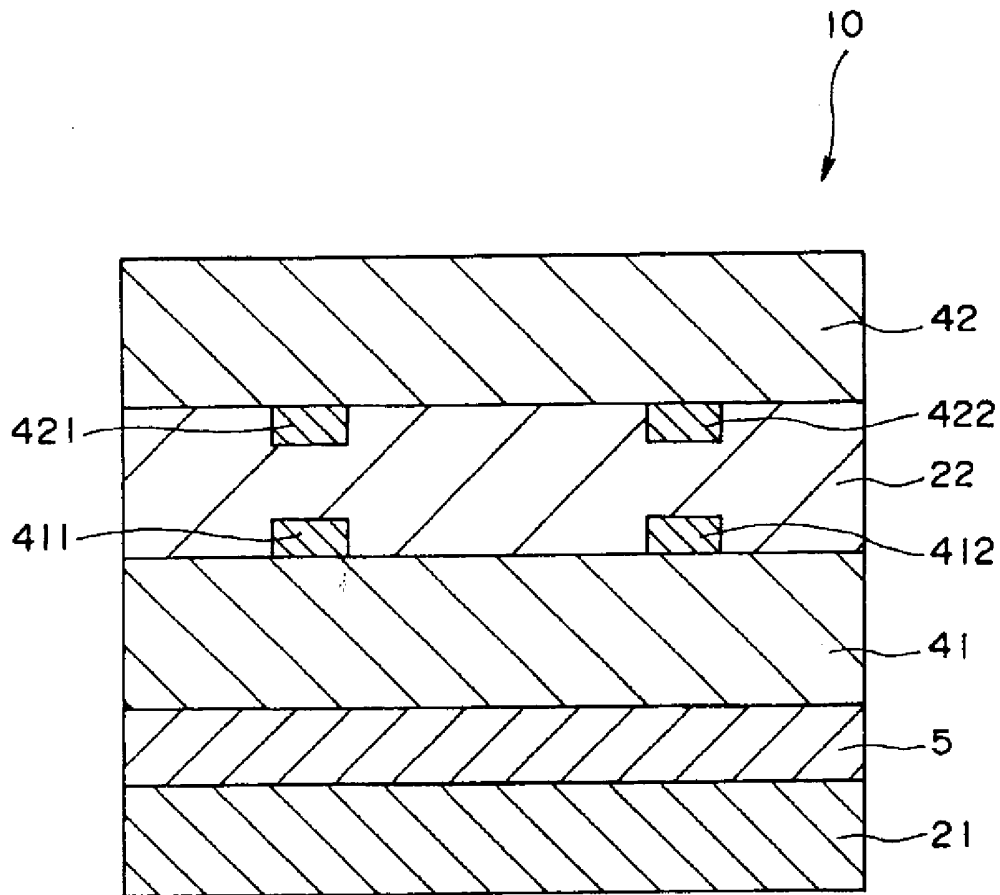
第 6 圖



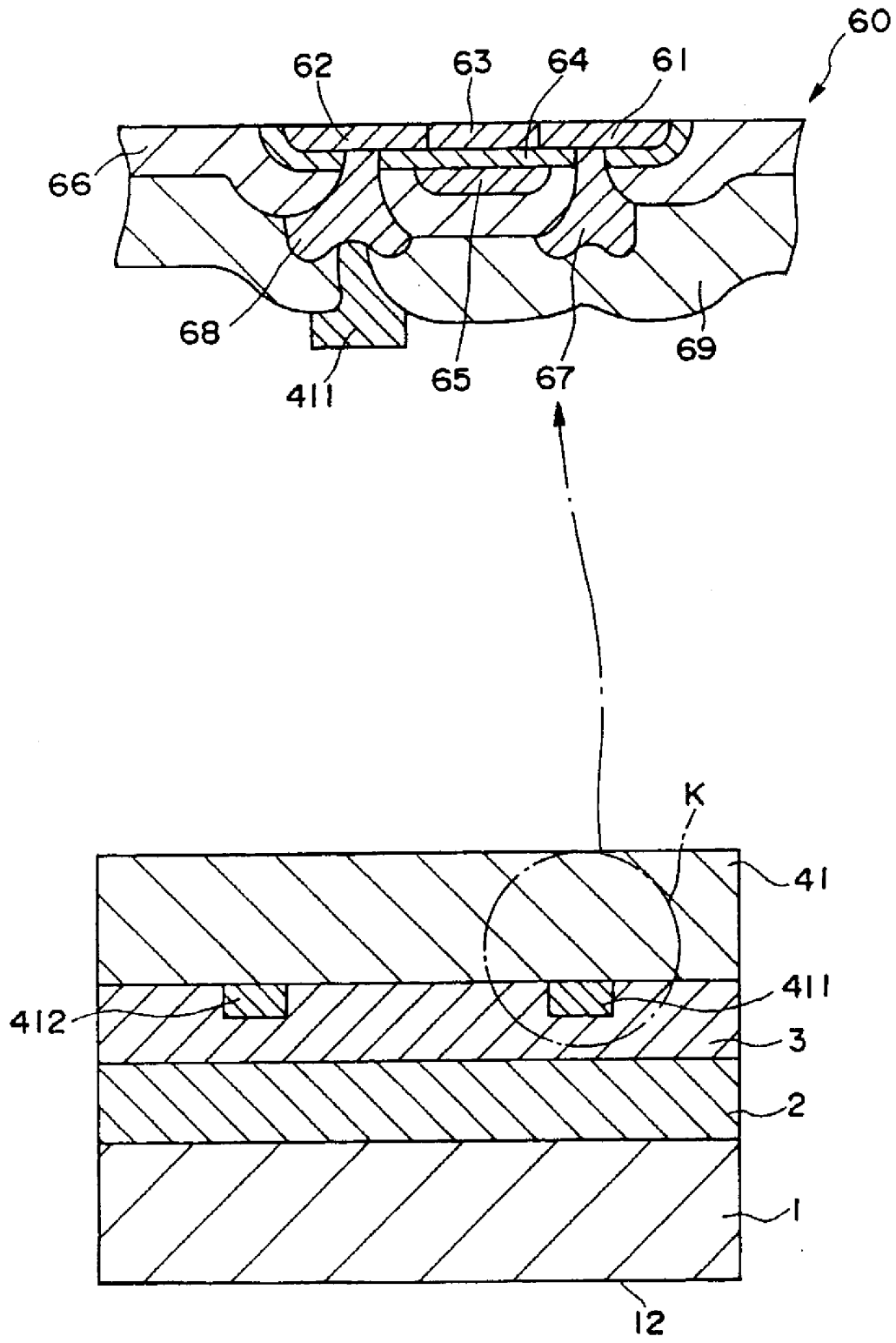
第 7 圖



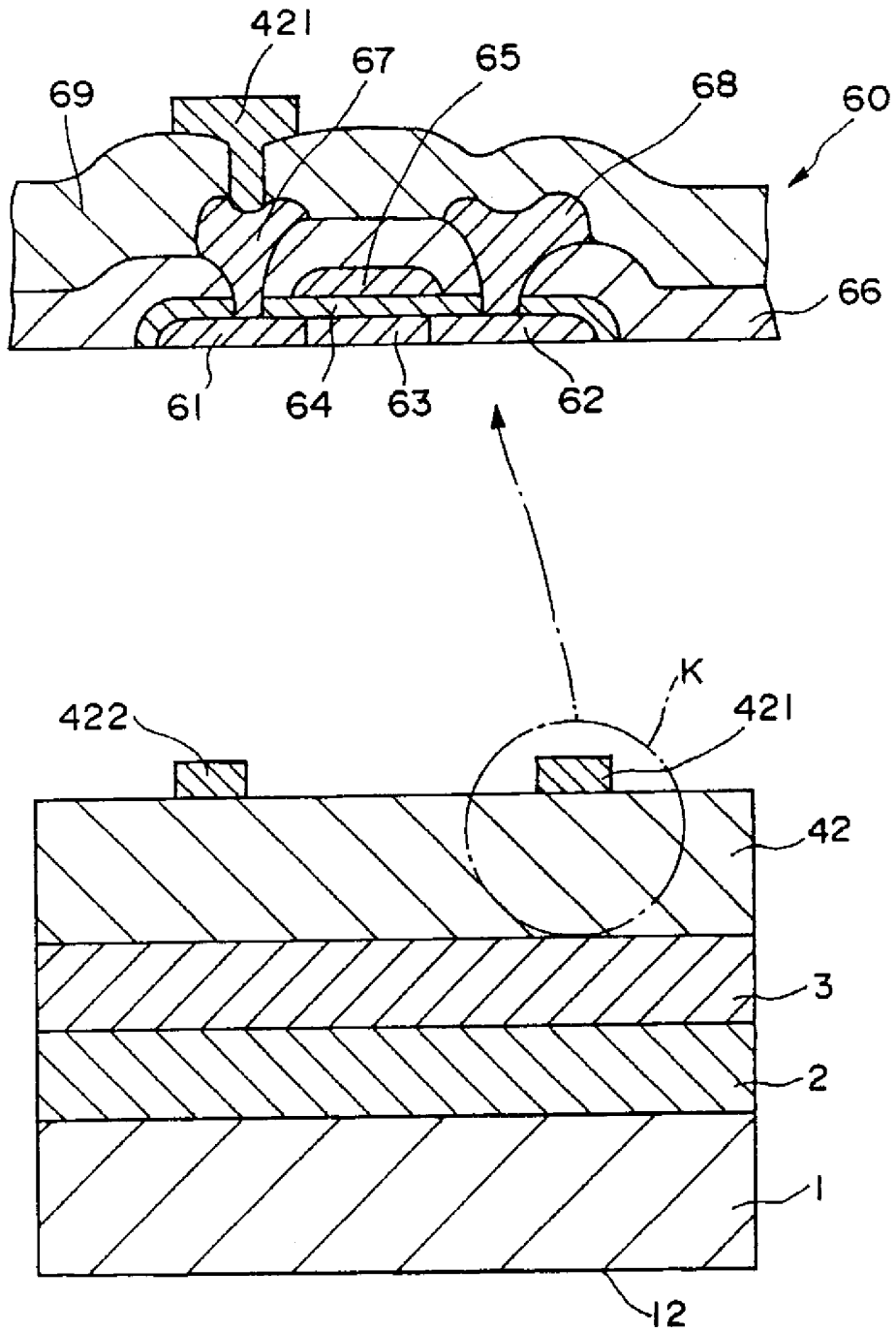
第 8 圖



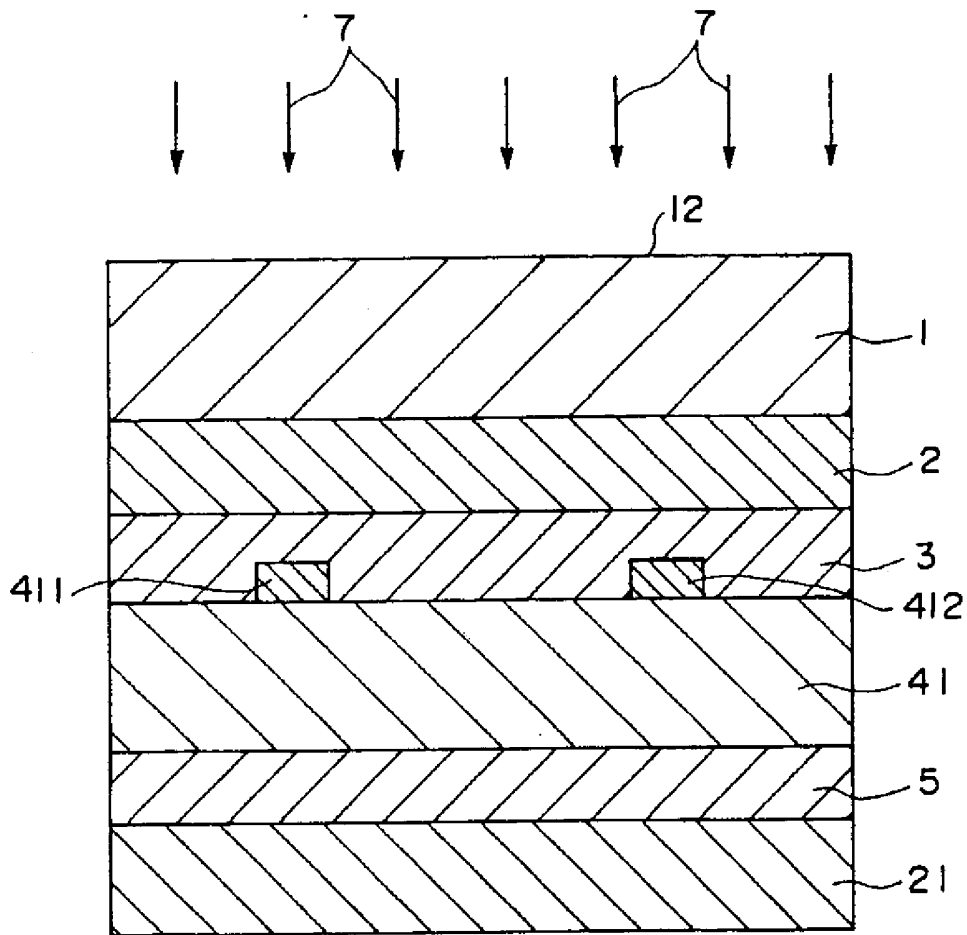
第 9 圖



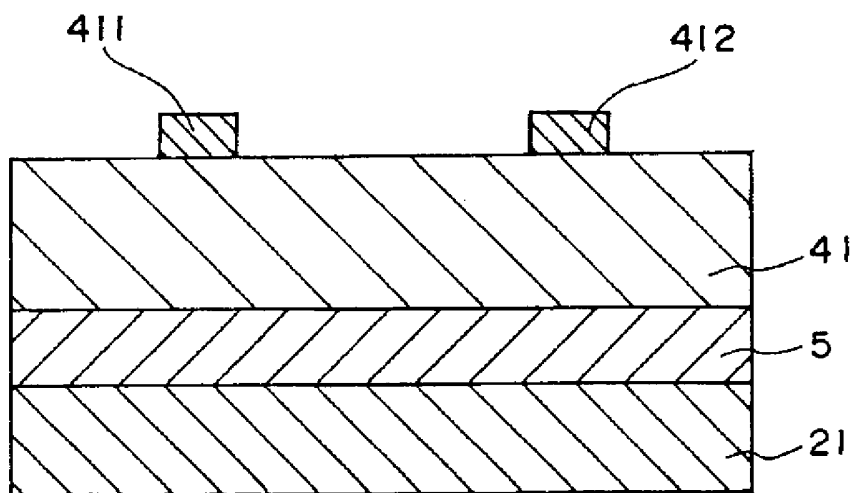
第 10 圖



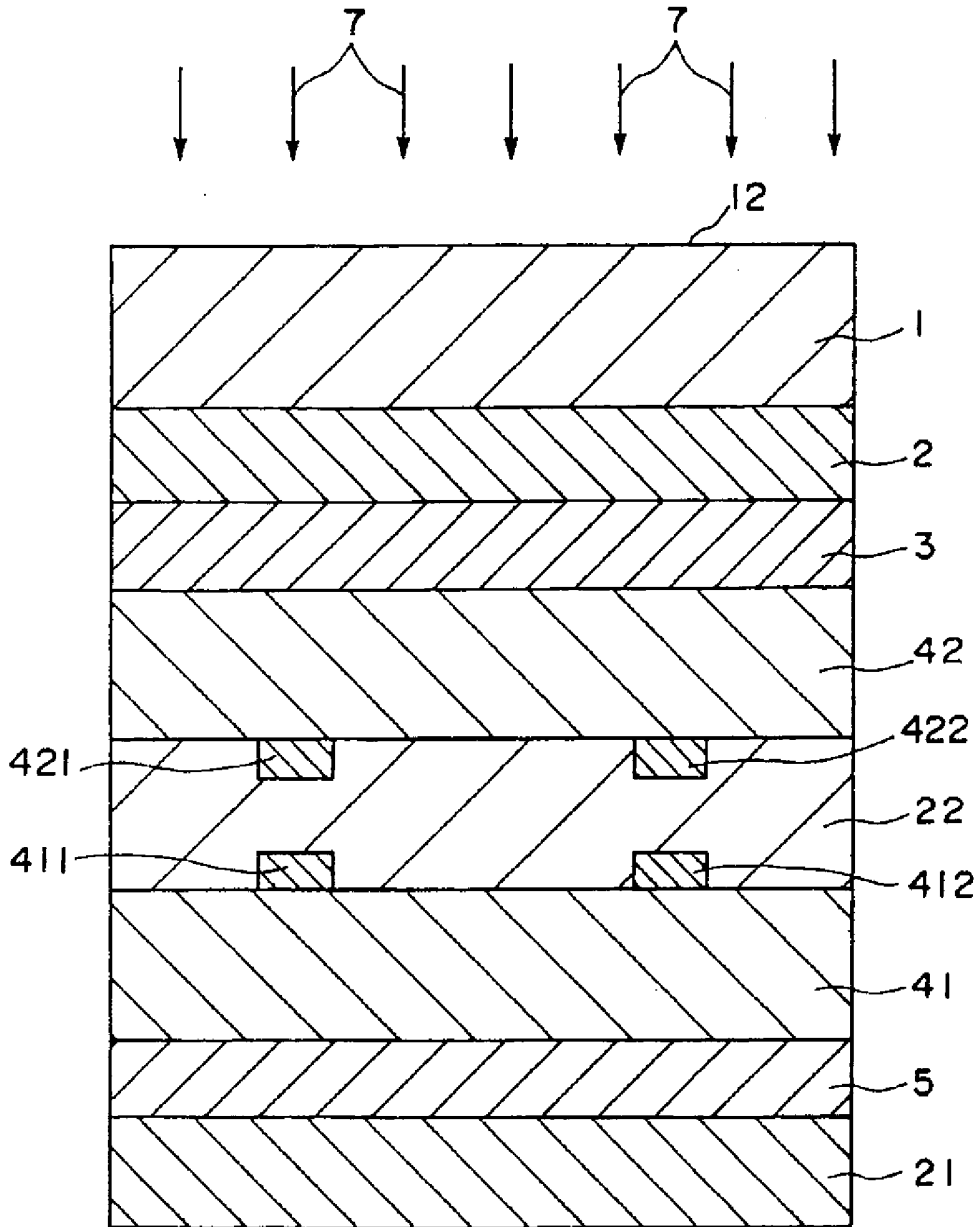
第 11 圖



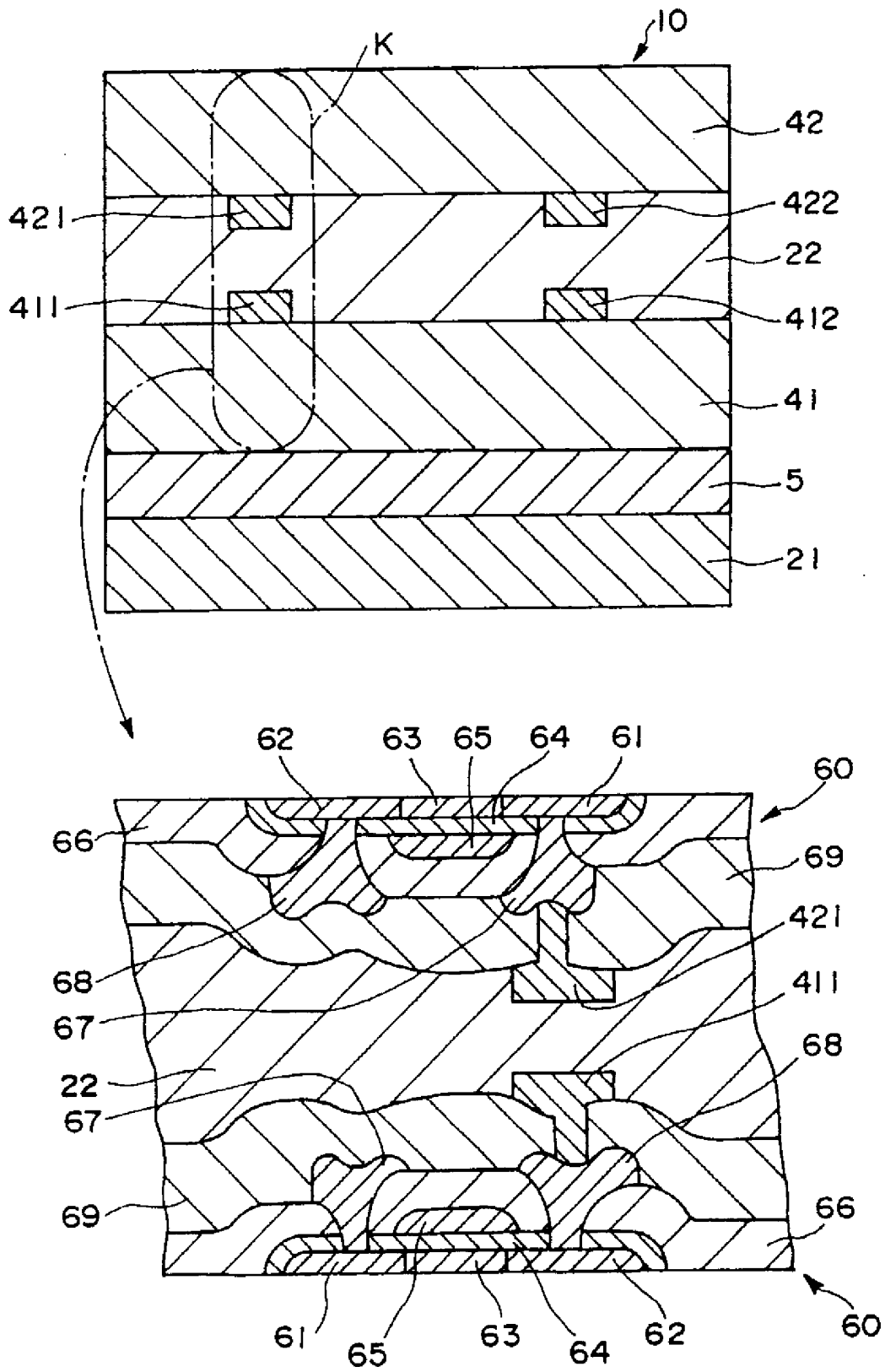
第 12 圖



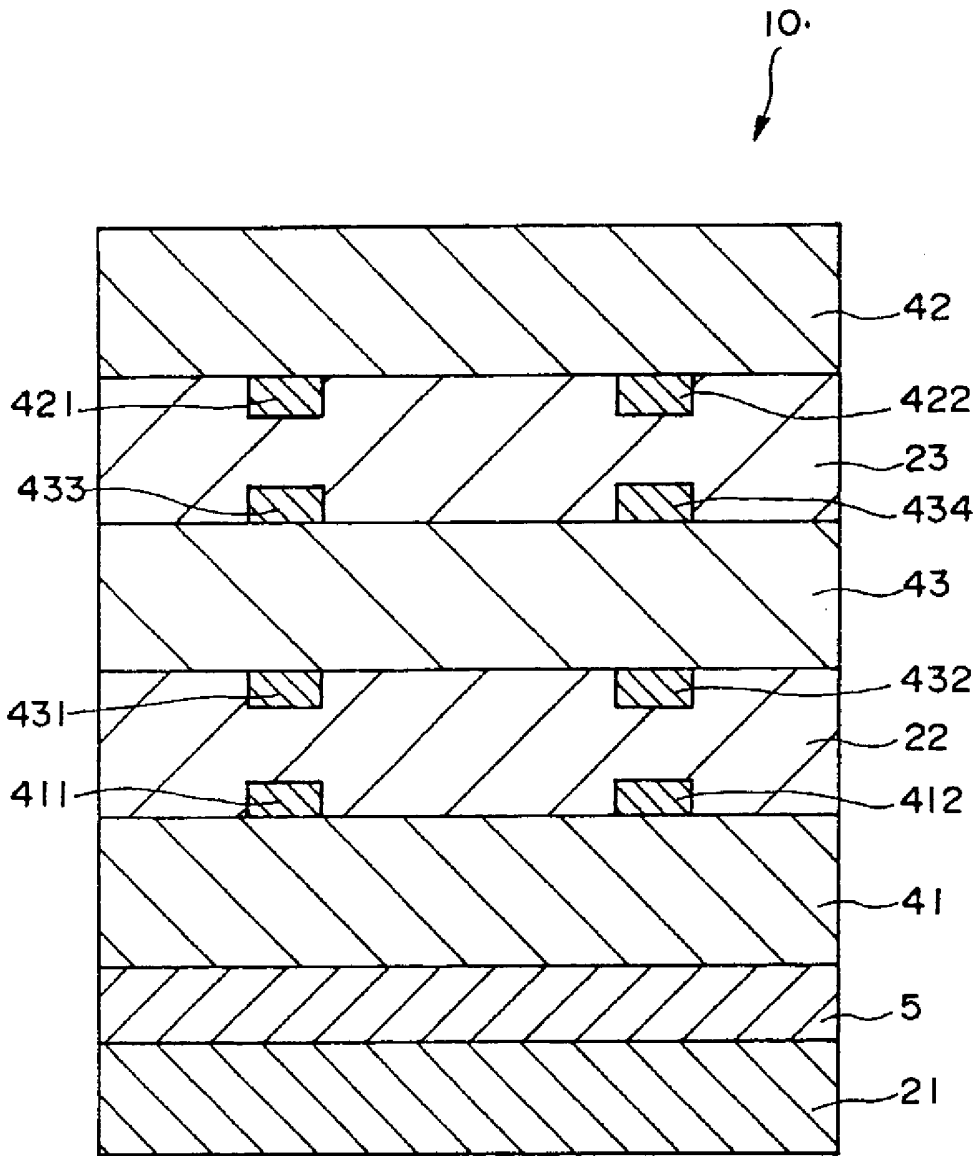
第 13 圖



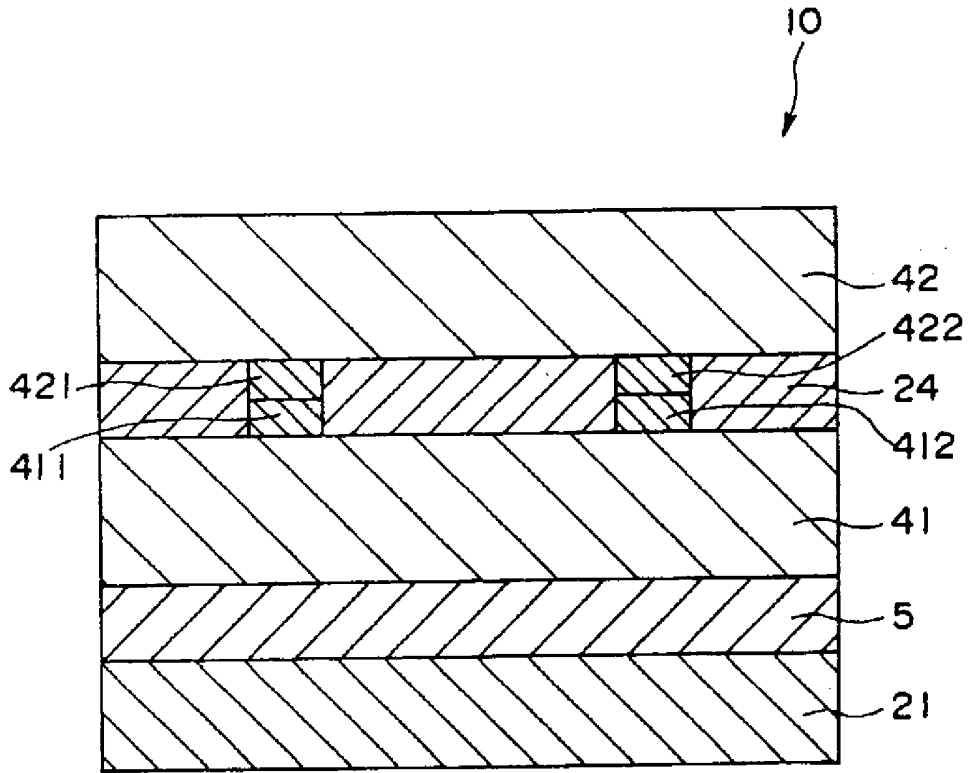
第 14 圖



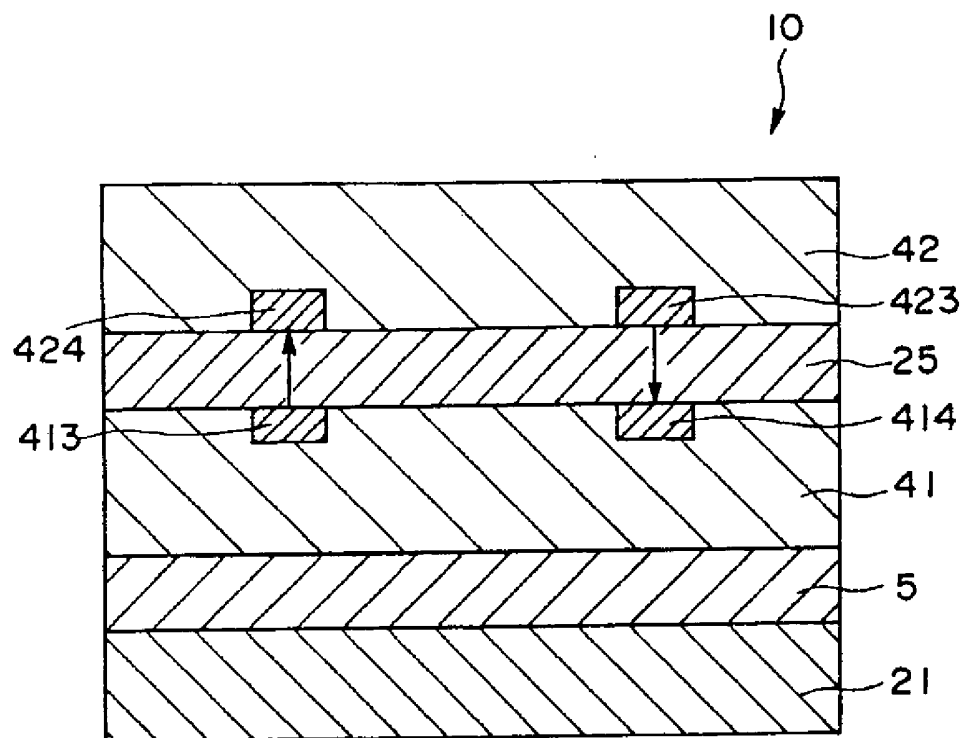
第 15 圖



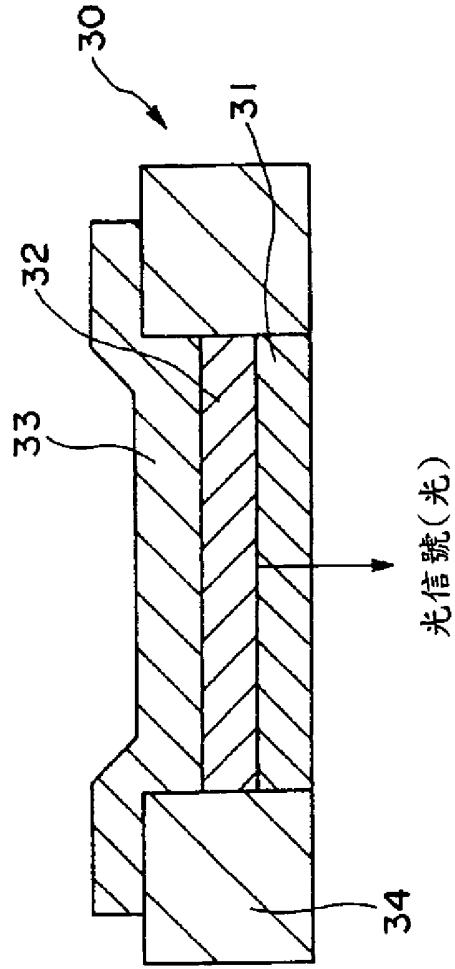
第 16 圖



第 17 圖

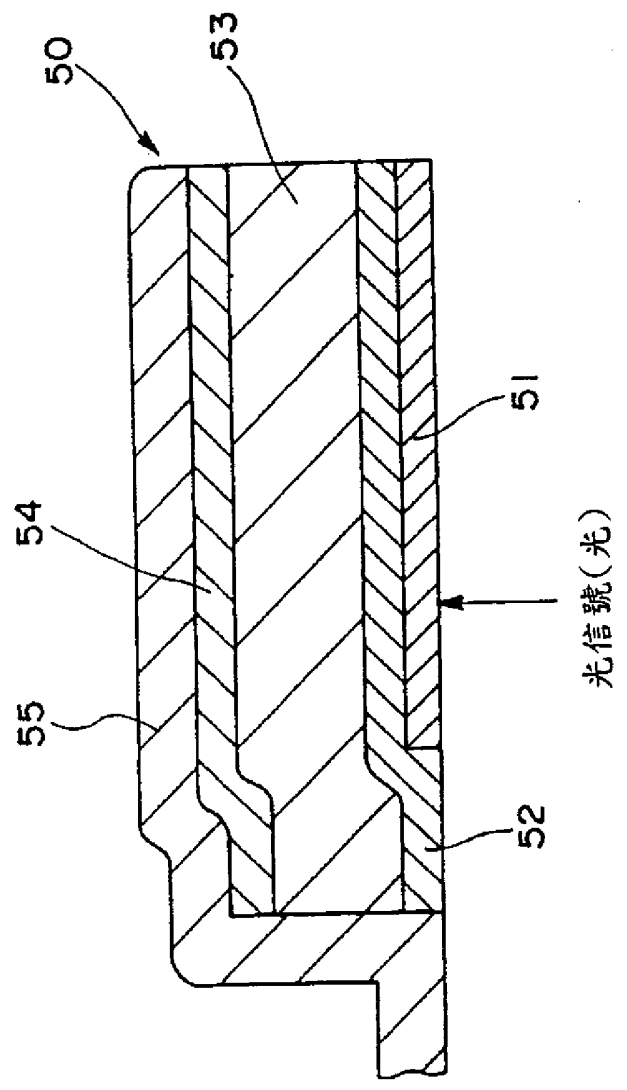


第 18 圖



第 19 圖

426869
426869
426869



第 20 圖