[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/34

[12] 发明专利说明书

[21] ZL 专利号 96112066.5

[45] 授权公告日 2004 年 6 月 23 日

[11] 授权公告号 CN 1155004C

[22] 申请日 1996.11.8 [21] 申请号 96112066.5

[30] 优先权

[32] 1995.11.9 [33] US [31] 005502

[71] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 德州仪器公司

[72] 发明人 橘川五郎 秋叶武定 大鸟浩
威廉姆·R·麦克金
杰弗里·E·克林 乔伊·H·荷敦

审查员 史永良

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

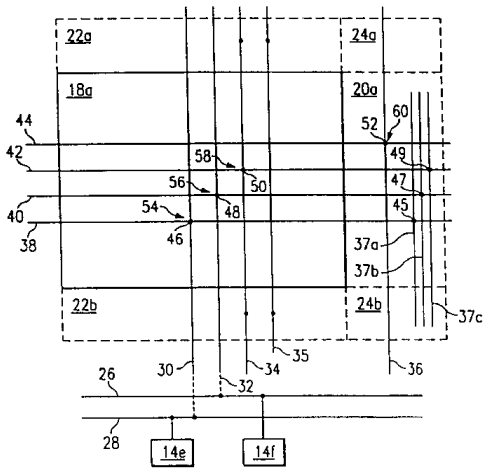
代理人 吴丽丽

权利要求书 4 页 说明书 20 页 附图 12 页

[54] 发明名称 半导体存贮器件

[57] 摘要

一种在使电路尺寸最小的阵列型集成电路上提供网格式电源和信号总线系统的方法和器件。用于网格系统的通孔设在单元阵列及外围电路内。网格系统的电源和信号总线沿水平和垂直两个方向穿过阵列，使所有的垂直的总线位于一个金属层内，所有的水平的总线位于另一个金属层内。通过实现分级字线结构的改进的子解码电路简化了该方法和器件。



ISSN1008-4274

1. 一种半导体存贮器件，包括：

具有一个主表面的一半导体基片；

在所说主表面中的一存贮单元阵列部分（18a，18b），其中包括位线，字线，和存贮单元；

第一电压电源线（30，32），它形成在所说存贮单元阵列部分上方、沿一个第一方向延伸；

第二电压电源线（38，40），它形成在所说存贮单元阵列部分上方、沿一个第二方向延伸；

外围电路部分，在所说第二方向上与所说存贮单元阵列部分相邻；

第三电压电源线（37a，37b），它形成在所说外围电路部分上方，并沿所说第一方向延伸；

其中所说第一和第二电压电源线在所说第一和第二电压电源线的第一交叉点（46，48）彼此相连；

其中所说第二和第三电压电源线在所说第二和第三电压电源线的第二交叉点（45，47）彼此相连；

其中所说第一交叉点位于所说存贮单元阵列部分上。

2. 如权利要求1的半导体存贮器件，其中所说第一和所说第三电压电源线由第一导电层组成，并且所说第二电压电源线由不同于所说第一导电层的第二导电层组成。

3. 如权利要求2的半导体存贮器件，其中所说第一电压电源线的预定宽度大于所说第三电压电源线的预定宽度。

4. 如权利要求3的半导体存贮器件，进一步还包括：

在所说第一导电层和所说第二导电层之间形成的绝缘层，所说绝缘层具有第一和第二通孔，通过第一通孔连接所说第一和第二电压电源线，通过第二通孔连接所说第二和第三电压电源线，其中所说第一通孔的预定直径大于所说第二通孔的预定直径。

5. 如权利要求4的半导体存贮器件，其中所说存贮单元具有串联

连接的一个金属氧化物半导体场效应晶体管和一个电容器元件组成，并且所说电容器元件是在所说金属氧化物半导体场效应晶体管的上方形成的。

6. 如权利要求 2 的半导体存贮器件，进一步还包括:

一个读出放大电路部分，它在所说第一方向邻接所说存贮器阵列部分。

7. 如权利要求 6 的半导体存贮器件，其中多个信号接线在所说读出放大电路部分中沿所说第二方向延伸，所说信号接线由所说第二导电层组成。

8. 如权利要求 2 的半导体存贮器件，其中，在所说外围电路部分中形成子解码器电路，所说子解码器电路有两个输入端和一个输出端，主字线和子解码器控制线连到所说输入端，所说字线连到所说输出端。

9. 如权利要求 8 的半导体存贮器件，其中所说主字线和所说子解码器控制线由所说第二导电层组成。

10. 如权利要求 9 的半导体存贮器件，其中所说第二电压电源线的预定宽度大于所说主字线的预定宽度。

11. 如权利要求 9 的半导体存贮器件，进一步还包括:

在所说存贮器阵列部分形成的第四电压电源线，由所说第二导电层组成，所说子解码器控制线排列在所说存贮器阵列部分的中心并沿所说第二方向延伸，所说第四电压电源线沿所说第二方向延伸，并且所说第二和第四电压电源线排列在所说子解码器控制线的两侧。

12. 如权利要求 11 的半导体存贮器件，其中所说第四电压电源线在所说第四和第一电压电源线的交叉点连接到所说第一电压电源线。

13.一种半导体存贮器件，包括:

一个存贮器阵列，具有一个主字线、和所说主字线对应的第一和第二子字线、多个数据线、以及多个存贮单元;

第一子解码器，具有耦合到所说第二子字线的一个输出端和耦合到所说主字线的第一输入端;

第二子解码器，具有耦合到所说第一子字线的一个输出端和耦合

到所说主字线的第一输入端；

第一驱动器，耦合到所说第一子解码器的第二输入端，输出选择电平电压以提供给所说第一子字线；以及

第二驱动器，耦合到所说第二子解码器的第二输入端，输出选择电平电压以提供给所说第二子字线，

其中，在一个第一区中形成所说存贮器阵列，

其中，在邻接所说第一区的一个第二区中形成所说第一和第二子解码器，以及

其中，在邻接所说第二区的一个第三区中形成所说第一和第二驱动器。

14.如权利要求 13 的半导体存贮器件，进一步还包括：

耦合到所说多个数据线的多个读出放大器，

其中，在邻接所说第一和第三区的一个第四区中形成所说多个读出放大器。

15.如权利要求 14 的半导体存贮器件，

其中所说第一、第二、第三、和第四区都是四边形区，以及

其中所说第三区是通过延伸所说第二和第四区表示的一个交叉区。

16.如权利要求 15 的半导体存贮器件，进一步还包括：

一个第一线，用于传递第一选择信号，以提供给所说第一驱动器的一个输入端；

一个第二线，用于传递第二选择信号，以提供给所说第二驱动器的一个输入端，

其中所说第一和第二线、所说主字线、以及所说第一和第二子字线在所说第一区内都延长到同一方向。

17.如权利要求 16 的半导体存贮器件，

其中，每个所说第一和第二子解码器都具有：（a）第一金属氧化物半导体场效应晶体管，它具有耦合到所说第一输入端的栅极，以及在所说第二输入端和所说输出端之间提供的源－漏通道，（b）第二金属

氧化物半导体场效应晶体管，它具有耦合到所说第一输入端的栅极，以及在所说输出端和地电位之间提供的源－漏通道，以及（c）第三金属氧化物半导体场效应晶体管，它具有并联耦合到所说第二金属氧化物半导体场效应晶体管的所说源-漏通道的一个源-漏通道。

18.如权利要求 17 的半导体存贮器件，

其中所说第一和第二驱动器是反相器电路。

19.如权利要求 17 的半导体存贮器件，

其中所说第一金属氧化物半导体场效应晶体管是 P 型，以及

其中所说第二和第三金属氧化物半导体场效应晶体管是 n 型。

20.如权利要求 19 的半导体存贮器件，其中所说第三金属氧化物半导体场效应晶体管的栅极宽度小于所说第二金属氧化物半导体场效应晶体管的栅极宽度。

21.如权利要求 20 的半导体存贮器件，

其中所选子字线的电压电平高于所说数据线的高电平电压。

半导体存贮器件

技术领域

本发明一般涉及半导体电路设计，具体来说涉及在集成电路中连接电源和信号总线的方法和器件。

背景技术

随着半导体技术的发展包括在单个集成电路（或“芯片”）中的晶体管数目越来越多，因此设计规则参数也越来越小．这项进展的结果是增加了金属层电阻，并带来与电阻的增加有关的一些困难。这样一些困难包括：接地跳动不稳、串扰噪声、以及电路延迟。所有这些困难都使芯片操作速度变慢，甚至可使存贮在芯片上的数据出错。在大多数半导体设计中，其中包括对动态随机存取存贮（ DRAM ）器件的设计，消除增加金属层电阻的影响是一个重要的设计任务。

这个问题的一个解决方案是发展用于芯片的网格式电源总线系统，见 Yamada,A 64 - Mb DRAM with Meshed Power Line ,26 IEEE Journal of Solid-State Circuits 11(1991)。在像 DRAM 这样的集成电路中很容易实现网格式电源总线系统，这是因为它们的存贮单元阵列很大并且存在排列好的读出放大驱动器的缘故。网格系统能向排列好的读出放大驱动器提供足够大的功率，因为该系统具有许多沿水平和垂直两个方向穿过阵列的电源总线。

利用常规的互补金属氧化物半导体（ CMOS ）技术就可实现 Yamada 网格系统，其中包括第一、第二、和第三金属层，它们彼此之间电隔离，其中第一金属层代表最下边的金属层，第三金属层代表最上边的金属层，第二金属层位于第一和第三层之间。在第二和第三金属层中构成 Yamada 网格系统，该网格系统对于 V_{DD} 电源总线和 Vss 电源总线分别包括一个正电源电压（ V_{DD} ）网格和一个负电源电压（ Vss ）网格。常规的设计使这些网络在存贮器阵列上方延伸并且在读出放大器处进行连接。使用位于读出放大电路区的通孔进行连接。然而，在读出放大器中不必存在 V_{DD} 和 Vss 电源总线，这是因为这些电路除了阱偏置外

再也不需要 V_{DD} 和 V_{SS} 了.

因而，由于读出放大器尺寸相当小并且相关的信号和电源总线的数量多，所以会受到 Yamada 网格系统的不利影响。Yamada 网格系统使带有附加的电源和信号总线的读出放大器非常拥挤。此外，覆盖通孔所需金属线宽度大于最小金属线宽度，从而更进一步增加了金属层的宽度。结果，读出放大器上方的金属层变成了读出放大电路尺寸的决定因素。因此，必须通过收缩金属宽度来减小它们的尺寸，这将导致电阻增加和操作速度下降.

除了 Yamada 网格系统外，对于常规的 DRAM 设计还提出了一些其它的建议。最近，还提出一种分级的字线方案，见 K.Noda 等人的“a Boosted Dual Word-line Decoding Scheme for 256 Mbit DRAM's，1992 Symp. on VLSI Circuits Dig. of Tech. Papers, pp.112-113(1992). Noda 方案包括在第二金属线层中构成的主字线和在多晶硅层中构成的子字线。Noda 方案描述了用于每 8 个子字线的两个主字线（一真，一条(one true ,one bar)），因此能使主字线间距比子字线间距宽松到 4 倍。但这个间距还不能支持改进的网格式电源和信号总线系统。

因此，需要一种在阵列型集成电路上的网格式电源和信号总线系统，它不限于对读出放大器区进行网格式通孔连接，而是在阵列上的其它一些位置也提供这样的连接，从而使读出放大器上方的金属宽度宽松，从而减小了芯片的总面积，同时又使电源总线电阻减小。

此外，需要有一个支持改进的网孔式电源和信号总线系统的分级字线方案，它的主字线间距大于子字线间距 4 倍。

发明内容

因此，本发明是一种在阵列型集成电路上提供网格式电源总线和信号总线系统的方法和器件，它不限于对读出放大器区进行网格式通孔连接，而且在阵列上的其它一些部位也提供这样的连接，从而使读出放大器上方的金属宽度宽松，读出放大器的操作速度较快，和芯片尺寸减小。用于网格系统的通孔不是定位在读出放大电路区而是定位在单元阵列中，或者，这些通孔除了定位在读出放大电路区外还要定位在单元阵列中。这样，就利用了阵列中通孔可利用的空间，在读出放大器可以更有效地利用电源和信号总线.

本发明提供一种半导体存贮器件，包括：具有一个主表面的一半导体基片；在所说主表面中的一存贮单元阵列部分，其中包括位线，字线，和存贮单元；第一电压电源线，它形成在所说存贮单元阵列部分上方、沿一个第一方向延伸；第二电压电源线，它形成在存贮单元阵列部分上方、沿一个第二方向延伸；外围电路部分，在所说第二方向上与所说存贮单元阵列部分相邻；第三电压电源线，它形成在所说外围电路部分上方，并沿所说第一方向延伸；其中所说第一和第二电压电源线在所说第一和第二电压电源线的第一交叉点彼此相连；其中所说第二和第三电压电源线在所说第二和第三电压电源线的第二交叉点彼此相连；其中所说第一交叉点位于所说存贮单元阵列部分上。

本发明提供一种半导体存贮器件，包括：一个存贮器阵列，具有一个主字线、和所说主字线对应的第一和第二子字线、多个数据线、以及多个存贮单元；第一子解码器，具有耦合到所说第二子字线的一个输出端和耦合到所说主字线的第一输入端；第二子解码器，具有耦合到所说第一子字线的一个输出端和耦合到所说主字线的第一输入端；第一驱动器，耦合到所说第一子解码器的第二输入端，输出选择电平电压以提供给所说第一子字线；以及第二驱动器，耦合到所说第二子解码器的第二输入端，输出选择电平电压以提供给所说第二子字线，其中，在一个第一区中形成所说存贮器阵列，其中，在邻接所说第一区的一个第二区中形成所说第一和第二子解码器，以及其中，在邻接所说第二区的一个第三区中形成所说第一和第二驱动器。

本发明提供一种半导体存贮器件，包括：一个存贮器件阵列，具有：一个主字线、对应于所说主字线的多个子字线、多个数据线、和多个存贮单元，对每一个存贮单元进行安排，使它能对应于所说数据线之一和所说子字线之一的交叉点；多个子解码器电路，其中的每一个都包括：(a)P 型的第一金属氧化物半导体场效应晶体管，它具有耦合到所说子字线中对应的一个子字线的漏极和耦合到所说主字线的栅极，(b)n 型的第二金属氧化物半导体场效应晶体管，它具有接收地电位的源极、耦合到所说第一金属氧化物半导体场效应晶体管的所说漏极的一个漏极、以及耦合到所说主字线的栅极，以及(c)一个第三金属氧化物半导体场效应晶体管，它具有耦合在所说第二金属氧化物半导体场效应晶体管的所说漏极和源极之间的源－漏通路；多个信号线，其中的每一个都耦合到对应的所说第三金属氧化物半导体场效应晶体管的栅极，其中把所说信号线之一设置到选择电平；以及多个驱动器，其中的每一个驱动器都有一个耦合到所说信号线中的对应的一个信号线的输入端，和一个耦合到对应的所说第一金属氧化物半导体场效应晶体管的源极的输出端，其中，在第一四边形区形成所说存贮器阵列，其中，在邻接所说第一四边形区的第二四边形区形成所说子解码器电路，以及其中，在邻接所说第二四边形区的第三四边形区形成所说驱动器。

本发明包括 DRAM 存贮单元的一个阵列，它安排成多个子阵列并由主地址解码器选择．每个子阵列由多个读出放大电路、子解码电路、以及连到并穿过子阵列的 V_{DD}、Vss 和信号总线包围．V_{DD} 总线沿垂直和水平两个方案穿过子阵列，所有的垂直的总线位于第三层内，所有的水平的总线位于第二层内，从而产生一个 V_{DD} 网格．利用位于存贮单元子阵列中以及位于读出放大器区的通孔彼此连接每一层中的总线．类似地，利用位于存贮单元阵列上的通孔产生 Vss 和/或信号网格．一旦进行了连接，总线就延伸到适当的电路，如读出放大器驱动电路；因此，明显减小了读出放大器上方的金属层和通孔要求。

本发明还包括一个分级的字线方案．为便于组合上述的网格系统和分级的字线方案，还应该改进 Noda 的分级字线方案以提供主字线至子字线的较大间距．在改进的分级字线系统中，在读出放大器和子解码器之间产生的交叉区包括有子解码器驱动器以及读出放大驱动器．这种组合可同时提供高速度的字线选择和高速度的读出放大器操作。

一旦读出放大器的尺寸不再由通过上述网格系统提供的金属使用方式确定，用于读出放大电路的改进的设计技术就可能是必要的以符合微小的存贮单元尺寸．这种改进的设计技术包括：对于位线均衡电路的一个交错的 T 形栅极区，和对于锁存电路的一个带有金属→多晶硅→金属的变化结构的 H 形沟壕区。

由本发明得到的技术优点是能够充分利用网格式电源系统的低电阻设计，不必增加金属层对尺寸有所限制的外围电路（如，读出放大器）的尺寸。

由本发明得到的另一个技术优点是，信号和电源两个总线沿水平和垂直两个方向可以自由走向。

由本发明得到的下一个技术优点是，对于阵列区中或台阶差别补偿区上的通孔的设计不必像对于周边区中的通孔那样做成最小的设计宽度，因此改善了效率。

由本发明得到的下一个技术优点是，和常规的分级字线结构相比，改进的分级字线结构更小、更快速。

附图说明

图 1 是实现本发明特征的 256 兆比特 DRAM 的方块图。

图 2 是图 1 的 DRAM 的两个子阵列及其周围的读出放大器和子解码器的方块图.

图 3 是图 2 所示的一个子阵列、两个读出放大器、和一个子解码器的方块图，其中还有穿过该子阵列的一个网格式电源和信号系统。

图 4 是图 3 的子阵列上方的一个网格式电源和信号系统的示意图.

图 5a 是图 3 的子阵列的一个存贮单元的剖面图，其中的一个通孔连接了两个用于图 4 的网格式电源系统的金属层.

图 5b 是图 3 的子阵列的一个存贮单元的详细示意图.

图 6a-6c 是图 4 的网格系统的放大部分的平面图.

图 7a-b 是包括在图 3 的交叉区、读出放大器、子解码器、和存贮器阵列中的电路的示意图.

图 8 是图 7 的子解码器的示意图.

图 9a 是表示 Noda 分级字线实施方案的现有技术子解码器电路的示意图.

图 9b 是表示一个分级字线实施方案的一个子解码器电路的示意图.

图 9c 是表示本发明的一个分级字线实施方案的优选的子解码器电路的示意图.

图 10a 是图 7a 的两个读出放大器电路的示意图.

图 10b 是图 10a 的读出放大器电路的平面图.

图 11a 是常规的读出放在的一个均衡器部分中使用的一个电路的平面图.

图 11b 是图 7a 的读出放大器电路的均衡器部分中使用的电路的平面图，电路中使用了本发明的一个交错的 T 形栅极区.

图 12a 是图 7a 的读出放大器的锁存部分中使用的电路和平面图，其中使用了图 10b 的 H 型沟壕区.

图 12b 是图 12a 的 H 型沟壕区的简化图.

图 13a 是一部分常规的读出放大器的金属部分平面图;

图 13b-c 是图 7a 的读出放大器的改进部分的金属部分平面图，其中实施了本发明的噪声减小方法.

图 14a 是使用三重阱结构的读出放大器的第一剖面图。

图 14b 是使用三重阱结构的图 2 的读出放大器的第二剖面图。

图 14c 是使用三重阱结构的图 2 的子解码器的一个剖面图。

图 15a 是表示用于图 2 的读出放大器和两个附加的读出放大器的 4 个熔丝的示意图。

具体实施方式

在图 1 中，标号 10 是体现本发明特征的一个存贮器件．器件 10 是使用常规的 CMOS 技术制造的，其中包括第一、第二、和第三金属层和一个多晶硅层。器件 10 还使用了金属氧化物半导体场效应晶体管（ MOSFET ），但也可利用其它类型的晶体管，例如双极型、以及金属绝缘栅半导体。进而，虽然在本发明的优选实施例中，器件 10 是一个 256 兆比特动态随机存取存贮器（ DRAM ），但应该明白，本发明不限于与 256 兆比特的 DRAM 一道使用，而且还可以与其它具有阵列的器件一道使用，其中包括可编程阵列逻辑电路、 1G 比特的 DRAM 、以及其它的存贮器件。

器件 10 包括一组由存贮单元构成的阵列模块，例如阵列模块 12 、一组焊接点 14a － 14f 、以及一组主地址解码器 16a － 16l ，其中解码器 16b 、 16e 、 16h 、和 16k 是行解码器，解码器 16a 、 16c 、 16d 、 16f 、 16g 、 16i 、 16j 、和 16l 是列解码器。通过来自地址焊接点 14a － 14d 的信号来选择阵列模块 12 。应该理解，虽然存在的地址和信号焊接点更多，但它们可由地址焊接点 14a-14d 代表，地址焊接点 14a-14d 由主地址解码器 16a － 16l 解码。主地址解码器 16a-16l 代表多个行和列的解码器。行解码器产生的信号包括主字信号 MWB 和子解码器控制信号 DXB ，列解码器产生的信号例如有列选择信号 YS 。这些信号都由来自焊接点 14a-14d 的不同控制信号控制，下面对此将作更加详细地讨论。

阵列模块 12 是 16 兆比特阵列模块的代表，把模块 12 进一步分成 256 个子阵列，图 2 中表示出其中的两个，分别由标号 18a 和 18b 代表。每个子阵列由 128K 个存贮单元组成（安排成 512 行× 256 列）。

通过电源焊接点 14e 和 14f 向器件 10 提供电源。焊接点 14e 是正电

源电压（ V_{DD} ）焊接点，并且连接到外部电源（未示出）。焊接点 14f 是负电源电压（ Vss ）焊接点，并且连接到外部的地（也未示出）。

现在参照图 2，通过来自两组地址子解码器 20a 和 20b 的信号选择子阵列 18a 的存贮单元。类似地，通过来自于两级地址子解码器 20c 和 20d 的信号选择子阵列 18b 的存贮单元。通过两组读出放大器 22a 和 22b 读出子阵列 18a 的存贮单元。类似地，通过两组读出放大器 22b 和 22c 读出子阵列 18b 的存贮单元。读出放大器 22a - 22c 在交叉区 24a-24f 与子解码器 20a - 20d 交叉。按此方式，通过延长读出放大器区 20a - 22c 和子解码器区 20a-20d 来产生交叉区 24a-24f。

参照图 3，焊接点 14e 和 14f 的作用是分别通过主电源 V_{DD} 和 Vss 总线 28 和 26 向整个器件 10 提供电源的电端口。主电源 V_{DD} 和 Vss 总线 28 和 26 通过多个位于不同金属层内的总线向器件 10 提供电源。这些金属层依次是：第一金属层（ M1 ）、第二金属层（ M2 ）、和第三金属层（ M3 ）；它们都叠层到硅基片上。各个金属层 M1 、 M2 、 M3 彼此之间电隔离，但在交叉点可利用通孔进行电连接。各个金属层 M1 、 M2 、 M3 之间还有一种厚度关系： M3 的厚度大于 M2 的厚度， M2 的厚度大于 M1 的厚度。

第一 V_{DD} 总线 30 是在第三金属层 M3 中构成的导线，它沿一个垂直路径穿过子阵列 18a 。第一 Vss 总线 32 也是在 M3 中构成的导线，它沿一个垂直路径平行于总线 30 穿过存贮器子阵 18a 。类似地，第一信号总线 34 和第一列选择 YS 总线 35 是在 M3 中构成的导线并且平行于电源总线 30 和 32 垂直穿过子阵列 18a 。第一子解码器 DXB 总线 36 也是在 M3 中构成的导线，并且在子阵列 18a 的外部垂直穿过地址子解码器 20a 。

第二 V_{DD} 总线 37a 、第二 Vss 总线 37b 、和第二信号总线是在 M3 中构成的导线，它们垂直穿过子解码器 20a 和交叉区 24a 及 24b 。第二 V_{DD} 总线 37a 和第二 Vss 总线 37b 的宽度分别小于第一 V_{DD} 总线 30 和第一 Vss 线 32 的宽度。

第三 V_{DD} 总线 38 和第三 Vss 总线 40 、以及第三信号总线 42 和第二 DXB 总线 44 也是和以上所述的总线类似的总线，只是它们是在第二金属层 M2 中构成，并且沿水平路径平行地穿过存贮器子阵列 18a 。第

三 V_{DD} 总线 38 和子解码器 20a 内的第二 V_{DD} 总线 37a 在外围电路区 20a 上方它们的交叉点 45 电连接，并且在存贮器子阵列 18a 内它们的交叉点 46 和第一 V_{DD} 总线 30 电连接。类似地，第三 V_{SS} 总线 40 与第二 V_{SS} 总线 37B 在子解码器 20a 内部它们的交叉点 47 电连接，并且在存贮器子阵列 18a 内它们的交叉点和第一 V_{SS} 总线 32 电连接。进而，第三信号总线 42 在子解码器 20a 内与第二信号总线 37C 在它们的交叉点 49 电连接，并且在存贮器子阵列 18a 内和第一信号总线 34 在它们的交叉点 50 电连接。最后，第二 DXB 总线 44 在子解码器电路 20a 内与第一 DXB 总线 36 在它们的交叉点 52 电连接。每一个交叉点都是利用通孔获得的，下面将参照图 5a - 6c 更加详细地讨论这种情况。

线宽度和每一总线都有关系；应该理解，具有较大表面面积（宽度和厚度）的总线能提供电阻较小的电流通路。第一 V_{DD} 和 V_{SS} 总线 30、32 的线宽度为 1.8 微米。第二 V_{DD} 和 V_{SS} 总线 37a、37 的线宽度为 0.7 微米。第三 V_{DD} 和 V_{SS} 总线 38、40 的线宽度为 1.8 微米。类似地，与此相关的还有通孔的直径；应该理解，较大表面面积的通孔（较大直径的通孔）可提供电阻较小的电流通路。位于有存贮器子阵列 18a 上方的通孔直径为 0.6 微米，位于子解码器电路 20a 上方的通孔直径为 0.8 微米。

如先前参照图 3 所示，分别通过焊接点 14e 和 14f 向主电源总线 28 和 26 提供 V_{DD} 和 V_{SS} 电源。第一 V_{DD} 总线 30 电连接到主电源 V_{DD} 总线 28，从而可向第一 V_{DD} 总线、第二 V_{DD} 总线 37a、以及第三 V_{DD} 总线 38 提供 V_{DD} 电源。第一 V_{SS} 总线 32 电连接到主电源 V_{SS} 总线 26，从而可向第一 V_{SS} 总线、第二 V_{SS} 总线 37b、和第三 V_{SS} 总线 40 提供 V_{SS} 电源。以此方式，通过 V_{DD} 总线 30、37a、和 38 产生了 V_{DD} 网格 54，通过 V_{SS} 总线 32、37b、和 40 产生了 V_{SS} 网格 56。结果，每个前述的网格都具有电源总线，它们垂直地并且水平地穿过子阵列 18a、子解码器 20a、以及交叉区 24a-24b。进而，V_{DD} 和 V_{SS} 网格 54 和 56 明显降低了从电源焊接点 14e 和 14f 到子解码器 20a、交叉区 24-24b、以及其它电路的电源总线的总电阻，即使 V_{DD} 和 V_{SS} 总线 37a 和 37b 的宽度变得很窄小也能作到这一点。

第一外围电路（未示出）把电信号驱动到第一信号总线 34，列解码

器 16a（图 1）把电信号驱动到 YS 总线 35，该 YS 总线用于读出放大器 22a 和 22b．类似地，主地址解码器 16b（图 1）把电信号按常规方式驱动到第二 DXB 总线 44．第一信号总线 34 与第二信号总线 37b 和第三信号总线 42 电连接，从而产生穿过子阵列 18a 和子解码器 20a 的信号网格 58．类似地，第一 DXB 总线 36 与第二 DXB 总线 44 电连接，从而产生穿过子解码器 20a 的子解码器网格 60．按这种方式，信号和子解码器网格 58 和 60 能够按多种不同的组合连接读出放大器 22a-22b，子解码器 20a、以及交叉区 24a － 24b．虽然图中没有表示出来，但还存在在 M2 中构成的许多附加的总线，它们沿水平方向穿过读出放大器电路区 22a 和 22b．这些总线中某一些要连接到其它的信号总线，例如 YS 总线 35．

参照图 4，V_{DD}、V_{SS}、信号、及子解码器网格 54、56、58、和 60 实际上代表用于每一种网格的许多垂直的和水平的线，因此可为外围电路提供多个总线，并且能减小每个网格的电阻．例如，子阵列 18a 有在 M2 中走向的多个 V_{DD} 总线 38a-38d 和在 M3 中走向的多个 V_{DD} 总线 30a-30d，所有这些总线全都固定到主 V_{DD} 总线 28（图 3）上，从而减小了 V_{DD} 网格 54 的总电阻．类似地，子阵列 18a 有在 M2 中走向的多个 V_{SS} 总线 40a － 40d 以及在 M3 中走向的多个 V_{SS} 总线 32a-32d，所有这些总线全都固定到主 V_{SS} 总线 26（图 3）上，从而减小了 V_{SS} 网格 56 的总电阻．

除了 V_{DD}、V_{SS} 信号、和子解码器网格 54、56、58、和 60 外，还有其它的总线可穿过子阵列 18a．这些其它的总线包括：在 M3 中垂直走向的多个列因子（CF）总线 61a-61d，用于对列解码器 16a、16c、16d、16f、16g、16i、16j、和 16l（图 2）提供输入；以及，在 M2 中水平走向的多个子解码器总线（DXB1、DXB3、DXB5、DXB7）44a-44d，用于和子解码器电路 20a 和 20b（图 2）以及第一 DXB 总线 36 相连接．进而，如图 4 所示，电源总线 30a-30d、32a-32d、38a-38d、40-40d 的位置比信号总线 61a-61d、44a-44d 更加靠近子阵列 18a 的外部边缘．结果，减小了电源总线的电阻，而信号总线的电阻（信号总线全向子阵列 18a 的内部边缘集中）彼此间比较一致，因此使信号总线的

信号传播的一致性相当好.

现参照图 5a，在位于存贮单元上方的交叉点进行图 4 所示总线之间的电连接. 交叉点 48a 表示 V_{SS} 总线 32b 和 V_{SS} 总线 40b 交叉的位置. 使用位于存贮单元电路 64 上方的通孔 62 在 V_{SS} 总线 32b 和 V_{SS} 总线 40b 之间进行电连接.

参看图 5a-5b，子阵列 18a 的存贮单元电路 64 包括一个常规的、一个电容器加一个晶体管类型的 DRAM 单元. 例如，在板 66 和存贮节点 68 之间形成一个电容器 65 . 类似地，用分别连接到存贮节点 68 和位线（ BL1 ）总线 70 的源极和漏极，以及连接到第一子字线（ Sw ）总线 72a（其宽度用 74 表示之）形成一个晶体管 69 . 为了避免由电源和信号总线引起的任何耦合噪声，优选实施例的单元结构是一种在位线（ COB ）结构上的电容器. 这种结构便于利用 BL1 总线 70 的敏感性并且允许进行操作，由于板 64 的屏蔽作用，位于单元上方的电源和信号网格 54 、 56 、和 58 产生的噪声不会带来任何不利的影响.

虽然交叉点 48a 似乎是紧靠在存贮单元电路 64 的上边，但这并不是必须的，而只是为了便于说明. 此外，通过 62 和 V_{SS} 总线 32b 及 42b 对于存贮单元 64 来说不是必要的，并非所有的电源和信号总线都要连接到其它总线上.

现在参照图 4 和 6a，并子阵列 18a 的第一部分 76 进行了放大，其中表示位于图 4 所示总线之间的更多的信号线. 部分 76 有垂直和水平穿过它的几个信号和电源总线，它们具有各种不同的宽度. 这些总线包括：宽度 80 的 YS 总线 35a - 35d，宽度 82 的 CF 总线 61a，以及宽度 84 的 V_{SS} 总线 32b，它们都在 M3 中垂直走向. 类似的，在 M2 中水平走向的有：宽度 88 的 MWB 总线 86a-86d，宽度 90 的 DXB1 总线 44a，宽度 92 的 V_{SS} 总线 40b . 信号总线 YS35a-35d 、 CF61a 、 MWB86 、和 DXB1 44a 的走向直接指向它们对应的电路，因此在子阵列 18a 上不需要通孔来改变方向. 只有 V_{SS} 总线 32b 和 40b 有一个通孔 62 以电连接它们. 借助于这种安排，针对速度和电源电阻来优化每个总线的宽度 80 、 82 、 84 、 88 、 90 和 92 . 例如， V_{SS} 总线 32b 和 40b 的宽度 84 和 92 、 CF 总线 61a 的宽度 82 、以及 DXB1 总线 44a 的宽度 90 都要大于宽度 80 和

88，以便得高速度和低电源电阻，并且为了容纳通孔62．同时，YS总线35的宽度80和MWB总线86的宽度88要小于宽度82、84、90、92，以节省金属空间．

类似地，参照图6b和6c，其中表示分别具有两个通孔和没有通孔的部分94和96．结果，用每4个读出放大器电路产生两个YS总线和一个CF总线（或者，两个YS总线和一个电源总线），同时还满足可接受的M3宽度和空间要求．类似的，用每16个子字线SW总线设置两个MWB总线和一个DXB总线（或者，两个MWB总线和一个电源总线），同时还满足可接受的M2宽度和空间要求．此外，可优化所有电源和信号总线的宽度，使每个网格所用的多个总线都适于减小有效电阻并能实现高速度，同时通过具有分级字线结构的宽松的金属间距可保持高效率的主要优点．

再次参照图3，除了在子阵列18a上方构成的电源和信号网格54、56、和58外，还要在子解码器20a上方部分地构成这些网格以及子解码器网格60．对其它的电路进行修改，以适应电源和信号网格54、56、58、和60所需的金属空间．在读出放大器、子解码器、和交叉区中包括这些修改的电路，对此下面再予以介绍．

图7a和7b表示子阵列18a，它包括32个有代表性的存贮单元，其中包括图5a-b的存贮单元64．此外，所示的子阵列18a和图2中的交叉区24a、子解码器20a、以及读出放大器22a相关．

在优选实施例中，读出放大器22a包括128个读出放大电路，如读出放大电路98a和98b．两个读出放大电路98a－98b都连接到设在交叉区24a内的读出放大驱动器100a上．读出放大电路98a通过全在M1中构成的并垂直穿过阵列18a的BL1总线70（图5a）和位线（BL1B）总线104a连接到存贮单元102a的一个列上．类似地，读出放大电路98b通过也在M1中构成的并且穿过阵列18a的位线（BL2）总线104b和位线（BL2B）总线104C连接到存贮单元102b的一个列上．下面参照图10a-10b更加详细地讨论读出放大电路98a-98b．

除了读出放大驱动器100a外，交叉区24a还包括多个电路（不包括读出放大驱动器100a和子解码器110a-110d），一般用标号100b表

示之。对这些电路 100a-100b 进行设计，以便能利用 V_{DD}、 V_{SS}、和由总线 37a-37c 提供的信号网格 54、 56、和 58 的低电阻的优点。

子解码器 20a 包括 256 个子解码电路，一般由子解码电路 106a-106d 代表。子解码电路 106a 说明了一个分级的字线结构，在其余的每个子解码电路中利用的也是这种结构。子解码电路 106a 连接到 DXB7 总线 44d 和 MWB 总线 86a， MWB 总线 86a 通过连接器总线 108 引向 4 个子解码器 106a - 106d，总线 108 在 M1 中构成。子解码电路 106a 还和读出放大驱动器 100 一道连接到位于交叉区 24a 内的一个第一子解码驱动器 110a。类似地，子解码电路 106b-106d 连接到位于交叉部分内的子解码驱动器 110b-110d。下面将较详细地讨论子解码器 20a。

参照图 8，把两个子解码驱动器 110a、 110d 设在交叉区 24a 中，而把另两个子解码驱动器 110b、 110c 设在交叉区 24b 中。子解码驱动器 110a 包括一个反相器，它把 DXB7 总线 44d 变换成一个反相的子解码器（ DX7 ）总线 114d。类似地，子解码驱动器 110b-d 的把 DXB1 44a、DXB344b、和 DXB5 44c 变换成反相的子解码器总线 DX1 114a、 DXB 114b、和 DX5 114c。在优选实施例中，每一个子解码驱动器 110a - 110d 驱动 64 个子解码电路，从而可驱动所有的 256 个子解码器 24a。子解码驱动器 110a-110d 因为设在交叉区 24a-24b 中，所以它们的尺寸很重要，并且提供有内部产生的提升电压（ Vpp ），所以可把总线 DX1 114a、DX3 114b、 DX5 114c、和、 DX7 114d 驱动到 Vpp。

子解码电路 106a 以及其它子解码电路采用了一种分级的字线结构。在早些时候讨论过，使用在子解码器 20a 和 20b 中形成的子解码器来选择子阵列 18a 中的某些存贮单元。为此，使用了在多晶硅（ FG ）层（图 5a ）中构成的多个子字线，如字线 72a。 MWB 总线 86a 驱动子解码器区 24a 的 4 个子解码电路 106a - 106d。每个子解码电路都驱动伸入子阵列 18a 中的一个 SW 总线 72a-72d。类似地， MWB 总线 86a 驱动子解码器区 20b 的伸入子解码器 18a 中的 4 个附加的子解码电路 72e - 72h。

参照图 9a-9b，其中的常规的子解码电路 116 和可替换的子解码电路 118 构成一种分级的字线结构。这些结构之所以是分级的，

是因为在FG中构成的字线总线的上方设置了在M2中构成的主字线总线。然而，子解码电路116、118都不适用于本发明的网格系统。

参照图9a，在Noda的分级字线结构方案中使用的常规子解码上116由3个n型金属氧化物半导体（NMOS）晶体管组成，并且产生一个SW输出。但子解码电路116需要一个非反相的字线（MW）总线，它还必须和MWB总线一道穿过阵列（未示出）。这有效地把穿过阵列在M2中走向的主字线的数目加大一倍。结果，要使用两个主字线来驱动8个子字线，从而对每个主字线要产生4个子字线的间距。但这个间距对于本发明的网格系统所需的额外金属空间来说是不能允许的。

参照图9b，子解码电路118由两个NMOS晶体管和两个P型金属化物半导体（PMOS）晶体管组成。该子解码驱动器不需要图9a那样的非反相的字线总线（MW）。结果，可使用一个主字线来驱动8个子字线，从而对于每个主字线可产生8个子字线的间距。但是，由于子解码电路由四个晶体管组成，因此占据了大量的空间，并且，为了提高电路的速度，还必须把某些晶体管作得极大。

参照图9c，该优选实施例的子解码器106a包括以上两种子解码驱动器的优点。该子解码电路106a使用MWB总线86a、DXB7总线44d、和DX7总线114来产生子字线SW总线72a，从而使子解码电路106a能只由3个晶体管120a-120c构成。由于DX7总线114d只在子解码器20a中，并且不必水平地穿过阵列，所以穿过子阵列18a的主字线间距对每个主字线来说仍旧是8个子字线。因而，对于本发明的电源、信号、和子解码器网格54、56、58、和60，以及DXB总线44（图3）有足够大的金属空间。

在操作中，在MWB总线86a和DXB7总线44d上的信号MWB和DXB7是负逻辑信号，即它们在准备模式为高、而在允许模式为低。当信号MWB和DXB7都为低时，把子字线SW总线72a上的输出信号驱动到一个选定的高电平。当信号MWB或DXB7只有一个是高时，把子字线SW总线72a上的输出信号驱动到一个非选定

的低电平．在准备模式或预充电模式，即当所有的 MWB 和 DXB 信号都是高时，把所有的子字线 SW 置成低。

这个子解码电路 106a 的优点是，在行解码器和 DXB 驱动器中的子阈值电流主要由 NMOS 晶体管 120a 、 120b 确定．因此，在准备模式或预充电模式期间的准备状态电流很低。这是因为，NMOS 晶体管 120a 、 120b 的栅极可能比 PMOS 晶体管的栅极窄，并且 NMOS 晶体管的截止过渡特性曲线比 PMOS 晶体管的这个曲线更加尖锐的缘故。

该子解码电路 106a 的另一些优点是，子解码电路 106a 为电源、信号、和子解码器网格 54 、 56 、 58 、和 60 提供了额外的金属空间，并且子解码电路 106a 改善了速度特性．子解码电路 106a 的速度和 DX7 总线 114d 从低变到高的能力直接相关．由于 DX7 总线 114a 是由子解码驱动器 110a 驱动的，并且由于子解码驱动器位于非拥挤的交叉区 24a 的中间，所以可使 DX7 总线 114a 的尺寸足够大。此外， DX7 总线 114a 是在 M3 中构成的，在 3 个金属层中以 M3 的电阻为最小。因此， DX7 总线 114 的上升波形陡峭，从而可实现 SW 总线 72a 的高速激励．在优选实施例中， NMOS 晶体管 120b 的栅极宽度（未示出）比 NMOS 晶体管 120a 的栅极宽度（也未示出）窄，因此可改进速度和设计区优化值．例如，在优选实施例中，晶体管 120a 和 120b 的栅极宽度分别是 2.2 微米和 1 微米．晶体管 120b 的较窄的栅极宽度对于 DXB 总线 44d 上的信号给出较小的负载电容和较快的下降时间．因此， DX 总线 114d 实现了较快的上升时间．此外，把 120a 的栅极宽度设置成足够大的值以降低子字线 SW 的速度．

参照图 10a，读出放大电路 98a 包括锁存部分 122a 和均衡器部分 124a．锁存部分 122a 包括两个连接在位线总线 70 、 104a 和第一锁存总线 128 之间的 NMOS 晶体管 126a-126b．锁存部分 122a 还包括两上连接在位线总线 70 、 104a 和第二锁存总线 132 之间的 PMOS 晶体管 130a-130b ．所有的 4 个晶体管 126a 、 126b 、 130a 、 130b 都按常规的锁存方式交叉耦合以存贮来自位线总线 70

和 104a 的信号.

均衡器部分 124a 包括 3 个 NMOS 晶体管 134a - 134c，以便在准备模式或预充电模式期间平衡 BL1 总线 70 和 NL1B 总线 104a . 3 个晶体管 134a - 134c 通过平衡总线 136 控制.

以相似的方式，读出放大电路 98b 包括连接到位线总线 104b-104c 的一个锁存部分 122b 和一个均衡器部分 124b . 锁存部分 122b 和均衡器部分 124b 还分别连接到两个锁存总线 128 、132 、和平衡总线 136 上.

参照图 10b，通过其它的一些设计改进还可进一步减小读出放大器 22a 的尺寸.把均衡器部分 124a 和 124b 作成交错的“ T ”形，下面将参照图 11a 对此作更加详细的讨论. 利用“ H ”形的沟壕区来构成锁存部分 122a 和 122b，下面将参照图 12a-b 对此作更加详细的讨论.

参照图 11a-11b，为了减小由晶体管 134a-134c 引起的均衡器部分 124a 的尺寸限制，利用了一个 T 形的栅极区 138a（ 图 11a ）. 均衡器信号总线 136 为每一个晶体管 134a-134c 产生一个栅极. 类似地，均衡器部分 124b 利用了一个倒 T 形的栅极区 138b . 因而，栅极区 138a 、 138b 可以拼凑在一起，同时还在栅极区 138a 、 138b 之间保持一个所需的沟壕隔离距离 137 . 在这样做时，两个栅极区的宽度 140 小于两个正方形的栅极区 144a 和 144b 的常规宽度 142，如图 11b 所示；并且，小的读出放大电路 22a 对应于小的存贮单元电路 64（ 图 5a ）.

参照图 12a，该读出放大器 22a 包括一个 H 形状的沟壕 146 . 在 M1 中构成的 BL1 总线 70 必须在 H 形状的沟壕 146 中与也在 M1 中构成的 BL1B 总线 104a 交叉，但没有电的交叉. 进而， BL1 总线 70 必须驱动晶体管栅极 148a，并且 BL1B 总线 104a 必须驱动晶体管栅极 148b . 在交叉点 150， BL1B 总线 104a 连接到在金属层下方的并且在 FG 中构成的晶体管栅极 148b 上. 栅极 148b 不仅可让 BL1B 总线 104a 和 BL1 总线 70 交叉，而且它也是晶体管 130b 的栅极. 栅极 148b 在和 BL1 总线 70 交叉后重新连接到也在

M1 中构成的连接总线 152 上，从而把 BL1B 总线 140a 电连接到连接总线 152 上. 类似地， BL2 总线 104b 和 BL2B 104c 也在 H 形状的沟壕 146 中交叉.

现在参照图 12b，这些连接产生了一个 M1 → FG → M1 的变化，并且构成了两个 PMOS 晶体管 130a-130b . 这种变化不仅减小了尺寸，而且这些变化是在没有使用附加的金属层的条件下得到的。

此外， H 形状的沟壕 146 解决了与网格系统有关的另一个问题，即在位线总线 70 和 104a - 104c 上的噪声。读出放大器 22a - 22c 的噪声通常是由叠置在 M1 中构成的位线总线 70 和 104a-c 上的在 M3 中构成的信号总线引起的。由于位线总线 70 和 104a 的交叉图案相同，所以由 M3 中构成的信号总线（如 CF 总线或 YS 总线）引起的任何噪声或电容耦合对 BL1 总线 70 和 BL1B 总线 104a 全然相同，从而有效地抵消了噪声的效果。类似地，任何噪声对于 BL2 总线 104b 和 BL2B 总线 104c 也完全相同。

参照图 13a，通过 M2 的屏蔽作用可减小对来自信号总线的噪声的附加保护，该信号总线是在 M3 中构成的，它叠置在 M1 中构成的位线总线 70 和 104a-c 上。例如，在一个常规的现有技术设计中，第一和第二总线 154a-154b 在 M1 中构成并沿垂直方向走向，第三总线 154c 在 M3 中构成并且也沿垂直方向走向，使噪声加大。由于它们叠置和走向的方向相同，大面积的叠置使噪声加强，所以第三总线 154c 产生的噪声要加到第一和第二总线 154a 和 154b 上。这种常规设计可能会存在问题，尤其是当总线 154a、 154b 对噪声特别灵敏时更是如此，例如本发明的位线总线 70 和 104a 。此外，在常规的设计中，在 M2 中构成的并且沿水平方向走向的另一组总线 156a - 156d 只有极少的甚至没有屏蔽作用，如图所示。

参照图 13b-13c，该优选实施例通过改善 M2 总线的屏蔽效果减小了沿同一方向走向的总线之间的噪声。在该优选实施例中，在 M1 中构成 BL1 总线 70 和 BL1B 总线 104a，它们沿垂直方向走向. 此外，在 M3 中构成 CF 总线 61a，它的走向是在垂直方向，紧挨

在两个位线 70 和 104a 的上面。在 M2 中构成的并且沿水平方向走向的 4 个总线 158a-158d 定位在 CF 总线 61a 和位线总线 70 及 104a 之间。

参照图 13b，在下述情况下使用减少噪声的一种技术： M2 总线 158a 和 158d 是有噪声的有源线（如部分读出放大器），并且 M2 总线 158b-c 是无源的无噪声的总线（如电源总线），这时使用第一种技术。即，不让 M2 总线 158a-158d 中的某一些只穿过位线总线 70 和 140a 中的一个（如图 13a 所示），现在让 M2 总线 158b-158c 在两个位线总线上延伸。 M2 总线 158a-158d 按此方式对来自 CF 总线 61a 的任何噪声可提供更多些的屏蔽作用。

参照图 13c，在下述情况下采用第二种技术：两个 M2 总线 158a 和 158d 是无源的无噪声的总线（如，电源总线），并且另两个 M2 总线 158b 、 158c 是有源的有噪声的总线。在这种情况下，位线 70 和 1004a 通过无噪声的 M2 总线 158a 、 158b 得到了对 CF 总线 61a 的噪声的较好的屏蔽作用。因此，要把无噪声的 M2 总线 158a、158d 尽可能地拉大，以使它们的屏蔽作用最大。

参照图 14a，读出放大器的阱结构也可能是尺寸的决定因素，尤其是像优选实施例那样利用电源和信号网格的情况更是如此。按第一种设计，使用包括 P 型阱（ PW ） 162a 、深阱（ DW ） 164a 、和 P 型基片（ P - Sub ） 166 的三重阱结构，以便从读出放大电路 170 至一子阵列 168 进行噪声保护。类似地，三重阱结构 160 包括 P 型阱（ PW ） 162b 、 n 型深阱（ DW ） 164b 、和 P - Sub 166，以便从读出放大电路 170 到一子阵列 168b 进行噪声保护。虽然阱 162a 、 162b 、 164a 、 164b 、和基片 166 可以有各种各样的偏置安排，其中的一种这样的安排提供：

表 1

阱	偏置名称	偏置电压
PW 在 DW 上	V_{BBA} 167a	-1V
NW 在 DW 上	Vpp 167b	4.0V
DW	Vpp 167b	4.0V
P - Sub	V_{BB} 167c	0V
PW（不在 DW 上）	V_{BB} 167c	0V
NW（不在 DW 上）	V_{DD} 167d	3.3V

应该注意，在本领域中阱的偏置是众所周知的，对偏置电压的任何描述只是说明性的，不应以任何方式对其进行限制。

通过两个隔离物 n 型阱（ NW ） 172a 和 172b 分别把子阵列 168a 和 168b 与读出放大器 170 的噪声影响隔离开来。 NW 172a、172b 产生隔离晶体管，以便在位于每一侧的存贮单元阵列之间共享一个读出放大器。向 P 型阱 162a 和 162b（这里，定位上述的隔离晶体管和存贮单元晶体管）提供适于器件隔离的负偏置电压。 NW 172a 、 172b 偏置到 Vpp 167b ，以进行电隔离。另外， DW172a 、 172b 分别设置在 DW 164a 、 164b 的上方，因此把 DW 偏置到 V_{PP} 。读出放大电路 170 有一个附加的 NW174 ， NW174 偏置到 V_{DD} 167d 以提供 P 型晶体管 176 的较快的操作。 DW 164a 、 164b 偏置到 Vpp 的优点是，子解码器是在 Vpp 电压电平下操作的 CMOS 电路（图 7a 、 7b 、 14c ）。另一方面，因为读出放大电路 170 的 PMOS 晶体管在等于或小于 V_{DD} 电压电平操作，所以 V_{DD} 电压电平适合于用作 NW174 的偏置电压以代替 Vpp 电压电平。读出放大器 170 还有通过 P-Sub 166 偏置到 V_{BB} 167c 的两个 PW 178a 、 178b 。 PW 178a 支持晶体管 180a ， PW 178b 支持晶体管 180b 、 180c 。

参照图 14b，该优选实施例同图 14a 比较能够减小读出较大器 24 的阱结构.该优选实施例采用三重阱结构 182，对于子阵列 18a，阱结构 182 包括 PW 184a 、 DW 186a 、和 P-Sub 188 ； 对于子阵

列 186b，阱结构 182 包括 PW 184b、DW 186b、和 P-Sub 188。因而，子阵列 18a－18b 从读出放大器 22b 得到了保护。三重阱结构 182 还使用了类似于表 1 中描述的说明性偏置的阱偏置。但应注意，阱的偏置在本领域中是众所周知的，对偏置电压的任何描述都是说明性的，不应以任何方式加以限制。

分别通过两个隔离物 NW 190a、190b 把子阵列 18a－18b 同读出放大器 24b 的噪声影响隔离开来。把隔离物 NW 190a、190b 偏置到 Vpp 167b 以便用于隔离。另外，隔离物 NW 190a、NW 190b 分别位于 DW 186a-186b 的上方，从而偏置了 DW。该优选实施例与图 14a 的常规系统的差别在于，隔离物 NW 190a 也支持晶体管 130d，晶体管 130d 与图 14a 的晶体管 176 相对应。结果使晶体管 130d 的操作比图 14a 的晶体管 176 还要慢些。但晶体管 130d 的速度对于读出放大电路 90a 的整个定时来说并非关键。因此，尽管 PMOS 晶体管 130d 使用了 Vpp 偏置的阱，但总体速度没有变坏。

但对隔离物 NW 190a 来说，和图 14a 所述的常规技术相比，还有一个尺寸的优点。既没有只用于隔离的 NW 172a，也没有用于晶体管 176 的第二 NW 174（图 14a），而且在本优选实施例的 NW 190 中把这两者组合起来，从而减小了读出放大器 24b 的空间。此外，可使用单个的 PW 192 来支持晶体管 134a-134c。

参照图 14c，对于子解码器 20a 实现一种三重阱结构 193。P－Sub 188 和 DW 186a 穿过子阵列 18a（图 14b）、跨过子解码器 20a、进入子阵列 196。PW 184a 通过 NW200 与 PW198 分开，NW200 偏置到 Vpp 167b 以便进行隔离。通过把 NW200 偏置到 Vpp 167b，使 SW 总线 72a 可在 Vpp 操作。

参照图 15a 和 15b，读出放大器 20a 包括用于列冗余方案的 4 个熔丝 202a-202d。两个熔丝 202b 和 202d 用来禁止读出放大电路 98a-98b 操作，两个熔丝 202a 和 202c 用来禁止读出放大电路 204a－204b 操作。列冗余对于本领域的普通技术人员来说是众所周知的；但是，由于要设置熔丝，常规的设计使读出放大器付出相当大的面积。因此，在优选实施例中，熔丝 202a-202d 要和位线总线 70

和 140a 平行地排列成行，即使对应于位于不同区内的读出放大器的熔丝也要这样做。由此可见，垂直走向的 CF 总线 61a 和 YS 总线 35a-35c 只需对一组熔丝进行偏移，就可为电源和信号网格 54、56、58、和 60 提供最大的空间。

虽然示出并描述了本发明的说明性的实施例，但我们期望修正、变化、和替换的范围都落在以上所述的公开的范围内，并且在某些情况下，有可能在没有相应使用其它特征的条件下使用了本发明的某些特征。例如，为使优选实施例的叙述比较简单但又不期望限制本发明，可能会涉及水平和垂直方向。因此应理解，所附的权利要求应广义地理解，并且与本发明的范围一致。

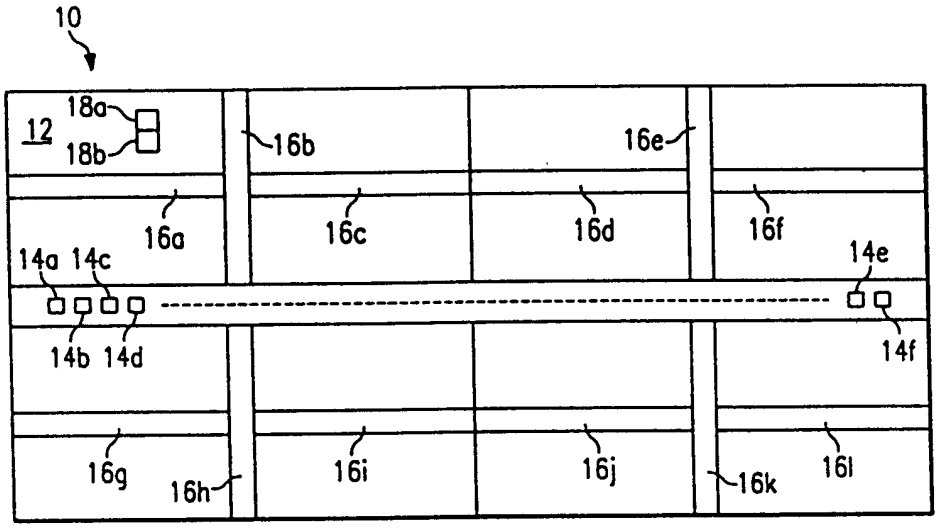

10
12
18a
18b
16a
16b
16c
16d
16e
16f
14a 14c
14b 14d
14e
14f
16g
16h
16i
16j
16k
16l

图. 1

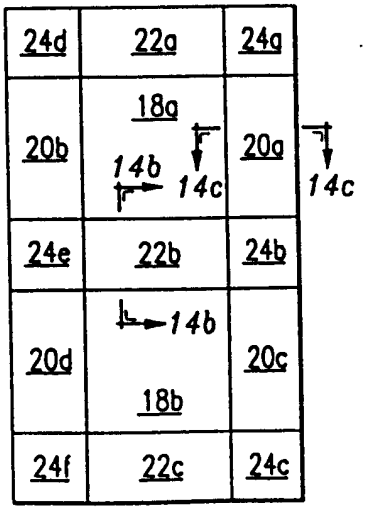

24d
22a
24a
18a
20b
14b
14c
20a
14c
24e
22b
24b
14b
20d
20c
18b
24f
22c
24c

图. 2

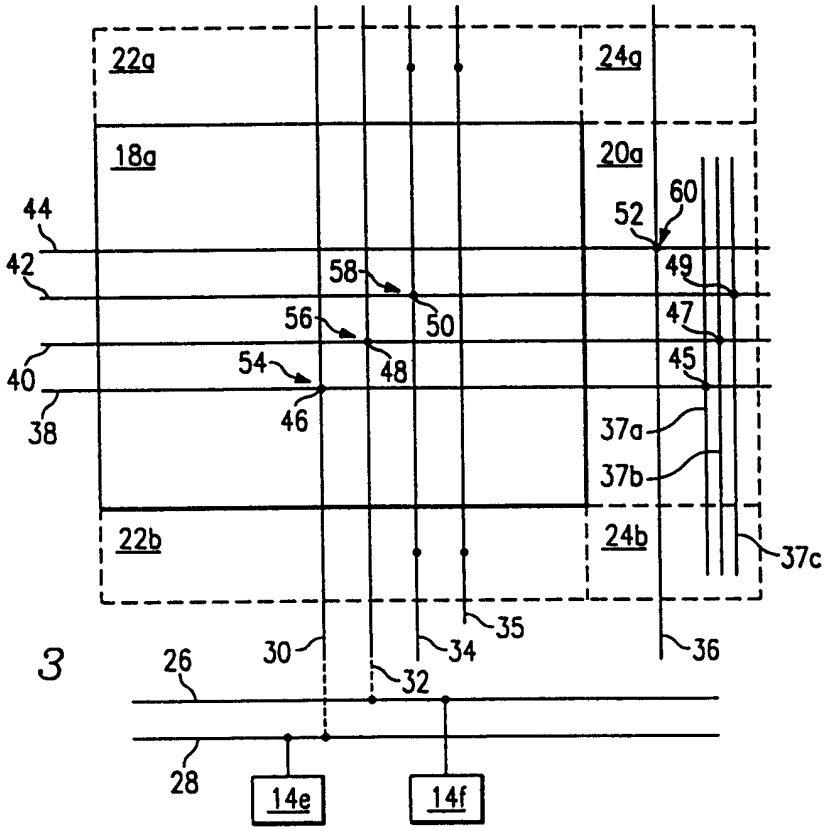

22a
24a
18a
20a
44
42
40
38
58
56
54
50
48
46
52
60
49
47
45
37a
37b
37c
22b
24b
35
36
30
34
32
26
28
14e
14f

图. 3

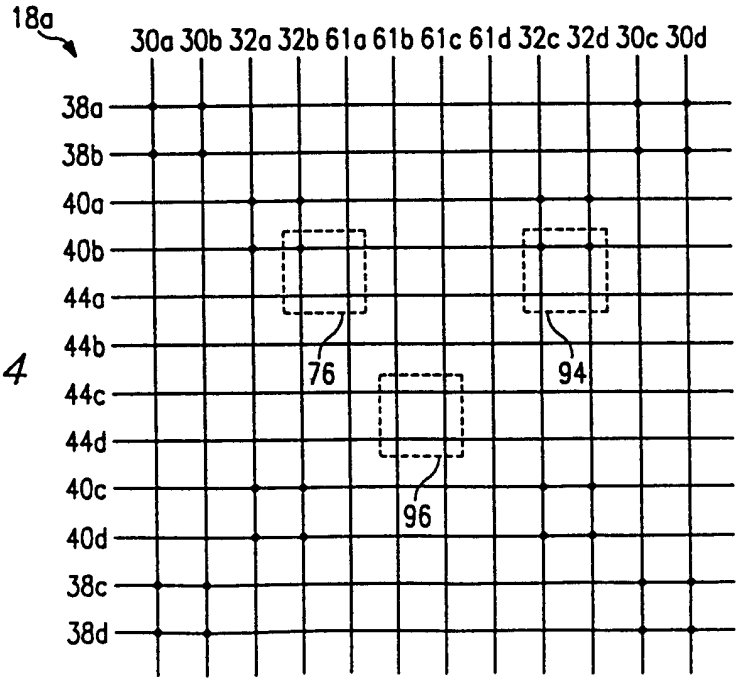

18a
30a 30b 32a 32b 61a 61b 61c 61d 32c 32d 30c 30d
38a
38b
40a
40b
44a
44b
44c
44d
40c
40d
38c
38d
76
94
96

图. 4

图. 5a

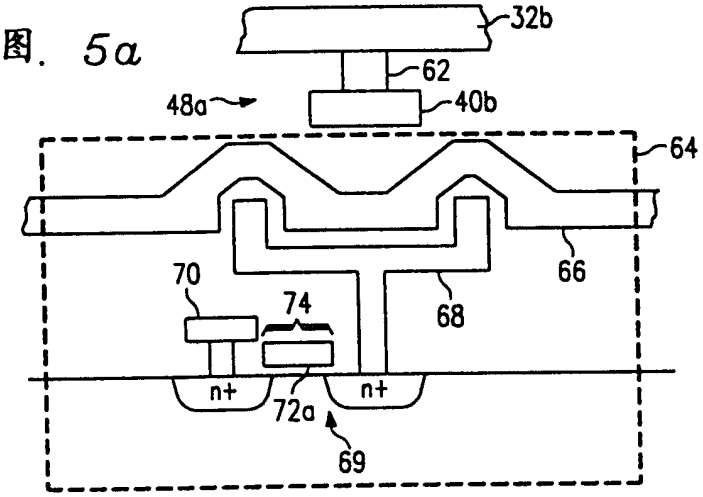
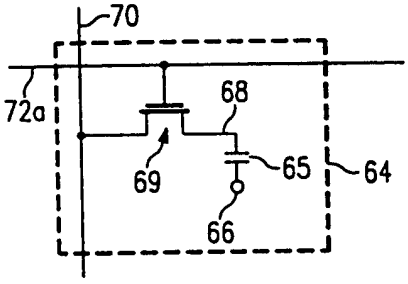

32b
62
48a
40b
64
66
70
74
68
n+
n+
72a
69

图. 5b


70
72a
68
69
65
64
66

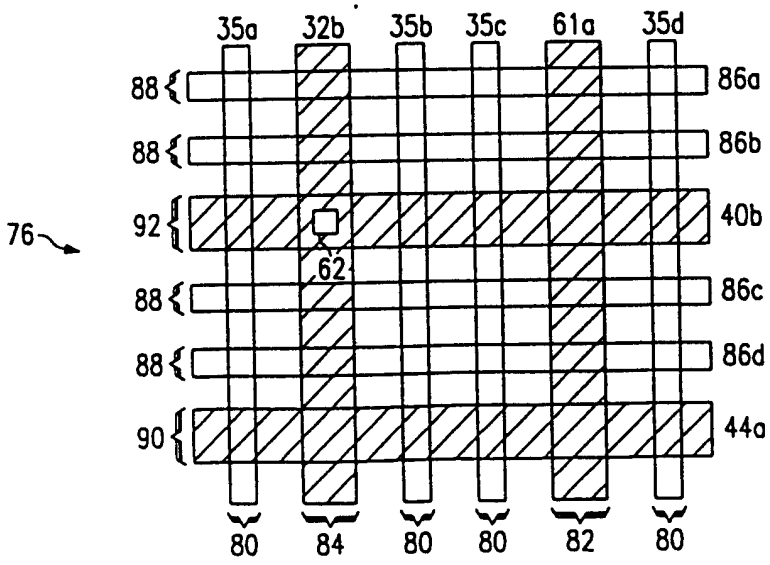

35a
32b
35b
35c
61a
35d
88
88
92
88
88
90
86a
86b
40b
86c
86d
44a
76
62
80
84
80
80
82
80

图. 6a

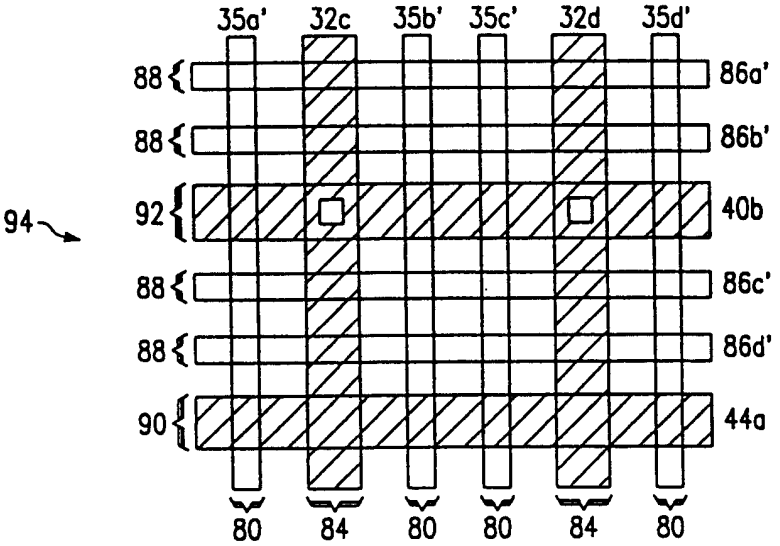

35a'
32c
35b'
35c'
32d
35d'
88
88
92
88
88
90
86a'
86b'
40b
86c'
86d'
44a
94
80
84
80
80
84
80

图 6b

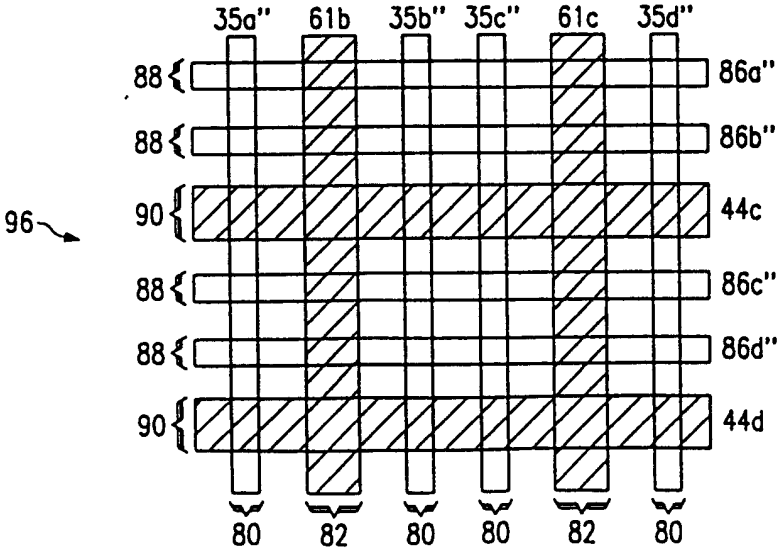

35a''
61b
35b''
35c''
61c
35d''
88
88
90
88
88
90
86a''
86b''
44c
86c''
86d''
44d
96
80
82
80
80
82
80

图. 6c

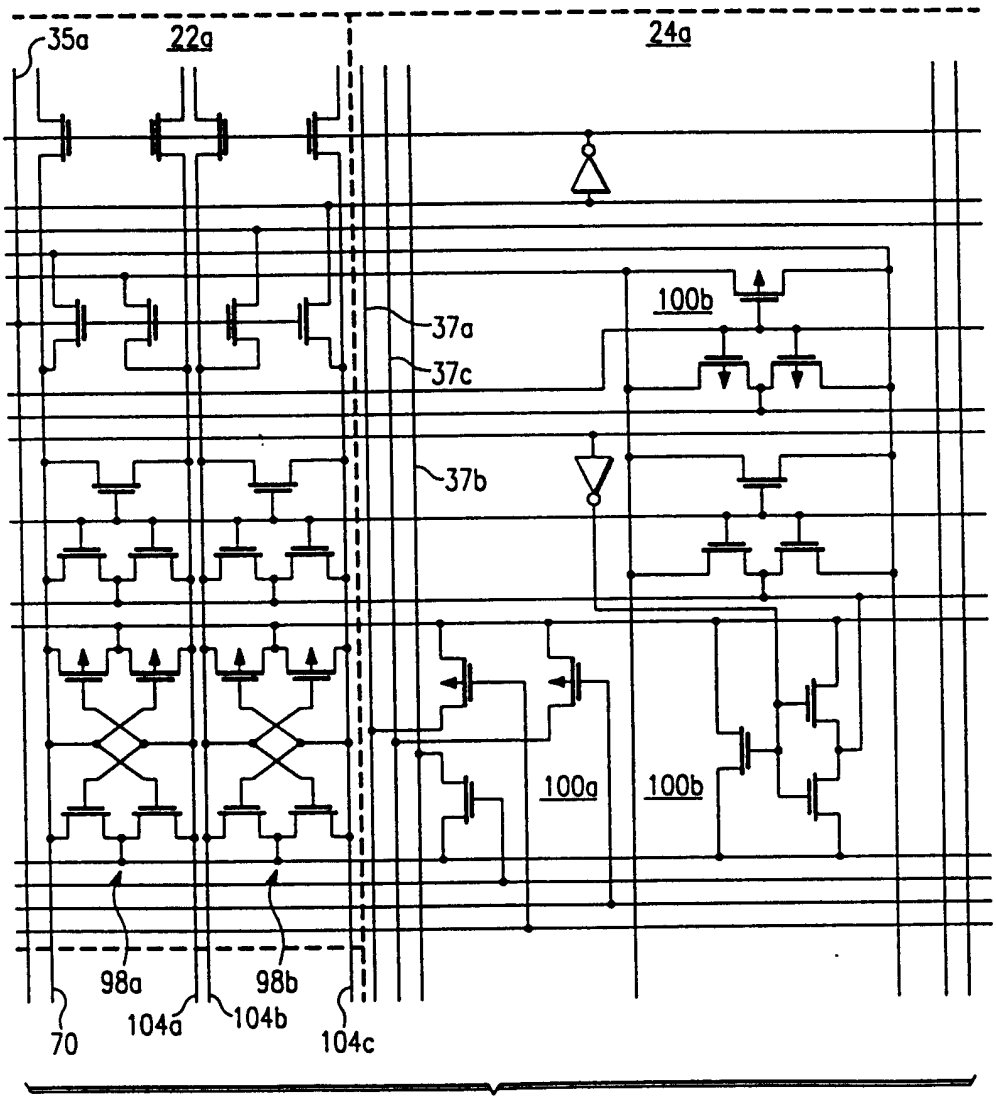

35a
22a
24a
100b
37a
37c
37b
100a
100b
98a
98b
70
104a
104b
104c
TO FIG. 7b

图 7a

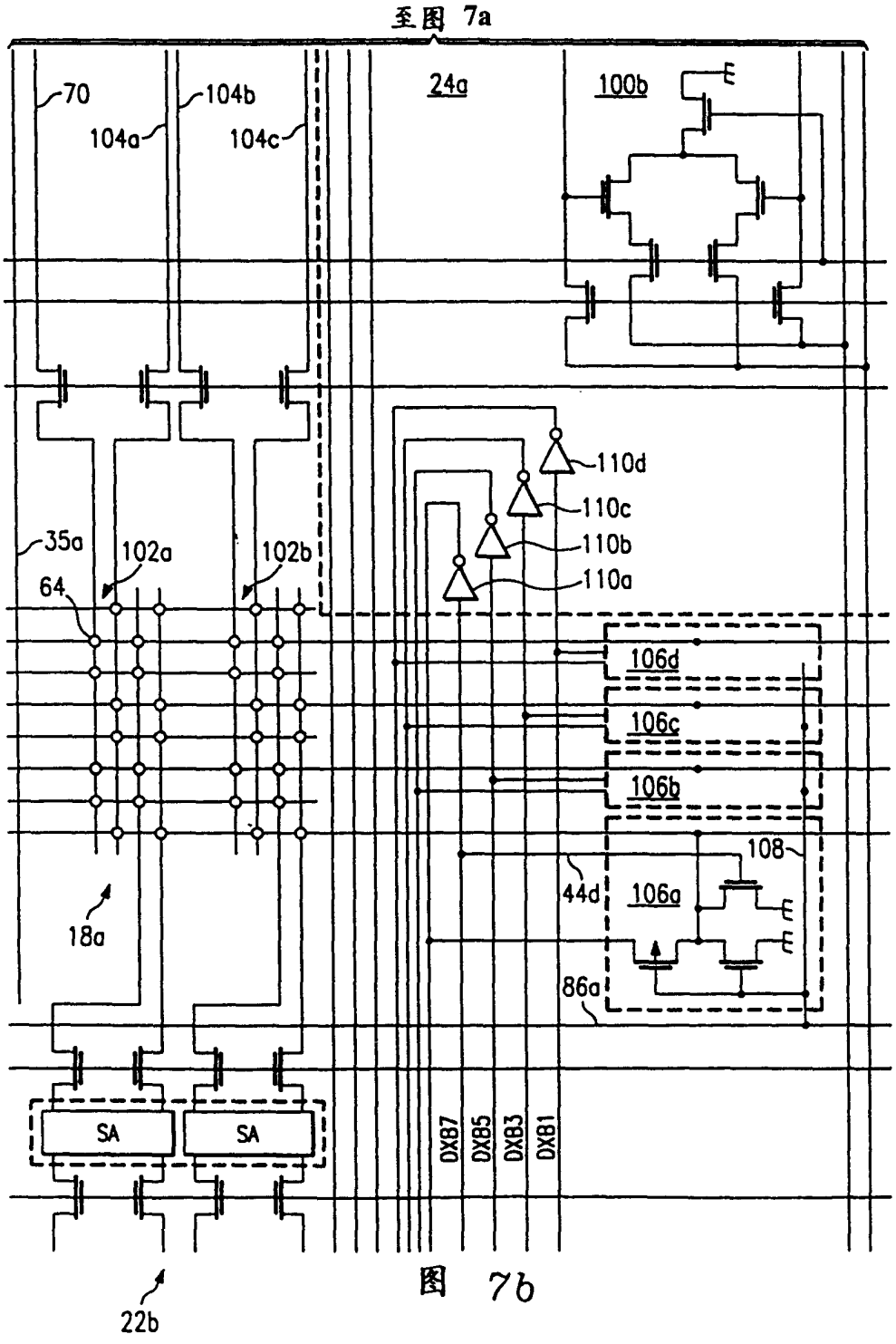

至图 7a
70
104b
104a
104c
24a
100b
110d
110c
110b
110a
35a
102a
102b
64
106d
106c
106b
108
44d
106a
86a
18a
SA
SA
DXB7
DXB5
DXB3
DXB1
22b

图 7b

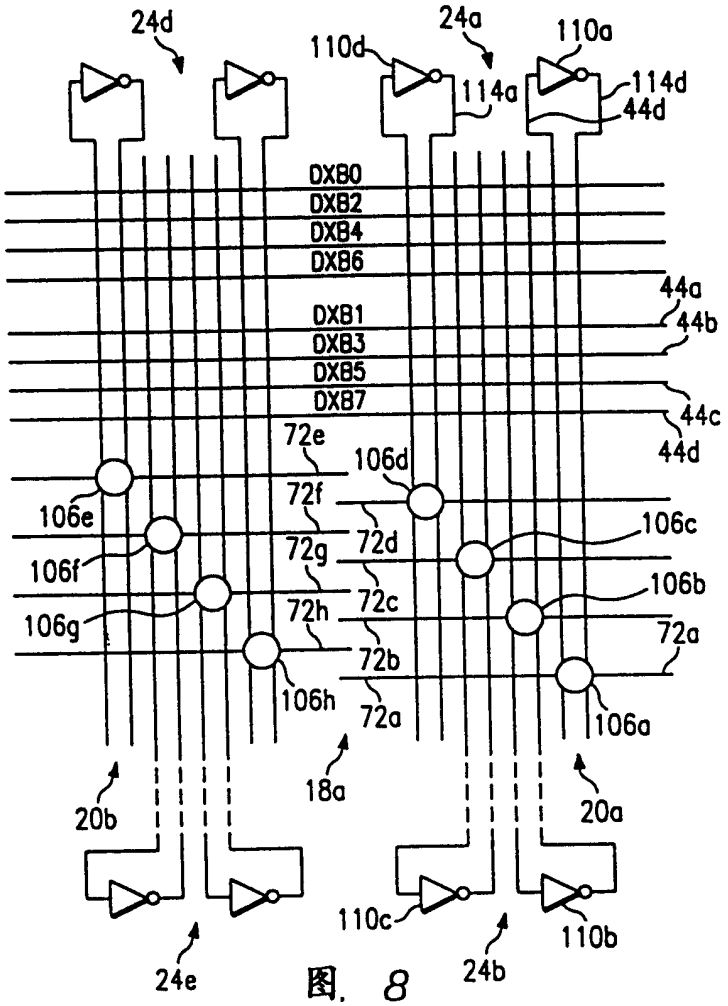


图. 8

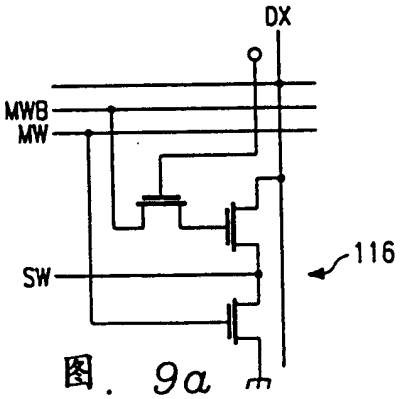


图. 9a
(现有技术)

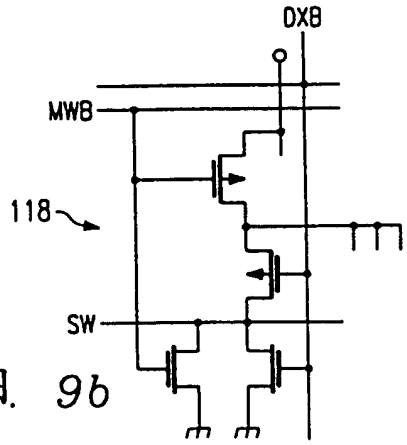


图. 9b

图. 10a

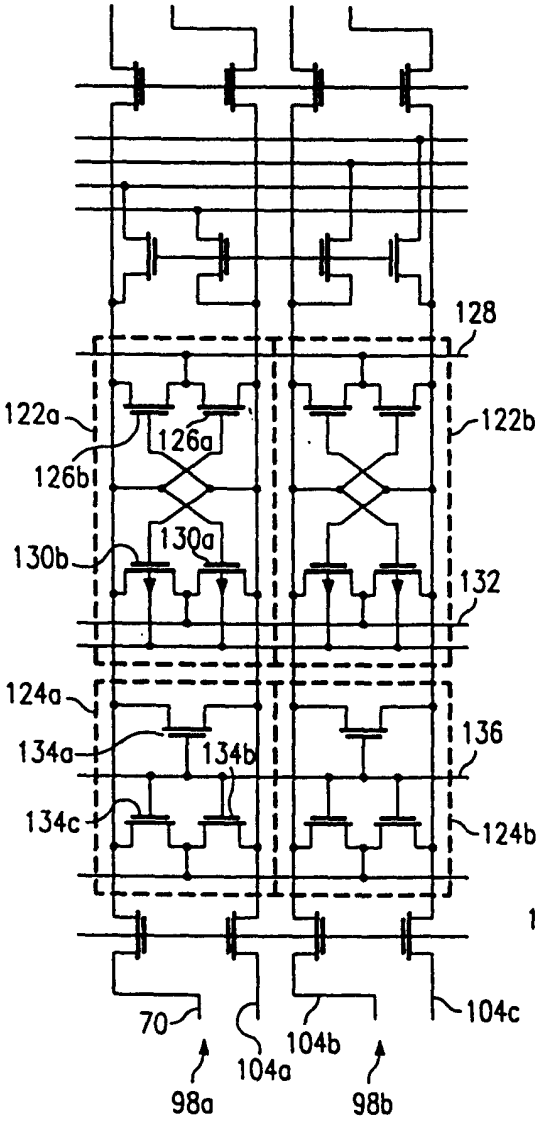
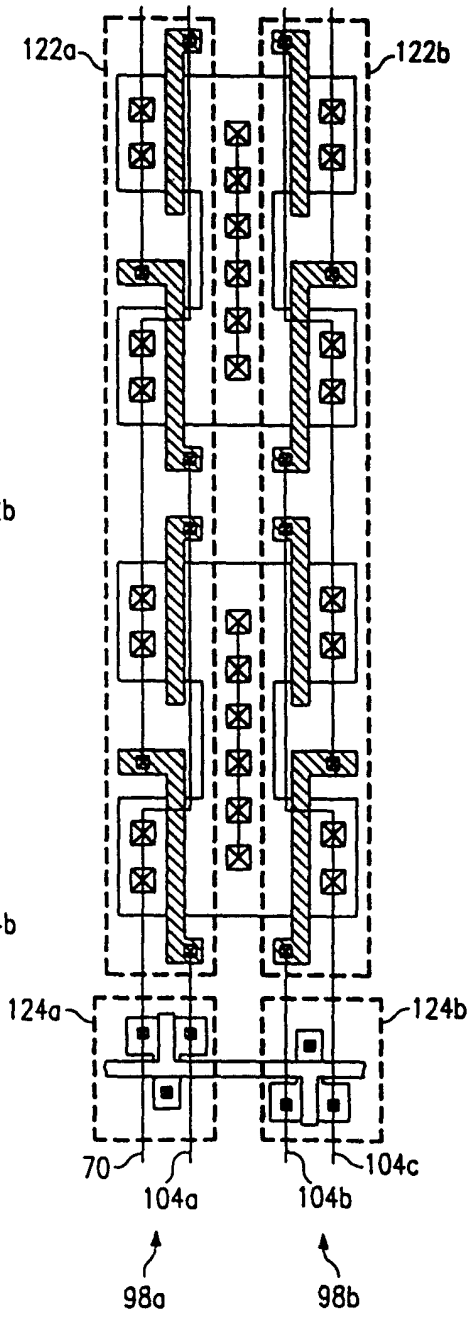

128
122a
122b
126a
126b
130a
130b
132
124a
134a
134b
136
134c
124b
70
104c
104b
104a
98a
98b

图. 10b


122a
122b
124a
124b
70
104a
104b
104c
98a
98b

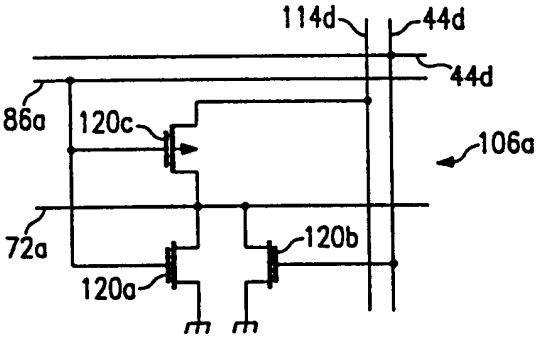


图. 9c

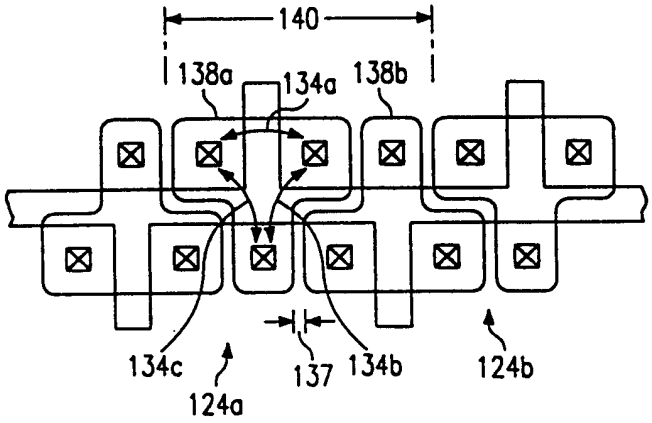


图 11b

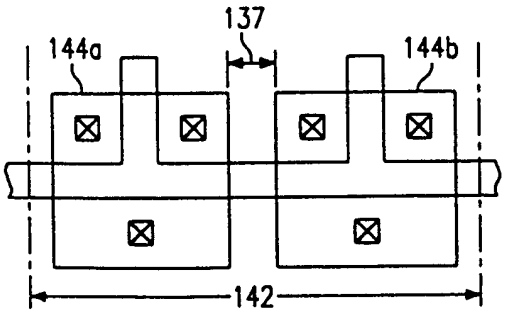


图. 11a
(现有技术)

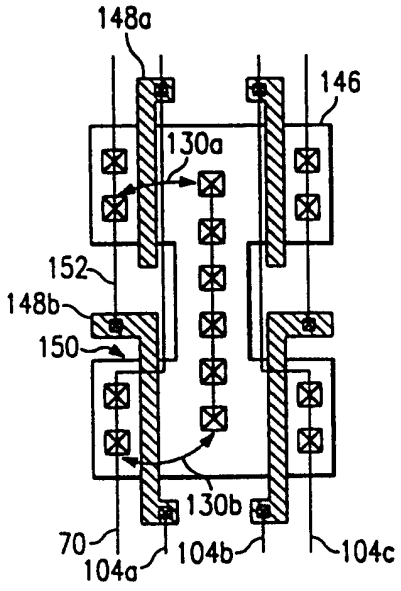


图. 12a

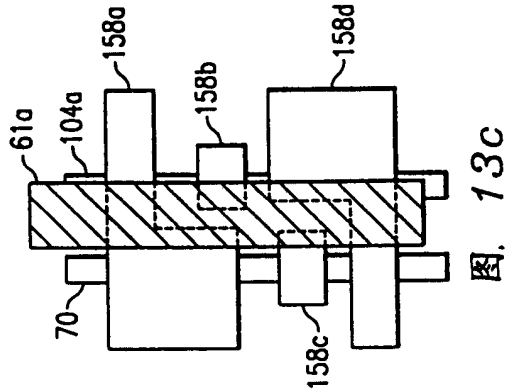


图. 13c

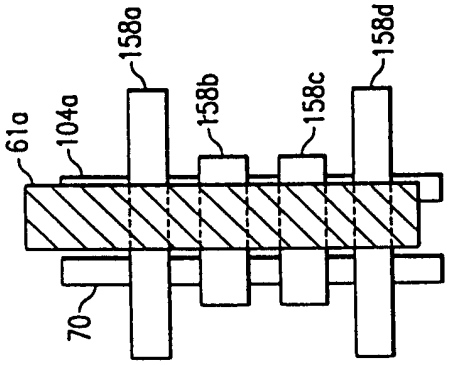


图 13b

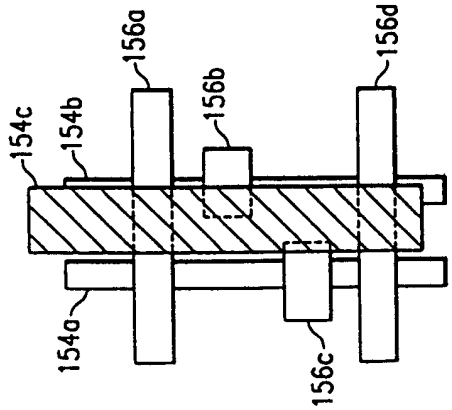


图. 13a
(现有技术)

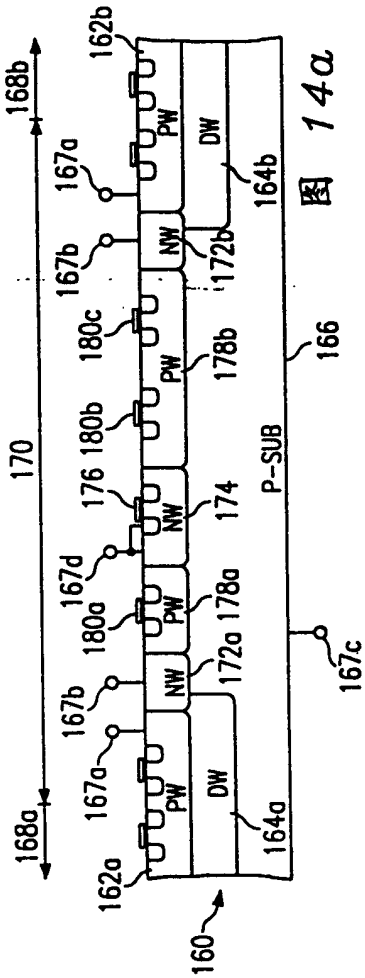


图 14a

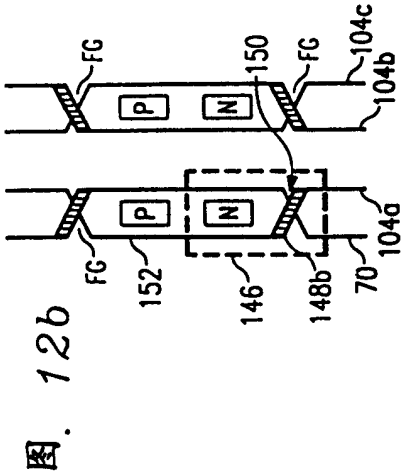


图. 12b

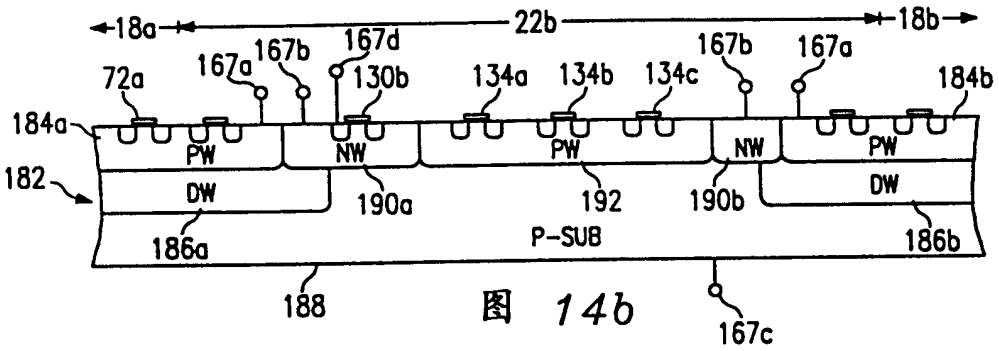


图 14b

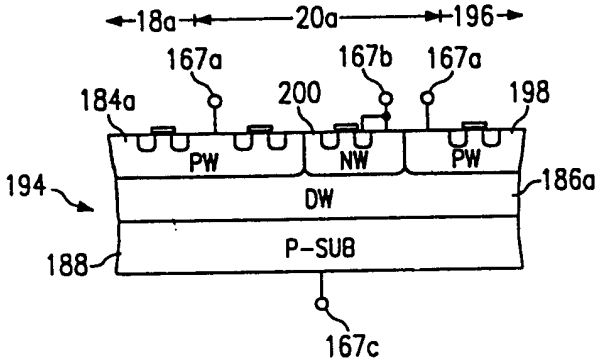


图 14c

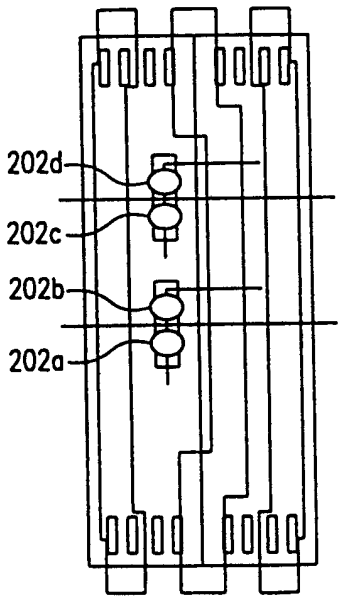


图 15a

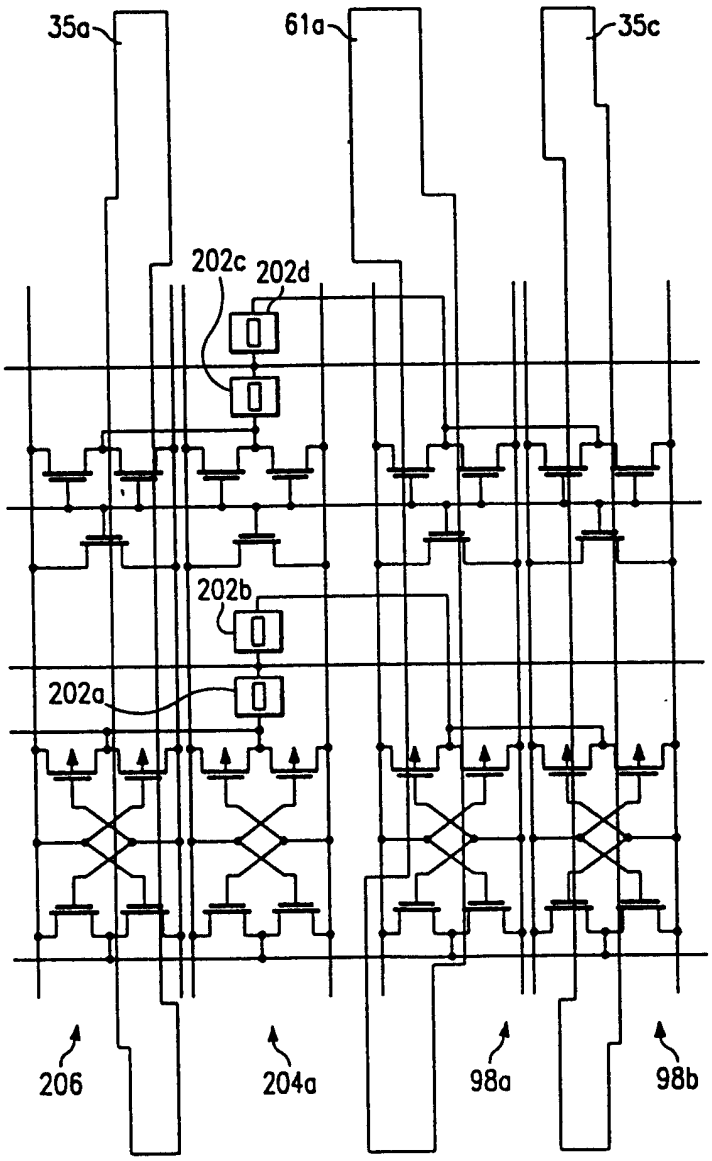


图 15b