

公告本

739901

申請日期	90 年 2 月 27 日
案 號	90104576
類 別	G09G 3/36

A4
C4

594642

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	預充電電路及使用其之畫像顯示裝置
	英 文	
二、發明 創作人	姓 名	(1) 前田和宏 Maeda, Kazuhiro (2) 鷺尾一 Washio, Hajime (3) 久保田靖 Kubota, Yasushi
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國奈良縣奈良市古市町二三三九一一一 A 二〇三 2339-1-A203, Furuichi-cho Nara-shi Nara 63 0-8424 Japan (2) 日本國奈良縣天理市樺本町二六一三一一一一 一一〇七 2613-1-1-107, Ichinomoto-cho Tenri-shi Nar a 632-0004 Japan (3) 日本國奈良縣櫻井市朝倉台西五一一〇九三一一 二六七 5-1093-267, Asakuradainishi Sakurai-shi Na ra 633-0004 Japan
三、申請人	姓 名 (名稱)	(1) 夏普股份有限公司 シャープ株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國大阪府大阪市阿倍野區長池町二二番二 二號
	代 表 人 姓 名	(1) 町田勝彦

裝
訂
線

經濟部智慧財產局員工消費合作社印製

申請日期	90 年 2 月 27 日
案 號	90104576
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 海瀨泰佳 Kaise, Yasuyoshi (5) 麥可·布朗諾 Brownlow, Michael James (6) 葛漢·凱爾恩 Cairns, Graham Andrew
	國 籍	(4) 日本 (5) 英國 (6) 英國
三、申請人	住、居所	(4) 日本國奈良縣天理市櫛本町二六一三一一一六 四〇 2613-1-640, Ichinomoto-cho Tenri-shi Nara 632-0004 Japan (5) 英國牛津史丹佛山姆教堂路一二四號 124 Church Road, Sandford on Thames, Oxford, OX4 4YB, United Kingdom (6) 英國牛津卡特史諾鮑恩克諾斯二二號 22 Bourne Close, Cutteslowe, Oxford, OX2 8 NH, United Kingdom
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區)	申請專利, 申請日期:	案號:	, <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
日本	2000年 2月 28日	2000-52410	<input checked="" type="checkbox"/> 有主張優先權
日本	2001年 2月 22日	2001-47368	<input checked="" type="checkbox"/> 有主張優先權

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明之領域】

本發明係關於對信號線施加影像信號之前，藉施加所定電壓以預充電該信號線之預充電電路及使用其之畫像顯示裝置。

【發明之背景】

習知畫像顯示裝置之一，已知有動態矩陣驅動方式之液晶顯示裝置。該液晶顯示裝置乃如圖 36 所示，由像素陣列 ARY，掃描信號線驅動電路 GD，資料信號線驅動電路 SD，預充電電路 PC 所成。該像素陣列 ARY 則具有互相交叉之多數掃描信號線 GL (GL1 ~ GLj，以下總稱時即以符號 GL 示之)，與多數之資料信號線 SL (SL1 ~ SLj，以下總稱時即以符號 SL 示之)，且在鄰接兩掃描信號線 GL 與鄰接兩資料信號線 SL 所包圍部份設有矩陣狀像素 PIX。

資料信號線驅動電路 SD 係具有同步與自外部之時鐘信號 CKS 等之定時信號，將所輸入影像信號 DAT 取樣且依需放大，並予以寫入於各資料信號線 SL 之功能。掃描信號線驅動電路 GD 乃具有同步與上述時鐘信號 CKS 等之定時信號，依需選擇掃描信號線，藉控制像素 PIX 內之切換裝置之開閉，如上述將寫入於各資料信號線 SL 之影像信號 (資料) 予以寫入於各像素 PIX 內同時，並保持各像素 PIX 所寫入之資料之功能。

另，預充電電路 PC 則如特開平 7 - 295521 號公報 (公開日：1995 年 11 月 10 日) 所示，對應自外部輸入之預充

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

電控制信號 PCTL，PCTLB 等，藉在尚未由上述資料信號線驅動電路 SD 將資料寫入於各資料信號線 SL 之前，且任何掃瞄信號線 GL 亦尚未被掃瞄信號線驅動電路 GD 選擇之期間（預充電期間）對各資料信號線 SL 進行寫入預充電電壓，而減低資料信號線驅動電路 SD 之對於各資料信號線 SL 寫入資料時之充放電量，以抑制影像信號線（資料信號線）之電位波動。

在如上述液晶顯示裝置，對於資料信號線驅動電路 SD，掃瞄信號線驅動電路 GD，更對於預充電電路 PC 所輸入之控制信號類（時鐘信號 CKS / CKG，啟動信號 SPS / SPG，預充電控制信號 PCTL 等）乃以與各自電路之電源電壓（VDD 等）相同振幅之信號自外部直接予以輸入。

另，近年之為液晶顯示裝置之小型化及高清晰度化，減輕實裝成本等，係將掌管顯示像素陣列 ARY 及驅動電路 SD，GD，非分別在形成於各自集體電路晶片後再實裝於面板上，而在形成有像素陣列 ARY 之面板上再予以一體形成之技術頗受矚目。此種驅動電路一體型之液晶顯示裝置由於其基板需要使用透明基板（欲構成目前寬泛使用之透過性液晶顯示裝置時），致將可構成於石英基板或玻璃基板上之多結晶矽薄膜電晶體作為有源元件加以使用之情形頗多。

然，上述使用多結晶矽薄膜電晶體之驅動電路一體型之液晶顯示裝置，其電晶體特性比及由上述集體電路晶片所形成之單結晶矽薄膜電晶體為劣。尤其閾值電壓之絕對

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(3)

值達 1V ~ 6V 之高，致驅動電源電壓 VDD 亦非高到 15V ~ 20V 不可乃是現情。

此時，雖自外部輸入之控制信號等之振幅亦需予以趨大，卻會招致生成控制信號等之控制電路等外部電路之消耗電力增多，且信號線所致無用輻射亦呈很大問題，故有藉將信號升壓電路（電平位移電路）裝載於液晶顯示裝置之電路側，使輸入出介面之電壓保持既存之低電壓原樣，以對應面板內之上述高驅動電源電壓 VDD 之提案。

【發明之梗概】

本發明之目的係在提供一種可低電力消耗化之預充電電路，及藉使用之，能謀圖上述驅動電路一體型所致之小型化，高清晰度化與減輕實裝成本之畫像顯示裝置。

為達成上述目的，本發明有關之預充電電路乃是在對信號線施加影像信號之前，予以預充電至所定電壓之預充電電路，而以採取以下措施為特徵。

即，上述預充電電路係具有含上述信號線之驅動期間外之預充電期間，且動作較一水平期間中之有效顯示時間更短期間，而控制上述所定電壓之輸出之預充電控制電路為特徵。

依據上述發明，信號線被預充電至所定電壓後，即對該信號線施加影像信號。

習知之預充電電路乃經常在動作。而只要預充電電路在動作，除了預充電期間以外之時機該預充電電路亦導通

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(4)

恒定電流，其結果，招致預充電電路之消耗電力增多。

針對之，依據上述發明，由於設有預充電控制電路，且該預充電控制電路含有上述信號線之驅動期間外之預充電期間，並進行較一水平期間中之有效顯示時間更短期間之動作，致僅在該預充電電路之動作期間才輸出預充電電壓。藉如此控制，除動作期間外該預充電電路已不再導通上述恒定電流，將電力消耗限制於動作期間內。相對之，可確實抑制預充電電路之消耗電力增加。

上述預充電控制電路係具有較預充電電路之驅動電壓更小振幅，該振幅即自外部接受上述預充電期間所維持之低振幅外部輸入信號，且依據該低振幅外部輸入信號控制預充電較宜。

此時，外部電路只要將比預充電電路之驅動電壓更小振幅之外部輸入信號供給預充電控制電路即可，故能謀圖減輕外部電路之負荷及減低消耗電力。且藉此可確實進行介面之低電壓化。

上述預充電控制電路乃具有當需要輸入上述低振幅外部輸入信號時即呈活動狀態，而可將上述低振幅外部輸入信號加以電平位移之電平位移電路較妥。

此時，電平位移電路由於在需要輸入上述低振幅外部輸入信號之期限及預充電期間呈活動狀態，致能依據比預充電電路之驅動電壓更小振幅之外部輸入信號，僅在上述預充電期間確實進行預充電控制。

上述電平位移電路則以電流驅動型電平位移電路較佳

五、發明說明(5)

。電平位移電路可大致分為電壓驅動型及電流驅動型。電壓驅動型由於不需恆量電流雖可低電力消耗化，惟其動作甚受構成電路之切換裝置之閾值所影響，對於該切換裝置特性之動作容限較窄。針對之，電流驅動型由於需要恆定電流雖有消耗電力增加之缺點，卻存在有對於構成電路之切換裝置之特性可取較大動作容限之優點。例如，以多結晶矽薄膜電晶體構成切換裝置時，由於多結晶之特性上，雖欲求電路內所有電晶體之閾值或機動性等均勻頗為困難，惟如使用電流驅動型之電平位移電路，由於能採取較大動作容限，故可解決上述問題。

本發明之更其他目的，特徵，及優點，乃可藉以下所記載而充分了解。又，本發明之有利之點亦可由其次之參照添附圖示之說明加以明瞭之。

【圖示之簡單說明】

圖 1 為本發明有關預充電電路之構造例方塊顯示圖。

圖 2 為構成圖 1 所示預充電電路之預充電控制電路之構造例方塊顯示圖。

圖 3 為構成圖 2 所示預充電控制電路之電平位移電路之構造例方塊顯示圖。

圖 4 為顯示本案比較例，乃是預充電電路之構造例方塊顯示圖。

圖 5 為構成圖 2 所示預充電控制電路之門鎖電路之構造例方塊顯示圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

圖 6 為圖 5 所示門鎖電路之狀態轉移顯示圖。

圖 7 為圖 5 所示門鎖電路之動作時機例顯示圖。

圖 8 為圖 5 所示門鎖電路之其他動作時機例顯示圖。

圖 9 為使用圖 5 所示門鎖電路時之圖 2 所示預充電控制電路構造例方塊顯示圖。

圖 10 為圖 9 所示預充電控制電路之動作時機例顯示圖。

圖 11 為構成圖 2 所示預充電控制電路之門鎖電路之其他構造例顯示圖。

圖 12 為圖 11 所示門鎖電路之狀態轉移顯示圖。

圖 13 為圖 11 所示門鎖電路之動作時機例顯示圖。

圖 14 為圖 11 所示門鎖電路之其他動作時機例顯示圖。

圖 15 為使用圖 11 所示門鎖電路時之圖 2 所示預充電控制電路變形例方塊顯示

圖。

圖 16 為圖 15 所示預充電控制電路之動作時機例顯示圖。

圖 17 為使用圖 11 所示門鎖電路時之圖 2 所示預充電控制電路其他變形例方塊顯示圖。

圖 18 為圖 17 所示預充電控制電路之動作時機例顯示圖。

圖 19 為本發明有關畫像顯示裝置之構造例方塊顯示圖。

圖 20 為圖 19 所示畫像顯示裝置之像素內部構造例顯示

五、發明說明(7)

圖。

圖 21 為產生預充電電壓之電路例顯示圖。

圖 22 為上述預充電電壓產生電路之詳細方塊顯示圖。

。

圖 23 為形成所定電壓時之預充電電壓之波形圖。

圖 24 為圖 22 之構成使用水平同步信號及預充電控制信號形成預充電電壓時之預充電電壓之波形圖。

圖 25 (a) 乃至圖 25 (c) 為圖 22 之構成僅使用校正信號形成預充電電壓時之預充電電壓之波形圖。

圖 25 (d) 為圖 22 之構成使用使用水平同步信號及垂直同步信號形成預充電電壓時之預充電電壓之波形圖。

圖 26 為資料信號線驅動電路之一構造例方塊顯示圖。

。

圖 27 為圖 26 所示資料信號線驅動電路之動作波形圖。

。

圖 28 (a) 為裝載本發明預充電電路之畫像顯示裝置之輸入信號時機圖例顯示圖。

圖 28 (b) 為裝載圖 9 所示預充電控制電路時之其內部節點之動作時機例顯示圖。

圖 28 (c) 為裝載圖 17 所示預充電控制電路時之內部節點之動作時機例顯示圖。

圖 29 為構成本發明有關畫像顯示裝置之多結晶矽薄膜電晶體剖面構造例示圖。

圖 30 (a) 乃至 30 (k) 為圖 29 所示多結晶矽薄膜電晶體之製造工程例顯示圖。

圖 31 為顯示電平位移電路之其他構造例電路圖。

圖 32 為電壓驅動型電平位移電路之構造例顯示圖。

圖 33 為圖 32 所示電壓驅動型電平位移電路之動作時機及消耗電流一例示圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

圖 34 為電流驅動型電平位移電路之構造例顯示圖。

圖 35 為圖 32 所示電流驅動型電平位移電路之動作時機及消耗電流一例示圖。

圖 36 為習知畫像顯示裝置之構造例方塊顯示圖。

【符號說明】

- | | |
|------------------|-----------|
| 1 | 預充電控制電路 |
| 2 | 取樣開關 |
| 3 | 預充電電路 |
| 4 ; 4a , 4b | 門鎖電路 |
| 5 ; 5a , 5b ; 51 | 電平位移電路 |
| | 差動放大電路部 |
| | 恆定電流 |
| | 預充電電壓產生電路 |
| ASW | 驅動電路 |
| GD | 掃描線驅動電路 |
| GND | 電源線 |
| MN3 | 開關 |
| MP1 , MP2 | 差動輸入偶 |
| MP3 , MP4 | 負載開關 |
| PIX | 像素 |
| PL | 預充電電壓輸出線 |
| SD | 信號線驅動電路 |

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

【發明之詳細說明】

就本發明之一實施例參照圖 1 乃至圖 35 加以說明即如下述。在此，作為本發明對象技術之畫像顯示裝置及預充電電路之例，乃說明液晶顯示裝置，及對其資料信號線在預充電期間內可予以施加至所定電壓之預充電電路。惟本發明並非限制於此，對於其他畫像顯示裝置及其他預充電電路亦屬有效。

圖 1 為本發明有關預充電電路 3 之構造例方塊顯示圖。預充電電路 3 係如圖 1 所示，主由取樣開關 2 及預充電控制電路 1 所構成。該預充電控制電路 1 則被輸入電源 VDD，在面板內所形成且與上述電源 VDD 相同振幅之信號（等振幅輸入信號），及由面板外部所輸入卻比電源 VDD 振幅較小之信號（低振幅外部輸入信號）。上述取樣開關 2 乃被輸入後述之預充電電壓，而依據預充電控制電路 1 之指示，控制被施加預充電電壓之輸出線 PL 與於預充電期間被施加預充電電壓之信號線 SL1 ~ SLn 間之導通 / 隔斷。

藉上述等振幅輸入信號可控制預充電控制電路 1 之活動 / 非活動，在活動時，由將低振幅外部輸入信號予以昇壓至電源 VDD 之輸出信號控制取樣開關 2。且藉此可使預充電電路 3 進行時間性選擇動作，並可抑制預充電電路 3 之消耗電流。

圖 2 為實現上述預充電電路 3 所需之預充電控制電路 1 構造例方塊顯示圖。在圖 2，預充電控制電路 1 係藉上述等振幅輸入信號而轉移狀態，且以將預充電控制電路 1 狀態

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明(10)

保持於轉移後之狀態之閘鎖電路 4，及經該閘鎖電路 4 之輸出而可切換上述活動／非活動之電平位移電路 5 為單位部件，由該單位部件單一或多數個予以構成。

如上述藉設置閘鎖電路 4，乃能以被輸入於上述預充電控制電路 1 可決定預充電電路 3 之動作／非動作之等振幅輸入信號，而使用活動期間較包括上述預充電期間之特定預充電電路 3 動作期間為短之信號。且藉此，如後述由液晶面板既存之信號可控制上述預充電電路 3。又，藉將上述部件多數個加以組合，亦可減少自外部向上述預充電電路 3 輸入之信號數目。

圖 3 為可構成實現上述預充電電路 3 所需之預充電控制電路 1 的電平位移電路 5 構造例電路顯示圖。該圖 3 之電平位移電路 5 之基本構造為差動放大型，其基本動作則是同步與被輸入於相當於差動放大電路部 6 輸入部之 MP1 及 MP2 (P 型 MOSFET) 閘門之信號 PCTL / PCTLB，而供給振幅略等於該電平位移電路 5 之驅動電壓 VDD 之輸出信號。

在此，圖 3 之電平位移電路 5 作為其電路之動作控制用開關係在相當於上述差動放大電路部 6 輸入部之 MP1 及 MP2 閘門與上述信號 PCTL / PCTLB 之信號輸入端子之間具有 MN1 及 MN2，以及在差動放大電路部 6 與 GND 之間具有 MN3 (MN1 ~ MN3 均為 N 型 MOSFET)。又，為將非活動狀態之電平位移電路 5 維持於穩定狀態，乃在非活動狀態時呈浮動之 MP1 及 MP2 閘門與差動放大電路部 6 之節點以

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(11)

及電源 VDD 之間具有負載開關之 MP3，MP4 及 MP5（均為 P 型 MOSFET）。

此等開關 MN1，MN2，MN3，MP3，MP4 及 MP5 開門則均在面板內所形成，且被輸入與電源 VDD 相同振幅之上述等振幅輸入信號之控制信號 ϕ ，而該控制信號 ϕ 為高電平（活動）時，負載開關 MP3，MP4，MP5 即切斷同時，電路之動作控制用開關 MN1，MN2，MN3 即導通。並藉此電平位移電路 5 能動作。

另，控制信號 ϕ 為低電平（非活動）時，負載開關 MP3，MP4，MP5 呈導通同時，電路之動作控制用開關 MN1，MN2，MN3 即呈切斷。於是，在活動狀態存在有恆電流源 7 之差動放大電路部 6 自 GND 被切開，且 MP1 及 MP2 開門被拉昇至 VDD，致在差動放大電路部 6 不會有電流通。又，其時差動放大電路部 6 之節點亦會被拉昇至電源 VDD，故 MN6 呈導通同時，上述電平位移電路 5 之輸入被固定於低電平。

在此，即以比較例，將裝載有經常動作之電流驅動型電平位移電路之預充電電路構造例顯示於圖 4。圖 4 所示電路乃在將預充電電壓取樣施加於各資料信號線 SL 之取樣開關 SW 直前配置電流驅動型電平位移電路 SH，且藉將自外部輸入之振幅比電源 VDD 為小之信號（低振幅外部輸入信號）予以昇壓，而驅動上述面板內之高驅動電壓 VDD 之取樣開關 SW。惟，以此方式裝載電流驅動型電平位移電路時，在預充電期間以外之時機亦存在有電流源（7）等所致

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(12)

之恆定電流，而有招惹增多消耗電力之問題。

針對之，藉使用圖 1 乃至圖 3 所示構成，則能進行電平位移電路 5 之時間性選擇動作，以確實減低預充電電路 3 之電流消耗。又，圖 3 之 PCTL 及 PCTLB 均為顯示低振幅外部輸入信號之預充電控制信號。

圖 5 是構成實現預充電電路 3 所需之預充電控制電路 1 之上述門鎖電路 4 構造顯示圖。該門鎖電路 4 係為一種 SR 觸發電路（置位復位型觸發電路），對應所輸入置位信號及復位信號變化其輸入。

圖 6 為顯示對於輸入信號之輸出信號轉移圖。如以（置位信號狀態，復位信號狀態）之表示法予以說明（以下，H 表示高電平，L 表示低電平），初期狀態之輸出為 L 時，藉呈（H，L）致輸出自 L 轉移為 H，然後，（H，L）及（L，L）時亦維持於輸出 H，又，在輸出為 H 狀態而呈（L，H）時，輸出即自 H 轉移為 L，然後，（L，H）及（L，L）時亦維持於輸出 L。在此禁止（H，H）之組合。

圖 7 及圖 8 為顯示實際電路動作之時機。係同步與置位信號自 L 變為 H 該輸出信號亦自 L 變為 H，之後維持 H 狀態至轉為（L，H），亦即同步與圖 7 所示置位信號自 H 變化為 L 後之復位信號自 L 變化為 H，或同步與圖 8 所示置位信號自 H 變化為 L 之相同時機之復位信號自 L 變化為 H，輸出信號自 H 變為 L。然後，置位信號維持 L 狀態至自 L 變為 H。

五、發明說明(13)

藉上述構成，能以置位信號與復位信號使預充電電路 3 進行時間性選擇之動作。又，由於使用門鎖電路 4，致置位信號與復位信號（1）在各自之上昇期間內含有預充電期間，並（2）除非各自之 H 期間有重複，否則可使用任何具 H 期間之信號。因此，如後述可使用既存於液晶面板之信號，而有不需增加自液晶面板外予以輸入之信號數之優點。

圖 9 為使用圖 5 所示門鎖電路 4 以實現預充電電路 3 所需之預充電控制電路 1 具體構造方塊顯示圖。在圖 9，乃以門鎖電路 4 而使用圖 5 所示 RS 觸發電路，及以電流驅動型電平位移電路 5 而使用圖 3 所示者。該預充電控制電路 1 如上述（1）在各自之上昇期間內含有預充電期間，並（2）以各自之 H 期間不重複之信號而使用置位信號 S0 及復位信號 S1。藉將該等信號 S0，S1 所控制門鎖電路 4 之輸出 A00 以電平位移電路 5 之控制信號加以使用，僅在含有預充電期間之特定期間致使電平位移電路 5 動作，自電平位移電路 5 輸出將預充電控制信號 PCTL 或預充電控制信號 PCTLB 予以昇壓之信號 ALO。因此，比及經常促使電平位移電路 5 動作之情形，能減低預充電電路 3 之電流消耗。上述信號 S0，S1 係在面板內所形成，且相當於以與電源 VDD 相同振幅控制預充電控制電路 1 之上述等振幅輸入信號，其詳細容後再述之。又，預充電控制信號 PCTL，PCTLB 則為以較電源 VDD 為小之振幅規範預充電期間之信號，而相當於上述低振幅外部輸入信號。

五、發明說明(14)

圖 10 為圖 9 所示預充電控制電路 1 之動作時機顯示圖。係由於置位信號 S0 將閘鎖電路 4 之狀態自非活動轉移呈活動，致控制信號 AO0 自 L 變為 H。且在控制信號 AO0 處於 H 之間，藉該控制信號 AO0 將活動 / 非活動受控制之電平位移電路 5 維持於活動狀態，可得自外部以低振幅輸入之預充電控制信號 PCTL 或預充電控制信號 PCTLB 經昇壓至與預充電電路 3 驅動電壓相同振幅之輸出 ALO。然後，藉復位信號 S1 使閘鎖電路 4 轉移至非活動狀態，並控制信號 AO0 自 H 變為 L，而電平位移電路 5 呈非活動狀態。

在如此一連串之動作，會發生恆定電流僅在圖 10 所示之預充電電路 3 動作期間而已，故比及如圖 4 之比較例所示預充電電路經常動作之情形，可確實節減消耗電流。

圖 11 為構成實現預充電電路 3 所需之預充電控制電路 1 之其他閘鎖電路 4a 構造例電路顯示圖。該圖 11 之閘鎖電路 4a 為置位重寫復位型觸發電路，對應所輸入置位信號及復位信號而變化其輸入。圖 12 則是對於輸入信號之輸出信號轉移顯示圖。

如同上述圖 6，以（置位信號狀態，復位信號狀態）之表示法予以說明之，該閘鎖電路 4a 於初期狀態之輸出為 L 時，藉呈（H，L）或（H，H）致輸出自 L 轉為 H，然後，於（H，L）及（H，H）時維持輸出 H，又，在輸出為 H 狀態而呈（L，H）時，輸出即自 H 轉移為 L，然後，（L，H）及（L，L）時即維持輸出 L。

在此，於圖 13 及圖 14 顯示實際之電路動作時機。同步

五、發明說明 (15)

與置位信號之自 L 變為 H 該輸出信號亦自 L 變為 H，然後維持 H 狀態至變為 (L，H)，即同步與置位信號自 H 變為 L 後之復位信號自 L 變為 H，或復位信號自 L 變為 H 後之置位信號自 H 變為 L，輸出信號乃自 L 變為 H。之後，維持 L 狀態至置位信號再自 L 變為 H。

藉如上構成，圖 11 之構成比及圖 5 之構成，連 (H，H) 之信號亦成容許模式，致 H 期間重複之兩信號亦能作為置位信號及復位信號加強使用。

圖 15 為實現預充電電路 3 所需之預充電控制電路 1 其他構造例方塊圖。在此所示例子，係具有上述圖 11 顯示之置位重寫復位型觸發電路所成閘鎖電路 4a 同時，尚具有上述例子之電流驅動型電平位移電路 5。且在電平位移電路 5 昇壓之輸出 ALO 介反相器 8 以復位信號 S1a 被輸入於閘鎖電路 4a。

圖 16 為圖 15 所示預充電控制電路 1 之動作時機顯示圖。置位信號 S0 乃是預充電控制信號 PCTL 在呈活動之前即呈活動，且其活動狀態至少維持到預充電控制信號 PCTL 變呈活動之信號者。同步與置位信號 S0 自 H 變為 L 該閘鎖電路 4a 之狀態即自非活動轉為活動，並輸出信號之控制信號 A00 自 L 變為 H。藉該控制信號 A00 致活動 / 非活動受控制之電平位移電路 5 則被轉移且維持於活動裝狀態，而輸出將自外部以低振幅輸入之預充電控制信號 PCTL 或預充電控制信號 PCTLB 經昇壓至與預充電電路 3 驅動電壓略同振幅之信號 ALO。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(16)

該輸出信號 ALO 又經反相器 8 反轉以復位信號 S1a 被輸入於閘鎖電路 4a。藉此，當預充電控制信號 PCTL，PCTLB 自活動轉換為非活動之前置位信號 S0 如圖 16 以實線所示自 H 已變為 L 時，閘鎖電路 4a 即於上述輸出信號 ALO 自 H 變為 L 之時機轉變為非活動，電平位移電路 5 之輸出信號 ALO 則被維持於 L。針對之，預充電控制信號 PCTL，PCTLB 自活動轉換為非活動之後置位信號 S0 如圖 16 之點線所示自 H 變為 L 時，閘鎖電路 4a 即對應置位信號 S0 自 H 轉變為 L 而轉換為非活動狀態。

藉如此構成，圖 9 之構成乃不必自外部予以輸入復位信號 S1a，對於預充電控制電路 1 之輸入信號，以電源 VDD 與相同振幅之置位信號 S0 及自面板外部所輸入之低振幅預充電控制信號 PCTL，PCTLB 三者即可，故能削減配線數，而簡化電路佈置。

圖 17 為實現預充電電路 3 所需之預充電控制電路 1 其他構造方塊圖。於此例示，替代上述閘鎖電路 4 係具有上述使用置位重寫復位型觸發電路之閘鎖電路 4a 及與其相同之閘鎖電路 4b 同時，尚具有電流驅動型電平位移電路 5a 及 5b。

圖 18 為顯示圖 17 所示預充電控制電路 1 之動作時機。同步與置位信號 S2 自 L 變為 H 該閘鎖電路 4a 之狀態即自非活動轉移為活動，輸出信號之控制信號 AO1 亦自 L 變為 H。藉該控制信號 AO1 被控制活動 / 非活動之電平位移電路 5a 則被轉移且維持於活動裝狀態，而向閘鎖電路 4b 輸出將

五、發明說明(17)

自外部以低振幅輸入之預充電控制信號 PCTL 或預充電控制信號 PCTLB 經昇壓至與預充電電路 3 驅動電壓略同振幅後之控制信號 AL1。

第二段閘鎖電路 4b 係將控制信號 AL1 使用為置位信號，且藉控制信號 AL1 自 L 變為 H 而自非活動轉移為活動，將自 L 變為 H 之控制信號 BO1 輸入至第二段之電平位移電路 5b。在此，由於第一段閘鎖電路 4a 以復位信號使用控制信號 BO1，致在此時分置位信號 S2 已自 H 變為 L 時，同步與該控制信號 BO1 自 L 變為 H 該閘鎖電路 4a 之狀態亦自活動轉移至非活動同時，置位信號 S2 依然為 H 時，同步與置位信號 S2 自 H 變為 L 該閘鎖電路 4a 之狀態亦自活動轉移至非活動，而輸出信號 (AO1) 自 H 變為 L。

藉此，電平位移電路 5a 乃呈非活動狀態致控制信號 AL1 自 H 變化為 L。又，藉控制信號 BO1 變為 H 該第二段之電平位移電路 5b 即呈活動狀態，而輸出自外部以低振幅輸入之預充電控制信號 PCTL 或預充電控制信號 PCTLB 予以昇壓至與預充電電路 3 驅動電壓略同振幅之輸出信號 BL1。

上述輸出信號 BL1 經反相器 8 之反轉已成閘鎖電路 4b 之復位信號，致在電平位移電路 5a 變為非活動狀態而控制信號 AL1 已由 H 變為 L，電平位移電路 5b 亦因復位信號之輸出信號 BL1 反轉信號為 L，故維持活動狀態而控制信號 BO1 亦維持於 H。然後，隨著預充電控制信號 PCTL 及 PCTLB 之變化，於輸出信號 BL1 自 H 變為 L 時復位信號針對閘鎖電路 4b 即呈活動，致閘鎖電路 4b 轉為非活動而控制

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(18)

信號 BO1 自 H 變為 L。又，由於控制信號 BO1 變為 L 促使電平位移電路 5b 變為非活動狀態。在此一連串之動作，會發生恆定電流僅在圖 18 所示之預充電電路動作期間而已，故比及如圖 4 所示比較例之預充電電路經常動作之情形，可確實節減消耗電流。

使用如上述構成時，亦如同上述圖 15 之構造，作為預充電控制電路 1 之輸入信號，以置位信號 S2，預充電控制信號 PCTL，PCTLB 三者即可，能削減配線數。

圖 19 為本發明有關畫像顯示裝置之構造例顯示圖。在圖 19 之構成，雖與習知同樣顯示由矩陣狀配置之像素 PIX（將顯示其內部構造之等效電路示於圖 20），所成之像素陣列 ARY，與掃描信號線驅動電路（閘門驅動器）GD，與資料信號線驅動電路（資料驅動器）SD，以及預充電電路 3 所成之活性矩陣型液晶顯示裝置，惟預充電電路 3 卻異於習知之預充電電路 PC。又，本預充電電路 3 具有上述各構成。

通常，為驅動液晶元件，液晶顯示裝置乃需要 15 ~ 25V 之較高驅動電壓，致驅動電路亦以相近之電壓予以驅動較多。針對之，輸入於畫像顯示裝置之信號因由 IC 所形成，故通常為 3.3 ~ 5V。於是，相對於此間需要介設某些電壓轉換電路（電平位移電路），本發明則如上述藉促使電流驅動型電平位移電路 5 進行時間性選擇動作，而可抑制消耗電力並實現良好之畫像顯示。

參照圖 1 可知，上述取樣開關 2 係由各資料信號線 SL1

五、發明說明 (19)

~ Sli 具有一對 P 型電晶體 Mpl ~ Mpi 與 N 型電晶體 Mnl ~ Mni 之 CMOS 開關所構成，其中，電晶體 Mpl ~ Mpi ; Mnl ~ Mni 之漏極分別連接於資料信號線 SL1 ~ Sli，且源極被共同賦予預充電電壓。又，N 型電晶體 Mnl ~ Mni 之閘門被共同賦予來自上述預充電控制電路 1 之經兩段反相器 9a，9b 予以緩衝之輸出信號 AL0，BL1，並 P 型電晶體 Mpl ~ Mpi 被共同賦予經反相器 9a，9b 及再一段之反相器 9c 予以緩衝之輸出信號 AL0，BL1。

上述預充電電壓乃是對應被輸入於資料信號線驅動電路 SD 之影像信號（資料）而預定之所定電壓或變動電壓。如上述藉將取樣開關 2 設成 CMOS 構成，預充電電壓接近於預充電電路 3 之高電平側電源 VDD 電位時，該預充電電壓主要介 P 型電晶體 Mpl ~ Mpi 分別被施加於資料信號線 SL1 ~ Sli，如接近於低電平側電源 VSS 電位時，主要介 N 型電晶體 Mnl ~ Mni 予以施加。如是，將對於取樣開關 2 之驅動能力依存抑制於最小限度而可獲得均勻之預充電效果。

上述產生預充電電壓之電路則例如圖 21 所示，具有可發生對應於單數或多數電壓調節信號之電壓之預充電電壓產生電路 11，與將預充電電壓產生電路 11 之輸出予以緩衝輸出至圖 1 所示輸出線 PL 之緩衝電路 12。該預充電電壓產生電路 11 如圖 22 所示，係在高電平側電源 13 與低電平側電源 14 之間設有微調電阻 15，且藉將該微調電阻 15 對應電壓調節信號由電壓選擇電路 16 加以調整，而可將在該微調電阻 15 所產生上述高電平至低電平間之中間電壓以預充

五、發明說明 (20)

電電壓被予以輸出。在圖 22 之構成，作為電壓調節信號，乃將水平同步信號 HSYNC，與垂直同步信號 VSYNC，及上述預充電控制信號 PCTL，以及校正信號之任一或全部對應預充電電壓之模式予以輸出。

首先，最初以影像信號被交流驅動時之較佳構成例，就預充電電壓產生電路 11 作為預充電電壓輸出與直前影像信號極性呈反極性之電位，復於預充電期間之開始時機同時，或於自開始時機延遲所定期間之時機，加以變更為目標預充電電位之情形說明之。

例如影像信號以 1H 反轉交流驅動，且是與開始時機同時進行變更為預充電電位之構成時，對於預充電電壓產生電路 11 即作為電壓調節信號而予以輸入上述預充電控制信號 PCTL 及水平同步信號 HSYNC。此時，電壓選擇電路 16 乃控制微調電阻 15 在預充電控制信號 PCTL 處於非活動之期間，依據水平同步信號 HSYNC 將預定為各極性用之電位當中之反極性者予以輸出。另，預充電控制信號 PCTL 為活動之期間，電壓選擇電路 16 則控制微調電阻 15 輸出預定之預充電電位。

在此，將預充電電壓設為固定電壓時，預充電電壓產生電路 11 之輸出電壓係被引入直前之水平或垂直期間之極性側後，卻有欲收束為所定預充電電壓之趨勢。其結果，預充電電壓產生電路 11 之驅動能力不足夠大時，如圖 23 所示，在預充電期間內即有無法收束呈預充電電壓之虞。

針對之，如上述，預充電電壓產生電路 11 在輸出與直

五、發明說明(21)

前影像信號之極性相反之反極性電位時，乃如圖 24 所示，雖引入幅度相同，但引入結果之電位比及圖 23 更接近於預充電電壓。又，到預充電期間終了之前，預充電電壓產生電路 11 之輸出電壓會被變更爲目前之預充電電壓。從此等結果，預充電電壓產生電路 11 就算驅動能力較低，亦異於圖 23，而能確實充電至預充電電壓。

且，上述雖以 1H 反轉驅動之情形加予說明，惟替代水平同步信號 HSYNC 如使用垂直同步信號 VSYNC，則亦可適用於以一垂直時間爲基準之 1V 反轉驅動。總之不管任何情形，只要根據可判定直前影像信號之極性及預充電控制信號 PCTL，而能輸出與直前影像信號之極性相反之反極性電位，則可獲得相同效果。

繼之，參照圖 25 (a) 及圖 25 (b)，就以電壓調節信號將校正信號輸入於圖 23 所示預充電電壓產生電路 11 之情形加以說明。上述校正信號係爲補償面板上之 P 型電晶體與 N 型電晶體之特性差，或顯示實際畫像之閃爍測定等所求出預充電電壓之偏移份而需之信號。

如圖 26 所示，各資料信號線 SL1 ~ Sli 係個別對應設有影像信號 (資料) DAT 取樣用之模擬開關 ASW1 ~ ASWi，藉此等模擬開關 ASW1 ~ ASWi 依序取樣上述影像信號 (資料) DAT 寫入於該等各資料信號線 SL1 ~ Sli。上述模擬開關 ASW1 ~ ASWi 可驅動於雙向地雖如同圖 1 所示取樣開關 2 由 CMOS 開關予以構成，惟構成各 CMOS 開關之 N 型電晶體與 P 型電晶體，例如由於電晶體特性差等之影響時有驅

五、發明說明 (22)

動能力互異之情形。

在此，就算有差，如果促使驅動能力較低一方具有充分取樣能力地將各電晶體之驅動能力設成具餘裕，雖不管充電特性，模擬開關 ASW1 ~ ASWi 均能進行影像信號取樣，惟驅動能力不必要地增大時，卻會招惹占有面積之增加或消耗電力之增加等不妥。另，如將驅動能力設定過低時，雖能將一方電晶體充分予以預充電，惟另一方電晶體要充電，乃會有發生充電不足之虞。

針對之，參照上述校正信號之預充電電壓產生電路 11 係在兩電晶體之驅動能力相同時，如圖 25 (a) 所示，會輸出正極性最大振幅值與負極性最大振幅值之中間值。又如兩驅動能力有差，且發生依存充電方向之寫入不均勻時，乃如圖 25 (b) 及 25 (c) 所示，該預充電電壓產生電路 11 即根據校正信號將預充電電位自中間值 (圖 25 (a) 之情形) 變更爲具能消除寫入不均勻之值。而藉此能實現削減驅動能力及除去寫入不均勻雙方。又，預充電電位如爲一定時，驅動畫像顯示裝置之外部電路之負荷亦變較輕，而可達成外部電路之簡略化及低消耗電力化。

又，上述雖以適合於上述取樣開關 2 之驅動能力某程度高時，或影像信號 (資料) 之振幅電平對於資料信號線驅動電路 SD 之驅動電源電壓十分小時之構成，而就將基準設定於中間值之情形加以說明，惟爲更減輕消耗電力，亦可將預充電電壓設定於非上述中間值之使用頻度較高側之固定值。

五、發明說明 (23)

另以其他構成例，圖 22 所示預充電電壓產生電路 11 亦可予以設成藉作為電壓調節信號而輸入水平同步信號 HSYNC 或垂直同步信號 VSYNC，如圖 25 (d) 所示，促使驅動電壓隨其次寫入之影像信號極性變化亦可。此時，能更趨小預充電電位與被寫入影像信號電位之差。結果，取樣開關 2 之驅動能力雖小，亦可將影像信號充分予以寫入，而獲得品質良好之畫像顯示能力。

又，為說明之方便，上述雖將各自調整方法個別加予說明，惟以電壓調節信號予以輸入校正信號，水平同步信號 HSYNC 或垂直同步信號 VSYNC 與預充電控制信號 PCTL，而同時適用所有調整方法以適用多數調整方法亦可。

圖 26 為資料信號線驅動電路 SD 之一構造例方塊顯示圖，圖 27 為其動作波形圖。該資料信號線驅動電路 SD 自面板外部被輸入低振幅啓動信號 SPS / SPG 經電平位移電路 LV 予以昇壓至該資料信號線驅動電路 SD 之電源 VDD 電平之啓動信號 SPS 同時，並被輸入上述時鐘信號 CKS / CKSB。當顯示一水平掃描周期之啓動信號 SPS 被輸入於第一段之移位寄存器 SR1 時，之後，應答時鐘信號 CKS / CKSB 將脈衝依序轉移於縱向連續之第二段以後之移位寄存器 SR2 ~ SRi，SRd。該脈衝則在個別設置之波形整形電路 F1 ~ Fi，Fd 受波形整形，而以信號線選擇信號 SO1 ~ SOi，SOd 被予以輸出。

又，各資料信號線 SL1 ~ Sli 分別設有將影像信號 (資料) DAT 予以取樣之模擬開關 ASW1 ~ ASWi，藉由上述信

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (24)

號線選擇信號 $SO_1 \sim SO_i$ 驅動該等模擬開關 $ASW_1 \sim ASW_i$ ，而將上述影像信號（資料）DAT 依序取樣寫入於各資料信號線 $SL_1 \sim SL_i$ 。信號線選擇信號 SO_1 卻被拉回面板上輸入於上述預充電電路 3。

圖 28 (a) 為顯示裝載上述預充電電路 3 之畫像顯示裝置一般性輸入信號時機圖。在本圖 28 (a)，SPS 為表示一水平掃描期間之開始信號，CKS 為對於上述資料信號線驅動電路 SD 之低振幅時鐘信號， $SO_1 \sim SO_i$ 為如上述之以資料信號線驅動電路 SD 所形成之信號線選擇信號。又，GPS，GPSB 為顯示掃瞄信號線驅動電路 GD 所形成掃描信號線 GL 之選擇期間，亦即上述有效顯示領域之信號。

PCTL，PCTLB 如上述為預充電控制信號，在本圖 28 (a)，預充電期間係被設於水平回描線期間內。而本發明預充電電路 3 之動作，即上述電平位移電路 5，5a，5b 之動作乃含有該期間，為較一水平期間中之有效顯示期間短之所定期間而已。

圖 28 (b) 為分別使用最後之信號線選擇信號 SO_i 為圖 9 所示構成之預充電控制電路 1 之置位信號 SO，及使用啓動信號 SPS 為復位信號 S1 時之預充電電路 3 動作時機顯示圖。因此，預充電電路 3 之動作期間可設於自水平回描線期間直前至最初信號線選擇信號 SO_i 輸出時機為止。亦即預充電電路 3 略於全有效顯示期間內呈非動作期間。此時，預充電電路 3 實際上僅在水平回描線期間加上輸出上述最後信號線選擇信號 SO_i 之時鐘信號 CKS 一脈衝分期間

五、發明說明 (25)

之期間動作消耗電力而已。例如在 NTSC 模式時，針對上述有效顯示期間約為 $50 \mu \text{ sec}$ ，水平回描線期間為 $13 \mu \text{ sec}$ ，一時鐘脈衝期間為數百 nsec，故比及經常動作時，可將預充電電路 3 之消耗電力抑制於約 $1/4$ （正確抑制於 $13/50$ ）。

又，特開平 7 - 121139 號公報（公開日：1995 年 5 月 12 日）雖記載有僅在有效顯示期間進行預充電而可實現低消耗電力化，但上述有效顯示期間係為垂直回描線期間所挾之期間，預充電電路之非動作期間略為垂直回描線期間，致在垂直回描線期間，對於 NTSC 模式之一垂直周期為 16.5 msec ，垂直回描線期間則為 2.85 msec ，約為 17% 左右。針對之，本發明之非動作期間如上述約為 $3/4$ 之期間，低消耗電力化之效果格外大。惟不必多言，本發明當然亦可併用上述特開平 7 - 121139 號之構成。

又，特開平 7 - 121139 號之預充電電壓為經常在產生，針對其藉將輸出電路設於高阻抗以停止其輸出，本發明乃控制電流驅動型電平位移電路以停止預充電電路 3 內之恆定電流（圖 3 恆流電源 7 之電流），故為低消耗電力者。

圖 28 (c) 為作為圖 17 所示構成之預充電控制電路 1 之置位信號 S2 而使用 SOi 時之預充電電路動作時機顯示圖。此時，預充電電路 3 之動作期間係為動作容限之 dwr ， dpr 及預充電期間，與上述情形比較，則可更加抑制動作容限之（ $dwr+dpr$ ）程度。且作為控制信號以 S2 即足夠，致如上述設計上之配線拉回變為簡單，而可將對賦予框緣尺

五、發明說明 (26)

寸等之影響抑制於最小。

又，繼之如圖 26 資料信號線驅動電路 SD 之最後信號線選擇信號 SO_i ，使用可輸出未對應信號線之信號線選擇信號 SO_d 之構成，將該信號線選擇信號 SO_d 作為置位信號 S_0 ， S_2 加以利用時，在最後信號線 SL_i 驅動完了同時即可令預充電電路 3 動作，而能將預充電電路 3 之動作期間予以縮短上述信號線選擇信號 SO_i 之一脈衝分左右，並對最後信號線 SL_i 之波形整形電路 Fi 不必施加多餘之配線所致負荷，以消除由此所致之顯示不均勻。

本發明不限於上述最後信號線 SL_i 之信號線選擇信號 SO_i ，或其次之信號線選擇信號 SO_d ，作為置位信號 S_0 ， S_2 亦可使用 SO_{i-1} ， SO_{i-2} ， \dots 等之其他信號，又作為復位信號 S_1 ，並不限於啟動信號 SPS ，亦可使用 SO_1 ， SO_2 ， \dots 等之其他信號，只要將預充電電路 3 之動作期間設成含有預充電期間之比一水平期間中之有效顯示期間為短之期間即可。

又，在如圖 19 所示畫像顯示裝置，藉將資料信號線驅動電路 SD，掃描信號線驅動電路 GD，及預充電電路 3 形成於與像素同一基板上（整體），比及個別構成予以安裝，可圖驅動電路之製造成本或安裝成本之減輕同時，尚有可提昇信賴性之效果。

圖 29 為構成上述畫像顯示裝置之多結晶矽薄膜電晶體構造例顯示圖。圖 29 所示多結晶矽薄膜電晶體係為將絕緣性基板（絕緣基板）上之多結晶矽薄膜作為活性層之順參

五、發明說明 (27)

差(頂閘)構造者，但本發明並非限於此，反參差等之其他構造者亦可。

藉使用如上述多結晶矽薄膜電晶體則能將具實用性驅動能力之掃瞄信號線驅動電路 GD，資料信號線驅動電路 SD 及預充電電路 3，與像素陣列一起以略相同之製造工程構成於同一基板上。又，多結晶矽薄膜電晶體比及單結晶矽薄膜電晶體(MOS 電晶體)，其驅動能力小 1~2 位數且特性之分散亦大，致作為驅動電路被要求具寬闊動作餘裕。

於是，畫像顯示裝置之低電壓介面構成電路的電平位移電路，與電壓驅動型相比一般係使用對電晶體特性可確保寬闊動作餘裕之電流驅動型為多，惟電流驅動型電平位移電路存在有恆定電流，因此招致畫像顯示裝置之消耗電力增加。然而，如使用本發明之預充電電路 3 則可時間性選擇令預充電電路 3 內之電流驅動型電平位移電路 5；5a，5b 動作，而能抑制具低電壓介面之預充電電路 3 之消耗電力。

圖 30(a)乃至圖 30(k)為構成本發明有關畫像顯示裝置之多結晶矽薄膜電晶體製造工程例之說明示意圖。

以下，就在攝氏 600 度以下溫度形成多結晶矽薄膜電晶體時之製造步驟，參照圖 30(a)乃至圖 30(k)加以簡單說明。圖 30(a)乃至圖 30(k)為顯示各工程。

首先，準備玻璃基板(參照圖 30(a))。且在基板上堆積非結晶質矽薄膜(參照圖 30(b))。予以照射激元雷射光以形成多結晶矽薄膜(參照圖 30(c))。其次，將該多結晶矽薄膜

五、發明說明 (28)

予以圖案形成爲所需形狀(參照圖 30(d))，並加以形成由二氧化矽所成之閘門絕緣膜(參照圖 30(e))。復由鋁等形成薄膜電晶之閘門電極(參照圖 30(f))後，對薄膜電晶之源極領域・漏極領域注入不純物(n型領域爲磷，p型領域爲硼)(參照圖 30(g)，圖 30(h))。之後，堆積二氧化矽或氮化矽等所成之層間絕緣膜(參照圖 30(i))，並開設接觸孔(參照圖 30(j))後，再予以形成鋁等金屬配線(參照圖 30(k))。在本工程，工序之最高溫度爲閘門絕緣膜形成時之 600℃，故可使用美國科寧公司之 1737 玻璃等高耐熱性玻璃。

又，液晶顯示裝置之後更介另外之層間絕緣膜而形成透明電極(透過型液晶顯示裝置時)或反射電極。在此，藉以圖 30(a)~圖 30(k)所示製造工程將多結晶矽薄膜電晶體於攝氏 600 度以下溫度加以形成，致能使用廉價且大面積之玻璃基板，而闊寬基板材質之選擇範圍同時，並實現畫像顯示裝置之低價格化及大面積化。

又，上述雖以電流驅動型電平位移電路而說明使用圖 3 所示電路之情形，但並非限於此。例如，亦可使用圖 31 所示之電平位移電路 51。該電平位移電路 51 之基 MP 本構造係屬於源輸出器型，乃同步與 MN8 閘門所輸入預充電控制信號 PCTL 及 8 閘門與 MN10 源極所輸入預充電控制信號 PCTLB 被供應振幅略等於電平位移電路 51 之驅動電壓 VDD 之輸出信號。

在此，本電平位移電路 51 以電路動作控制用開關而具有輸入部之一之 MP8 閘門及 MN10 源極與信號輸入端子間之

五、發明說明 (29)

MN7。且，為將非活動狀態之該電平位移電路 51 維持於穩定狀態，以電位固定開關具有在非活動狀態呈浮動之 MP8 閘門及 MN10 源極之節點與電源 VDD 間之 MP7，以及在連接 MN8 及 MP8 漏極與 MN10 及 MP9 閘門之節點與 GND 間之 MN9。

該等開關 MN7，MP7 閘門則被輸入以控制信號，且該控制信號為高(活動)時，電位固定開關 MP7 即呈斷開同時，電路動作控制用開關 MN7 即呈導通，並藉此電平位移電路 51 可動作。

另，控制信號為低(非活動)時，由於電位固定開關 MP7 呈導通，隨之 MN9 亦導通，電路動作控制用開關 MN7 卻呈斷開。藉此，於活動狀態存在有恆定電流之自電源 VDD 流經 MP8，MN8 到達 GND 之路徑與自電源 VDD 流經 MP9，MN10 及 MN7 到達外部信號輸入端子之路徑，分別被 MP8，MN7 及 MN10 完全予以遮斷，致在非活動狀態電流不會流動。

且，非活動狀態之電平位移電路 51 之輸出藉電位固定開關 MP7 被固定於低狀態。此乃是根據其次理由所致。即，當控制信號為低(非活動)時，電位固定開關 MP7 呈導通，隨之 MN9 亦導通。又隨 MN9 之導通，MP9 會導通，致 MN11 亦導通。復隨 MN11 之導通，MP11 會導通，故 MN13 亦導通，結果電平位移電路 51 之輸出被固定於低狀態。而 MP7 乃至 MP12 均表示 P 型 MOSFET，MN7 乃至 MN13 均表示 N 型 MOSFET。

五、發明說明(30)

藉使用如上構成，由於能進行時間性選擇之電平位移動作，故可確實減低預充電電路3之電流消耗。

惟，比及該電平位移動電路51，圖3之電平位移動電路5對於電晶體特性之參差不齊及電平位移動標準係具有較大動作預裕，致通常之用途採用圖3之構成為宜。

以上，雖就本發明實施例例示若些加以說明，但本發明並非被限制於此，對於包括所使用信耗之種類之上述實施例組合等之其他構成亦同樣可適用之。

本發明有關之預充電電路(3)乃如上述為在向信號線(SL···)施加影像信號之前，予以預充電至所定電壓之預充電電路，而以採取下述措施為特徵。

即，上述預充電電路係含有上述信號線之驅動期間以外之預充電期間，而具有動作較一水平期間中之有效顯示期間更短期間以輸出上述所定電壓之預充電控制電路(1)為特徵。

依據上述構成，信號線被預充電至所定電壓後，該信號線則被施加影像信號。

習知之預充電電路乃經常在動作。而只要預充電電路在動作，預充電期間以外之時機該預充電電路亦流動恆定電流，其結果招致預充電電路之消耗電流增加。

於是，上述構成設有預充電控制電路，且該預充電控制電路含有上述信號線之驅動期間以外之預充電期間，並僅在比一水平期間中有效顯示期間更短之特定期間進行動作，致只在該預充電電路之動作期間輸出預充電電壓。藉

五、發明說明(31)

如此控制，在動作期間外，預充電電路早已經不流動上述恆定電流，而電力消耗被限制於動作期間。相對其程度，可確實抑制預充電電路之消耗電流增加。

在此，NTSC等電視模式之水平回掃線期間雖被預先設定，惟個人電腦之畫面顯示模式為處理筆輸入等之面板附加功能，可推想水平回掃線期間被加長設置之情形，極端時，甚至有效顯示期間變為較短。本發明在如此情形，預充電電路之動作期間更加縮短，故較妥。

上述預充電控制電路以具有較預充電電路之驅動電壓為小之振幅，且該振幅自外部接受上述預充電期間被維持之低振幅外部輸入信號，並依據低振幅外部輸入信號進行預充電控制為宜。

此時，外部電路將比預充電電路之驅動電壓為小振幅之外部輸入信號供給述預充電控制電路即可，致能圖外部電路之負荷減輕及消耗電力減少。並藉此可確實進行低電壓介面化。

又，本發明有關預充電電路乃如上述，對於向信號線施加所需電平信號之前以所定電平電位將信號線予以預充電之預充電電路，採取下述措施為特徵。

即，上述預充電電路係具有僅在上述信號線驅動期間外之預充電期間動作，以控制輸出上述所定電平電位之預充電控制電路為特徵。依據上述構成，由於僅在預充電期間動作，致與上述預充電電路相同，比及經常動作之預充電電路可削減電力消耗。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (32)

上述預充電控制電路以具有在需要輸入上述低振幅外部輸入信號之期間呈活動，且將上述低振幅外部輸入信號予以電平位移之電平位移電路(5；5a，5b；51)較宜。

此時，預充電電路在需要輸入上述低振幅外部輸入信號之期間與預充電期間呈活動，故依據比預充電電路之驅動電壓為小振幅之外部輸入信號，可僅在上述預充電期間確實進行充電電控制。

另，本發明有關預充電電路係如上述，在對被斷續施加顯示信號內容之信號電壓之信號線施加該信號電壓之前，予以預充電至所定預充電電壓之預充電電路，具有可監視能顯示上述信號電壓施加期間外所設定預充電期間之預充電控制信號，且於該預充電期間中控制上述預充電電壓輸出至上述信號線之預充電控制電路，而上述預充電控制電路作為上述預充電控制信號自外部接受比上述預充電電路之驅動信號電平更低電平之低振幅外部輸入信號，並依據該低振幅外部輸入信號控制預充電電壓之輸出同時，該預充電控制電路尚同步與預充電控制信號之施加時機或上述信號電壓之施加時機，依據與上述驅動信號電平略同電平之輸入信號，於上述各預充電期間之每一空隙停止對於上述低振幅外部輸入信號之監視。

在該構成，預充電控制電路又依據例如信號線選擇信號 $SO_1 \sim SO_i$ ， Sod 等之同步與上述預充電控制信號之施加時機或上述信號電壓之施加時機之輸入信號，可判定各預充電期間之空隙，使如電平位移電路等之監視低振幅外部

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (33)

輸入信號之輸入電路停止於各預充電期間之每一空隙，並於其次預充電期間之啟動時機同時或其以前之時分，再促使該輸入電路動作。

在此，被輸入以與本來驅動信號電平相異之電平信號之輸入電路，其電路構造較為複雜，並消耗電力易增加。因此經常動作時有增加消耗電力之虞。然而，上述構成之輸入電路於各預充電期間之每一空隙被停止，致與上述預充電電路同樣，比及預充電控制電路之輸入電路經常動作之情形，可削減預充電電路之消耗電力。

又，上述輸入信號之電平與驅動信號電平係呈略同之電平，致不必在電平位移電路進行位移，即可驅動預充電電路之各元件，故預充電控制電路不需為促使輸入電路停止而設置其他電平位移電路等之輸入電路電平相異之電路，可控制輸入電路之動作／停止。

上述各預充電控制電路更具有可將在預充電電路動作期間呈活動之信號予以保持之閘鎖電路(4；4a；4a·4b)，且依據該閘鎖電路之輸出以控制上述電平位移電路較宜。

此時，閘鎖電路所輸入信號乃不需另途設置電路予以生成之，可使用同步於預充電期間之信號，致能相對地簡化其構成。又，在裝設有預充電電路之系統，如已存在有同步於上述預充電期間之信號時，由於可挪用該信號，故能以該系統之既存輸入端子及輸入信號進行控制上述預充電電路。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (34)

上述電平位移電路以電流驅動型電平位移電路較宜。電平位移電路可大別為電壓驅動型與電流驅動型。電壓驅動型時，雖由於不需恆定電流而可進行低電力消耗化，但其動作頗受構成電路之開關元件之閾值所影響，致對於該開關元件特性之動作餘裕較窄。針對之，電流驅動型時，雖由於需要恆定電流而有消耗電力增加之缺點，卻存在有對於構成電路之開關元件特性之動作餘裕可取較寬之優點。例如將開關元件以多結晶矽薄膜電晶體加以構成時，由於多結晶之特性上，雖較難使電路內全部電晶體之閾值或機動性等均勻化，但如使用電流驅動型電平位移電路則可取較大動作餘裕，故能解決上述問題。

詳細說明之，電壓驅動型電平位移電路係為由圖 32 所示之 6 石電平位移二極管代表之型式者，其輸入出及消耗電流之特性如圖 33 所示，由於不需恆定電流致呈低消耗電流電路反面，其動作卻受構成電路之電晶體閾值強力控制速度，故對於電晶體特性之動作餘裕較窄。又，電流驅動型電平位移電路乃屬圖 34 所示之差動放大電路代表之型式，其輸入出及消耗電流之特性如圖 35 所示，由於需要恆定電流致雖有消耗電力增多之缺點，卻有對於構成電路之電晶體特性之動作餘裕可採取較寬之優點。因此，作為上述各預充電電路之電平位移電路如使用電流驅動型電平位移電路，即不致增加消耗電力而可保持較寬之動作餘裕。

上述門鎖電路為置位復位型觸發電路(4)，則同步與上述預充電電路之動作期間啟動時機，並將具與該預充電電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(35)

路之動作期間相同或較短脈衝幅度之信號為置位信號，又在上述預充電期間中將上述電平位移電路維持於活動狀態且同步與上述預充電電路之動作期間末端時機，而將不與上述置位信號重疊之信號為復位信號較佳。

此時，當接到置位信號時，置位復位型觸發電路之輸出信號即自非活動狀態轉移至活動狀態。又，當接到復位信號時，置位復位型觸發電路之輸出信號即自活動狀態轉移至非活動狀態，並被維持之。藉此，可進行上述預充電之控制。

上述閉鎖電路為置位重寫復位型觸發電路(4a)，則同步與上述預充電電路之動作期間啟動時機，且將具與該預充電電路之動作期間相同或較短脈衝幅度又重疊與在預充電電路被電平位移之低振幅外部輸入信號活動期間之信號為置位信號，及在上述預充電期間中把上述電平位移電路維持於活動狀態，而將該電平位移電路輸出信號之倒轉信號為復位信號較宜。

此時，接到置位信號時，置位重寫復位型觸發電路之輸出信號即自非活動狀態轉移至活動狀態。又，將上述電平位移電路輸出信號使用為復位信號，故可進行自動復位，將置位重寫復位型觸發電路之輸出信號即自活動狀態轉移至非活動狀態，並被維持。藉此，能進行上述預充電之控制。

上述閉鎖電路由第一及第二置位重寫復位型觸發電路(4a, 4b)所成，而上述電流驅動型電平位移電路又由分別

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(36)

被第一及第二置位重寫復位型觸發電路控制之第一及第二電平位移電路(5a, 5b)所成, 且第一置位重寫復位型觸發電路同步與預充電電路動作期間之啓動時機呈活動, 並將第二電平位移電路之輸出信號活動前或活動期間中呈非活動之信號爲置位信號, 及以第二置位重寫復位型觸發電路之輸出信號爲復位信號, 而第二置位重寫復位型觸發電路以上述第一電平位移電路之輸出信號爲置位信號, 及以第二電平位移電路輸出信號之倒轉信號爲復位信號較宜。

此時, 自外部輸入之置位信號, 僅對第一置位重寫復位型觸發電路即可, 而第一置位重寫復位型觸發電路之復位信號, 與第二置位重寫復位型觸發電路之置位信號及復位信號則能在預充電控制電路內供應之。故相對地可簡化構造。

上述預充電電壓爲與直前之水平或垂直期間之影像信號呈反極性且具有所定補償值較妥。此時, 藉與資料信號線之連接以致預充電電壓產生向上述直前之水平或垂直期間之極性側拉進, 就算發生充電不足亦能由上述補償值予以補償, 俾使收束於所定之預充電電壓。

畫像顯示裝置以具有上述任何之預充電電路較宜。此時, 藉將上述預充電電路時間選擇性予以動作, 而可減低畫像顯示裝置之消耗電力。

上述預充電電路乃與被上述信號線及掃描線所包圍且被配置呈矩陣狀之像素(PIX), 與驅動該像素之上述信號線驅動電路(SD)及掃描線驅動電路(GD)設於同一基板上爲佳

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(37)

。此時，能將進行顯示之像素，驅動該像素之信號線驅動電路及掃描線驅動電路，及上述預充電電路以同一工程製造於同一基板上，而可謀圖減輕製造成本或安裝成本，並提昇安裝合格品率。

構成上述預充電電路及上述像素之有源元件分別由多結晶矽薄膜電晶體予以形成較妥。

此時，比及預充電電路及像素由非結質矽薄膜電晶體予以形成時，可獲得驅動力極高之特性。因此能容易地將上述像素，上述信號線驅動電路及上述預充電電路形成於同一基板上。加之，多結晶矽薄膜電晶體比及單結晶矽薄膜電晶體其電氣特性較不均勻，而以電平位移電路之型式一般係使用對於電晶體特性能確保較寬餘裕之電流驅動型，惟此時有電流驅動所用消耗電力增多之虞。然，依據上述發明，電流驅動型電平位移電路所需電流可如上述加以時間選擇性限制之，故能以抑制消耗電力之狀態實現良好之電路動作。

上述多結晶矽薄膜電晶體係以 600℃ 以下之處理溫度予以形成於玻璃基板上較宜。此時，變形點溫度雖較低，惟能使用廉價且易予大型化之玻璃為基板，致基板材質之選擇幅度變寬同時，亦能以低成本實現大型畫像顯示裝置。

由於如上，本發明之預充電電路係在其電路內裝設有可控制預充電電路動作之預充電控制電路，且藉在具使用電流驅動型電平位移電路之低電壓介面之預充電電路將其

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(38)

動作加以時間性限制，而能抑制預充電電路之電力消耗。

又，採用上述預充電電路之畫像顯示裝置乃可實現低消耗電力之低電壓介面，其結果，能使所輸入邏輯信號之振幅趨小，故不會招來畫像顯示品位之下降，而可減輕外部控制器 IC 之負擔。

尤其，使用多結晶矽薄膜電晶體將預充電電路及像素形成於同一基板上時，由於其較劣於單結晶矽薄膜電晶體之特性，致為實現低電壓介面，卻需使用對於電晶體特性可確保較寬餘裕之電流驅動型電平位移電路，因此自低電力消耗之觀點視線，採用本發明預充電電路之優點極廣。

在【發明之詳細說明】之項目所述具體實施形態或實施例，始終為述明本發明之技術內容所需者而已，不應僅限定於該等具體例狹義解釋之，凡在本發明之宗旨及其次記載之申請專利事項之範圍內，均可作種種變化予以實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：預充電電路及使用其之畫像顯示裝置)

係具有裝載於預充電電路內之門鎖電路及由上述門鎖電路所控制之電流驅動型電平位移電路所構成之預充電控制電路、且僅在預充電期間及其前後期間令門鎖電路轉移為活動狀態俾使電流驅動型電平位移電路動作。而，除上述期間之外、則令門鎖電路轉移為非活動狀態促使電流驅動型電平位移電路維持於非動作狀態、以減低電平位移電路之電力消耗。並藉此可提供兼具低電力消耗性與高顯示品位之畫像顯示裝置。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

六、申請專利範圍

1. 一種預充電電路，係對信號線施加影像信號之前，向該信號線予以預充電至所定電壓，

而具有含上述信號線之驅動期間外之預充電期間，且動作較一水平期間中之有效顯示時間更短期間，以控制輸出上述所定電壓之預充電控制電路。

2. 如申請專利範圍第 1 項之預充電電路，其中上述預充電電路之驅動期間係與預充電期間相同。

3. 如申請專利範圍第 1 項之預充電電路，其中上述預充電控制電路係具有比預充電電路之驅動電壓為小之振幅，且該振幅自外部接受上述預充電期間所維持之低振幅外部輸入信號，並依據該低振幅外部輸入信號進行預充電之控制。

4. 如申請專利範圍第 3 項之預充電電路，其中上述預充電控制電路係具有當需要上述低振幅外部輸入信號時即呈活動狀態，而電平位移上述低振幅外部輸入信號之電平位移電路。

5. 如申請專利範圍第 4 項之預充電電路，其中上述電平位移電路係為電流驅動型電平位移電路。

6. 如申請專利範圍第 5 項之預充電電路，其中上述電平位移電路係具有將上述低振幅外部輸入信號與其倒轉信號予以比較之差動輸入偶，及向該差動輸入偶供應點流之電流源，

而上述預充電控制電路則在上述電平位移電路之非活動期間中，將上述電流源之電流供應予以遮斷。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

7. 如申請專利範圍第 6 項之預充電電路，其中上述電平位移電路係具有設置於上述差動輸入偶與電源線間之開關，

而上述預充電控制電路則遮斷該開關，將自上述電流源介上述差動輸入偶至上述電源線之電流路徑予以遮斷。

8. 如申請專利範圍第 7 項之預充電電路，其中上述電平位移電路係具有向上述差動輸入偶分別施加遮斷電位之遮斷電路，

上述預充電控制電路則在上述電平位移電路之非活動期間中，將上述遮斷電位施加於上述遮斷電路。

9. 如申請專利範圍第 5 項之預充電電路，係由多結晶矽薄膜電晶體所形成。

10. 如申請專利範圍第 4 項之預充電電路，其中上述預充電控制電路更具有將預充電電路之動作期間呈活動狀態之信號予以保持之閘鎖電路，且依據該閘鎖電路之輸出以控制上述電平位移電路。

11. 如申請專利範圍第 10 項之預充電電路，其中上述閘鎖電路為置位復位型觸發電路，則同步與上述預充電電路之動作期間啟動時機，並將具與該預充電電路之動作期間相同或較短脈衝幅度之信號為置位信號，又在上述預充電期間中將上述電平位移電路維持於活動狀態且同步與上述預充電電路之動作期間末端時機，而將不與上述置位信號重疊之信號為復位信號。

12. 如申請專利範圍第 10 項之預充電電路，其中上述

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

門鎖電路為置位重寫復位型觸發電路，則同步與上述預充電電路之動作期間啓動時機，而將具與該預充電電路之動作期間相同或較短脈衝幅度又重疊與在預充電電路被電平位移之低振幅外部輸入信號活動期間之信號為置位信號，及在上述預充電期間中把上述電平位移電路維持於活動狀態，且將該電平位移電路輸出信號之倒轉信號為復位信號。

13. 如申請專利範圍第 10 項之預充電電路，其中上述門鎖電路由第一及第二置位重寫復位型觸發電路所成，而上述電流驅動型電平位移電路又由分別被第一及第二置位重寫復位型觸發電路控制之第一及第二電平位移電路所成，且第一置位重寫復位型觸發電路同步與預充電電路動作期間之啓動時機呈活動，並將第二電平位移電路之輸出信號活動前或活動期間中呈非活動之信號為置位信號，及以第二置位重寫復位型觸發電路之輸出信號為復位信號，而第二置位重寫復位型觸發電路以上述第一電平位移電路之輸出信號為置位信號，及以第二電平位移電路輸出信號之倒轉信號為復位信號。

14. 如申請專利範圍第 1 項之預充電電路，其中向上述信號線施加影像信號之驅動電路係能將該信號線驅動於兩方向，

而上述預充電電路則設有根據上述驅動電路將上述信號線驅動於一方向時之電流驅動能力與驅動於另方向時之電流驅動能力之差異所對應校正信號，將上述預充電電壓

六、申請專利範圍

自所定基準值予以補償至驅動能力較低方向之預充電電壓產生電路。

15. 如申請專利範圍第 1 項之預充電電路，其中上述影像信號係設有正極性之施加影像信號期間及反極性之施加影像信號期間，

而上述預充電電路則設有被安裝於預充電電壓輸出線及上述信號線之間，在上述預充電期間中呈導通之開關，與

依據上述預充電期間直前所施加影像信號之正極性或反極性，將與該影像信號呈反極性之電壓予以施加於上述預充電電壓輸出線同時，且與上述預充電期間之啟動時機一起或預充電期間中對上述預充電電壓輸出線施加上述預充電電壓之預充電電壓產生電路。

16. 如申請專利範圍第 1 項之預充電電路，其中上述影像信號係設有正極性之施加影像信號期間及反極性之施加影像信號期間，

而上述預充電電路則設有依據上述預充電期間之其次所施加影像信號之正極性或反極性，將上述預充電電壓予以補償於其次影像信號之極性側之預充電電壓產生電路。

17. 一種預充電電路，係對信號線施加影像信號之前，以所定電平電位預充電該信號線，

且具有僅在上述信號線之驅動期間外之預充電期間動作，而控制上述所定電平電位之輸出之預充電控制電路。

18. 一種預充電電路，係在對被斷續施加顯示信號內

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

容之信號電壓之信號線施加該信號電壓之前，予以預充電至所定預充電電壓，

而具有可監視顯示上述信號電壓施加期間外所設定預充電期間之預充電控制信號，且於該預充電期間中控制上述預充電電壓輸出至上述信號線之預充電控制電路，

上述預充電控制電路作為上述預充電控制信號則自外部接受比上述預充電電路之驅動信號電平更低電平之低振幅外部輸入信號，並依據該低振幅外部輸入信號控制預充電電壓之輸出同時，

該預充電控制電路又同步與預充電控制信號之施加時機或上述信號電壓之施加時機，依據與上述驅動信號電平略同電平之輸入信號，於上述各預充電期間之每一空隙停止對於上述低振幅外部輸入信號之監視。

19. 一種畫像顯示裝置，係具有對信號線施加影像信號之前，予以預充電至所定電壓之預充電電路，

而上述預充電電路含有具上述信號線之驅動期間外之預充電期間，且動作較一水平期間中之有效顯示期間更短期間，以控制上述所定電壓之輸出之預充電控制電路。

20. 如申請專利範圍第 19 項之畫像顯示裝置，其中上述預充電電路係與上述由信號線及掃描線所包圍且被配置呈矩陣狀之像素，以及驅動該像素之上述信號線驅動電路及掃描線驅動電路一起被設於同一基板。

21. 如申請專利範圍第 20 項之畫像顯示裝置，其中上述預充電電路及上述像素係分別由多結晶矽薄膜電晶體予

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

以形成。

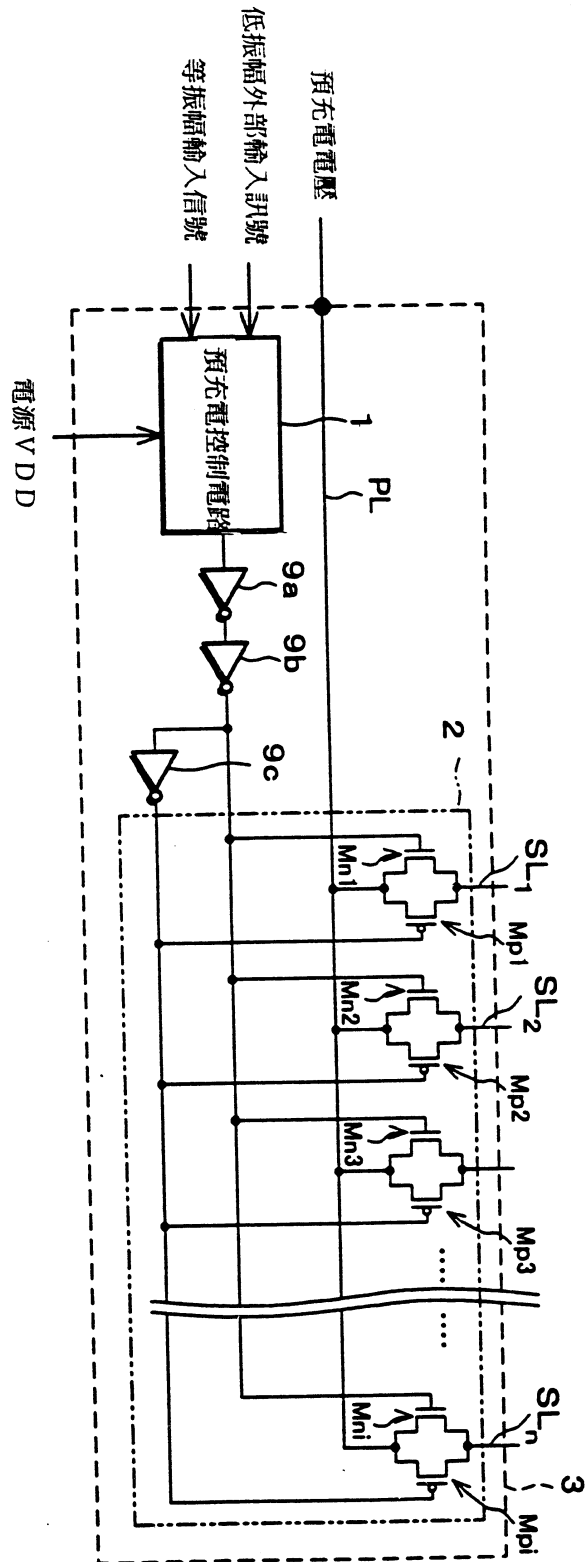
22. 如申請專利範圍第 21 項之畫像顯示裝置，其中上述多結晶矽薄膜電晶體係在 600 °C 以下之處理溫度被形成於玻璃基板上。

(請先閱讀背面之注意事項再填寫本頁)

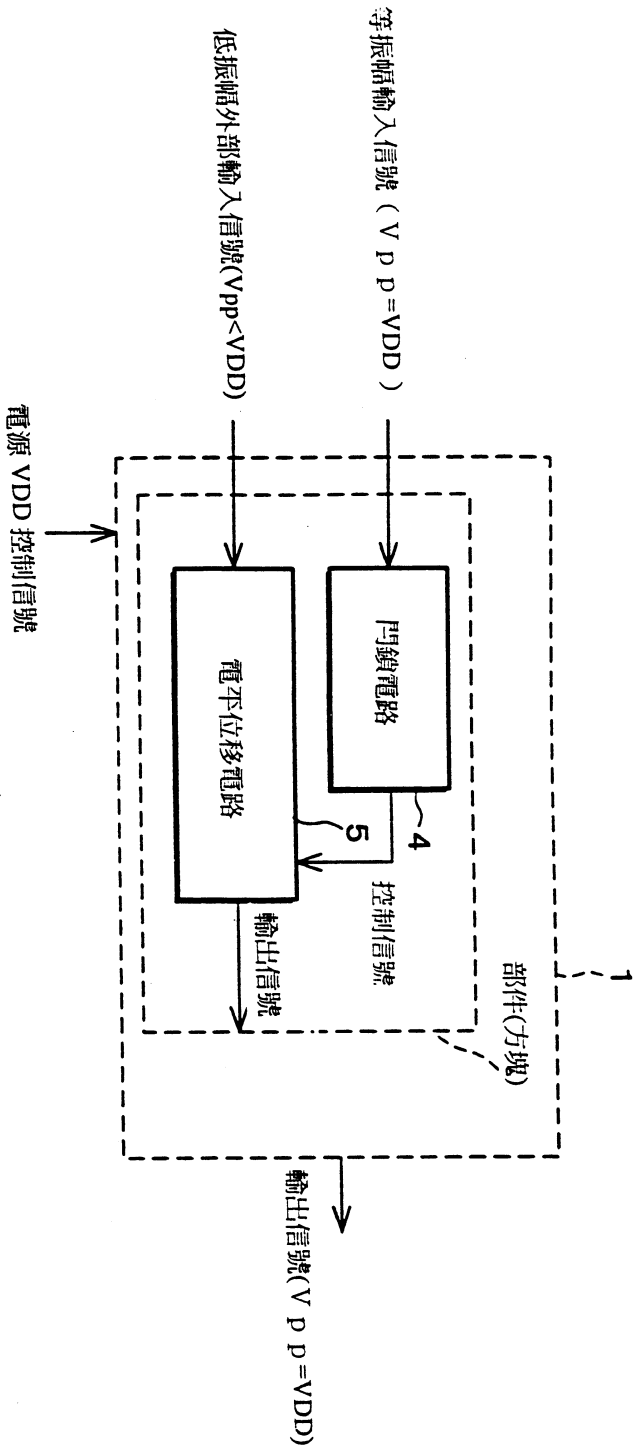
訂

線

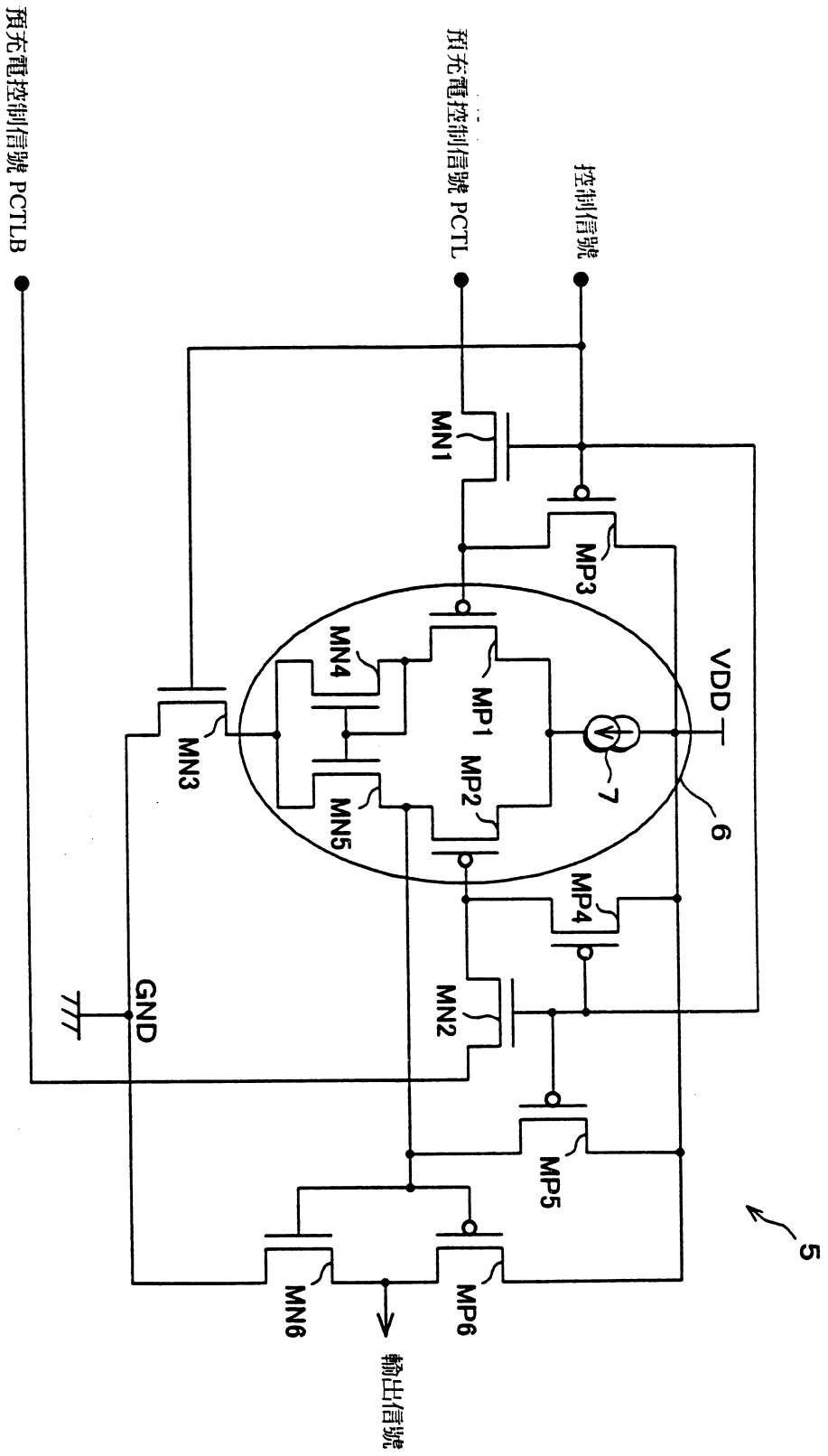
第 1 圖



第 2 圖

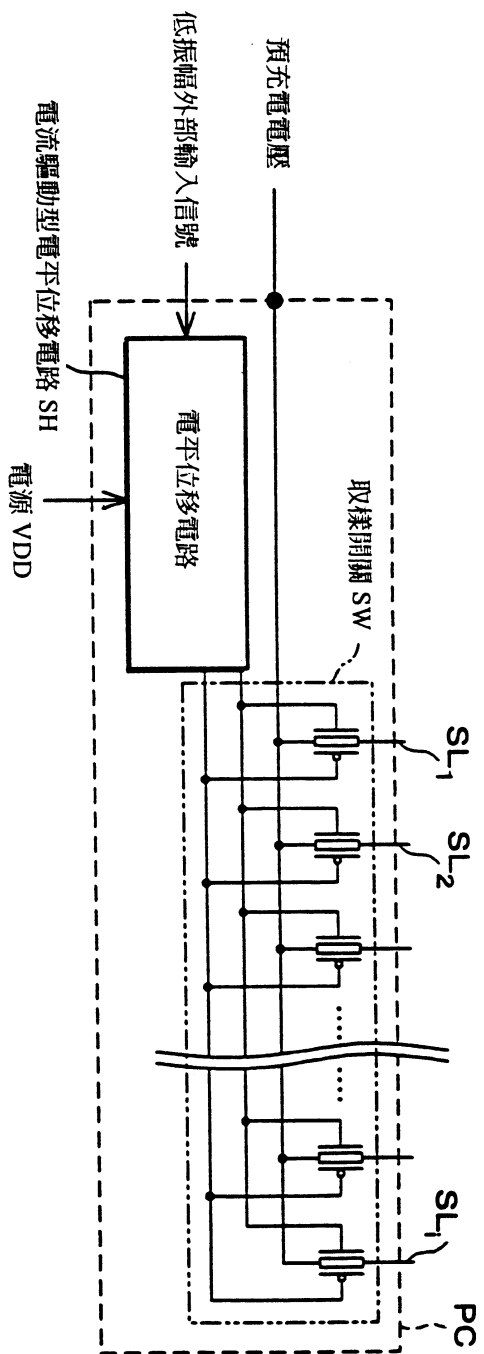


第 3 圖

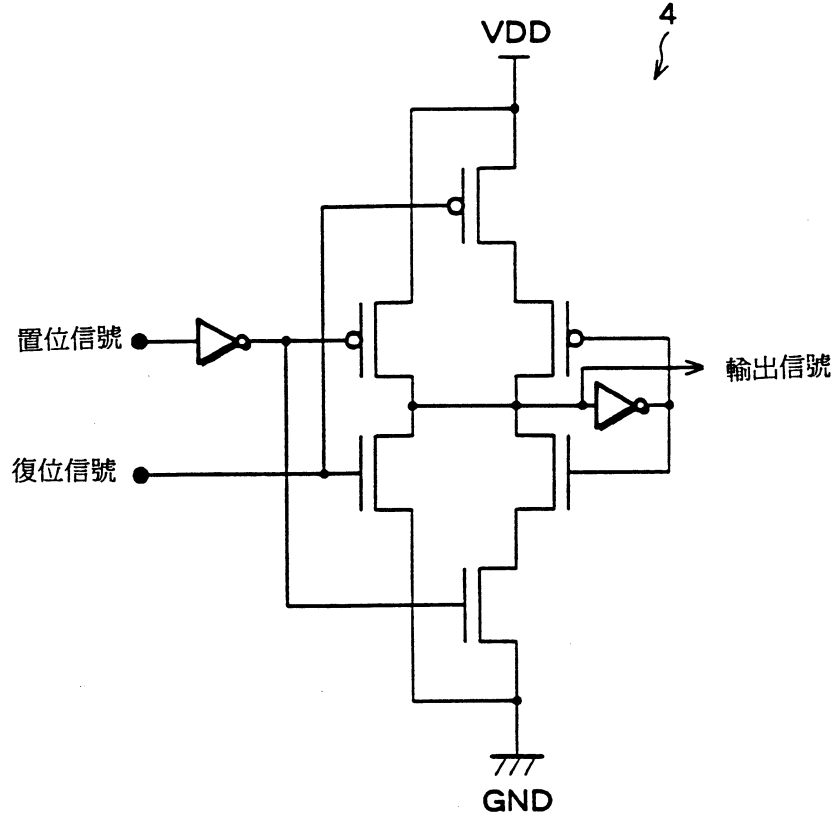


5

第 4 圖

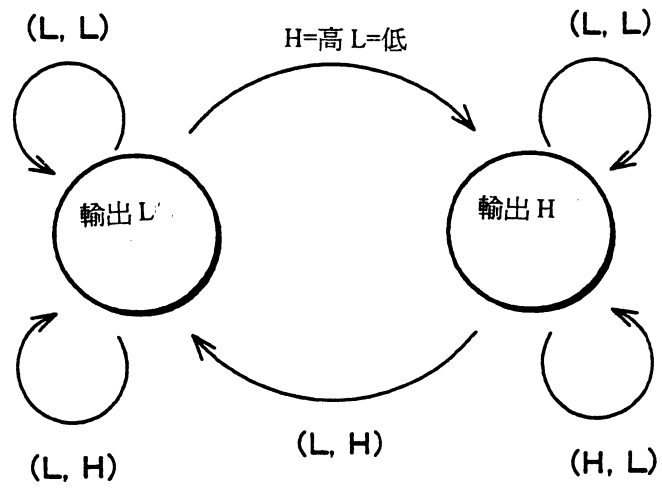


第 5 圖

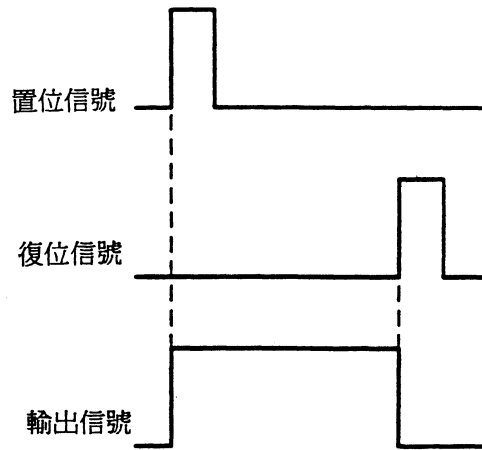


第 6 圖

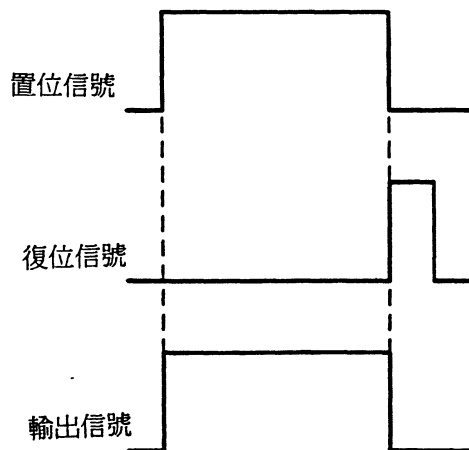
(置位信號, 復位信號)



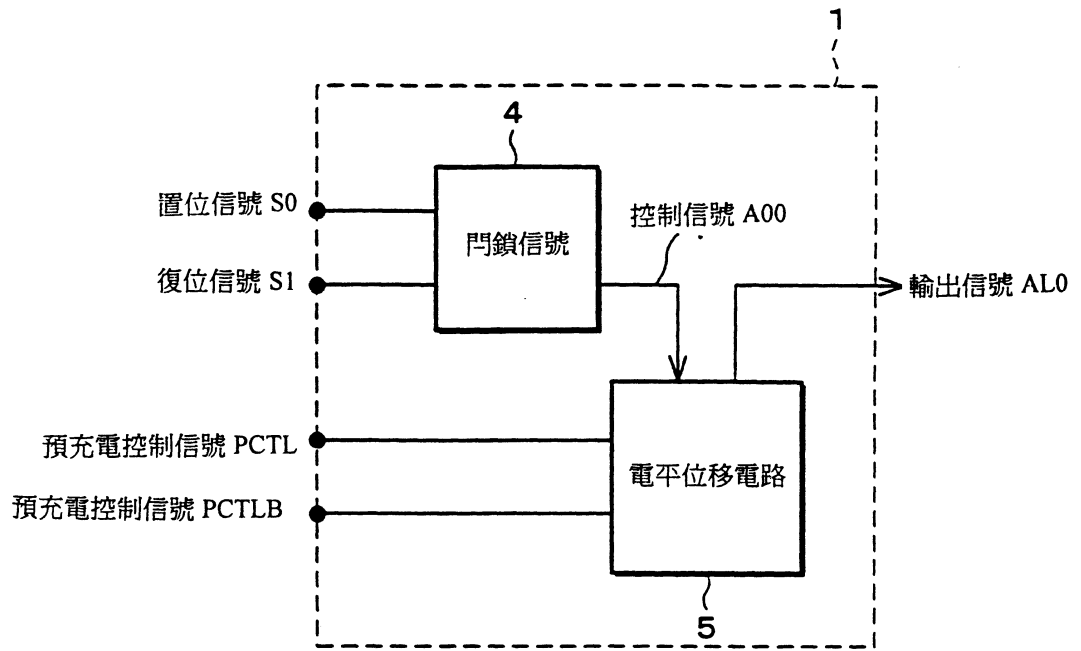
第 7 圖



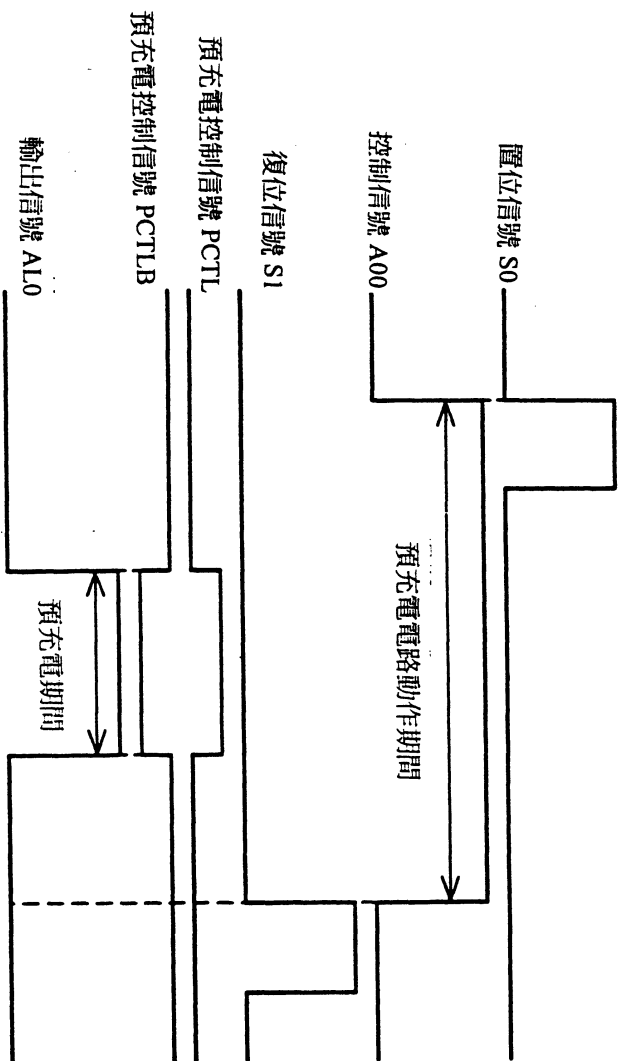
第 8 圖



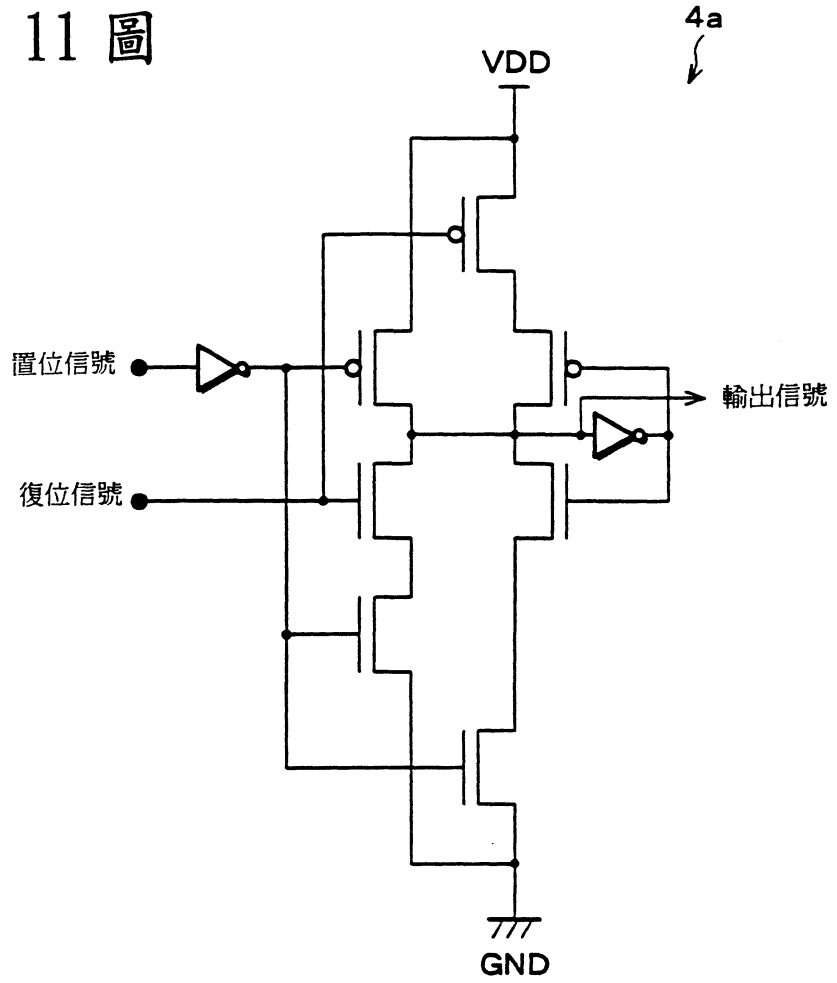
第 9 圖



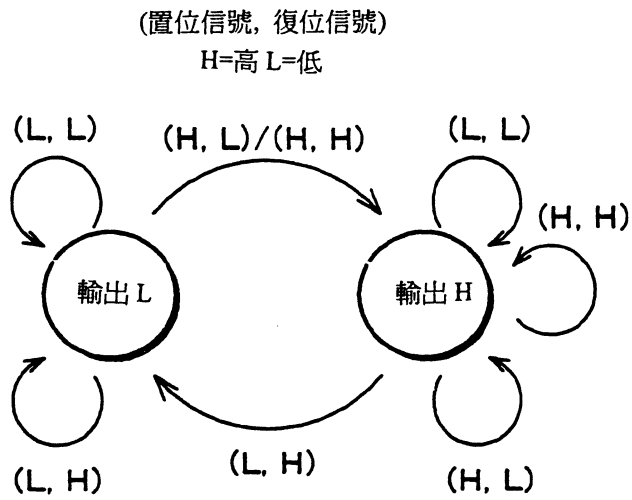
第 10 圖



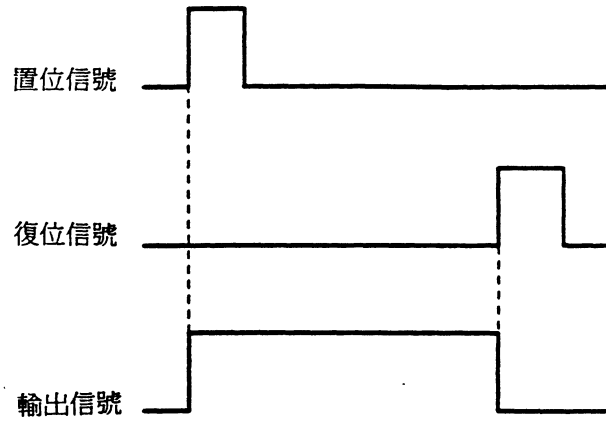
第 11 圖



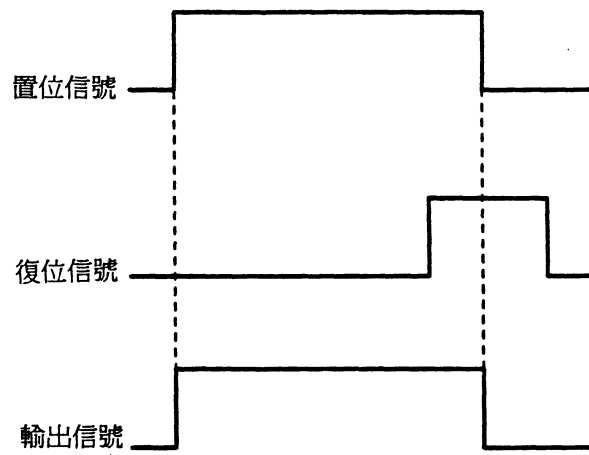
第 12 圖



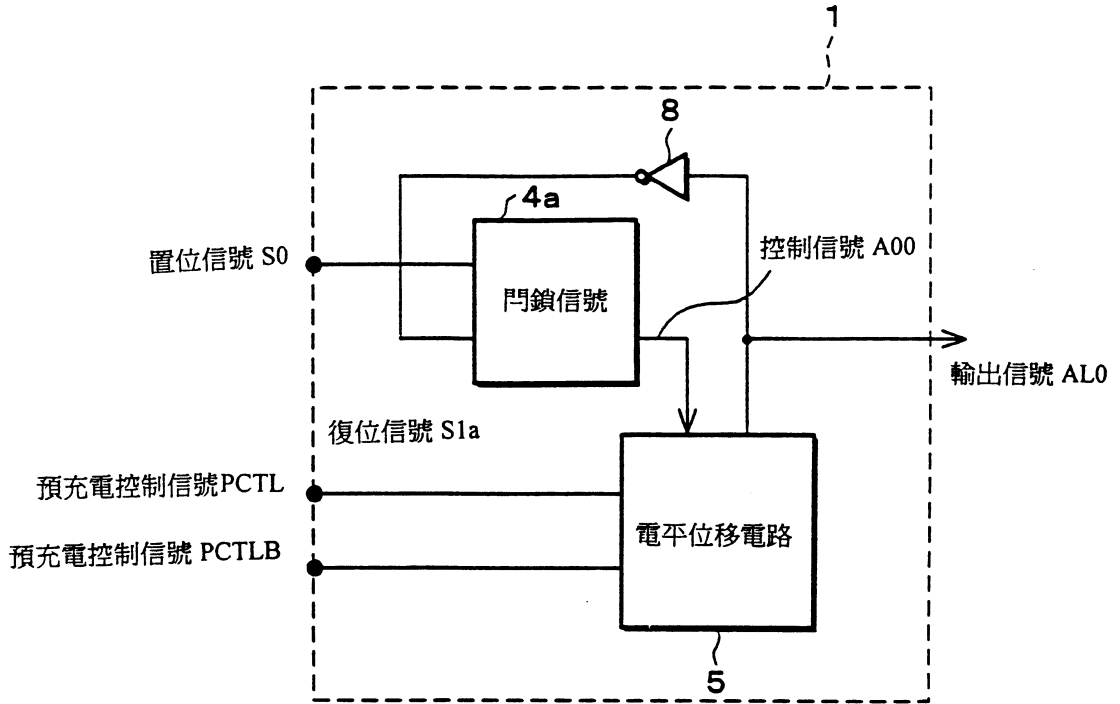
第 13 圖



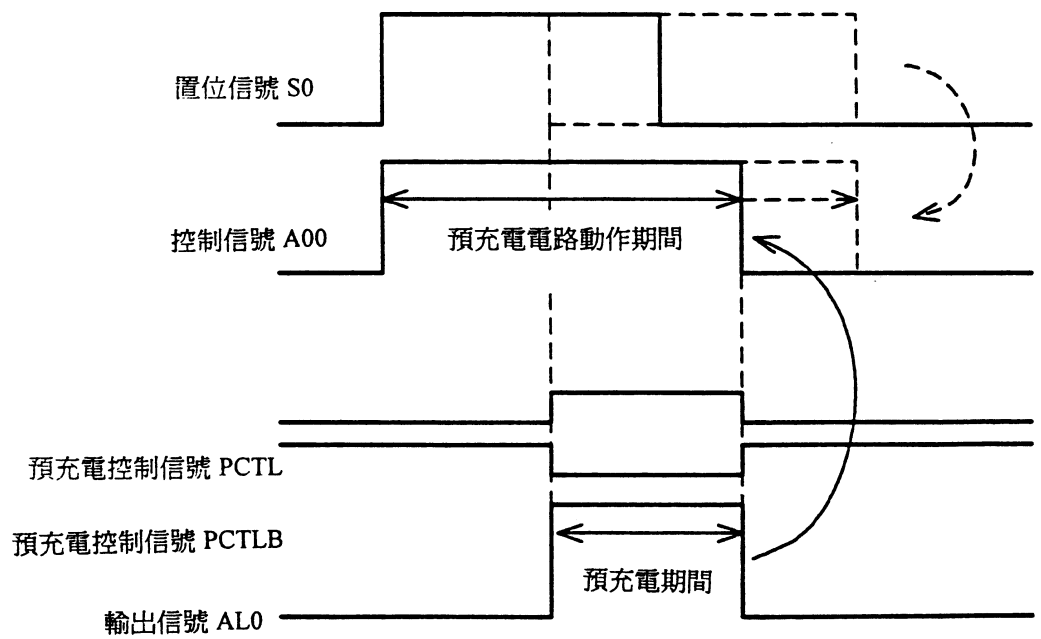
第 14 圖



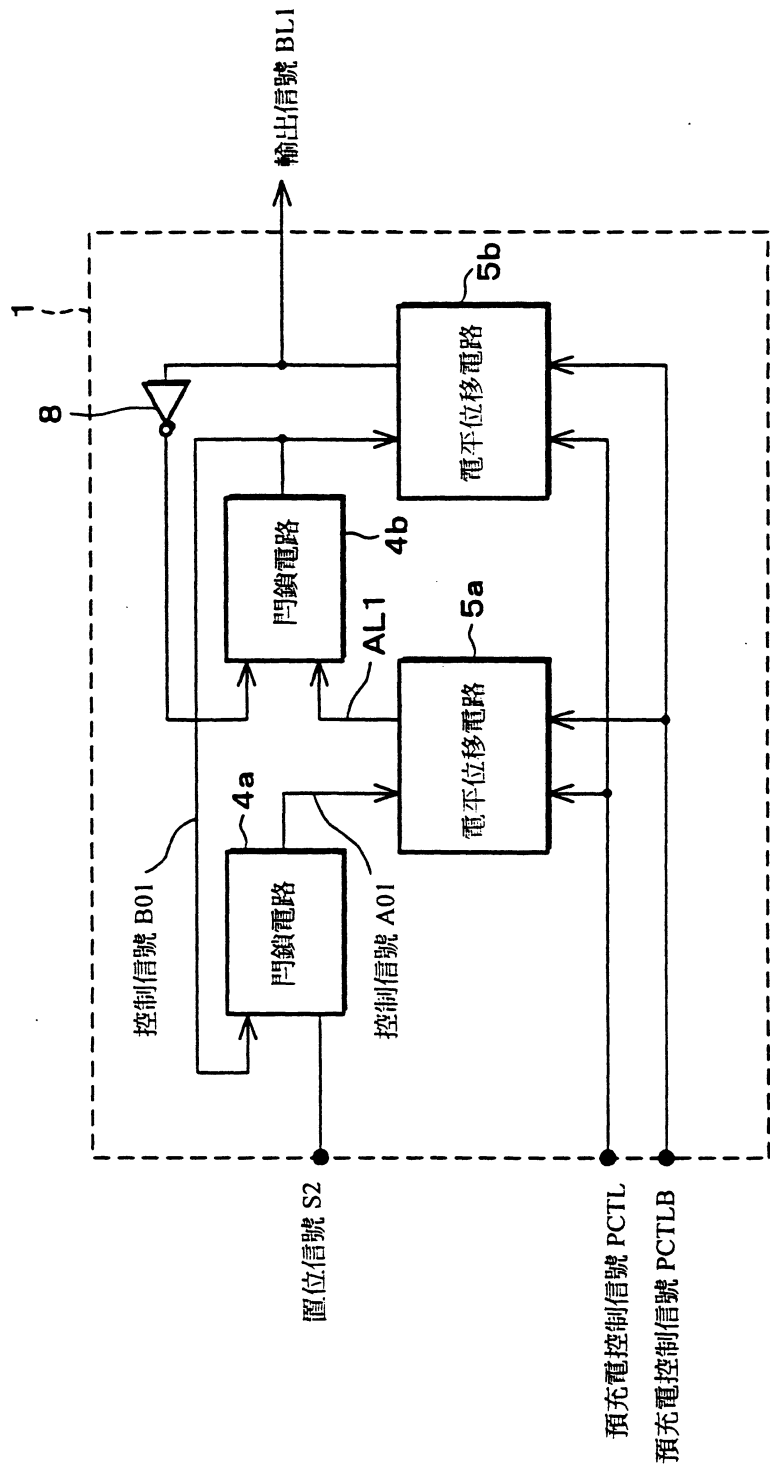
第 15 圖



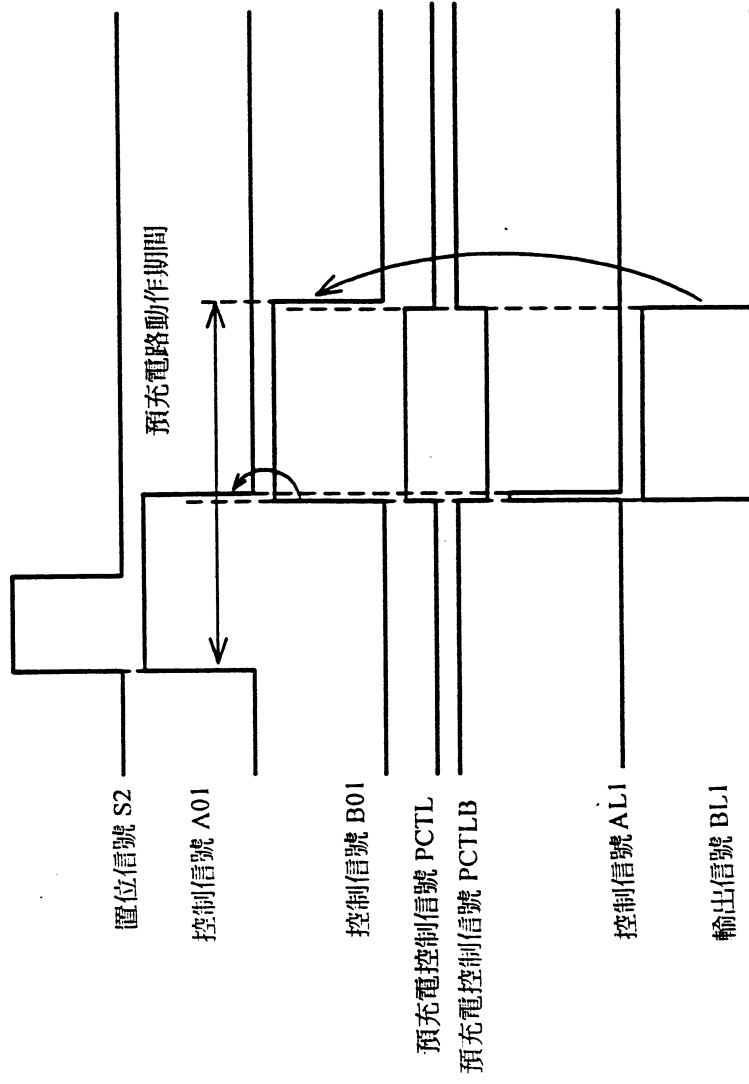
第 16 圖



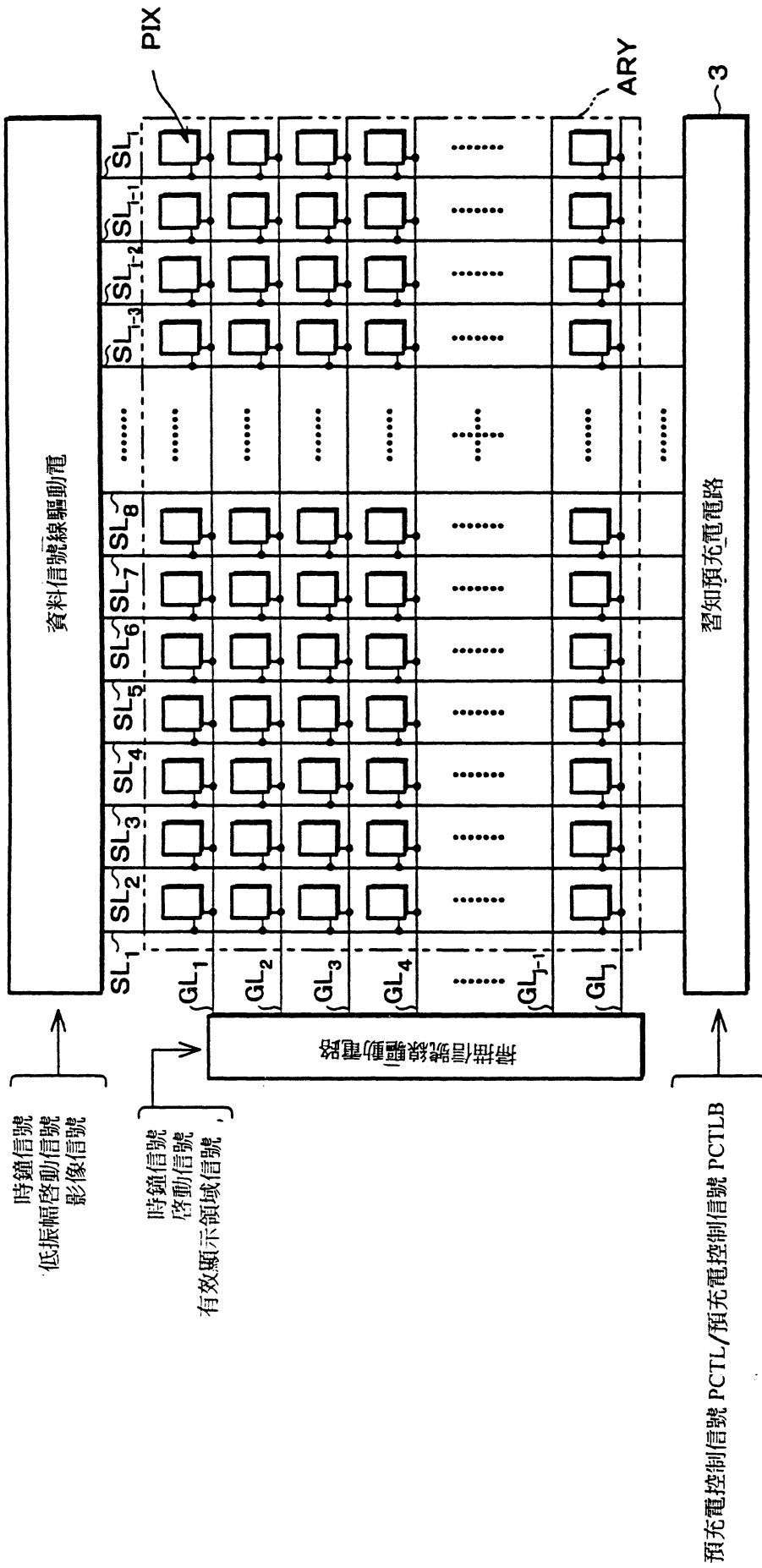
第 17 圖



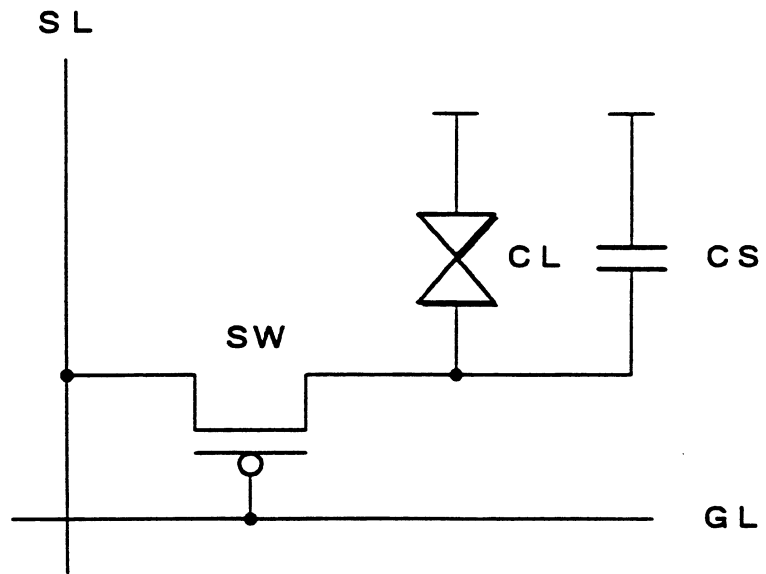
第 18 圖



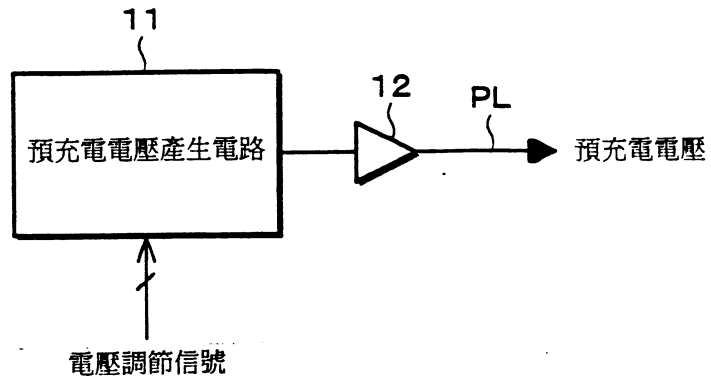
第 19 圖



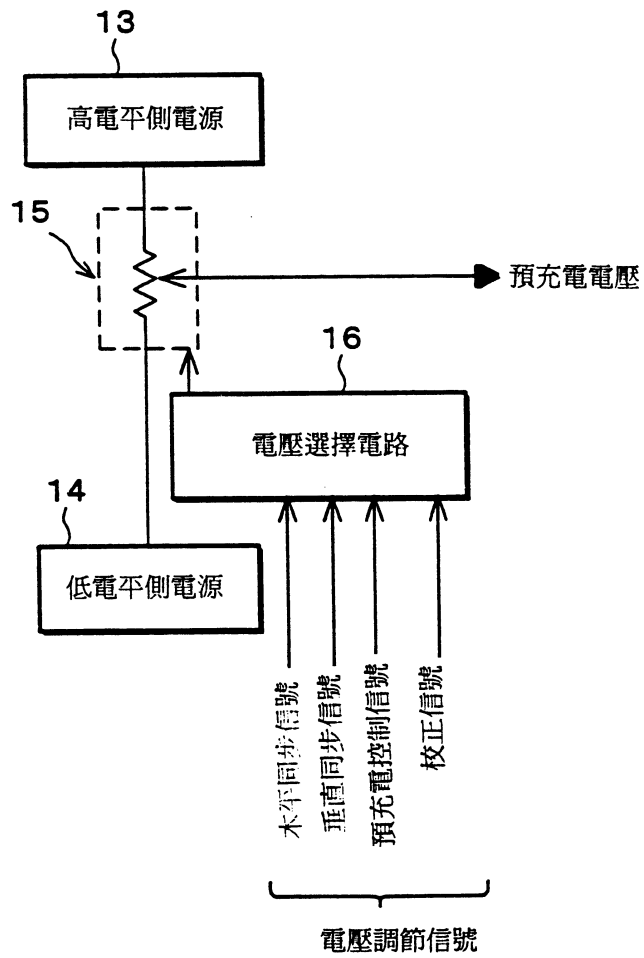
第 20 圖



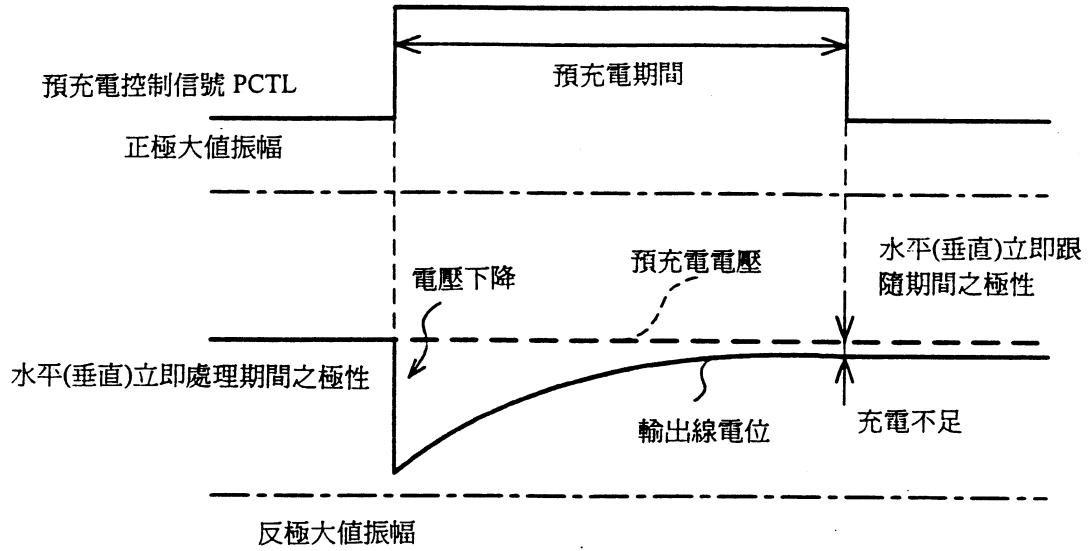
第 21 圖



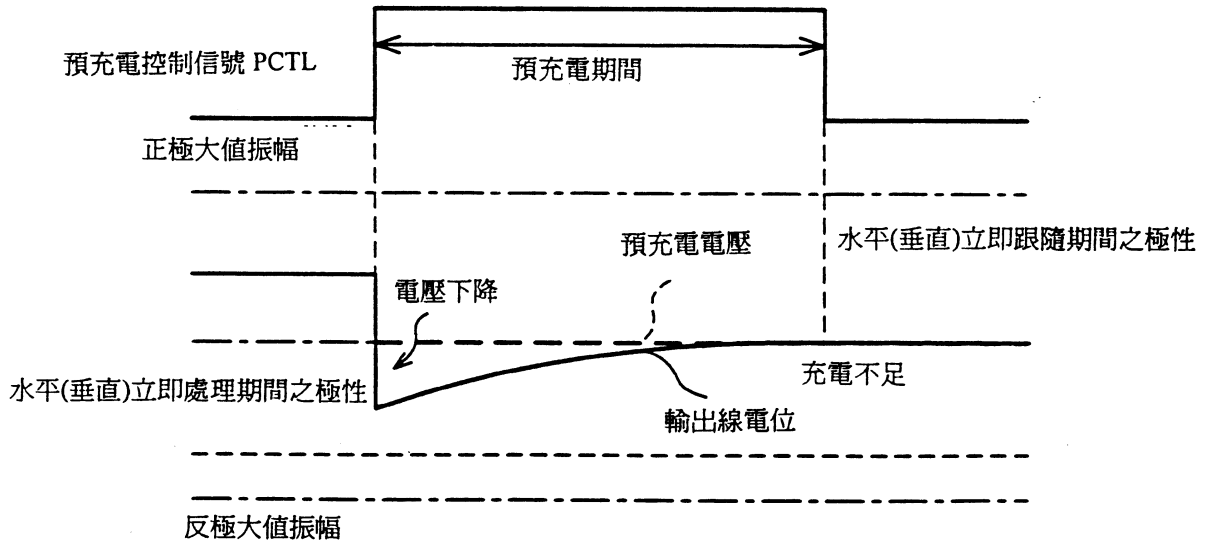
第 22 圖



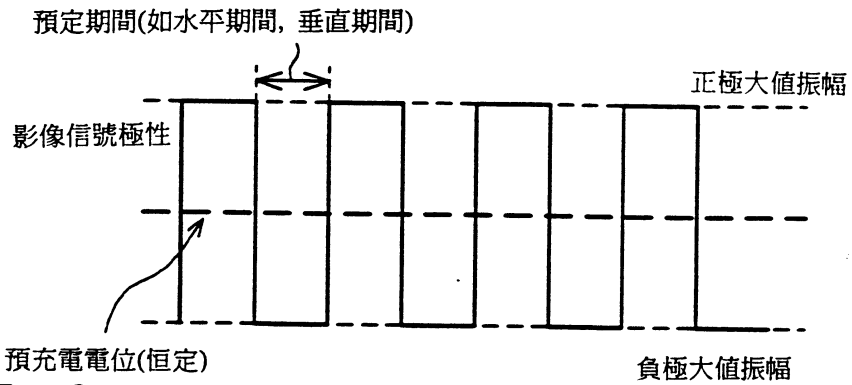
第 23 圖



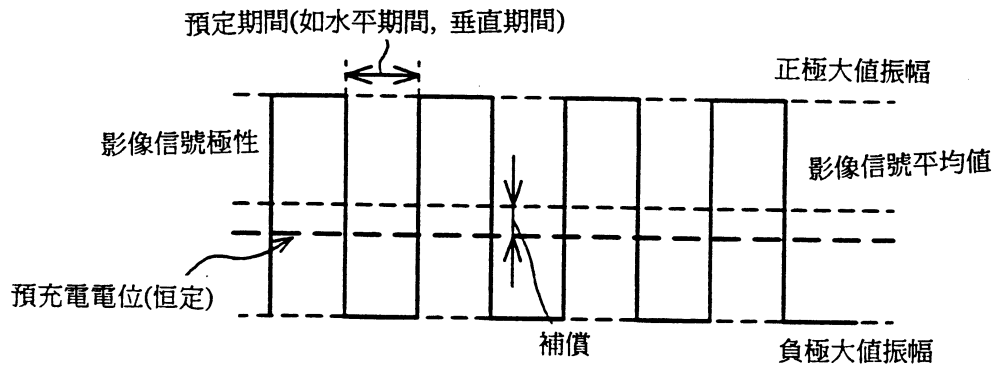
第 24 圖



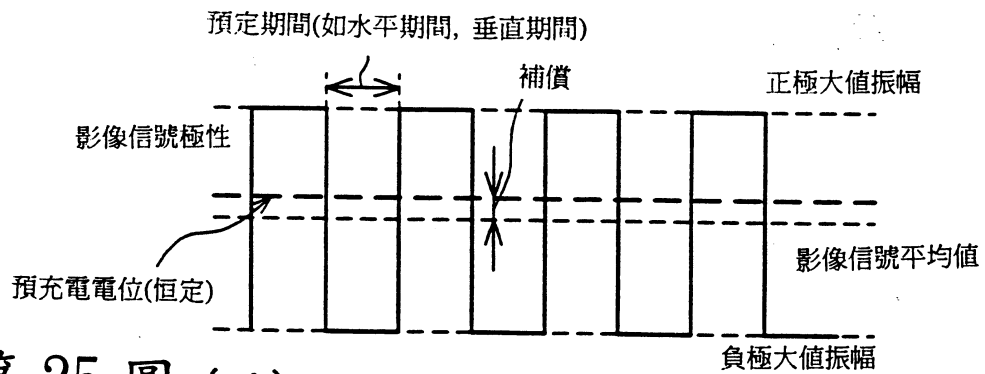
第 25 圖 (a)



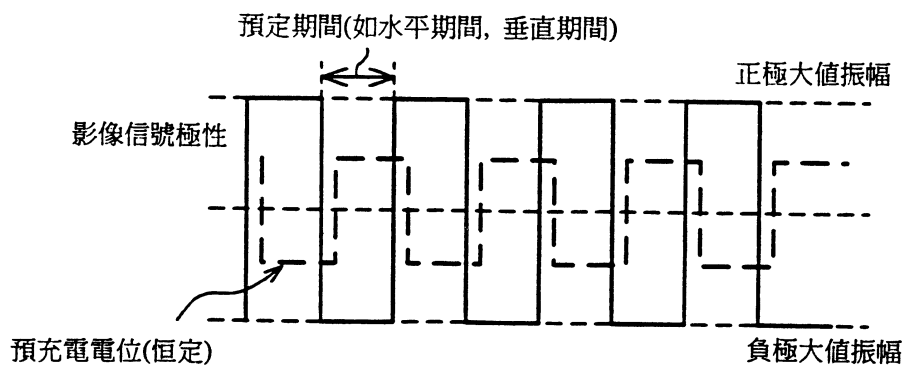
第 25 圖 (b)



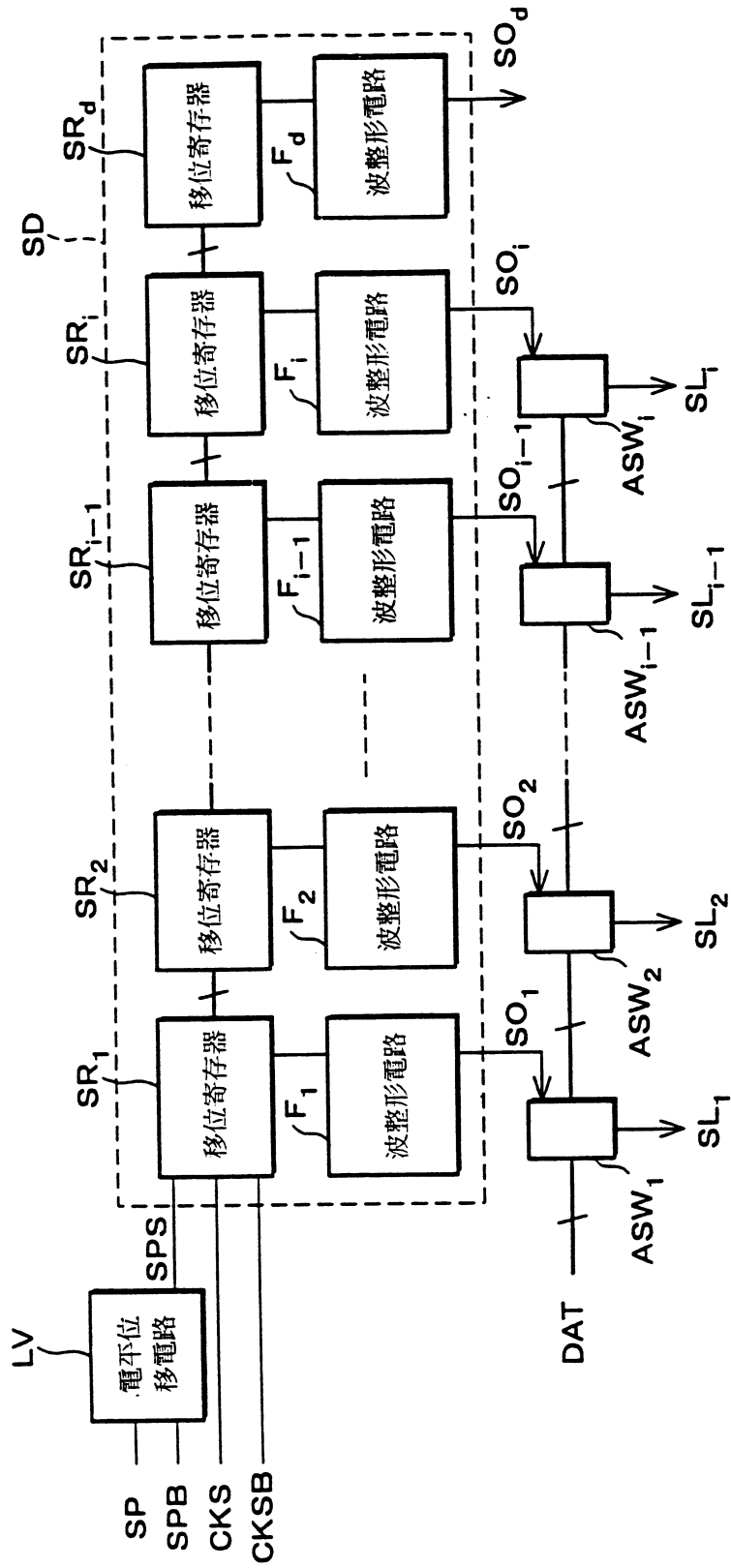
第 25 圖 (c)



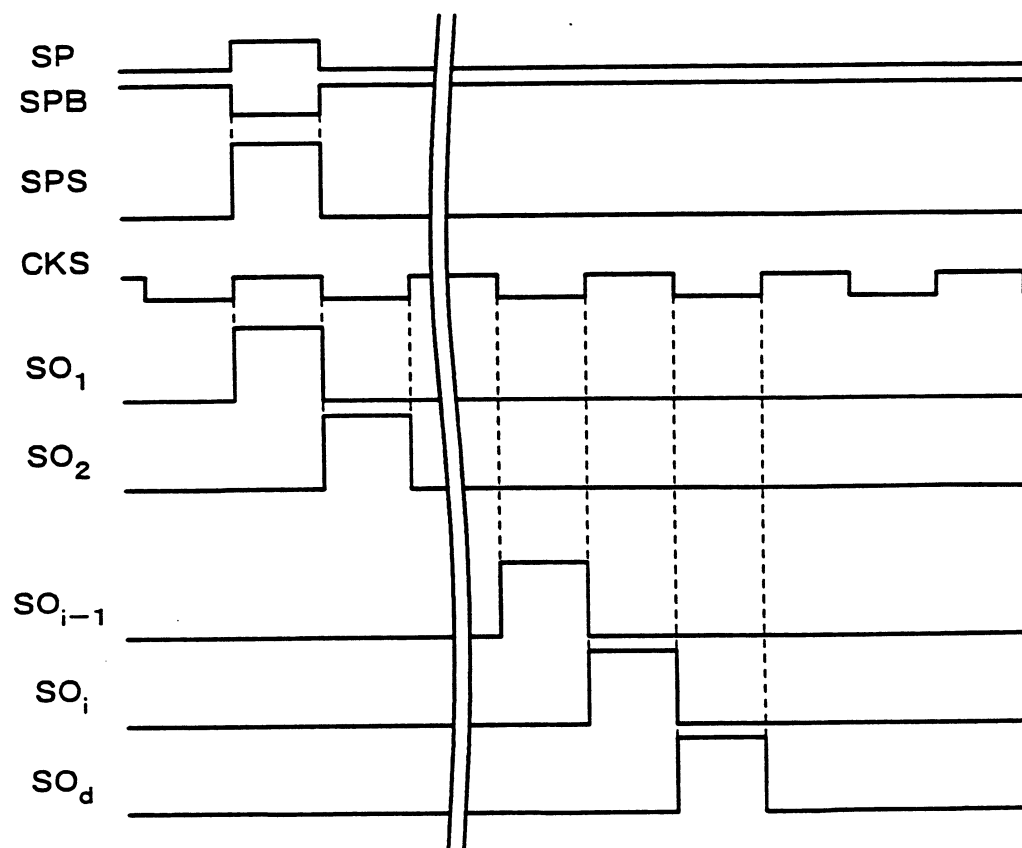
第 25 圖 (d)



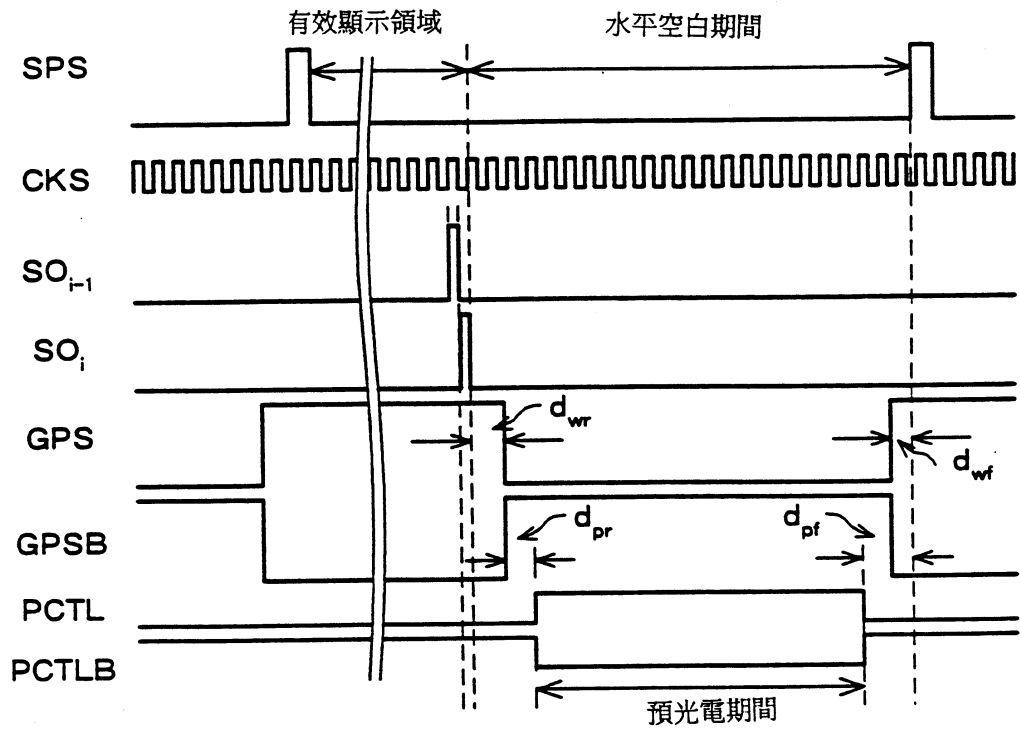
第 26 圖



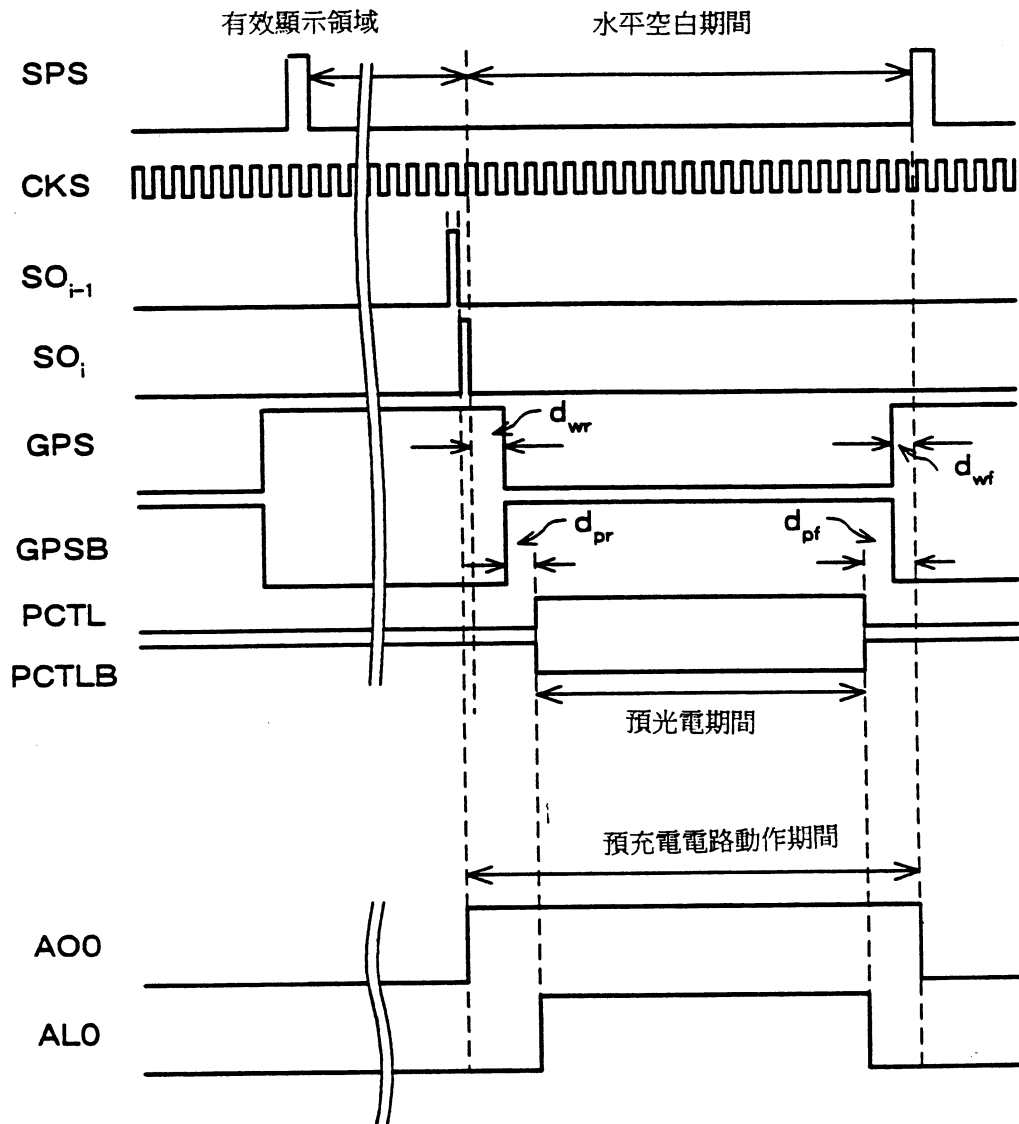
第 27 圖



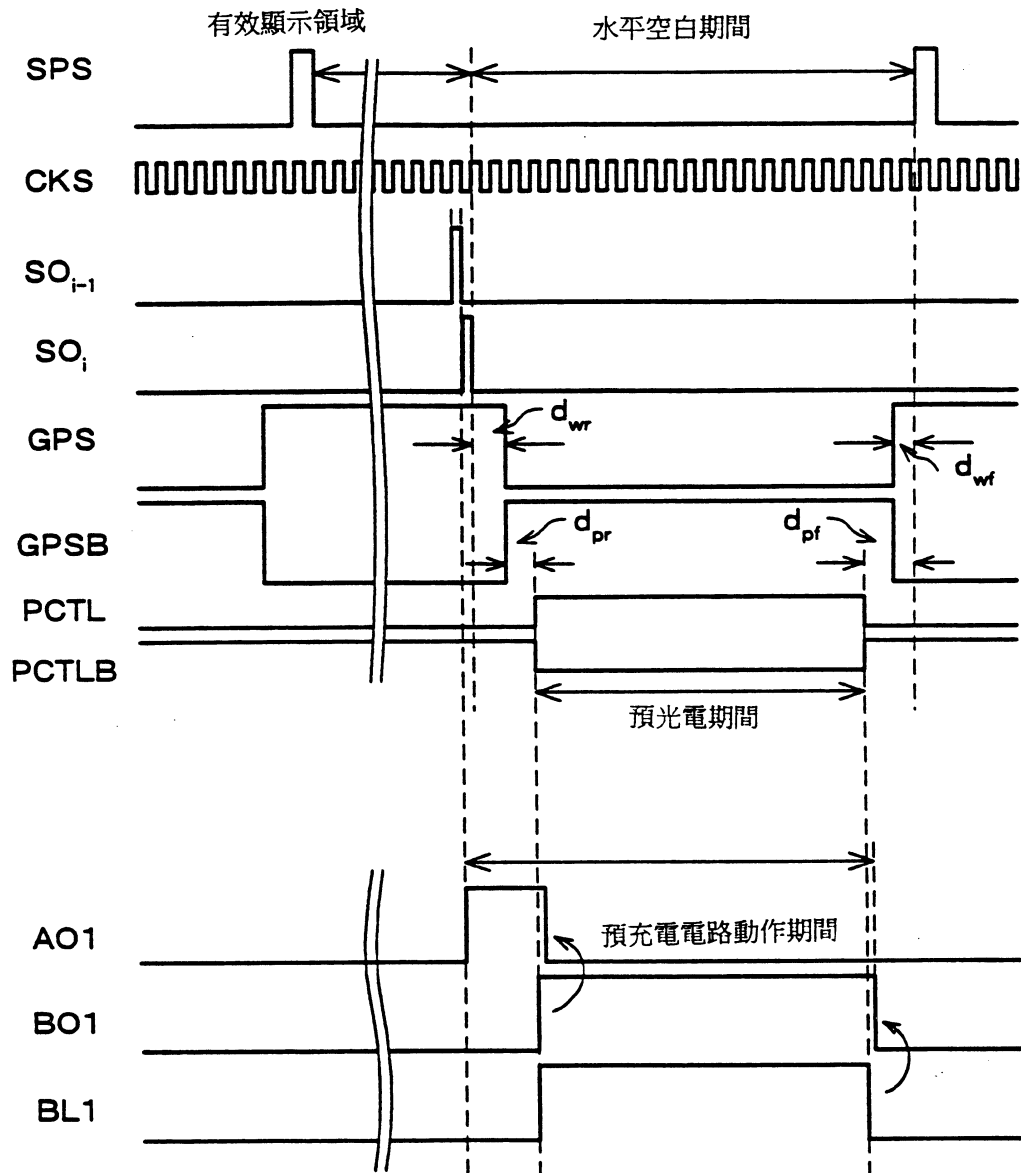
第 28 圖 (a)



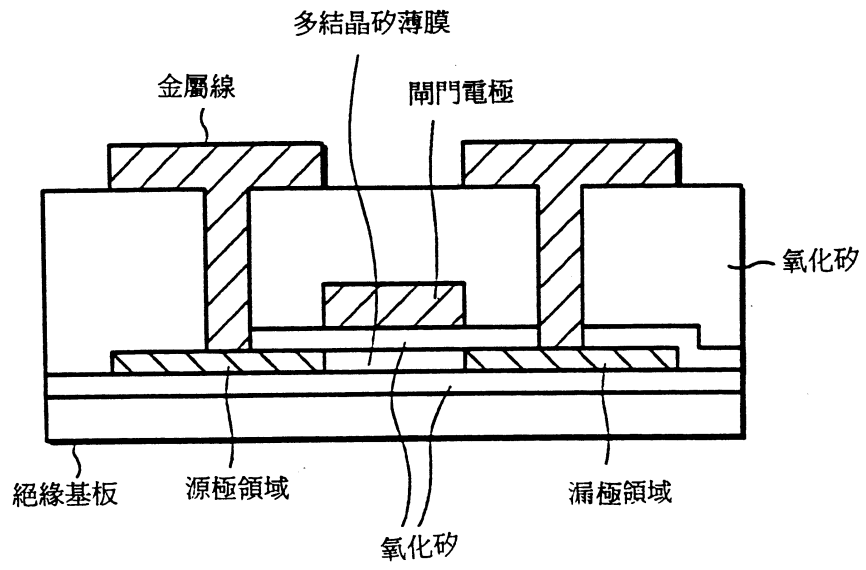
第 28 圖 (b)



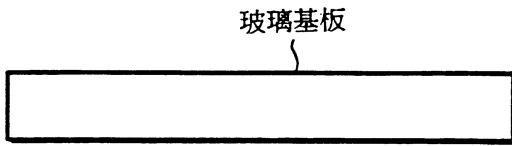
第 28 圖 (c)



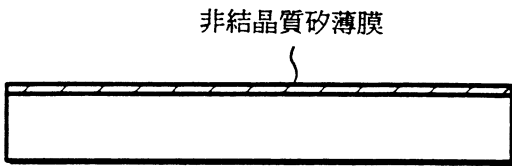
第 29 圖



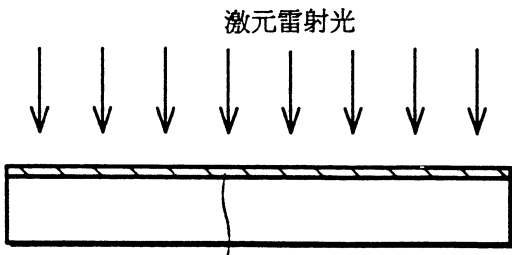
第 30 圖 (a)



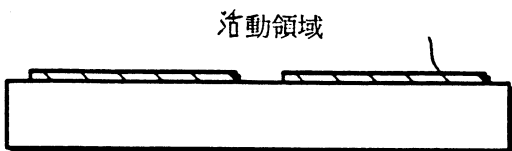
第 30 圖 (b)



第 30 圖 (c)



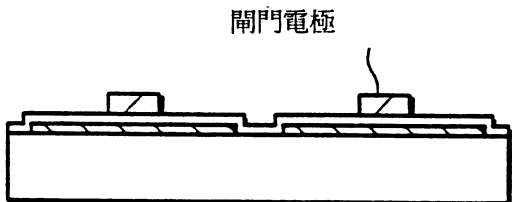
第 30 圖 (d)



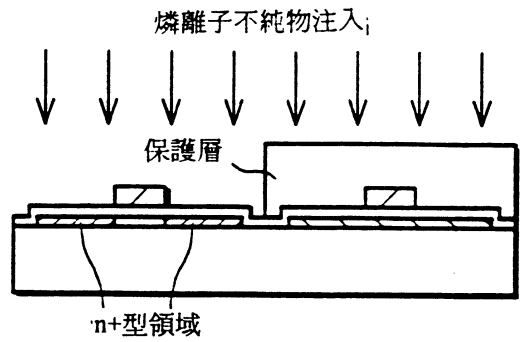
第 30 圖 (e)



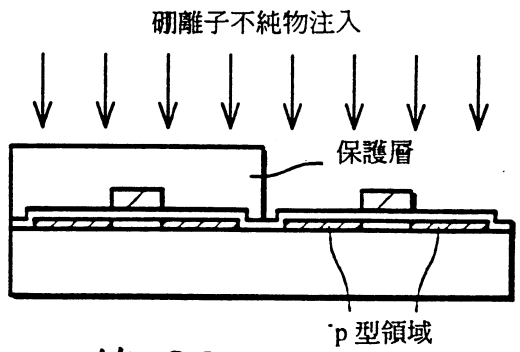
第 30 圖 (f)



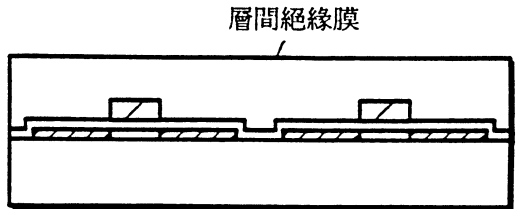
第 30 圖 (g)



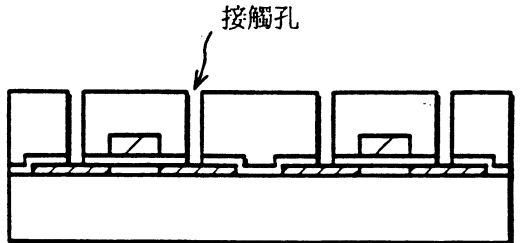
第 30 圖 (h)



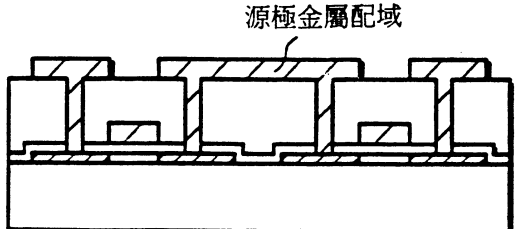
第 30 圖 (i)



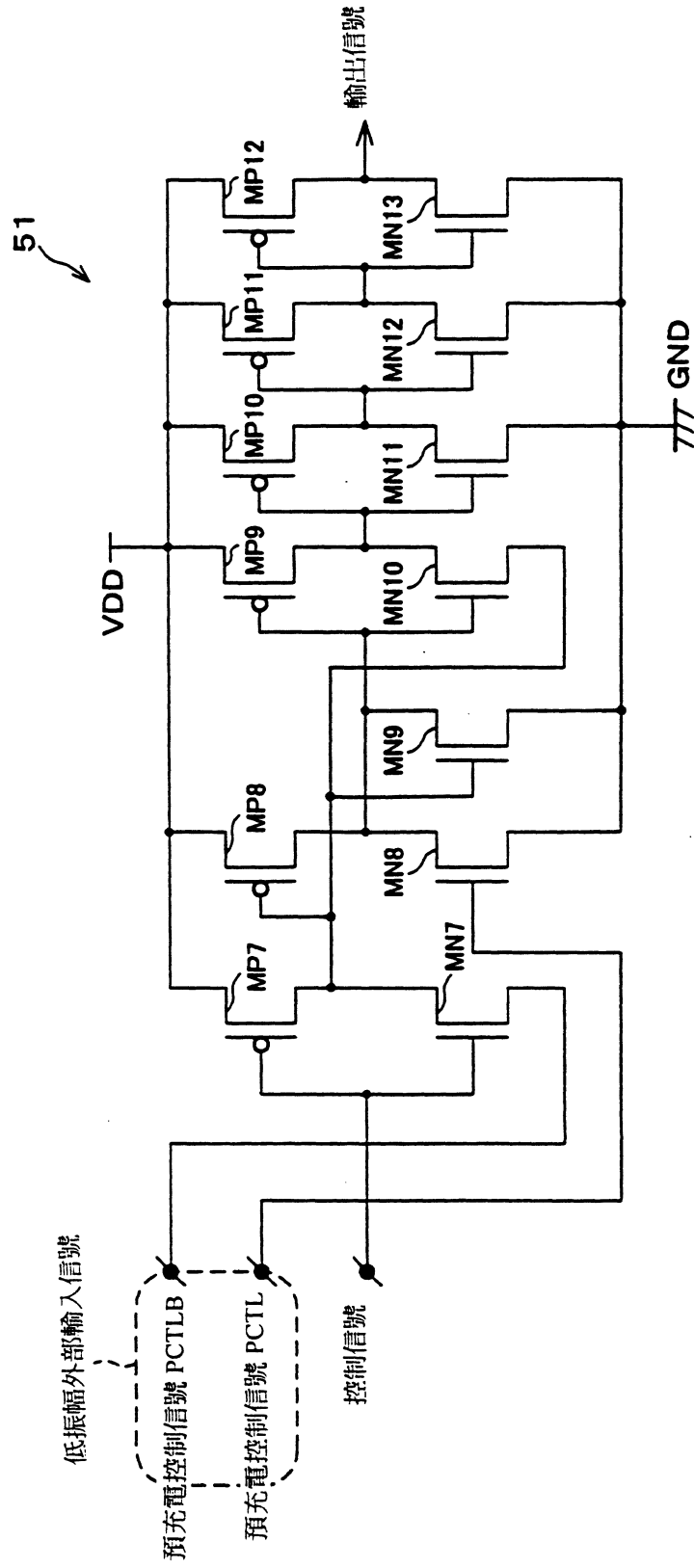
第 30 圖 (j)



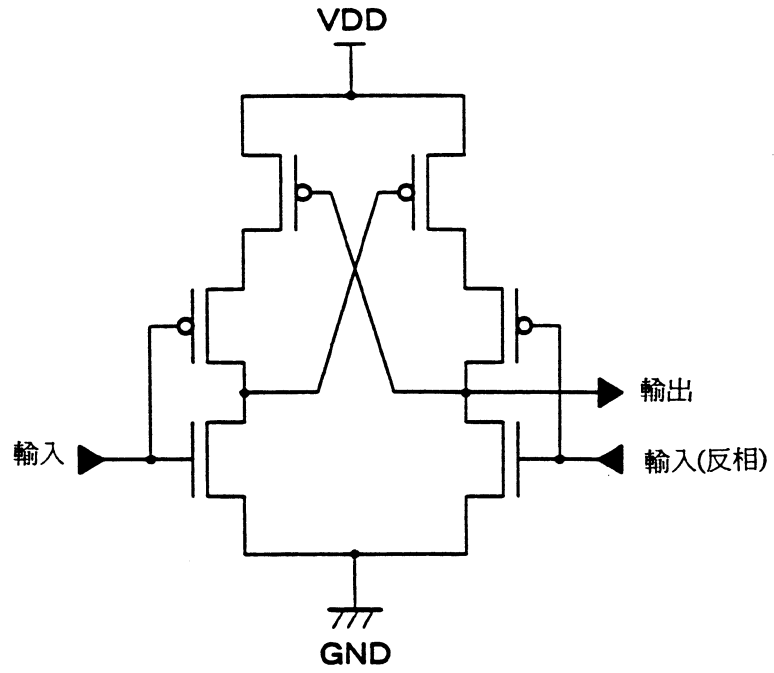
第 30 圖 (k)



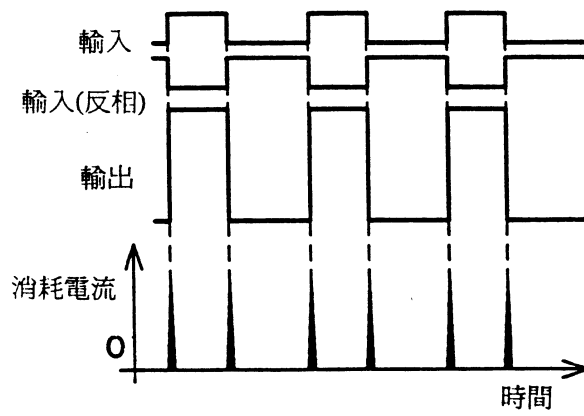
第 31 圖



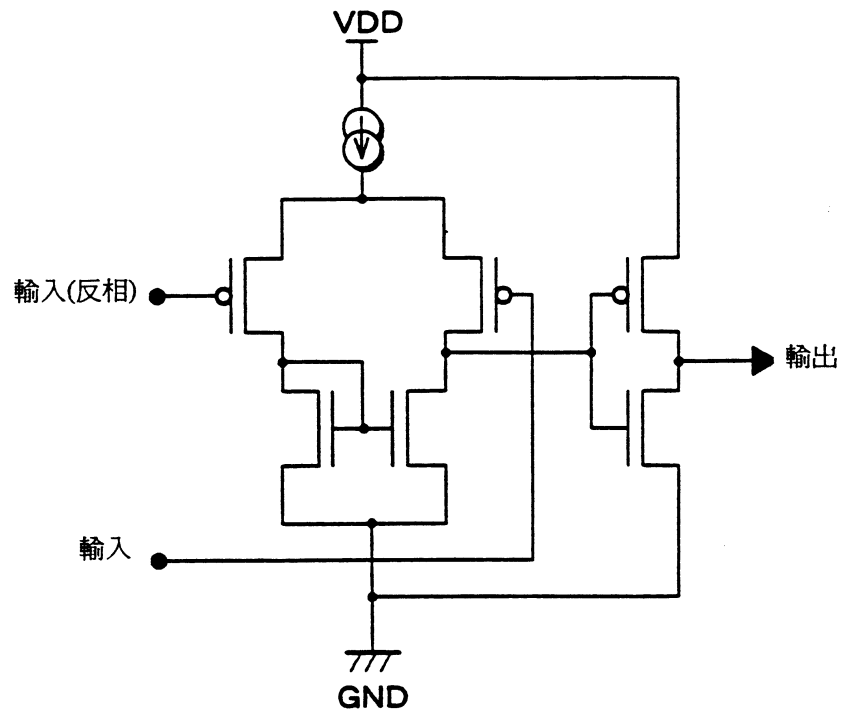
第 32 圖



第 33 圖



第 34 圖



第 35 圖

