

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-136
(P2010-136A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 6/00 (2006.01)	A 6 1 B 6/00 3 0 0 Q	4 C 0 9 3
H 0 1 L 27/14 (2006.01)	H 0 1 L 27/14 K	4 M 1 1 8
A 6 1 B 6/14 (2006.01)	A 6 1 B 6/14 3 1 0	5 C 0 2 4
H 0 1 L 31/09 (2006.01)	H 0 1 L 31/00 A	5 F 0 8 8
H 0 4 N 5/321 (2006.01)	H 0 4 N 5/321	

審査請求 未請求 請求項の数 2 O L (全 26 頁)

(21) 出願番号	特願2008-159363 (P2008-159363)	(71) 出願人	000236436
(22) 出願日	平成20年6月18日 (2008. 6. 18)		浜松ホトニクス株式会社
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100124291
			弁理士 石田 悟
		(72) 発明者	森 治通
			静岡県浜松市東区市野町1126番地の1
			浜松ホトニクス株式会社内
		(72) 発明者	久嶋 電次
			静岡県浜松市東区市野町1126番地の1
			浜松ホトニクス株式会社内

最終頁に続く

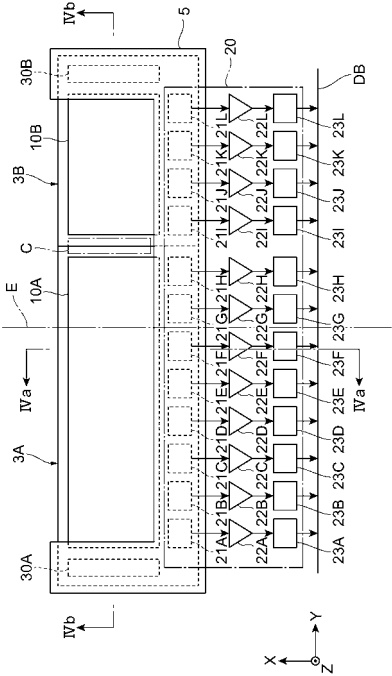
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】二枚の基板上に形成された各画素配列が行方向にタイリングされた構成を備える固体撮像装置において、一フレームの撮像に要する時間を短縮する。

【解決手段】固体撮像装置1は、画素がM行N A列に配列されて成る画素配列1 0 Aを有する半導体基板3 Aと、画素がM行N B列に配列されて成り、その第1列が画素配列1 0 Aの第N A列に沿って配置された画素配列1 0 Bを有する半導体基板3 Bと、信号出力部2 0とを備える。信号出力部2 0は、画素配列1 0 Aの第1列から第n列(2 ≤ n < N A)までの各列に対応するデジタル値を、第n列から第1列まで順次に出力するとともに、該出力と並行して、画素配列1 0 Aの第(n + 1)列から画素配列1 0 Bの第N B列までの各列に対応するデジタル値を、画素配列1 0 Aの第1列ないし第n列とは逆の順序で順次に出力する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

入射した X 線像に応じた画像データを生成する固体撮像装置であって、

フォトダイオードを各々含む $M \times N_A$ 個 (M 及び N_A は 2 以上の整数) の画素が M 行 N_A 列に 2 次元配列されて成る第 1 の画素配列を有する第 1 の基板と、

フォトダイオードを各々含む $M \times N_B$ 個 (N_B は N_A より小さい 2 以上の整数) の画素が M 行 N_B 列に 2 次元配列されて成り、その第 1 列が前記第 1 の画素配列の第 N_A 列に沿って配置された第 2 の画素配列を有する第 2 の基板と、

前記第 1 及び第 2 の画素配列の各列毎に配設され、対応する列の前記画素に含まれる前記フォトダイオードと読出用スイッチを介して接続された ($N_A + N_B$) 本の読出用配線と、

前記読出用配線を経て入力された電荷の量に応じた電圧値を保持し、その保持した電圧値を一又は複数のアナログ/ディジタル変換器によりディジタル値に変換して出力する信号出力部と、

入射した X 線に応じてシンチレーション光を発生して前記 X 線像を光像へと変換し、該光像を前記第 1 及び第 2 の画素配列へ出力するシンチレータと

を備え、

前記第 1 の画素配列の第 1 列を含む一又は複数の連続した列、および前記第 2 の画素配列の第 N_B 列を含む一又は複数の連続した列が、入射 X 線から遮蔽された不感領域となっており、

前記信号出力部は、前記第 1 の画素配列の第 1 列から第 n 列 ($2 \leq n < N_A$) までの各列に対応する前記ディジタル値を、第 1 列から開始して第 n 列まで、或いは第 n 列から開始して第 1 列まで順次に出力するとともに、該出力と並行して、前記第 1 の画素配列の第 ($n + 1$) 列から、第 N_A 列および前記第 2 の画素配列の第 1 列を経て第 N_B 列までの各列に対応する前記ディジタル値を、前記第 1 の画素配列の第 1 列ないし第 n 列とは逆の順序でもって順次に出力する、ことを特徴とする固体撮像装置。

【請求項 2】

前記第 1 の画素配列における第 1 列ないし第 n 列の列数が、前記第 1 の画素配列における第 ($n + 1$) 列ないし第 N_A 列の列数と前記第 2 の画素配列における第 1 列ないし第 N_B 列の列数との和に等しい、ことを特徴とする請求項 1 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入射した X 線像に応じた画像データを生成する固体撮像装置に関するものである。

【背景技術】

【0002】

X 線撮影技術において、近年、X 線感光フィルムに代えて、固体撮像素子を使用した X 線撮像システムが広く用いられるようになってきた。こうした X 線撮像システムは、X 線感光フィルムのように現像の必要がなく、リアルタイムに X 線画像を確認することができるなど利便性が高く、データの保存性や取扱いの容易性の面でも優位な点を有する。例えば、歯科の診断における X 線撮影においても、パノラマ、セファロ、CT といった各種の撮像モードにおいてこのような X 線撮像システムが普及しつつある。一例として、特許文献 1 に開示された歯科用 X 線撮影装置は、X 線源から出力されて被写体を透過した X 線を、CCD 方式を備える X 線検出素子により撮像する。

【0003】

また、このような X 線撮像システムに用いられる固体撮像装置としては、CMOS 技術を用いたものが知られており、その中でもパッシブピクセルセンサ (PPS: Passive Pixel Sensor) 方式のものが知られている。PPS 方式の固体撮像装置は、入射光強度に応じた量の電荷を発生するフォトダイオードを含む PPS 型の画素が M 行 N 列に 2 次元配

10

20

30

40

50

列された画素配列を備え、各画素において光入射に応じてフォトダイオードで発生した電荷を積分回路において電圧値に変換し、更にこの電圧値をデジタル値に変換して出力するものである。

【 0 0 0 4 】

一般に、各列のM個の画素それぞれの出力端は、その列に対応して設けられている読出用配線を介して、その列に対応して設けられている積分回路の入力端と接続されている。そして、各画素のフォトダイオードで発生した電荷は、第1行から第M行まで順次に行毎に、当該列に対応する読出用配線を通して積分回路に入力され、その積分回路から電荷量に応じた電圧値が第1列から第N列まで順次アナログ/デジタル変換器に入力される。

10

【特許文献1】特開2004-208754号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

上述したX線撮像システムにおいて、固体撮像装置の画素配列に要求される大きさはその撮像用途により様々であるが、例えば歯科の診断におけるX線撮影では、セファロ撮影において画素配列の長手方向の幅が22cm以上といった長尺の固体撮像装置が要求される。このような長尺の固体撮像装置が要求されると、該固体撮像装置の生産に用いられる半導体ウェハの直径によっては、単一の基板上に該固体撮像装置を作製することが困難な場合がある。このような場合、固体撮像装置に要求される寸法より短い二枚の基板を長尺方向に並べ、それぞれの画素配列を合わせて一つの固体撮像装置として使用（いわゆるタイリング）することによって、要求寸法を満足することができる。

20

【 0 0 0 6 】

しかしながら、基板の端部と、この基板上に作製される画素配列の端部との間の隙間をなくすことは製造上困難なので、二枚の基板を並べて使用する場合、これらの画素配列同士の境界部分（継ぎ目）にはX線像が撮像されない領域（デッドエリア）が生じてしまう。撮像用途によっては、このようなデッドエリアの位置に制限がある場合がある。例えば、歯科のセファロ撮影においては、固体撮像装置の長尺方向を上下方向（鉛直方向）と一致させた状態で固体撮像装置を横方向（水平方向）に移動させながら撮像を行うが、X線像の中心付近に顎関節が存在する為、タイリングされた画素配列全体の中心付近にデッドエリアが存在すると、診断上重要な部分の画像データが欠損するおそれがある。したがって、このような場合には、二枚の基板における画素配列それぞれの長尺方向の幅を互いに異ならせることにより、デッドエリアの位置を中心付近から外すことが必要になる。

30

【 0 0 0 7 】

ここで、上述したPPS方式の固体撮像装置を構成する二枚の基板をそれぞれの画素配列の行方向に並置した場合、各基板の画素配列の長尺方向の幅が互いに異なると、各基板の画素配列の列数が互いに異なることとなり、次の問題が生じる。すなわち、PPS方式の固体撮像装置では各画素のフォトダイオードで発生した電荷が各列毎に電圧値に変換され、更にデジタル値に変換されるが、そのデジタル値を二枚の基板から並行して出力すると、全ての列のデジタル値を出力し終えるまでに要する時間が各基板で異なり、列数の多い方の基板からデジタル値を出力し終えるまでの間、列数の少ない方の基板は待ち状態とならざるを得ず、一フレームの撮像に要する時間が長くなってしまう。

40

【 0 0 0 8 】

本発明は、上記問題点を解消する為になされたものであり、二枚の基板上に形成された各画素配列が行方向にタイリングされた構成を備える固体撮像装置において、一フレームの撮像に要する時間を短縮することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明に係る固体撮像装置は、入射したX線像に応じた画像データを生成する固体撮像装置であって、フォトダイオードを各々含むM×NA個（M及びNAは2以上の整数）の

50

画素が M 行 N_A 列に 2 次元配列されて成る第 1 の画素配列を有する第 1 の基板と、フォトダイオードを各々含む $M \times N_B$ 個 (N_B は N_A より小さい 2 以上の整数) の画素が M 行 N_B 列に 2 次元配列されて成り、その第 1 列が第 1 の画素配列の第 N_A 列に沿って配置された第 2 の画素配列を有する第 2 の基板と、第 1 及び第 2 の画素配列の各列毎に配設され、対応する列の画素に含まれるフォトダイオードと読出用スイッチを介して接続された ($N_A + N_B$) 本の読出用配線と、読出用配線を経て入力された電荷の量に応じた電圧値を保持し、その保持した電圧値を一又は複数のアナログ/デジタル変換器によりデジタル値に変換して出力する信号出力部と、入射した X 線に応じてシンチレーション光を発生して X 線像を光像へと変換し、該光像を第 1 及び第 2 の画素配列へ出力するシンチレータとを備え、第 1 の画素配列の第 1 列を含む一又は複数の連続した列、および第 2 の画素配列の第 N_B 列を含む一又は複数の連続した列が、入射 X 線から遮蔽された不感領域となっており、信号出力部は、第 1 の画素配列の第 1 列から第 n 列 ($2 \leq n < N_A$) までの各列に対応するデジタル値を、第 1 列から開始して第 n 列まで、或いは第 n 列から開始して第 1 列まで順次に出力するとともに、該出力と並行して、第 1 の画素配列の第 ($n + 1$) 列から、第 N_A 列および第 2 の画素配列の第 1 列を経て第 N_B 列までの各列に対応するデジタル値を、第 1 の画素配列の第 1 列ないし第 n 列とは逆の順序でもって順次に出力することを特徴とする。

10

【0010】

本発明に係る固体撮像装置においては、第 1 の画素配列を有する第 1 の基板と、第 1 の画素配列より列数の少ない第 2 の画素配列を有する第 2 の基板とが、第 1 の画素配列の第 N_A 列と第 2 の画素配列の第 1 列とが互いに沿うようにタイリングされている。すなわち、この固体撮像装置は、第 1 の画素配列の第 1 列から第 N_A 列に第 2 の画素配列の第 1 列から第 N_B ($< N_A$) 列を加えた ($N_A + N_B$) 列の画素配列を有している。

20

【0011】

そして、信号出力部は、デジタル値をデータバス等へ出力する際、第 1 の画素配列の第 n 列以前の各列 (すなわち第 1 列から第 n 列まで) に対応するデジタル値と、第 ($n + 1$) 列以降の各列および第 2 の画素配列の第 1 列ないし第 N_B 列 (すなわち、第 1 の画素配列の第 ($n + 1$) 列から、第 N_A 列および第 2 の画素配列の第 1 列を経て第 N_B 列まで) に対応するデジタル値とを並行して出力する。このように、列数が多い第 1 の画素配列の第 1 列と第 N_A 列との間の列 (第 n 列) を境に出力動作を分割してデジタル値を並行して出力させることにより、分割された一方の領域の列数と他方の領域の列数とを互いに同じか或いは近い列数とすることができる。したがって、本発明に係る固体撮像装置によれば、例えば第 1 の画素配列の第 1 列ないし第 N_A 列からデジタル値を出力させ、これと並行して第 2 の画素配列の第 1 列ないし第 N_B 列からデジタル値を出力させる方式と比較して、出力動作における待ち時間をゼロに近づけることができ、一フレームの撮像に要する時間を効果的に短縮できる。

30

【0012】

また、本発明に係る固体撮像装置では、第 1 の画素配列の第 1 列を含む一又は複数の連続した列、および第 2 の画素配列の第 N_B 列を含む一又は複数の連続した列が、入射 X 線から遮蔽された不感領域となっている。入射した X 線像に応じた画像データを生成する固体撮像装置においては、画素配列の脇に配置されるシフトレジスタ等の回路部分を X 線から保護する為、 X 線遮蔽部材によって画素配列の周囲が覆われることが多い。そして、 X 線遮蔽部材が画素配列の一部まで掛かると、上記した不感領域が画素配列に生じる。信号出力部から出力されるデジタル値のうち、この不感領域に含まれる画素と対応するデジタル値は、 X 線像とは関係のない無効データとなる。

40

【0013】

このような場合、第 n 列を境に分割された一方の領域におけるデジタル値の出力順と、他方の領域におけるデジタル値の出力順とを同じ順序とすると、次のような不都合が生じる。すなわち、信号出力部から出力されたデジタル値はデータバス等を介して他の電子回路 (CPU 等) へ送られるが、このとき、一方の領域では不感領域に相当するディ

50

デジタル値（無効データ）が最初に出力され、他方の領域では無効データが最後に出力されることとなる。このように、ディジタル値の出力順序における無効データの位置が各領域で異なると、他の電子回路にてリアルタイム処理を行う際の障壁となりうる。

【 0 0 1 4 】

このような課題を併せて解決するため、本発明に係る固体撮像装置では、第 n 列を境に分割された一方の領域におけるデジタル値の出力順と他方の領域におけるデジタル値の出力順とが、互いに逆順となっている。すなわち、信号出力部は、第 1 の画素配列の第 1 列から第 n 列までの各列に対応するデジタル値を、第 1 列から開始して第 n 列まで、或いは第 n 列から開始して第 1 列まで順次に出力するとともに、第 1 の画素配列の第 $(n + 1)$ 列から、第 N_A 列および第 2 の画素配列の第 1 列を経て第 N_B 列までの各列に対応するデジタル値を、第 1 の画素配列の第 1 列ないし第 n 列とは逆の順序でもって順次に出力する。信号出力部がデジタル値をこのような順序でデータバス等へ出力することにより、デジタル値の出力順序における無効データの位置を各領域で互いに一致させることができ、他の電子回路にてリアルタイム処理を容易に行うことができる。

【 0 0 1 5 】

また、固体撮像装置は、第 1 の画素配列における第 1 列ないし第 n 列の列数が、第 1 の画素配列における第 (n + 1) 列ないし第 N A 列の列数と第 2 の画素配列における第 1 列ないし第 N B 列の列数との和に等しいことを特徴としてもよい。すなわち、第 n 列を境に分割された一方の領域の列数と他方の領域の列数とを等しくすることにより、デジタル値の出力動作における待ち時間がほぼゼロとなり、一フレームの撮像に要する時間をより効果的に短縮できる。

【発明の効果】

【 0 0 1 6 】

本発明によれば、二枚の基板上に形成された各画素配列が行方向にタイリングされた構成を備える固体撮像装置において、一フレームの撮像に要する時間を短縮することができる。

【発明を実施するための最良の形態】

【 0 0 1 7 】

以下、添付図面を参照して、本発明を実施するための最良の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【 0 0 1 8 】

図 1 は、本発明の一実施形態に係る固体撮像装置 1 を備えた医療用 X 線撮像システム 100 の構成を示す図である。本実施形態の X 線撮像システム 100 は、主に歯科医療におけるパノラマ撮影、セファロ撮影、CT 撮影といった撮像モードを備えており、被検者の顎部の X 線像を撮像する。X 線撮像システム 100 は、固体撮像装置 1 と X 線発生装置 106 とを備えており、X 線発生装置 106 から出力されて被写体 A（すなわち被検者の顎部）を透過した X 線を固体撮像装置 1 により撮像する。

【 0 0 1 9 】

X線発生装置106は、被写体Aに向けてX線を発生する。X線発生装置106から発生したX線の照射野は、一次スリット板106bによって制御される。X線発生装置106にはX線管が内蔵されており、そのX線管の管電圧、管電流および通電時間などの条件が調整されることによって、被写体AへのX線照射量が制御される。また、X線発生装置106は、一次スリット板106bの開口範囲が制御されることで、或る撮像モードのときに所定の拡がり角でX線を出力し、別の撮像モードではこの所定の拡がり角より狭い拡がり角でX線を出力することができる。

【 0 0 2 0 】

固体撮像装置 1 は、2 次元配列された複数の画素を有する C M O S 型の固体撮像装置であり、被写体 A を通過した X 線像を電気的な画像データ D に変換する。固体撮像装置 1 の前方には、X 線入射領域を制限する二次スリット板 1 0 7 が設けられる。

【 0 0 2 1 】

X線撮像システム100は、旋回アーム104を更に備えている。旋回アーム104は、X線発生装置106と固体撮像装置1とを互いに対向させるように保持して、CT撮影やパノラマ撮影の際にこれらを被写体Aの周りに旋回させる。また、セファロ撮影やリニア断層撮影の際には、固体撮像装置1及びX線発生装置106を被写体Aに対して直線変位させるためのスライド機構113が設けられる。旋回アーム104は、回転テーブルを構成するアームモータ109によって駆動され、その回転角度が角度センサ112によって検出される。また、アームモータ109は、XYテーブル114の可動部に搭載され、回転中心が水平面内で任意に調整される。

【0022】

固体撮像装置1から出力される画像データDは、CPU(中央処理装置)121にいったん取り込まれた後、フレームメモリ122に格納される。フレームメモリ122に格納された画像データから、所定の演算処理によって任意の断層面に沿った断層画像やパノラマ画像、セファロ画像等が再生される。再生されたこれらの画像は、ビデオメモリ124に出力され、DA変換器125によってアナログ信号に変換された後、CRT(陰極線管)などの画像表示部126によって表示され、各種診断に供される。

【0023】

CPU121には、信号処理に必要なワークメモリ123が接続され、さらにパネルスイッチやX線照射スイッチ等を備えた操作パネル119が接続されている。また、CPU121は、アームモータ109を駆動するモータ駆動回路111、一次スリット板106b及び二次スリット板107の開閉範囲を制御するスリット制御回路115及び116、並びにX線発生装置106を制御するX線制御回路118にそれぞれ接続され、さらに、固体撮像装置1を駆動するためのクロック信号を出力する。X線制御回路118は、固体撮像装置1により撮像された信号に基づいて、被写体へのX線照射量を帰還制御する。

【0024】

図2は、被写体A(被検者の頭部)の上方から見て、固体撮像装置1及びX線発生装置106が被写体Aに対して直線変位する様子を示す図である。セファロ撮影の際、固体撮像装置1及びX線発生装置106は、スライド機構113によって、被写体Aを挟んだ両側において互いに対向した状態を維持しつつ同一方向(図中の矢印B)に直線移動しながら、被写体AにX線を照射し、被写体Aを通過したX線像の撮像を連続して行う。

【0025】

図3及び図4は、本実施形態における固体撮像装置1の構成を示す図である。図3は固体撮像装置1の平面図である。図4(a)は図3のIVa-IVa線に沿った固体撮像装置1の側断面図であり、図4(b)は図3のIVb-IVb線に沿った固体撮像装置1の側断面図である。なお、図3及び図4には、理解を容易にするためXYZ直交座標系を併せて示している。

【0026】

図3及び図4(a)に示すように、固体撮像装置1は半導体基板3A(第1の基板)および半導体基板3B(第2の基板)を備えており、この二枚の半導体基板3A, 3Bによって一つの撮像領域が構成されている。固体撮像装置1の撮像領域に要求される大きさはその撮像用途により様々であるが、歯科の診断におけるX線撮影では、セファロ撮影において撮像領域の長手方向の幅が22cm以上といった長尺のものが要求される。そこで、本実施形態のように、固体撮像装置1に要求される寸法より短い二枚の半導体基板3A, 3Bを長尺方向に並べ、それぞれの画素配列10A, 10Bを合わせて一つの撮像領域として使用(いわゆるタイリング)することによって、要求寸法を満足することができる。なお、このように二枚の半導体基板3A, 3Bを並べて使用する場合、これらの画素配列の境界部分(継ぎ目)にはX線像が撮像されない領域(デッドエリアC)が生じてしまう。これは、半導体基板3A及び3Bそれぞれの端部と、これらの半導体基板3A, 3B上に作製される画素配列10A, 10Bそれぞれの端部との隙間をなくすことが製造上困難であることに因る。

【0027】

固体撮像装置 1 は、半導体基板 3 A の主面にそれぞれ作り込まれた画素配列 1 0 A (第 1 の画素配列) および走査シフトレジスタ 3 0 A と、半導体基板 3 B の主面にそれぞれ作り込まれた画素配列 1 0 B (第 2 の画素配列) および走査シフトレジスタ 3 0 B とを備えている。また、固体撮像装置 1 は信号出力部 2 0 を更に備えており、この信号出力部 2 0 は、半導体基板 3 A の主面に作り込まれた複数の信号読出部 2 1 A ~ 2 1 H と、半導体基板 3 B の主面に作り込まれた複数の信号読出部 2 1 I ~ 2 1 L と、各信号読出部 2 1 A ~ 2 1 L に対応する複数のアナログ / デジタル (A / D) 変換器 2 2 A ~ 2 2 L と、各 A / D 変換器 2 2 A ~ 2 2 L に対応する複数の F I F O (First-In-First-Out) データバッファ 2 3 A ~ 2 3 L とを有している。

【 0 0 2 8 】

10

また、固体撮像装置 1 は、平板状の基材 2、シンチレータ 4 A、4 B および X 線遮蔽部材 5 を備えている。上述した半導体基板 3 A、3 B は基材 2 に貼り付けられ、シンチレータ 4 A 及び 4 B は半導体基板 3 A 上及び半導体基板 3 B 上にそれぞれ配置されている。シンチレータ 4 A 及び 4 B は、入射した X 線に応じてシンチレーション光を発生して X 線像を光像へと変換し、この光像を画素配列 1 0 A 及び 1 0 B へそれぞれ出力する。シンチレータ 4 A、4 B は画素配列 1 0 A、1 0 B を覆うようにそれぞれ設置されるか、或いは画素配列 1 0 A、1 0 B 上に蒸着によりそれぞれ設けられる。X 線遮蔽部材 5 は、X 線の透過率が極めて低い鉛等の材料からなる。X 線遮蔽部材 5 は、半導体基板 3 A、3 B の周縁部、特に走査シフトレジスタ 3 0 A、3 0 B 並びに信号読出部 2 1 A ~ 2 1 L が配置された領域を覆っており、走査シフトレジスタ 3 0 A、3 0 B 並びに信号読出部 2 1 A ~ 2 1

20

【 0 0 2 9 】

画素配列 1 0 A は、 $M \times N_A$ 個の画素 P (図 4 (a)、(b) を参照) が M 行 N_A 列に 2 次元配列されることにより構成されている。また、画素配列 1 0 B は、 $M \times N_B$ 個の画素 P が M 行 N_B 列に 2 次元配列されることにより構成されている。なお、図 3 において、列方向は X 軸方向と一致し、行方向は Y 軸方向と一致する。M、 N_A 、 N_B それぞれは 2 以上の整数であり、 $N_A > N_B$ を満たす。また、画素配列 1 0 A、1 0 B における行方向の画素 P の数 ($N_A + N_B$) は、列方向の画素 P の数 M より多いことが好ましい。その場合、画素配列 1 0 A 及び 1 0 B からなる撮像領域は、行方向 (Y 軸方向) を長手方向とし、列方向 (X 軸方向) を短手方向とする長方形を呈する。各画素 P は、例えば 100μ

30

【 0 0 3 0 】

ここで、図 3 において、画素配列 1 0 A に含まれる N_A 列のうち最も左端に位置する列 (すなわち Y 座標が最も小さい列) を第 1 列とし、反対側の右端に位置する列を第 N_A 列とする。また、同図において、画素配列 1 0 B に含まれる N_B 列のうち最も左端に位置する列 (Y 座標が最も小さい列) を第 1 列とし、反対側の右端に位置する列を第 N_B 列とする。この場合、本実施形態では画素配列 1 0 B の第 1 列と画素配列 1 0 A の第 N_A 列とが互いに沿うように画素配列 1 0 A 及び 1 0 B が配置される。

【 0 0 3 1 】

また、画素配列 1 0 A の第 1 列を含む一又は複数の連続した列は X 線遮蔽部材 5 によって覆われていて、入射 X 線から遮蔽された不感領域となっている。すなわち、これらの列には光が入射せず電荷が発生しないので、撮像には寄与しない。同様に、画素配列 1 0 B の第 N_B 列を含む一又は複数の連続した列もまた X 線遮蔽部材 5 によって覆われており、不感領域となっている。したがって、画素配列 1 0 A、1 0 B においては、X 線遮蔽部材 5 によって覆われたこれらの画素列を除く他の画素列によって撮像の為の有効な領域が構成される。換言すれば、固体撮像装置 1 における有効撮像領域は、X 線遮蔽部材 5 の開口 5 a によって規定される。

40

【 0 0 3 2 】

信号出力部 2 0 は、各画素 P から出力された電荷の量に応じた電圧値を保持し、その保持した電圧値をデジタル値に変換してデータバス D B へ出力する。複数の信号読出部 2

50

1 A ~ 2 1 H は、一つの信号読出部につき画素配列 1 0 A における二以上の画素列に対応して設けられており、対応する画素列の各画素 P から出力された電荷の量に応じた電圧値を保持し、この電圧値に対応する A / D 変換器 2 2 A ~ 2 2 H へそれぞれ出力する。同様に、複数の信号読出部 2 1 I ~ 2 1 L は、一つの信号読出部につき画素配列 1 0 B における二以上の画素列に対応して設けられており、対応する画素列の各画素 P から出力された電荷の量に応じた電圧値を保持し、この電圧値に対応する A / D 変換器 2 2 I ~ 2 2 L へそれぞれ出力する。このとき、走査シフトレジスタ 3 0 A 及び 3 0 B は、各画素 P に蓄積された電荷が行毎に信号読出部 2 1 A ~ 2 1 L へ順次出力されるように各画素 P を制御する。

【 0 0 3 3 】

10

複数の A / D 変換器 2 2 A ~ 2 2 L は、対応する信号読出部 2 1 A ~ 2 1 L から出力された電圧値を入力し、その入力した電圧値（アナログ値）に対して A / D 変換処理を施し、その入力電圧値に応じたデジタル値を生成する。複数の A / D 変換器 2 2 A ~ 2 2 L は、生成したデジタル値を当該 A / D 変換器 2 2 A ~ 2 2 L に対応する F I F O データバッファ 2 3 A ~ 2 3 L へ出力する。

【 0 0 3 4 】

複数の F I F O データバッファ 2 3 A ~ 2 3 L は、画素配列 1 0 A に含まれる N A 列、および画素配列 1 0 B に含まれる N B 列のそれぞれに対応する全てのデジタル値が揃った後、該デジタル値をデータバス D B へ出力する。このとき、F I F O データバッファ 2 3 A ~ 2 3 F は、画素配列 1 0 A の第 1 列から第 n 列 ($2 \leq n < N A$) までの各列に対応するデジタル値（図 3 の境界線 E より左側に配置された 6 個の F I F O データバッファ 2 3 A ~ 2 3 F に格納されたデジタル値）を順次にデータバス D B へ出力する。そして、この出力動作と並行して、F I F O データバッファ 2 3 G ~ 2 3 L は、画素配列 1 0 A の第 (n + 1) 列から、第 N A 列および画素配列 1 0 B の第 1 列を経て第 N B 列までの各列に対応するデジタル値（図 3 の境界線 E より右側に配置された 6 個の F I F O データバッファ 2 3 G ~ 2 3 L に格納されたデジタル値）を順次にデータバス D B へ出力する。すなわち、データバス D B を制御する C P U 等の処理装置から見た場合、境界線 E より左側に配置された 6 個の F I F O データバッファ 2 3 A ~ 2 3 F が一つの出力ポートを構成し、境界線 E より右側に配置された 6 個の F I F O データバッファ 2 3 G ~ 2 3 L が別の出力ポートを構成する。

20

30

【 0 0 3 5 】

続いて、本実施形態に係る固体撮像装置 1 の詳細な構成について説明する。図 5 は、固体撮像装置 1 の内部構成を示す図であって、複数の信号読出部 2 1 A ~ 2 1 L のうち一つの信号読出部に対応する画素配列 1 0 A (1 0 B) の部分（画素ブロック）を代表して示している。画素配列 1 0 A (1 0 B) における当該画素ブロックは、画素 $P_{1, i} \sim P_{M, k}$ が M 行 ($k - i + 1$) 列に 2 次元配列されて成る。画素 $P_{m, j}$ は第 m 行第 j 列に位置する。ここで、 i, k は 1 以上の整数であり、 $1 \leq i < k \leq N A$ (または $N B$) を満たす。また、 m は 1 以上 M 以下の各整数であり、 j は i 以上 k 以下の各整数である。第 m 行の ($k - i + 1$) 個の画素 $P_{m, i} \sim P_{m, k}$ それぞれは、第 m 行選択用配線 $L_{v, m}$ により走査シフトレジスタ 3 0 A (または 3 0 B) と接続されている。なお、図 5 において、走査シフトレジスタ 3 0 A 及び 3 0 B は制御部 6 に含まれている。第 j 列の M 個の画素 $P_{1, j} \sim P_{M, j}$ それぞれの出力端は、第 j 列読出用配線 $L_{o, j}$ により、信号読出部 2 1 A ~ 2 1 L の積分回路 S_j と接続されている。

40

【 0 0 3 6 】

信号読出部 2 1 A ~ 2 1 L のそれぞれは、($k - i + 1$) 個の積分回路 $S_i \sim S_k$ および ($k - i + 1$) 個の保持回路 $H_i \sim H_k$ を含む。各積分回路 S_j は共通の構成を有している。また、各保持回路 H_j は共通の構成を有している。各積分回路 S_j は、読出用配線 $L_{o, j}$ と接続された入力端を有し、この入力端に入力された電荷を蓄積して、その蓄積電荷量に応じた電圧値を出力端から保持回路 H_j へ出力する。($k - i + 1$) 個の積分回路 $S_i \sim S_k$ それぞれは、リセット用配線 L_R により制御部 6 と接続され、また、ゲイン

50

設定用配線 L_G により制御部 6 と接続されている。各保持回路 H_j は、積分回路 S_j の出力端と接続された入力端を有し、この入力端に入力される電圧値を保持し、その保持した電圧値を出力端から電圧出力用配線 L_{out} へ出力する。 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれは、保持用配線 L_H により制御部 6 と接続されている。また、各保持回路 H_j は、第 j 列選択用配線 $L_{H,j}$ により制御部 6 の読出シフトレジスタ 31A (または 31B) と接続されている。

【0037】

A/D変換器 22A ~ 22L は、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれから電圧出力用配線 L_{out} へ出力される電圧値を入力し、その入力した電圧値 (アナログ値) に対して A/D 変換処理を行い、その入力電圧値に応じたデジタル値を FIFO データバッファ 23A ~ 23L へそれぞれ出力する。

10

【0038】

制御部 6 の走査シフトレジスタ 30A (30B) は、第 m 行選択制御信号 $V_{sel}(m)$ を第 m 行選択用配線 $L_{V,m}$ へ出力して、この第 m 行選択制御信号 $V_{sel}(m)$ を第 m 行の $(k - i + 1)$ 個の画素 $P_{m,i} \sim P_{m,k}$ それぞれに与える。 M 個の行選択制御信号 $V_{sel}(1) \sim V_{sel}(M)$ は順次に有意値とされる。また、制御部 6 の読出シフトレジスタ 31A (31B) は、第 j 列選択制御信号 $H_{sel}(j)$ を第 j 列選択用配線 $L_{H,j}$ へ出力して、この第 j 列選択制御信号 $H_{sel}(j)$ を保持回路 H_j に与える。 $(k - i + 1)$ 個の列選択制御信号 $H_{sel}(i) \sim H_{sel}(k)$ も順次に有意値とされる。

20

【0039】

また、制御部 6 は、リセット制御信号 $Reset$ をリセット用配線 L_R へ出力して、このリセット制御信号 $Reset$ を $(k - i + 1)$ 個の積分回路 $S_i \sim S_k$ それぞれに与える。制御部 6 は、ゲイン設定信号 $Gain$ をゲイン設定用配線 L_G へ出力して、このゲイン設定信号 $Gain$ を $(k - i + 1)$ 個の積分回路 $S_i \sim S_k$ それぞれに与える。制御部 6 は、保持制御信号 $Hold$ を保持用配線 L_H へ出力して、この保持制御信号 $Hold$ を $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれに与える。さらに、制御部 6 は、図示してはいないが、A/D変換器 22A ~ 22L における A/D 変換処理をも制御する。

【0040】

図 6 は、固体撮像装置 1 の上記画素ブロックに含まれる画素 $P_{m,j}$ 、積分回路 S_j および保持回路 H_j それぞれの回路図である。ここでは、画素 $P_{1,i} \sim P_{M,k}$ を代表して画素 $P_{m,j}$ の回路図を示し、 $(k - i + 1)$ 個の積分回路 $S_i \sim S_k$ を代表して積分回路 S_j の回路図を示し、また、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ を代表して保持回路 H_j の回路図を示す。すなわち、第 m 行第 j 列の画素 $P_{m,j}$ および第 j 列読出用配線 $L_{o,j}$ に関連する回路部分を示す。

30

【0041】

画素 $P_{m,j}$ は、フォトダイオード PD および読出用スイッチ SW_1 を含む。フォトダイオード PD のアノード端子は接地され、フォトダイオード PD のカソード端子は読出用スイッチ SW_1 を介して第 j 列読出用配線 $L_{o,j}$ と接続されている。フォトダイオード PD は、入射光強度に応じた量の電荷を発生し、その発生した電荷を接合容量部に蓄積する。読出用スイッチ SW_1 は、制御部 6 から第 m 行選択用配線 $L_{V,m}$ を通った第 m 行選択制御信号 $V_{sel}(m)$ が与えられる。第 m 行選択制御信号 $V_{sel}(m)$ は、画素配列 10A における第 m 行の N_A 個の画素 $P_{m,1} \sim P_{m,N_A}$ 、および画素配列 10B における第 m 行の N_B 個の画素 $P_{m,1} \sim P_{m,N_B}$ それぞれの読出用スイッチ SW_1 の開閉動作を指示するものである。

40

【0042】

この画素 $P_{m,j}$ では、第 m 行選択制御信号 $V_{sel}(m)$ がローレベルであるときに読出用スイッチ SW_1 が開いて、フォトダイオード PD で発生した電荷は第 j 列読出用配線 $L_{o,j}$ へ出力されることなく接合容量部に蓄積される。一方、第 m 行選択制御信号 $V_{sel}(m)$ がハイレベルであるときに読出用スイッチ SW_1 が閉じて、それまでフォト

50

ダイオードPDで発生して接合容量部に蓄積されていた電荷は、読出用スイッチ SW_1 を経て第 j 列読出用配線 $L_{O,j}$ へ出力される。

【0043】

第 j 列読出用配線 $L_{O,j}$ は、画素配列10A（または10B）における第 j 列の M 個の画素 $P_{1,j} \sim P_{M,j}$ それぞれの読出用スイッチ SW_1 と接続されている。第 j 列読出用配線 $L_{O,j}$ は、 M 個の画素 $P_{1,j} \sim P_{M,j}$ のうちの何れかの画素のフォトダイオードPDで発生した電荷を、該画素の読出用スイッチ SW_1 を介して読み出して、積分回路 S_j へ転送する。

【0044】

積分回路 S_j は、アンプ A_2 、積分用容量素子 $C_{2,1}$ 、積分用容量素子 $C_{2,2}$ 、放電用スイッチ $SW_{2,1}$ およびゲイン設定用スイッチ $SW_{2,2}$ を含む。積分用容量素子 $C_{2,1}$ および放電用スイッチ $SW_{2,1}$ は、互いに並列的に接続されて、アンプ A_2 の入力端子と出力端子との間に設けられている。また、積分用容量素子 $C_{2,2}$ およびゲイン設定用スイッチ $SW_{2,2}$ は、互いに直列的に接続されて、ゲイン設定用スイッチ $SW_{2,2}$ がアンプ A_2 の入力端子側に接続されるようにアンプ A_2 の入力端子と出力端子との間に設けられている。アンプ A_2 の入力端子は、第 j 列読出用配線 $L_{O,j}$ と接続されている。

【0045】

放電用スイッチ $SW_{2,1}$ には、制御部6からリセット用配線 L_R を経たりセット制御信号Resetが与えられる。リセット制御信号Resetは、画素配列10Aに対応する NA 個の積分回路 $S_1 \sim S_{NA}$ 、および画素配列10Bに対応する NB 個の積分回路 $S_1 \sim S_{NB}$ それぞれの放電用スイッチ $SW_{2,1}$ の開閉動作を指示するものである。ゲイン設定用スイッチ $SW_{2,2}$ は、制御部6からゲイン設定用配線 L_G を経たゲイン設定信号Gainが与えられる。ゲイン設定信号Gainは、画素配列10Aに対応する NA 個の積分回路 $S_1 \sim S_{NA}$ 、および画素配列10Bに対応する NB 個の積分回路 $S_1 \sim S_{NB}$ それぞれのゲイン設定用スイッチ $SW_{2,2}$ の開閉動作を指示するものである。

【0046】

この積分回路 S_j では、積分用容量素子 $C_{2,1}$ 、 $C_{2,2}$ およびゲイン設定用スイッチ $SW_{2,2}$ は、容量値が可変である帰還容量部を構成している。すなわち、ゲイン設定信号Gainがローレベルであってゲイン設定用スイッチ $SW_{2,2}$ が開いているときには、帰還容量部の容量値は積分用容量素子 $C_{2,1}$ の容量値と等しい。一方、ゲイン設定信号Gainがハイレベルであってゲイン設定用スイッチ $SW_{2,2}$ が閉じているときには、帰還容量部の容量値は、積分用容量素子 $C_{2,1}$ 、 $C_{2,2}$ それぞれの容量値の和と等しい。リセット制御信号Resetがハイレベルであるときに、放電用スイッチ $SW_{2,1}$ が閉じて、帰還容量部が放電され、積分回路 S_j から出力される電圧値が初期化される。一方、リセット制御信号Resetがローレベルであるときに、放電用スイッチ $SW_{2,1}$ が開いて、入力端に入力された電荷が帰還容量部に蓄積され、その蓄積電荷量に応じた電圧値が積分回路 S_j から出力される。

【0047】

保持回路 H_j は、入力用スイッチ $SW_{3,1}$ 、出力用スイッチ $SW_{3,2}$ および保持用容量素子 C_3 を含む。保持用容量素子 C_3 の一端は接地されている。保持用容量素子 C_3 の他端は、入力用スイッチ $SW_{3,1}$ を介して積分回路 S_j の出力端と接続され、出力用スイッチ $SW_{3,2}$ を介して電圧出力用配線 L_{out} と接続されている。入力用スイッチ $SW_{3,1}$ には、制御部6から保持用配線 L_H を通った保持制御信号Holdが与えられる。保持制御信号Holdは、画素配列10Aに対応する NA 個の保持回路 $H_1 \sim H_{NA}$ 、および画素配列10Bに対応する NB 個の保持回路 $H_1 \sim H_{NB}$ それぞれの入力用スイッチ $SW_{3,1}$ の開閉動作を指示する信号である。出力用スイッチ $SW_{3,2}$ には、制御部6から第 j 列選択用配線 $L_{H,j}$ を通った第 j 列選択制御信号Hsel(j)が与えられる。第 j 列選択制御信号Hsel(j)は、保持回路 H_j の出力用スイッチ $SW_{3,2}$ の開閉動作を指示する信号である。

【0048】

10

20

30

40

50

この保持回路 H_j では、保持制御信号 $Hold$ がハイレベルからローレベルに転じると、入力用スイッチ SW_{31} が閉状態から開状態に転じて、そのときに入力端に入力されている電圧値が保持用容量素子 C_3 に保持される。また、第 j 列選択制御信号 $Hsel(j)$ がハイレベルであるときに、出力用スイッチ SW_{32} が閉じて、保持用容量素子 C_3 に保持されている電圧値が電圧出力用配線 L_{out} へ出力される。

【0049】

制御部 6 は、画素配列 10A（または 10B）における第 m 行の $(k-i+1)$ 個の画素 $P_{m,i} \sim P_{m,k}$ それぞれの受光強度に応じた電圧値を出力するに際して、リセット制御信号 $Reset$ により、 $(k-i+1)$ 個の積分回路 $S_i \sim S_k$ それぞれの放電用スイッチ SW_{21} を一旦閉じた後に開くよう指示した後、第 m 行選択制御信号 $Vsel(m)$ により、画素配列 10A（10B）における第 m 行の $(k-i+1)$ 個の画素 $P_{m,i} \sim P_{m,k}$ それぞれの読出用スイッチ SW_1 を所定期間に亘り閉じるよう指示する。制御部 6 は、その所定期間に、保持制御信号 $Hold$ により、 $(k-i+1)$ 個の保持回路 $H_i \sim H_k$ それぞれの入力用スイッチ SW_{31} を閉状態から開状態に転じるよう指示する。そして、制御部 6 は、その所定期間の後に、列選択制御信号 $Hsel(i) \sim Hsel(k)$ により、 $(k-i+1)$ 個の保持回路 $H_i \sim H_k$ それぞれの出力用スイッチ SW_{32} を順次に一定期間だけ閉じるよう指示する。制御部 6 は、以上のような制御を各行について順次に行う。

【0050】

このように、制御部 6 は、画素配列 10A（10B）の各画素ブロックに含まれる画素 $P_{1,i} \sim P_{M,k}$ それぞれの読出用スイッチ SW_1 の開閉動作を制御するとともに、信号読出部 21A～21L における電圧値の保持動作および出力動作を制御する。これにより、制御部 6 は、 $M \times (k-i+1)$ 個の画素 $P_{1,i} \sim P_{M,k}$ それぞれのフォトダイオード PD で発生した電荷の量に応じた電圧値を各フレーム毎に信号読出部 21A～21L から繰り返し出力させる。

【0051】

次に、固体撮像装置 1 の動作について詳細に説明する。固体撮像装置 1 では、制御部 6 による制御の下で、 M 個の行選択制御信号 $Vsel(1) \sim Vsel(M)$ 、 $(NA+NB)$ 個の列選択制御信号 $Hsel(1) \sim Hsel(NA)$ 及び $Hsel(1) \sim Hsel(NB)$ 、リセット制御信号 $Reset$ 並びに保持制御信号 $Hold$ それぞれが所定のタイミングでレベル変化することにより、画素配列 10A 及び 10B に入射された光の像を撮像してフレームデータを得ることができる。なお、以下の説明においては、ゲイン設定用スイッチ SW_{22} は、閉じているものとする。

【0052】

図 7 は、画素配列 10A の第 1 列～第 n 列（図 3 に示した境界線 E より左側の画素配列）に含まれる画素ブロックの動作と、この画素ブロックに対応する信号出力部 20 の動作とを説明するタイミングチャートである。この図には、上から順に、(a) 積分回路 $S_i \sim S_k$ それぞれの放電用スイッチ SW_{21} の開閉動作を指示するリセット制御信号 $Reset$ 、(b) 当該画素ブロックにおける第 1 行の画素 $P_{1,i} \sim P_{1,k}$ それぞれの読出用スイッチ SW_1 の開閉動作を指示する第 1 行選択制御信号 $Vsel(1)$ 、(c) 当該画素ブロックにおける第 2 行の画素 $P_{2,i} \sim P_{2,k}$ それぞれの読出用スイッチ SW_1 の開閉動作を指示する第 2 行選択制御信号 $Vsel(2)$ 、ならびに、(d) 保持回路 $H_i \sim H_k$ それぞれの入力用スイッチ SW_{31} の開閉動作を指示する保持制御信号 $Hold$ が示されている。

【0053】

また、この図には、更に続いて順に、(e) 保持回路 H_i の出力用スイッチ SW_{32} の開閉動作を指示する第 i 列選択制御信号 $Hsel(i)$ 、(f) 保持回路 H_j の出力用スイッチ SW_{32} の開閉動作を指示する第 j 列選択制御信号 $Hsel(j)$ 、(g) 保持回路 H_{k-2} の出力用スイッチ SW_{32} の開閉動作を指示する第 $(k-2)$ 列選択制御信号 $Hsel(k-2)$ 、(h) 保持回路 H_{k-1} の出力用スイッチ SW_{32} の開閉動作を指

10

20

30

40

50

示する第 $(k - 1)$ 列選択制御信号 $Hsel(k - 1)$ 、および、 (i) 保持回路 H_k の出力用スイッチ SW_{32} の開閉動作を指示する第 k 列選択制御信号 $Hsel(k)$ が示されている。

【0054】

第 1 行の $(k - i + 1)$ 個の画素 $P_{1,i} \sim P_{1,k}$ それぞれのフォトダイオード PD で発生し接合容量部に蓄積された電荷の読出しは、以下のようにして行われる。時刻 t_{10} 前には、 M 個の行選択制御信号 $Vsel(1) \sim Vsel(M)$ 、 $(k - i + 1)$ 個の列選択制御信号 $Hsel(i) \sim Hsel(k)$ 、リセット制御信号 $Reset$ および保持制御信号 $Hold$ それぞれは、ローレベルとされている。

【0055】

時刻 t_{10} から時刻 t_{11} までの期間、制御部 6 からリセット用配線 L_R に出力されるリセット制御信号 $Reset$ がハイレベルとなり、これにより、 $(k - i + 1)$ 個の積分回路 $S_i \sim S_k$ それぞれにおいて、放電用スイッチ SW_{21} が閉じて、積分用容量素子 C_{21}, C_{22} が放電される。また、時刻 t_{11} より後の時刻 t_{12} から時刻 t_{15} までの期間、制御部 6 から第 1 行選択用配線 $L_{V,1}$ に出力される第 1 行選択制御信号 $Vsel(1)$ がハイレベルとなり、これにより、当該画素ブロックにおける第 1 行の $(k - i + 1)$ 個の画素 $P_{1,i} \sim P_{1,k}$ それぞれの読出用スイッチ SW_1 が閉じる。

【0056】

この期間 $(t_{12} \sim t_{15})$ 内において、時刻 t_{13} から時刻 t_{14} までの期間、制御部 6 から保持用配線 L_H へ出力される保持制御信号 $Hold$ がハイレベルとなり、これにより、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれにおいて入力用スイッチ SW_{31} が閉じる。

【0057】

期間 $(t_{12} \sim t_{15})$ 内では、第 1 行の各画素 $P_{1,j}$ の読出用スイッチ SW_1 が閉じており、各積分回路 S_j の放電用スイッチ SW_{21} が開いている。したがって、それまでに画素 $P_{1,j}$ のフォトダイオード PD で発生して接合容量部に蓄積されていた電荷は、その画素 $P_{1,j}$ の読出用スイッチ SW_1 および第 j 列読出用配線 $L_{0,j}$ を通って、積分回路 S_j の積分用容量素子 C_{21}, C_{22} に転送されて蓄積される。そして、各積分回路 S_j の積分用容量素子 C_{21}, C_{22} に蓄積されている電荷の量に応じた電圧値が積分回路 S_j の出力端から出力される。

【0058】

その期間 $(t_{12} \sim t_{15})$ 内の時刻 t_{14} に、保持制御信号 $Hold$ がハイレベルからローレベルに転じることにより、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれにおいて、入力用スイッチ SW_{31} が閉状態から開状態に転じ、そのときに積分回路 S_j の出力端から出力されて保持回路 H_j の入力端に入力されている電圧値が保持用容量素子 C_3 に保持される。

【0059】

そして、期間 $(t_{12} \sim t_{15})$ の後、制御部 6 から列選択用配線 $L_{H,i} \sim L_{H,k}$ に出力される列選択制御信号 $Hsel(i) \sim Hsel(k)$ が、 $Hsel(k)$ から開始して逆順に（すなわち、列番が降順となる順序で）一定期間だけハイレベルとなり、これにより、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれの出力用スイッチ SW_{32} が逆順に一定期間だけ閉じて、各保持回路 H_j の保持用容量素子 C_3 に保持されている電圧値は出力用スイッチ SW_{32} を経て電圧出力用配線 L_{out} へ逆順でもって出力される。この電圧出力用配線 L_{out} へ出力される電圧値 V_{out} は、第 1 行の $(k - i + 1)$ 個の画素 $P_{1,i} \sim P_{1,k}$ それぞれのフォトダイオード PD における受光強度を表すものである。 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれから逆順で出力された電圧値は A/D 変換器 22A ~ 22L のいずれかに入力されて、その入力電圧値に応じたデジタル値に変換される。

【0060】

続いて、第 2 行の $(k - i + 1)$ 個の画素 $P_{2,i} \sim P_{2,k}$ それぞれのフォトダイオ

10

20

30

40

50

ードPDで発生し接合容量部に蓄積された電荷の読出しが以下のようにして行われる。

【0061】

前述した動作において列選択制御信号Hsel(k)がハイレベルとなる時刻 t_{20} から、列選択制御信号Hsel(i)が一度ハイレベルになってからローレベルとなる時刻より後の時刻 t_{21} までの期間、制御部6からリセット用配線 L_R に出力されるリセット制御信号Resetがハイレベルとなり、これにより、(k-i+1)個の積分回路 $S_i \sim S_k$ それぞれにおいて、放電用スイッチ SW_{21} が閉じて、積分用容量素子 C_{21}, C_{22} が放電される。また、時刻 t_{21} より後の時刻 t_{22} から時刻 t_{25} までの期間、制御部6から第2行選択用配線 $L_{V,2}$ に出力される第2行選択制御信号Vsel(2)がハイレベルとなり、これにより、当該画素ブロックにおける第2行の(k-i+1)個の画素 $P_{2,i} \sim P_{2,k}$ それぞれの読出用スイッチ SW_1 が閉じる。

10

【0062】

この期間($t_{22} \sim t_{25}$)内において、時刻 t_{23} から時刻 t_{24} までの期間、制御部6から保持用配線 L_H へ出力される保持制御信号Holdがハイレベルとなり、これにより、(k-i+1)個の保持回路 $H_i \sim H_k$ それぞれにおいて入力用スイッチ SW_{31} が閉じる。

【0063】

そして、期間($t_{22} \sim t_{25}$)の後に、制御部6から列選択用配線 $L_{H,i} \sim L_{H,k}$ に出力される列選択制御信号Hsel(i)~Hsel(k)がHsel(k)から開始して逆順に一定期間だけハイレベルとなり、これにより、(k-i+1)個の保持回路 $H_i \sim H_k$ それぞれの出力用スイッチ SW_{32} が逆順で一定期間だけ閉じる。以上のようにして、第2行の(k-i+1)個の画素 $P_{2,i} \sim P_{2,k}$ それぞれのフォトダイオードPDにおける受光強度を表す電圧値 V_{out} が電圧出力用配線 L_{out} へ出力される。(k-i+1)個の保持回路 $H_i \sim H_k$ それぞれから逆順でもって出力された電圧値はA/D変換器22A~22Lのいずれかに入力されて、その入力電圧値に応じたデジタル値に変換される。

20

【0064】

図8は、画素配列10Aの第(n+1)列~第NA列、および画素配列10Bの第1列~第NB列(図3に示した境界線Eより右側の画素配列)に含まれる画素ブロックの動作と、この画素ブロックに対応する信号出力部20の動作とを説明するタイミングチャートである。この図には、上から順に、(a)リセット制御信号Reset、(b)第1行選択制御信号Vsel(1)、(c)第2行選択制御信号Vsel(2)、及び(d)保持制御信号Holdが示されている。なお、これらの信号の動作は図7(a)~(d)に示したものと同一であり、画素 $P_{1,i} \sim P_{M,k}$ 、積分回路 $S_i \sim S_k$ 、および保持回路 $H_i \sim H_k$ の動作もまた、保持回路 $H_i \sim H_k$ の出力順を除いて上述した動作と同様なので、これらに関する詳細な説明を省略する。

30

【0065】

また、この図には、更に続いて順に、(e)保持回路 H_i の出力用スイッチ SW_{32} の開閉動作を指示する第i列選択制御信号Hsel(i)、(f)保持回路 H_{i+1} の出力用スイッチ SW_{32} の開閉動作を指示する第(i+1)列選択制御信号Hsel(i+1)、(g)保持回路 H_{i+2} の出力用スイッチ SW_{32} の開閉動作を指示する第(i+2)列選択制御信号Hsel(i+2)、(h)保持回路 H_j の出力用スイッチ SW_{32} の開閉動作を指示する第j列選択制御信号Hsel(j)、および、(i)保持回路 H_k の出力用スイッチ SW_{32} の開閉動作を指示する第k列選択制御信号Hsel(k)が示されている。

40

【0066】

第1行の(k-i+1)個の画素 $P_{1,i} \sim P_{1,k}$ それぞれのフォトダイオードPDで発生し接合容量部に蓄積された電荷の読出しが行われ、各保持回路 H_j の保持用容量素子 C_3 に保持される期間($t_{10} \sim t_{15}$)の後、制御部6から列選択用配線 $L_{H,i} \sim L_{H,k}$ に出力される列選択制御信号Hsel(i)~Hsel(k)が、Hsel(i)

50

）から開始して正順に（すなわち、列番が昇順となる順序で）一定期間だけハイレベルとなり、これにより、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれの出力用スイッチ SW_{32} が正順に一定期間だけ閉じて、各保持回路 H_j の保持用容量素子 C_3 に保持されている電圧値は出力用スイッチ SW_{32} を経て電圧出力用配線 L_{out} へ正順でもって出力される。 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれから正順で出力された電圧値は A/D 変換器 $22A \sim 22L$ のいずれかに入力されて、その入力電圧値に応じたデジタル値に変換される。

【0067】

続いて、第2行の $(k - i + 1)$ 個の画素 $P_{2,i} \sim P_{2,k}$ それぞれのフォトダイオード PD で発生し接合容量部に蓄積された電荷の読出しが行われ、各保持回路 H_j の保持用容量素子 C_3 に保持される期間 $(t_{21} \sim t_{25})$ の後、制御部6から列選択用配線 $L_{H,i} \sim L_{H,k}$ に出力される列選択制御信号 $Hsel(i) \sim Hsel(k)$ が $Hsel(i)$ から開始して正順に一定期間だけハイレベルとなり、これにより、 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれの出力用スイッチ SW_{32} が正順で一定期間だけ閉じる。以上のようにして、第2行の $(k - i + 1)$ 個の画素 $P_{2,i} \sim P_{2,k}$ それぞれのフォトダイオード PD における受光強度を表す電圧値 V_{out} が電圧出力用配線 L_{out} へ出力される。 $(k - i + 1)$ 個の保持回路 $H_i \sim H_k$ それぞれから正順でもって出力された電圧値は A/D 変換器 $22A \sim 22L$ のいずれかに入力されて、その入力電圧値に応じたデジタル値に変換される。

【0068】

図7及び図8に示した第1行および第2行についての動作に続いて、以降、第3行から第M行まで同様の動作が行われて、1回の撮像で得られる画像を表すフレームデータが得られる。また、第M行について動作が終了すると、再び第1行から第M行までの範囲で同様の動作が行われて、次の画像を表すフレームデータが得られる。このように、一定周期で同様の動作を繰り返すことで、当該画素ブロックが受光した光像の2次元強度分布を表す電圧値 V_{out} が電圧出力用配線 L_{out} へ出力されて、繰り返してフレームデータが得られる。

【0069】

続いて、FIFOデータバッファ $23A \sim 23L$ の動作について説明する。図9は、画素配列 $10A$ の第1列～第n列（図3に示した境界線Eより左側の画素配列）に含まれる画素ブロックに対応して設けられたFIFOデータバッファ $23A \sim 23F$ の入出力動作を説明するタイミングチャートである。この図には、上から順に、(a) A/D 変換器 $22A \sim 22F$ からFIFOデータバッファ $23A \sim 23F$ にデジタル値が書き込まれるタイミング、(b) FIFOデータバッファ $23A$ に記憶されたデジタル値が読み出されるタイミング、(c) FIFOデータバッファ $23B$ に記憶されたデジタル値が読み出されるタイミング、(d) FIFOデータバッファ $23C$ に記憶されたデジタル値が読み出されるタイミング、(e) FIFOデータバッファ $23D$ に記憶されたデジタル値が読み出されるタイミング、(f) FIFOデータバッファ $23E$ に記憶されたデジタル値が読み出されるタイミング、および(g) FIFOデータバッファ $23F$ に記憶されたデジタル値が読み出されるタイミングが示されている。

【0070】

図9(a)に示すように、 A/D 変換器 $22A \sim 22F$ からFIFOデータバッファ $23A \sim 23F$ へのデジタル値の書き込み動作は、FIFOデータバッファ $23A \sim 23F$ のそれぞれにおいて同時に並行して行われる。そして、画素配列 $10A, 10B$ を構成する第1行～第M行のうち、第m行に対応するデジタル値をFIFOデータバッファ $23A \sim 23F$ へ書き込む動作が開始されるタイミング（図中の時刻 t_{30} ）とほぼ同じタイミングで、その前の第 $(m - 1)$ 行に対応するデジタル値が、FIFOデータバッファ $23A \sim 23F$ からデータバス DB （図3参照）を介して読み出され始める。

【0071】

このとき、FIFOデータバッファ $23A \sim 23F$ に記憶されたデジタル値は、F I

10

20

30

40

50

FIFOデータバッファ23Fから開始してFIFOデータバッファ23Aまで、画素配列10A, 10Bの列番号と逆順で読み出される。具体的には、FIFOデータバッファ23Fからの読み出し動作(図9(g))が終了した後にFIFOデータバッファ23Eからの読み出し動作が開始され(図9(f))、FIFOデータバッファ23Eからの読み出し動作が終了した後にFIFOデータバッファ23Dからの読み出し動作が開始され(図9(e))、以降、FIFOデータバッファ23Aの読み出しが終了するまで(図9(b))、各FIFOデータバッファからデジタル値がこの順で読み出される。

【0072】

前述したように、信号読出部21A~21Fのそれぞれにおいて保持されている各列毎の電圧値は、対応するA/D変換器22A~22Fへ列番号とは逆の順序でもって出力される。そして、A/D変換器22A~22Fから出力されたデジタル値は同時に並行してFIFOデータバッファ23A~23Fへ書き込まれ、データバスDBを介してデジタル値が読み出される際にも、この順序でもって(すなわち列番号とは逆順で)読み出される。したがって、上記のようにFIFOデータバッファ23Fから読み出しを開始することにより、信号出力部20は、画素配列10Aの第1列から第n列までの各列に対応するデジタル値を、第n列から開始して第1列まで順次に、列番号とは逆順で出力することとなる。

【0073】

FIFOデータバッファ23A~23Fは、このようにして第(m-1)行に対応するデジタル値をデータバスDBへ出力したのち、該デジタル値の出力動作と並行して入力した第m行に対応するデジタル値を、図中の時刻 t_{31} (第m+1行に対応するデジタル値をFIFOデータバッファ23A~23Fへ書き込む動作が開始されるタイミング)とほぼ同じタイミングで、且つ第(m-1)行に対応するデジタル値を出力した際と同じ順序で、データバスDBへ出力する。このような動作が第1行から第M行まで行われることにより、フレームデータがデータバスDBへ出力される。また、第M行について動作が終了すると、再び第1行から第M行までの範囲で同様の動作が行われて、次の画像を表すフレームデータが出力される。

【0074】

図10は、画素配列10Aの第(n+1)列~第NA列および画素配列10Bの第1列~第NB列(図3に示した境界線Eより右側の画素配列)に含まれる画素ブロックに対応して設けられたFIFOデータバッファ23G~23Lの入出力動作を説明するタイミングチャートである。この図には、上から順に、(a)A/D変換器22G~22LからFIFOデータバッファ23G~23Lにデジタル値が書き込まれるタイミング、(b)FIFOデータバッファ23Gに記憶されたデジタル値が読み出されるタイミング、(c)FIFOデータバッファ23Hに記憶されたデジタル値が読み出されるタイミング、(d)FIFOデータバッファ23Iに記憶されたデジタル値が読み出されるタイミング、(e)FIFOデータバッファ23Jに記憶されたデジタル値が読み出されるタイミング、(f)FIFOデータバッファ23Kに記憶されたデジタル値が読み出されるタイミング、および(g)FIFOデータバッファ23Lに記憶されたデジタル値が読み出されるタイミングが示されている。

【0075】

図10(a)に示すように、A/D変換器22G~22LからFIFOデータバッファ23G~23Lへのデジタル値の書き込み動作は、FIFOデータバッファ23G~23Lのそれぞれにおいて同時に並行して行われる。そして、画素配列10A, 10Bを構成する第1行~第M行のうち、第m行に対応するデジタル値をFIFOデータバッファ23G~23Lへ書き込む動作が開始されるタイミング(図中の時刻 t_{30})とほぼ同じタイミングで、その前の第(m-1)行に対応するデジタル値が、FIFOデータバッファ23G~23LからデータバスDB(図3参照)を介して読み出され始める。

【0076】

このとき、FIFOデータバッファ23G~23Lに記憶されたデジタル値は、FI

10

20

30

40

50

F O データバッファ 2 3 G から開始して F I F O データバッファ 2 3 L まで、画素配列 1 0 A , 1 0 B の列番号に対して正順で読み出される。具体的には、F I F O データバッファ 2 3 G からの読み出し動作 (図 1 0 (b)) が終了した後に F I F O データバッファ 2 3 H からの読み出し動作が開始され (図 1 0 (c)) 、F I F O データバッファ 2 3 H からの読み出し動作が終了した後に F I F O データバッファ 2 3 I からの読み出し動作が開始され (図 1 0 (d)) 、以降、F I F O データバッファ 2 3 L の読み出しが終了するまで (図 1 0 (g)) 、各 F I F O データバッファからデジタル値がこの順で読み出される。

【 0 0 7 7 】

前述したように、信号読出部 2 1 G ~ 2 1 L のそれぞれにおいて保持されている各列毎の電圧値は、対応する A / D 変換器 2 2 G ~ 2 2 L へ列番号に対して正順でもって出力される。そして、A / D 変換器 2 2 G ~ 2 2 L から出力されたデジタル値は同時に並行して F I F O データバッファ 2 3 G ~ 2 3 L へ書き込まれ、データバス D B を介してデジタル値が読み出される際にも、この順序でもって (すなわち列番号に対し正順で) 読み出される。したがって、上記のように F I F O データバッファ 2 3 G から読み出しを開始することにより、信号出力部 2 0 は、画素配列 1 0 A の第 (n + 1) 列から、第 N A 列および画素配列 1 0 B の第 1 列を経て第 N B 列までの各列に対応するデジタル値を正順で、すなわち画素配列 1 0 A の第 1 列ないし第 n 列の各列に対応するデジタル値の出力順序とは逆の順序でもって順次に出る。

【 0 0 7 8 】

F I F O データバッファ 2 3 G ~ 2 3 L は、このようにして第 (m - 1) 行に対応するデジタル値をデータバス D B へ出力したのち、該デジタル値の出力動作と並行して入力した第 m 行に対応するデジタル値を、図中の時刻 $t_{3,1}$ (第 m + 1 行に対応するデジタル値を F I F O データバッファ 2 3 G ~ 2 3 L へ書き込む動作が開始されるタイミング) とほぼ同じタイミングで、且つ第 (m - 1) 行に対応するデジタル値を出力した際と同じ順序で、データバス D B へ出力する。このような動作が第 1 行から第 M 行まで行われることにより、フレームデータがデータバス D B へ出力される。また、第 M 行について動作が終了すると、再び第 1 行から第 M 行までの範囲で同様の動作が行われて、次の画像を表すフレームデータが出力される。

【 0 0 7 9 】

以上に説明した本実施形態の固体撮像装置 1 により得られる効果について、従来の固体撮像装置における課題とともに説明する。一般的に、固体撮像装置の画素配列に要求される大きさはその撮像用途により様々であるが、例えば歯科の診断におけるセファロ撮影においては、固体撮像装置の画素配列は 2 2 c m 以上の長尺であることが要求される。セファロ撮影では患者の頭蓋骨及び上下顎骨の位置関係を把握し、どの部位を抜歯するか、或いは患者の矯正治療が簡単か難しいか等の情報を得るが、そのような情報を得るためには画素配列の上下方向の幅が成人の頭部のほぼ全体をカバーする必要があるからである。

【 0 0 8 0 】

しかし、このような長尺の画素配列が要求されると、固体撮像装置の生産に用いられる半導体ウェハの直径によっては、単一の基板上に当該画素配列を作製することが困難な場合がある。このような場合、画素配列に要求される寸法より短い二枚の基板を長尺方向に並べ、それぞれの画素配列を合わせて一つの固体撮像装置として使用 (いわゆるタイリング) することによって、要求寸法を満足することができる。

【 0 0 8 1 】

しかしながら、二枚の基板を並べて使用する場合、図 3 に示したように画素配列同士の境界部分 (継ぎ目) にデッドエリア C が生じてしまう。そして、撮像用途によっては、このようなデッドエリア C の位置に制限がある場合がある。歯科診断における X 線撮影の場合、図 1 1 (a) に示されるように二つの画素配列 1 1 0 A , 1 1 0 B が上下方向にタイリングされて水平方向に平行移動しながら撮像を行うが、画素配列 1 1 0 A , 1 1 0 B の上下方向の幅が互いに等しい場合、同図に示すように画素配列 1 1 0 A と画素配列 1 1 0

10

20

30

40

50

Bとの境界部分が被写体Aの耳の辺りを通ることとなる。なお、図中に示す領域FA及びFBは、それぞれ画素配列110A及び110Bによる撮像範囲を示している。セファロ撮影においては、図11(a)に示した被写体Aの顎から耳を含む辺りまでの領域Gに関する情報が重要であるが、画素配列110Aと画素配列110Bとの境界部分が領域Gの内部を通することはこの領域Gに関する情報の欠落に繋がり、好ましくない。したがって、このような場合には、図11(b)に示すように、二つ画素配列120A、120Bそれぞれの長尺方向の幅を互いに異ならせることにより、画素配列同士の境界部分すなわちデッドエリアの移動経路を領域Gから除くことができる。

【0082】

また、タイリングされる二つの画素配列の長尺方向の幅を互いに異ならせることには、次のような利点もある。図12(a)は、シリコンウェハWにおいて、長尺方向の幅が広い複数の画素配列120Aおよび長尺方向の幅が狭い複数の画素配列120Bの面付けを行った様子を示す図である。また、図12(b)は、シリコンウェハWにおいて長尺方向の幅が等しい複数の画素配列110の面付けを行った様子を示す図である。これらの図から明らかなように、長尺方向の幅が等しい複数の画素配列110を面付けするよりも、長尺方向の幅が広い複数の画素配列120Aと、長尺方向の幅が狭い複数の画素配列120Bとを組み合わせる面付けするほうが、シリコンウェハWにおける無駄な部分を少なくし、より効率的に画素配列を取り出すことができる。

【0083】

ここで、上述したタイリング方式を実現する為に、PPS方式の固体撮像装置を構成する二枚の基板をそれぞれの画素配列の行方向に並置した場合、各基板の画素配列の長尺方向の幅が互いに異なると、各基板の画素配列の列数が互いに異なることとなり、以下に説明する問題が生じる。

【0084】

いま、長尺方向の幅が広い一方の画素配列が、列数が互いに等しい8つの画素ブロックを有するものとし、長尺方向の幅が狭い他方の画素配列が、列数が互いに等しい4つの画素ブロックを有するものとする。図13(a)~(h)は、一方の画素配列の8つの画素ブロックにそれぞれ対応する8個のFIFOデータバッファ(1)~(8)からデジタル値が出力されるタイミングの一例を示すタイミングチャートであり、図13(i)~(l)は、他方の画素配列の4つの画素ブロックにそれぞれ対応する4個のFIFOデータバッファ(9)~(12)からデジタル値が出力されるタイミングの一例を示すタイミングチャートである。通常、一方の基板上に形成された画素配列に対応するFIFOデータバッファ(1)~(8)によって一つの出力ポートPa1を構成し、他方の基板上に形成された画素配列に対応するFIFOデータバッファ(9)~(12)によって他の一つの出力ポートPa2を構成することが一般的であるが、そのような構成とした場合、各出力ポートPa1、Pa2から並行してデジタル値を出力する際に、全てのデジタル値を出力し終えるまでに要する時間が各出力ポートPa1、Pa2で異なる。図13に示す例では、時刻 t_{40} において出力ポートPa1のFIFOデータバッファ(1)および出力ポートPa2のFIFOデータバッファ(9)が出力動作を開始しているが、出力ポートPa1の方が出力ポートPa2よりFIFOデータバッファの数が多い為、出力ポートPa1の出力動作が終了する時刻 t_{42} は出力ポートPa2の出力動作が終了する時刻 t_{41} より遅くなる。したがって、時刻 t_{41} ~ t_{42} の間、出力ポートPa2は待ち状態とならざるを得ず、一フレームの撮像に要する時間が長くなってしまふ。

【0085】

このような問題点は、一方の出力ポートに含まれる画素配列の列数(FIFOデータバッファの数)と、他方の出力ポートに含まれる画素配列の列数(FIFOデータバッファの数)とを近づける(好ましくは、等しくする)ことにより解決される。例えば、図14に示すように、一方の出力ポートPb1に6個のFIFOデータバッファ(1)~(6)を割り付け、これと同数のFIFOデータバッファ(7)~(12)を他方の出力ポートPb2に割り付けることにより、全てのデジタル値を出力し終えるまでに要する時間を

各出力ポート P b 1 , P b 2 で等しくすることができる。図 1 4 に示す例では、時刻 t_{50} において出力ポート P b 1 の F I F O データバッファ (1) および出力ポート P b 2 の F I F O データバッファ (7) が出力動作を開始しており、出力ポート P b 1 の出力動作が終了する時刻 t_{51} は出力ポート P b 2 の出力動作が終了する時刻と同じになる。

【 0 0 8 6 】

このような点に鑑み、本実施形態の固体撮像装置 1 においては、信号出力部 2 0 の F I F O データバッファ 2 3 A ~ 2 3 L が、各画素 P で発生した電荷の量に応じたデジタル値をデータバス D B へ出力する際、画素配列 1 0 A の第 n 列以前の各列 (すなわち第 1 列から第 n 列まで) に対応するデジタル値を F I F O データバッファ 2 3 A ~ 2 3 F から、第 (n + 1) 列以降の各列および画素配列 1 0 B の第 1 列ないし第 N B 列 (すなわち、画素配列 1 0 A の第 (n + 1) 列から第 N A 列および画素配列 1 0 B の第 1 列を経て第 N B 列まで) に対応するデジタル値を F I F O データバッファ 2 3 G ~ 2 3 L から、それぞれ並行して出力する。このように、列数が多い画素配列 1 0 A の第 1 列と第 N A 列との間の列 (第 n 列) を境に出力動作を分割してデジタル値を並行して出力させることにより、分割された一方の領域 (図 3 における境界線 E より左側の領域) の列数と、分割された他方の領域 (図 3 における境界線 E より右側の領域) の列数とを互いに同じか或いは近い列数とすることができる。

【 0 0 8 7 】

したがって、本実施形態に係る固体撮像装置 1 によれば、例えば画素配列 1 0 A の第 1 列ないし第 N A 列からデジタル値を出力させ、これと並行して画素配列 1 0 B の第 1 列ないし第 N B 列からデジタル値を出力させる方式と比較して、出力動作における待ち時間をゼロに近づけることができ、一フレームの撮像に要する時間を効果的に短縮できる。

【 0 0 8 8 】

このような効果は、画素配列 1 0 A における第 1 列ないし第 n 列の列数が、画素配列 1 0 A における第 (n + 1) 列ないし第 N A 列の列数と画素配列 1 0 B における第 1 列ないし第 N B 列の列数との和に等しい場合に、特に顕著となる。すなわち、第 n 列を境に分割された一方の領域 (図 3 における境界線 E より左側の領域) の列数と、他方の領域 (図 3 における境界線 E より右側の領域) の列数とを等しくすることにより、デジタル値の出力動作における待ち時間がほぼゼロとなり、一フレームの撮像に要する時間をより効果的に短縮できる。

【 0 0 8 9 】

また、本実施形態に係る固体撮像装置 1 では、画素配列 1 0 A の第 1 列を含む一又は複数の連続した列、および画素配列 1 0 B の第 N B 列を含む一又は複数の連続した列が、X 線遮蔽部材 5 によって入射 X 線から遮蔽された不感領域となっている (例えば図 4 (b) を参照) 。信号出力部 2 0 から出力されるデジタル値のうち、この不感領域に含まれる画素と対応するデジタル値は、X 線像とは関係のない無効データとなる。

【 0 0 9 0 】

このような場合、第 n 列を境に分割された一方の領域におけるデジタル値の出力順と、他方の領域におけるデジタル値の出力順とを同じ順序とすると、次のような不都合が生じる。すなわち、図 1 4 において、X 線遮蔽部材 5 に起因する無効データは符号 Q 1 , Q 2 で示される箇所に存在するが、同図のように各列のデジタル値の出力順を双方共に正順 (昇順) とすると、一方のポート P b 1 からは無効データ Q 1 が最初に出力され、他方のポート P b 2 からは無効データ Q 2 が最後に出力されることとなる。このように、デジタル値の出力順序における無効データ Q 1 , Q 2 の位置が各出力ポート P b 1 , P b 2 で互いに異なると、他の電子回路にてリアルタイム処理を行う際の障壁となりうる。

【 0 0 9 1 】

このような問題点に対し、本実施形態に係る固体撮像装置 1 では、第 n 列を境に分割された一方の領域 (図 3 における境界線 E より左側の領域) におけるデジタル値の出力順と他方の領域 (図 3 における境界線 E より右側の領域) におけるデジタル値の出力順とが、互いに逆順となっている (図 7 (e) ~ (i) 、図 8 (e) ~ (i) 、図 9 (b) ~

10

20

30

40

50

(g)、および図10(b)~(g)を参照)。すなわち、信号出力部20は、画素配列10Aの第1列から第n列までの各列に対応するデジタル値を、第n列から開始して第1列まで順次に出力させるとともに、画素配列10Aの第(n+1)列から、第NA列および画素配列10Bの第1列を経て第NB列までの各列に対応するデジタル値を、画素配列10Aの第1列ないし第n列とは逆の順序でもって順次に出力させている。

【0092】

図15は、各FIFOデータバッファ23A~23Lからのこのようなデジタル値の出力順を示すタイミングチャートである。図15(a)~(f)はFIFOデータバッファ23A~23Fにおける出力タイミングを示しており、図9(b)~(g)と対応している。また、図15(g)~(l)はFIFOデータバッファ23G~23Lにおける出力タイミングを示しており、図10(b)~(g)と対応している。同図を参照すると、時刻 t_{60} において出力ポートPc1のFIFOデータバッファ23Fおよび出力ポートPc2のFIFOデータバッファ23Gが出力動作を開始しており、時刻 t_{61} において、FIFOデータバッファ23Aおよび23Lの読み出しが完了することにより出力ポートPc1、Pc2の出力動作が終了している。このような順序でもって信号出力部20がデジタル値を出力することにより、各出力ポートPc1、Pc2からの無効データQ1、Q2の出力タイミングを互いに一致させることができるので、他の電子回路にてリアルタイム処理を容易に行うことができる。

【0093】

なお、本実施形態に係る固体撮像装置1では、半導体基板3Aおよび3Bを並置することで画素配列10A、10Bのタイリングを行っているが、タイリングの方式としては例えば次のようなものがある。例えば図16(a)に示すように、膜状のシンチレータ4A、4Bが表面にそれぞれ蒸着された半導体基板3A、3Bを同一平面上で隣接させて並べる。この方式では、シンチレータ4A、4Bは半導体基板3A、3Bの側面(エッジ)に少し回り込むので、デッドエリアCの幅は、画素配列10A、10Bそれぞれの最も端に位置する画素Pから半導体基板3A、3Bそれぞれのエッジまでの距離と、半導体基板3A、3Bのエッジにそれぞれ回り込んだシンチレータ4A、4Bの当該部分の厚さと、半導体基板3A、3Bの間に確保される隙間(クリアランス)とによって決定される。

【0094】

また、図16(b)は、図16(a)と同様に同一平面上に半導体基板3A、3Bを隣接させて並べる方式を示しているが、半導体基板3A、3Bが並置された後にシンチレータ4A、4Bが一括して蒸着されている点で図16(a)に示した方式とは異なる。図16(b)に示す方式では、半導体基板3A、3Bを並べた後にシンチレータ4A、4Bを蒸着するので、図16(a)に示した方式と比較して、半導体基板3A、3Bのエッジへのシンチレータ4A、4Bの回り込みがない分だけデッドエリアCの幅を狭くすることができる。

【0095】

また、図16(c)は、半導体基板3Aの端部に半導体基板3Bの端部が重なるように半導体基板3A、3Bを並べる方式を示している。この方式では、半導体基板3A、3Bの画素配列10A、10Bの一端の水平方向位置が互いに一致するように半導体基板3A、3Bを配置するとよい。これにより、デッドエリアCを極めて狭くすることができる。

【0096】

本発明による固体撮像装置は、上記した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態では、信号出力部20が画素配列10Aの第1列から第n列までの各列に対応するデジタル値を逆順でもって順次に出力させ、画素配列10Aの第(n+1)列から画素配列10Bの第NB列までの各列に対応するデジタル値を正順でもって順次に出力させている。画素配列10A、10Bの各列に対応するデジタル値の出力順はこれに限られず、画素配列10Aの第1列から第n列までの各列に対応するデジタル値を正順でもって順次に出力させるとともに、画素配列10Aの第(n+1)列から画素配列10Bの第NB列までの各列に対応するデジタル値を逆順でも

10

20

30

40

50

って順次に出力させてもよい。この場合、図 15 に示した無効データ Q_1 , Q_2 の出力タイミングは共に各行毎のデータの先頭（時刻 t_{60} の直後）となるが、各出力ポート P_{c1} , P_{c2} からの無効データ Q_1 , Q_2 の出力タイミングが互いに一致するので、本発明の固体撮像装置による効果を好適に得ることができる。また、各出力ポートからのデータを、一のデータバスに同時に流すように記述しているが、各出力ポート毎に分離したデータバスを設けてもよいし、それぞれが各出力ポートに接続された 2 本のデータバスを並列して設けてもよい。

【図面の簡単な説明】

【0097】

【図 1】X 線撮像システム 100 の構成図である。

10

【図 2】被写体 A（被検者の頭部）の上方から見て、固体撮像装置 1 及び X 線発生装置 106 が被写体 A に対して直線変位する様子を示す図である。

【図 3】固体撮像装置 1 の平面図である。

【図 4】（a）図 3 の IVa - IVa 線に沿った固体撮像装置 1 の側断面図である。（b）図 3 の IVb - IVb 線に沿った固体撮像装置 1 の側断面図である。

【図 5】固体撮像装置 1 の内部構成を示す図であって、複数の信号読出部 21A ~ 21L のうち一つの信号読出部に対応する画素配列 10A（10B）の部分（画素ブロック）を代表して示している。

【図 6】固体撮像装置 1 の上記画素ブロックに含まれる画素 $P_{m,j}$ 、積分回路 S_j および保持回路 H_j それぞれの回路図である。

20

【図 7】画素配列 10A の第 1 列 ~ 第 n 列に含まれる画素ブロックの動作と、この画素ブロックに対応する信号出力部 20 の動作とを説明するタイミングチャートである。

【図 8】画素配列 10A の第 (n+1) 列 ~ 第 NA 列、および画素配列 10B の第 1 列 ~ 第 NB 列に含まれる画素ブロックの動作と、この画素ブロックに対応する信号出力部 20 の動作とを説明するタイミングチャートである。

【図 9】画素配列 10A の第 1 列 ~ 第 n 列に含まれる画素ブロックに対応して設けられた FIFO データバッファ 23A ~ 23F の入出力動作を説明するタイミングチャートである。

【図 10】画素配列 10A の第 (n+1) 列 ~ 第 NA 列および画素配列 10B の第 1 列 ~ 第 NB 列に含まれる画素ブロックに対応して設けられた FIFO データバッファ 23G ~ 23L の入出力動作を説明するタイミングチャートである。

30

【図 11】（a）二つの画素配列 110A , 110B が上下方向にタイリングされて水平方向に平行移動しながら撮像を行う様子を示す図である。（b）二つの画素配列 120A , 120B が上下方向にタイリングされて水平方向に平行移動しながら撮像を行う様子を示す図である。

【図 12】（a）シリコンウェハ W において、長尺方向の幅が広い複数の画素配列 120A および長尺方向の幅が狭い複数の画素配列 120B の面付けを行った様子を示す図である。（b）シリコンウェハ W において長尺方向の幅が等しい複数の画素配列 110 の面付けを行った様子を示す図である。

【図 13】（a）~（h）一方の画素配列の 8 つの画素ブロックにそれぞれ対応する 8 個の FIFO データバッファ（1）~（8）からデジタル値が出力されるタイミングの一例を示すタイミングチャートである。（i）~（l）他方の画素配列の 4 つの画素ブロックにそれぞれ対応する 4 個の FIFO データバッファ（9）~（12）からデジタル値が出力されるタイミングの一例を示すタイミングチャートである。

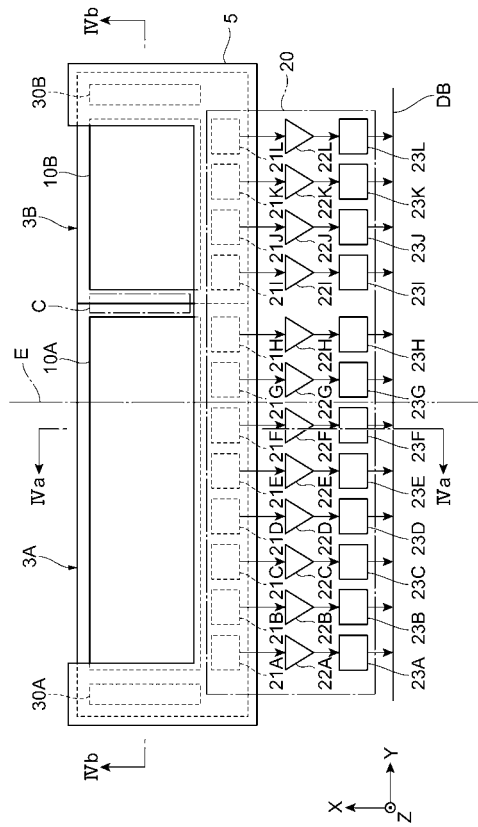
40

【図 14】（a）~（h）一方の画素配列の 8 つの画素ブロックにそれぞれ対応する 8 個の FIFO データバッファ（1）~（8）からデジタル値が出力されるタイミングの一例を示すタイミングチャートである。（i）~（l）他方の画素配列の 4 つの画素ブロックにそれぞれ対応する 4 個の FIFO データバッファ（9）~（12）からデジタル値が出力されるタイミングの一例を示すタイミングチャートである。

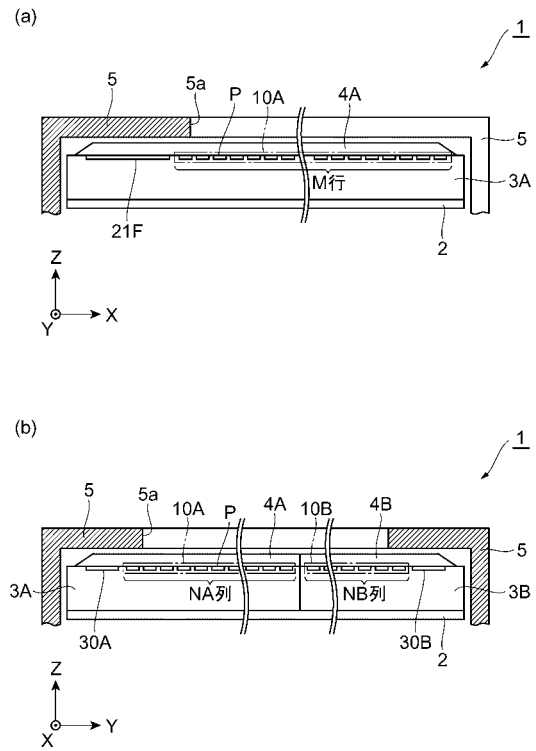
【図 15】各 FIFO データバッファ 23A ~ 23L からのデジタル値の出力順を示す

50

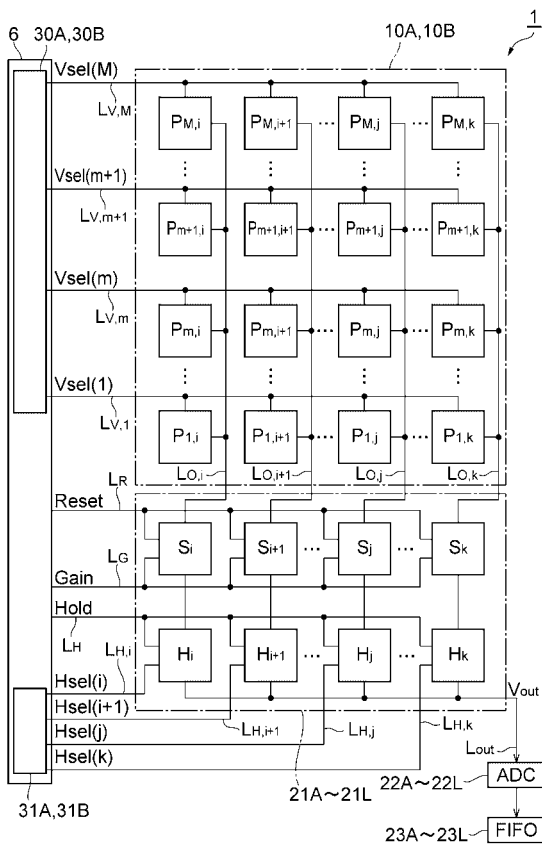
【図 3】



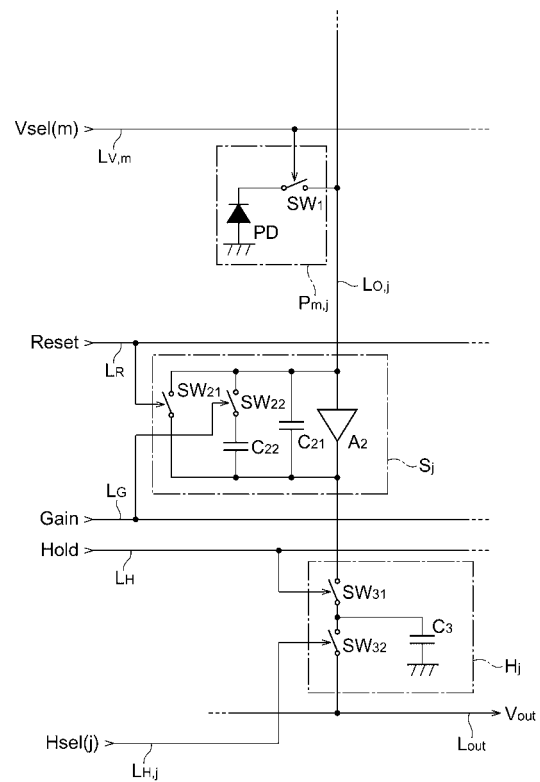
【図 4】



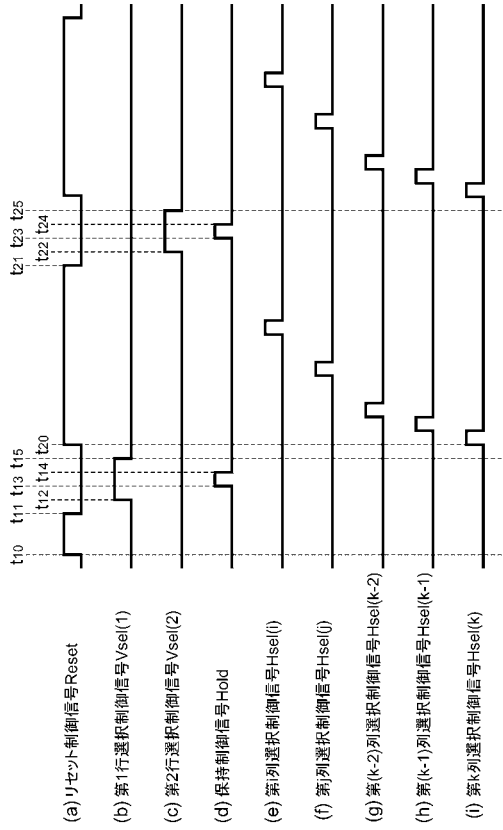
【図 5】



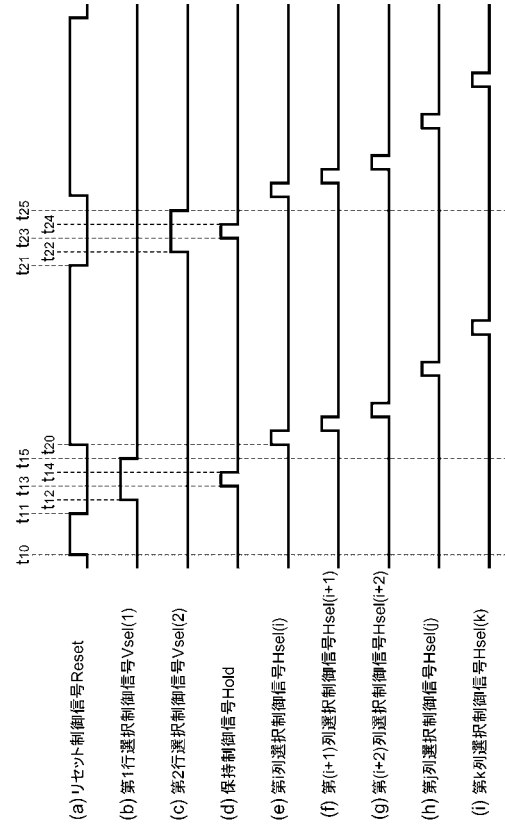
【図 6】



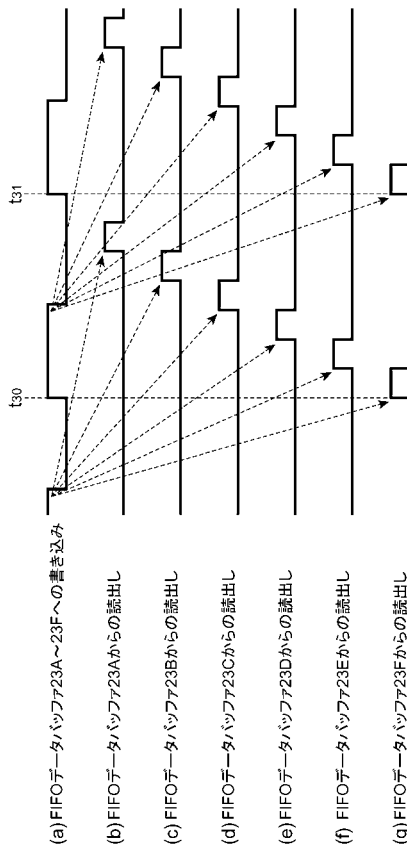
【図 7】



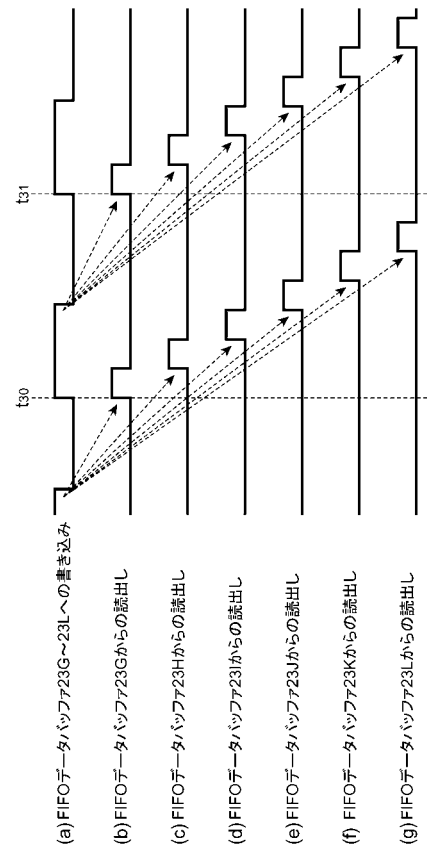
【図 8】



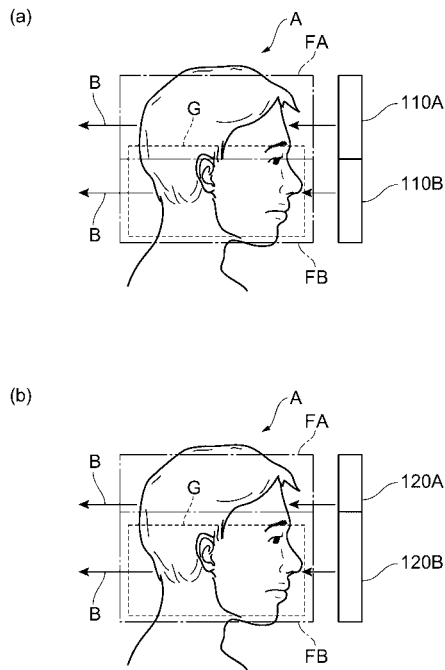
【図 9】



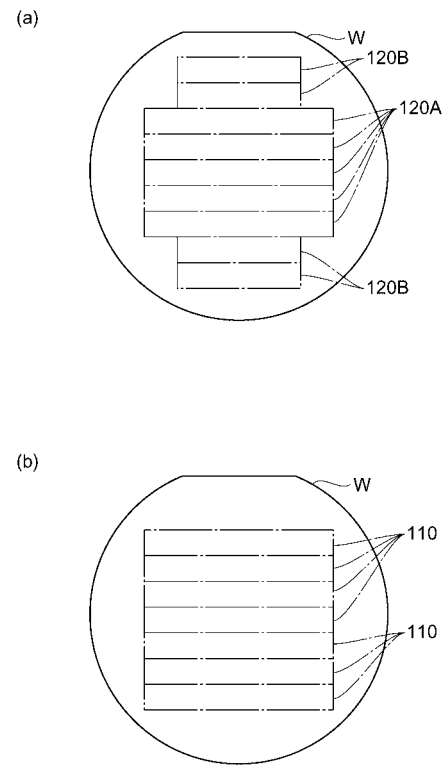
【図 10】



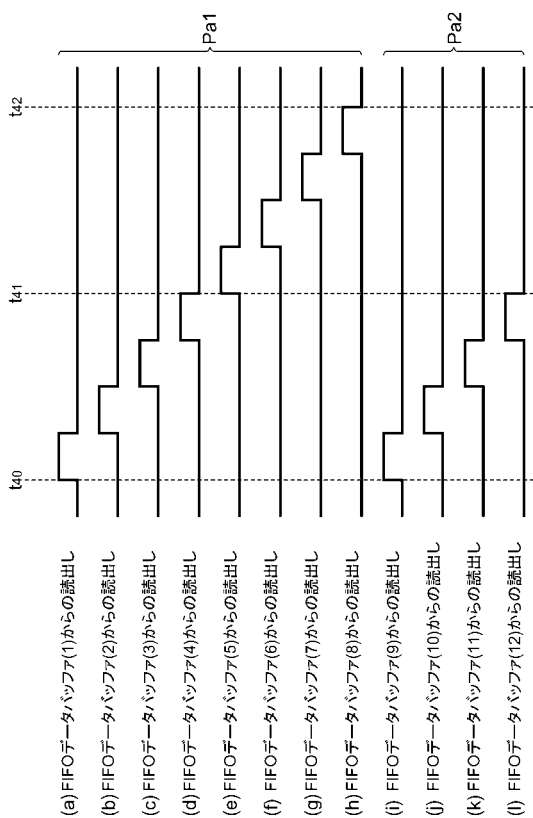
【図 1 1】



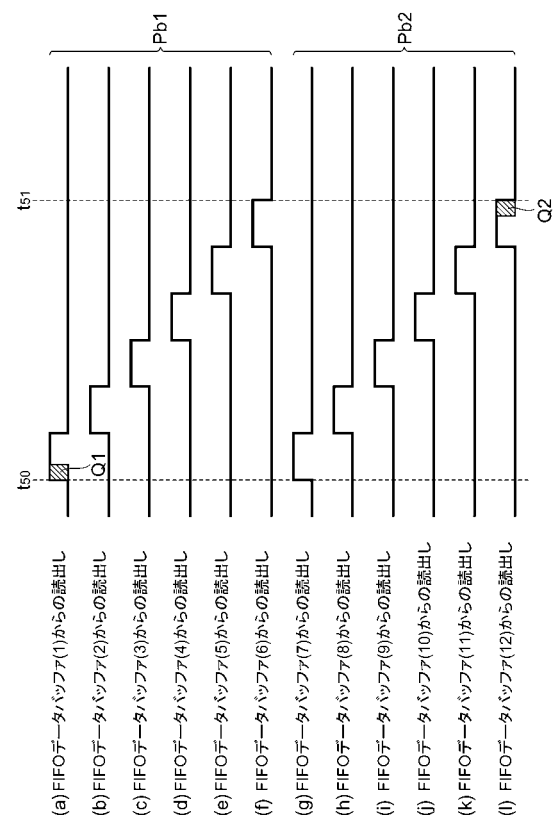
【図 1 2】



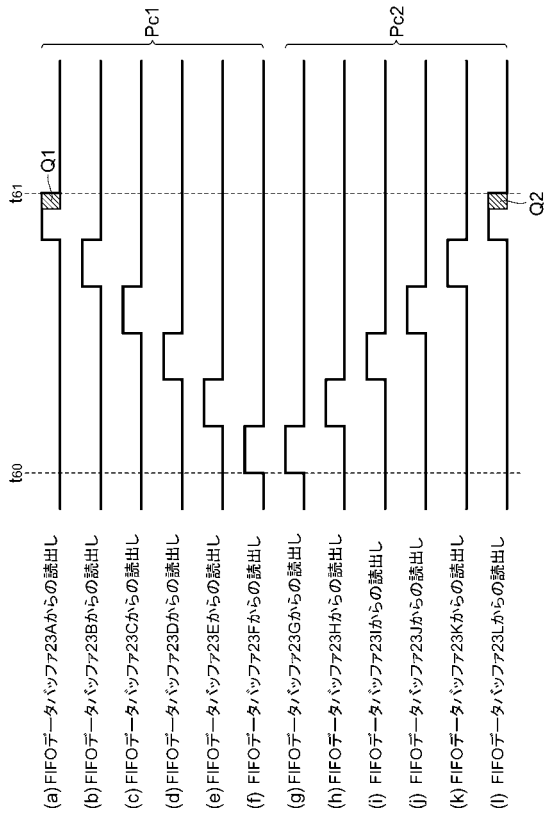
【図 1 3】



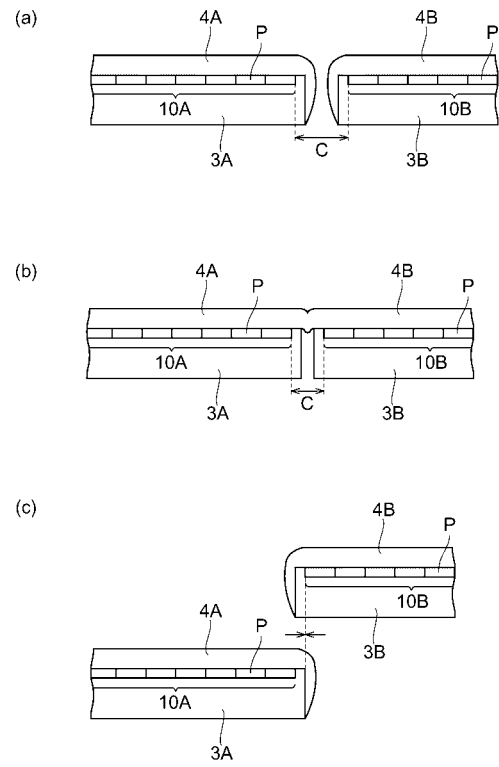
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(72)発明者 藤田 一樹

静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

F ターム(参考) 4C093 AA11 AA12 CA18 DA05 EB12 EB17 EB20 EC22

4M118 AA10 AB01 BA04 CA02 CB11 DB09 DD09 DD12 FA06 GA10

GB01 HA21

5C024 AX12 CY47

5F088 AB03 BA20 BB03 BB07 EA04 EA08 GA04 HA15 KA08 LA08