



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210712

(11) (B1)

(51) Int. Cl.³
H 03 K 29/02

(22) Přihlášeno 20.11.79
(21) (PV 7955-79)

(40) Zveřejněno 31.10.80

(45) Vydáno 15.08.83

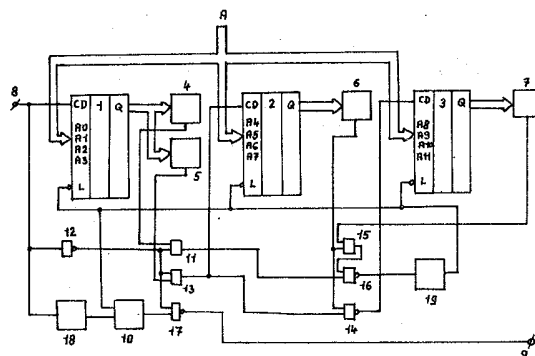
(75)

Autor vynálezu

BARTUŠEK KAREL ing., BRNO

(54) Zapojení binárního čítače s proměnným modulem „A“

Podstatou zapojení jsou tři reversibilní čítače propojené navzájem svorkami nastavení a výstupy, každý s logickým komparátorem nuly, přičemž první čítač je spojen ještě s komparátorem jedničky. Výstupy těchto komparátorů jsou propojeny se čtyřmi hradly NAND a třemi hradly END, se dvěma klopnými obvody a dvěma tvarovači.



Vynález se týká zapojení binárního čítače s proměnným modulem "A" sestávající ze tří reversibilních vratných čítačů zapojených s logickými komparátory v kombinaci s hradly END a NAND.

K dělení kmitočtu proměnným modulem "A" se používá reversibilních čítačů MH 74 193, které se vyznačují střední hustotou integrace, která přináší výhody v menších rozměrech, vyšší spolehlivosti a návrh čítače s těmito obvody je jednodušší.

Tento typ čítačů je zapojován v kaskádě s využitím výstupů přenosu. V současné době je návrh binárního čítače s proměnným modulem A 1; 1023, omezen maximálním kmitočtem, který lze ještě dělit. Tento kmitočet je 3,3 MHz, a je způsoben zpožděním průchodu signálu přes trojici reversibilních čítačů, které je běžně 70 ns. Zvýšení maximálního děleného kmitočtu je vždy docíleno složitějším zapojením a větším zpožděním průchodu signálu čítačem.

Tyto dosavadní nevýhody odstraňuje zapojení binárního čítače s proměnným modulem "A" podle vynálezu, sestávající ze tří reversibilních vratných čítačů, které jsou navzájem propojené svorkami nastavení a každý svými výstupy spojen s logickým komparátorem nuly, přičemž podstatou zapojení je, že výstupy prvního čítače jsou ještě spojeny s logickým komparátorem jedničky, jehož výstup je spojen s prvním vstupem prvního hradla END výstupem spojeného s druhým vstupem třetího hradla NAND a druhým vstupem s výstupem prvního hradla NAND, jehož vstup je spojen se vstupní svorkou a se svorkami čítání vzad prvního čítače a přes první tvarovač s druhým vstupem klopného obvodu, přičemž výstup prvního logického komparátoru nuly je spojen s prvním vstupem druhého hradla END výstupem spojeného se svorkou čítání vzad druhého čítače a s prvním vstupem druhého hradla NAND, jehož výstup je spojen se svorkou čítání vzad třetího čítače a jeho druhý vstup s výstupem druhého logického komparátoru nuly a s prvním vstupem třetího hradla END, jehož druhý vstup je spojen s výstupem třetího logického komparátoru nuly a jeho výstup s prvním vstupem třetího hradla NAND, jehož výstup je spojen přes druhý tvarovač se svorkami nastavení čítačů spolu s prvním vstupem klopného obvodu, jehož výstup je spojen s prvním vstupem čtvrtého hradla NAND, jehož výstup je spojen s výstupní svorkou a druhý vstup je spojen s druhými vstupy prvního a druhého hradla NAND, přičemž vstup proměnných modulů je spojen s binárními vstupy nastavení všech tří čítačů.

Hlavní předností zapojení podle vynálezu je značné zvýšení maximálního děleného kmitočtu na 12 Mhz při dělení modulem A 1; 1023 a minimální 8 μ s zpoždění průchodu signálu čítačem, které je ve složitějších pulsních systémech velmi nutné.

Vynález blíže objasní výkres, na kterém je znázorněno blokové schéma zapojení. Základními prvky binárního čítače jsou tři reversibilní vratné čítače 1, 2, 3 navzájem propojené svorkami 1 nastavení, binárními vstupy nastavení A0 až A11 spojené se vstupem proměnných modulů "A" a každý svými výstupy Q je spojen logickým komparátorem nuly 5, 6, 7.

Vstupní svorka 8 je spojena se svorkou CD čítání vzad přes první tvarovač 18 s druhým vstupem klopného obvodu 10 a přes první hradlo 12 NAND s druhými výstupy prvního a druhého hradla 11 a 13 END a čtvrtého hradla 17 NAND.

První čítač 1 je čtveřicí výstupů Q ještě spojen s logickým komparátorem jedničky 4, jehož výstup je spojen s prvním vstupem prvního hradla 11 END, jehož výstup je spojen s druhým vstupem třetího hradla 16 NAND.

Výstup prvního logického komparátoru 5 nuly je spojen s prvním vstupem druhého hradla 13 END, jehož výstup je spojen jednak se svorkou CD čítání vzad druhého čítače 2 a s prvním vstupem druhého hradla 14 NAND, jehož výstup je spojen se svorkou CD čítání třetího čítače 3. První vstup klopného obvodu 10 je spojen se svorkami 1 nastavení čítačů 1, 2, 3 a výstupem s prvním vstupem čtvrtého hradla 17 NAND, jehož výstup je spojen s výstupní svorkou 9.

Výstup třetího hradla 16 NAND je spojen přes druhý tvarovač 19 rovněž se svorkami L nastavení čítačů 1, 2, 3. Výstup druhého komparátoru 6 nuly je spojen jednak s druhým vstupem druhého hradla 14 NAND, jehož výstup je spojen se svorkou CD čítání vzad třetího čítače a jednak s prvním vstupem třetího hradla 15 NAND, jehož druhý vstup je spojen s výstupem třetího komparátoru 7 nuly, zatímco jeho výstup je spojen s prvním vstupem třetího hradla 16 NAND.

Zapojení pracuje za provozu takto: impulsem na svorkách L nastavení všech tří reversibilních vratných čítačů 1, 2, 3 se na jejich výstupech Q nastaví modul "A". Vstupní signál ze vstupní svorky 8 přivádí na vstup čítání vzad CD prvního čítače 1. Na výstupu Q prvního čítače 1 jsou logické komparátory nuly 5 a jedničky 4. Při logické nule na výstupu Q prvního čítače 1 projde vstupní impuls přes první a druhé hradlo 12 a 13 na vstup vzad CD druhého čítače 2 a bude-li jeho výstup Q v nulovém stavu, projde vstupní impuls na vstup CD třetího čítače 3. Tím dojde ke snižování výstupního stavu celého čítače.

Nové nastavení modulu "A" je provedeno ve větvi, sestávající z hradel 11; 12; 16 a druhého tvarovače 19. Bude-li mít výstup Q čítače 1 a výstup Q čítače 2 a 3 stav 0, projde vstupní impuls prvními hradly 11; 12; 16 a 19 vytvoří krátký impuls spouštěný nástupní hranou vstupního impulsu. Tímto krátkým impulsem se provede opět nastavení modulu "A", čímž se děj periodicky opakuje a zároveň se nastaví výstup klopného obvodu 10 do logické jedničky a následující vstupní impuls projde na výstup přes první tvarovač 18 a čtvrté hradlo 17 NAND a zároveň se z jeho nástupní hrany odvodí prvním tvarovačem 18 krátký impuls, který zajistí návrat klopného obvodu 10 do klidové polohy.

Zpoždění průchodu vstupního signálu je dáno zpožděním prvního a čtvrtého hradla 12, 17 NAND, tj. celkem 8 ns. Logické komparátory jedničky a nuly 4; 5; 6; 7 jsou tvořeny obvody typu MH 7453. Výstupy přenosu reversibilních čítačů 1, 2, 3 nejsou využity z důvodu příliš velkého zpoždění průchodu vstupního impulsu.

Logický komparátor tohoto typu reaguje na nástupní hranu vstupního impulsu a zajistí průchod nulové úrovně vstupního impulsu s minimálním zpožděním, tj. 13 ns. Kromě reversibilních čítačů 1, 2, 3 typu MH 74193 a logických komparátorů jedničky a nuly 4, 5, 6, 7 je v zapojení použito Schottkyho logických integrovaných obvodů TTL.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení binárního čítače s proměnným modulem "A" sestávajícího ze tří reversibilních vratných čítačů, které jsou navzájem propojené svorkami nastavení a každý svými výstupy spojen s logickým komparátorem nuly, vyznačené tím, že výstupy prvního čítače /1/ jsou spojeny s logickým komparátorem /4/ jedničky, jehož výstup je spojen s prvním vstupem prvního hradla /11/ AND výstupem spojeného s druhým vstupem třetího hradla /16/ NAND a druhým vstupem s výstupem prvního hradla /12/ NAND, jehož vstup je spojen se vstupní svorkou /8/ a se svorkami /CD/ čítání vzad prvního čítače /1/ a přes první tvarovač /18/ s druhým vstupem klopného obvodu /10/, přičemž výstup prvního logického komparátoru /5/ nuly je spojen s prvním vstupem druhého hradla /13/ END výstupem spojeného se svorkou /CD/ čítání vzad druhého čítače /2/ a s prvním vstupem druhého hradla /14/ NAND, jehož výstup je spojen se svorkou /CD/ čítání vzad třetího čítače /3/ a jeho druhý vstup s výstupem druhého logického komparátoru /6/ nuly a s prvním vstupem třetího hradla /15/ END, jehož druhý vstup je spojen s výstupem třetího logického komparátoru /7/ nuly a jeho výstup s prvním vstupem třetího hradla /16/ NAND, jehož výstup je spojen přes druhý tvarovač /19/ se svorkami /L/ nastavení čítačů /1, 2, 3/ spolu s prvním vstupem klopného obvodu /10/, jehož výstup je spojen s prvním vstupem čtvrtého hradla /17/ NAND, jehož výstup je spojen s výstupní svorkou /9/ a druhý vstup je spojen s druhými vstupy prvního a druhého hradla /11, 13/ NAND, přičemž vstup proměnných modulů /N/ je spojen s binárními vstupy /AO až A11/ nastavení všech tří čítačů /1, 2, 3/.

1 list výkresů

Severografia, n. p., závod 7, Most

