

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-510085

(P2005-510085A)

(43) 公表日 平成17年4月14日(2005.4.14)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/265	HO 1 L 21/265 6 O 2 A	5 F 1 4 O
HO 1 L 21/336	HO 1 L 21/265 F	
HO 1 L 29/78	HO 1 L 29/78 3 O 1 Y	

審査請求 未請求 予備審査請求 未請求 (全 12 頁)

(21) 出願番号	特願2003-546401 (P2003-546401)	(71) 出願人	500056035 バリアン・セミコンダクター・イクイップ メント・アソシエーツ・インコーポレーテ ッド アメリカ合衆国マサチューセッツ州019 30, グロスター, ドーリ・ロード 35
(86) (22) 出願日	平成14年11月15日 (2002.11.15)	(74) 代理人	100127878 弁理士 遠藤 淳二
(85) 翻訳文提出日	平成16年5月14日 (2004.5.14)	(72) 発明者	ポーランド, ジョン アメリカ合衆国 マサチューセッツ州 0 1982 サウス ハミルトン ファーリ ントン レーン 5
(86) 国際出願番号	PCT/US2002/036977		
(87) 国際公開番号	W02003/044860		
(87) 国際公開日	平成15年5月30日 (2003.5.30)		
(31) 優先権主張番号	60/339, 052		
(32) 優先日	平成13年11月16日 (2001.11.16)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/156, 981		
(32) 優先日	平成14年5月29日 (2002.5.29)		
(33) 優先権主張国	米国 (US)		
(81) 指定国	EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), JP, KR		

最終頁に続く

(54) 【発明の名称】 極浅接合を形成するための方法

(57) 【要約】

半導体ウェハ内に浅い接合を形成する方法は、ウェハをアモルファス化して、約 13 nm 乃至約 50 nm 範囲の所望深さより小さい一定深さの範囲外 (EOR) 欠陥を実現する段階と、ドーパント材料を選択したドーズ量及びエネルギーでウェハに注入して、所望の接合深さを形成する段階と、低温固相エピタキシー (SPE) アニールングと一致した選択した温度及び選択した時間で半導体ウェハを熱処理することによって、ドーパント材料を活性化し、浅い接合を形成する段階とを含みうる。予備アモルファス化インプラントにより、EOR 深さを接合深さ未満に制御することで、漏れが少ない接合を可能とし、低温 SPE アニールングによって、所望の接合深さを越えてドーパントが拡散するのが防止される。

【特許請求の範囲】

【請求項 1】

半導体材料に接合を形成するための方法であって、
 前記材料の一領域を第 1 深さまでアモルファス化する段階と、
 前記領域をドーピングして、前記第 1 深さを上回る接合深さを実現する段階と、
 前記材料の固相エピタキシー (S P E) 再成長と一致した温度で前記材料をアニーリングして、前記接合を活性化させる段階とを含む、半導体材料に接合を形成するための方法。

【請求項 2】

前記アモルファス化する段階が、予備アモルファス化インプラント (P A I) を含む、
 請求項 1 に記載の方法。 10

【請求項 3】

前記 P A I が、シリコン、ゲルマニウム、インジウム、及びアンチモンを含むイオン種の 1 つである、請求項 2 に記載の方法。

【請求項 4】

前記 P A I エネルギーが、約 1 2 . 0 k e V 未満である、請求項 2 に記載の方法。

【請求項 5】

前記アニーリング温度が、約 5 5 0 乃至約 7 5 0 の範囲内である、請求項 4 に記載の方法。

【請求項 6】

前記アニーリング温度が、約 5 5 0 乃至約 7 5 0 の範囲内である、請求項 2 に記載の方法。 20

【請求項 7】

前記ドーピングする段階が、ビームライン注入及びプラズマドーピング (P L A D) の一方を含む、請求項 1 に記載の方法。

【請求項 8】

イオンが、 $B F_3$ 、 $B_2 H_6$ 、 $A s H_3$ 、及び $P H_3$ の何れかから成るプラズマから抽出される、請求項 7 に記載の方法。

【請求項 9】

前記 P L A D が、約 2 0 0 e V 乃至 2 . 0 k e V の範囲のエネルギーでの注入を含む、
 請求項 8 に記載の方法。 30

【請求項 10】

前記ビームライン注入が、 B^{11} イオン、 $B F_2$ イオン、 $A s^+$ イオン、 P^+ イオン、及び $S b$ イオンの何れかの注入を含む、請求項 7 に記載の方法。

【請求項 11】

前記ビームライン注入が、約 2 0 0 e V 乃至 2 . 0 k e V の範囲のエネルギーでの注入を含む、請求項 10 に記載の方法。

【請求項 12】

前記アモルファス化する段階が、予備アモルファス化インプラント (P A I) を含む、
 請求項 7 に記載の方法。 40

【請求項 13】

前記 P A I が、シリコン、ゲルマニウム、インジウム、及びアンチモンを含むイオン種の 1 つである、請求項 12 に記載の方法。

【請求項 14】

前記 P A I エネルギーが、約 1 2 . 0 k e V 未満である、請求項 12 に記載の方法。

【請求項 15】

前記プラズマドーピングが、 $B F_3$ 、 $B_2 H_6$ 、 $A s H_3$ 、及び $P H_3$ の何れかから成るプラズマからのイオンを抽出することを含み、

前記ビームライン注入が、 B^{11} イオン、 $B F_2$ イオン、 $A s^+$ イオン、 P^+ イオン、及び $S b$ イオンの何れかを、約 2 0 0 e V 乃至 2 . 0 k e V の範囲のエネルギーで注入す 50

ることを含む、請求項 14 に記載の方法。

【請求項 16】

前記アニーリング温度が、約 550 乃至約 750 の範囲内である、請求項 15 に記載の方法。

【請求項 17】

前記アニーリング温度が、約 550 乃至約 750 の範囲内である、請求項 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本方法及びシステムは、イオン注入によって半導体ウェハに浅い接合を形成することに関し、より詳細には、浅い接合に低温アニーリングを施すための方法に関する。

10

【背景技術】

【0002】

イオン注入は、導電率を変化させるドーパント材料を半導体ウェハ内に導入するための標準的な技法である。従来のイオン注入システムでは、イオン源において所望のドーパント材料をイオン化し、所定のエネルギーを持ったイオンビームを形成するためそれらイオンを加速し、このイオンビームをウェハの表面に向けて照射する。ビーム内の高エネルギーイオンは、半導体材料バルクに進入し、半導体材料の結晶格子内に埋め込まれる。イオン注入に続いて、半導体ウェハにはアニーリングを行ってドーパント材料を活性化し、損傷を修復する。アニーリングには、半導体ウェハを所定時間、所定温度まで加熱することが含まれる。

20

【0003】

半導体業界における周知の傾向は、より小型で高速のデバイスへと向かうものである。具体的には、半導体デバイスにおける構成体の横方向寸法及び深さはともに減少傾向にある。最新の半導体デバイスでは、300 オングストローム未満の接合深さを必要とすることもあり、約 100 オングストローム以下の接合深さがいずれ必要になるかもしれない。

【0004】

ドーパント材料の注入深さは、半導体ウェハに注入されるイオンのエネルギーにより決定される。浅い接合を実現するには、注入エネルギーを低くする。しかし、注入ドーパント材料の活性化及び損傷修復に用いるアニーリング工程は、ドーパント材料を半導体ウェハの注入領域から拡散させる原因となる。高温(900 乃至 1200)では熱拡散が起こるが、一定の条件では、酸素増速拡散(OED)、ボロン増速拡散(BED)、過渡増速拡散(TED)などを含む熱拡散の仕組みも作用する。こうした拡散の結果、アニーリングにより接合深さが 50 乃至 500 増加する。更に、高温アニーリングは、浅い接合という目標達成に必要となりうる殆どの高kゲート誘電体に適合しない場合がある。

30

【0005】

アニーリングによる接合深さの増大を相殺するため、注入エネルギーを減少させることで、アニーリング後の所望の接合深さを達成してもよい。このアプローチでは、非常に浅い接合の場合を除いては満足ゆく結果が得られる。アニーリング中に起こるドーパント材料の拡散によって、注入エネルギーを減少させることにより得られる接合深さの範囲には限界がある。更に、イオン注入装置は、典型的には、注入エネルギーが非常に低いと動作効率が低下する。

40

【0006】

別のアプローチでは、拡散を減少させるため低温固相エピタキシー(SPE)アニーリングを用いる。しかし、低温SPEの実行に関する2つの主たる問題は、接合漏れ及びドーパント活性化である。SPEを用いると拡散が減少するので、範囲外(原語: end-of-range)(EOR)欠陥がデバイスの空間電荷領域に入ってしまうことと、接合漏れの大きな原因となってしまうことを防止できるほどは、接合が深く形成されないことがある。

【0007】

50

本発明の分野で現在用いられているアプローチは、特に単に注入エネルギーを減少するだけでは要求される接合深さを実現できない場合、選択した接合深さ及び面積抵抗を備えた浅い接合を作製するための十分満足ゆく工程を提供していない。従って、半導体ウエハにおいて浅い接合を作製するための改良方法に対する必要性が存在する。

発明の概要

【0008】

本明細書に記載された方法によれば、低抵抗率の浅い接合を提供するための方法の一実施形態は、半導体材料の一領域を第1深さまでアモルファス化する段階と、前記領域をドーピングして、前記第1深さを上回る接合深さを実現する段階と、前記材料の固相エピタキシー（SPE）再成長と一致した温度で前記材料をアニーリングして、前記接合を活性化させる段階とを含むことができる。

10

【0009】

一実施形態では、シリコン、ゲルマニウム、アンチモン、インジウム、又は他のイオン種を用いた約12.0keV未満での予備アモルファス化インプラント（PAI）により、前記領域をアモルファス化する。一実施形態は、 B^{1+} 又は BF_2 イオンを使った1乃至2keV範囲の注入エネルギーにおけるビームライン注入を用いて、約16nm乃至26nmの接合深さを提供する。一実施形態では、 BF_3 、 B_2H_6 を使ったプラズマドーピングをドーピングに用いて浅い接合を実現する。一実施形態では、前記アニーリング温度は、約550乃至約750の範囲内である。

【発明を実施するための最良の形態】

20

【0010】

半導体デバイスの寸法の減少にともなって、浅い接合に対する必要性が増大してきた。国際半導体技術ロードマップ（2001）の公開指針によれば、2010年までに、50nm技術ノード（TN）製造デバイスが、25nm未満のトランジスタゲート長及び7nm乃至12nmの浅い接合深さ（ X_j ）を備えることが期待されている。更に、830オーム/ sq 範囲の面積抵抗が要求可能となる。国際半導体技術ロードマップ（ITRS）指針は、表1に示すように、次の目標を提示している。

【0011】

【表1】

技術ノード	130nm	100nm	70nm	50nm	35nm
目標年度	2001	2003	2006	2010	2013
接合深さ X_j (nm)	27-45	19-31	12-19	7-12	5-9
面積抵抗 R_s (オーム/ sq)	400	550	830	830	940
ドーパントレベル (原子数/ cm^3)	5E19	8E19	1E20	1.5E20	2E20

30

【0012】

典型的には、浅い接合は、注入エネルギーを減少させることで実現できる。しかし、アニーリング中に起こるドーパント材料の拡散によって、注入エネルギーを減少させることにより得られる接合深さの範囲には限界がありうる。更に、現在の注入機器は、低エネルギーでは効率的でない場合がある。1つのアプローチとしては、低温（550乃至700）固相エピタキシー（SPE）アニーリングを用いてドーパント材料の拡散を低下させてもよい。SPE再結晶率は温度と共に上昇し、例えば、500、600、及び700で、この率がそれぞれ0.1/秒、10.0/秒、及び350/秒となる。従って、高温になれば再結晶率が高まる。

40

【0013】

SPEアニーリングを用い、且つ注入ドーパント原子のドーパント拡散/移動がなけれ

50

ば、ビームライン注入は50nm未満の技術ノードまで発展可能であり、プラズマ注入は25nm未満の技術ノードまで発展可能である。そうでなければ、ビームラインは100nmの技術ノードまでしか発展できず、高温ドーパント拡散のため70nmの技術ノードで他の方法に切り替えが必要となる可能性もある。それぞれ高温アニーリング及び低温アニーリングに関する表2及び3は、ITRSの所望の X_j 注入接合深さを達成するのに必要な注入エネルギーを示す。

【0014】

【表2】

技術ノード

高温拡散／アニーリングによる接合深さ	130nm	100nm	70nm	50nm	35nm
ドーパントレベル / cm^3	5E19	8E19	1E20	1.5E20	2E20
ドーズ量範囲	0.5-1E15	0.5-1E15	0.5-1E15	ボロン固体溶解度 (BBS)	BSS
B^{11} (0.3%エネルギー汚染)	<1keV	<100eV	-	-	-
B^{11} (エネルギー汚染無し)	0.7-1. keV	300-800eV	<300eV	-	-
BF_2 (0.3%エネルギー汚染)	1.9-4.8keV	0.2-2.2keV	<200eV	-	-
BF_2 (エネルギー汚染無し)	3.5-6.5keV	1.5-4.0keV	<1.5keV	-	-
プラズマドーピング	1.2-2.5kV	0.4-1.7kV	<400V	-	-

10

20

30

【0015】

【表 3】

技術ノード

低温SPEアニーリングのヒ素注入接合	130nm	100nm	70nm	50nm	35nm
ドーパントレベル / cm^3	5E19	8E19	1E20	1.5E20	2E20
ドーズ量範囲	0.5-1E15	0.5-1E15	0.5-1E15	0.5-1E15	5E15
Ge-PAI	11-21keV	10-14keV	6-10keV	3-6keV	2.5-5keV
Si-PAI	9-16keV	7-10keV	4-7keV	2-4keV	2-3keV
B ¹¹ (0.3%エネルギー汚染)	0.5-1.3keV	<500eV	-	-	-
B ¹¹ (エネルギー汚染無し)	1-1.7keV	0.6-1.1keV	300-600eV	150-300eV	80-200eV
BF ₂ (0.3%エネルギー汚染)	3-6.5keV	1.8-3.7keV	0.2-1.7keV	<200eV	-
BF ₂ (エネルギー汚染無し)	5-8.3keV	3-5.5keV	1.5-3keV	0.75-1.5keV	0.4-1keV
プラズマドーピング	1.6-3kV	1.2-2kV	0.5-1.2kV	200-600V	100-300V

10

20

【0016】

表2のデータは、高温アニーリングによるヒ素注入接合における8.0nm拡散と、TED(過渡増速拡散)(5乃至50nm範囲をとりうる)とを想定したものである。表3は、低温アニーリングによる拡散を想定していない。表3では、実験データが入手可能な事例に関するドーズ量の範囲を示した。プラズマドーピング(PLAD)及び高温アニーリングを用いると、70nmノードの浅い接合が実現でき、低温アニーリングを用いると、35nm未満の技術ノードが実現できる。しかしSPEが使用可能であれば、エネルギー汚染がないビームラインB¹¹注入エネルギーは130nmノードに関して1.7keVまで増大可能であり、超低注入エネルギー(すなわち、250eV以下)は50nm技術ノードまでは不要となりうる。

30

【0017】

低温SPEアニーリングの使用は、より高いkゲート誘電体が70nm乃至100nm技術ノードで必要となりうるという点で、付加的な動機付けとなりうる。高k非結晶析出ゲート(原語: high-k amorphous deposited gate)誘電体材料は750℃を上回る温度では結晶化することがあり、従ってこの誘電体材料の特性が低下する。よって、高kゲート材料の温度適合性に関しては低温SPEアニーリングが好ましい。

40

【0018】

シリコンがイオン注入時にアモルファス化されている場合は、予備アモルファス化(原語: preamorphize)インプラント範囲外(EOR)欠陥が形成されることがある。EO R欠陥が接合部の空間電荷領域に存在すると、多くの漏れ電流の原因となりうるということが知られている。従って、EO R欠陥を内部に維持できる深さを備えた接合を形成することが必要となることがある。現在の方法は、漏れ電流を制限する深さの接合を形成するための高温アニーリングに起因するTED、OED、及びBEDによる熱拡散及び増速拡散に依存している。現在の方法は、高温を用いて、インプラントに起因する欠陥をアニーリングにより消失させる。しかし、既に述べたように、これら様々な熱増速拡散法は、ITRS指針の接合深さを実現するのに超低エネルギーを必要とする場合がある。

50

【0019】

本方法では、予備アモルファス化インプラント（PAI）は、EOR欠陥を、所望の接合深さと両立する所望深さに配列及び/又は配置する。PAI工程が、段階接合及び浅い接合の注入チャンネリング（原語：implantation channeling）を最小限にし、拡散を減少させることは本発明の分野で周知である。又、PAIは、シリコン中のドーパント溶解度限度を超えてドーパント活性化を向上させることもある。典型的にはPAIは、より高いkeV注入エネルギー用に急速熱アニーリング（RTA）と組み合わせ可能だが、約1.0keV未満の注入エネルギーでは利点は見あたらない。図1は、シリコン（Si）及びゲルマニウム（Ge）PAIに関する、注入エネルギー及び対応するEOR深さの範囲を示したものである。図1から分かるように、これらEOR深さは、ITRSの50nmノード技術で要求される接合深さの範囲に収まっている。表3を再び参照すると、PAI及びSPEを用いれば、様々なITRSの浅い接合を形成するための注入エネルギーを増大可能である。PAIを用いなければ、SPEは表面抵抗（Rs）を増加させてしまう。Rsを低くし、良好なドーパント活性化を達成するには、PAIが必要となる。

10

【0020】

ここで図2を参照すると、低抵抗率を備えた浅い接合を提供するために用いられる方法（100）のフローチャートを示す。チョクラルスキー法（Cz）で成長させたシリコンウェハが提供でき（102）、更に、PAIをそのウェハに施すことができる（104）。他の種類のウェハ、例えばフロートゾーン（FZ）、エピタキシャルシリコン（EPI）、及び絶縁体基板上シリコン（SOI）も提供できることは理解されたい。PAIは、表3に示したエネルギー範囲及びドーズ量のSi、Ge、又はインジウム（In）、アンチモン（Sb）などの他の種のPAIでもよいが、原子質量が高くなれば、より高い注入エネルギーが必要となりうることに注意されたい。ゲルマニウムPAIは、より滑らかな非晶質/結晶質境界面を実現可能で、これにより所与の平均EOR深さに関して漏れが減少することがある。

20

【0021】

次に、このウェハをビームライン注入を用いてボロン（ B^{11} 又は BF_2 ）で、或いはPLADを用いてボロン（ BF_3 又は B_2F_6 ）で、表3のエネルギー範囲及びドーズ量でドーピング可能である（106）。インプラントの活性化は、低温SPEアニーリングを用いて実現できる（108）。これまでの試行によれば、約550乃至約625の温度範囲から良好な結果が得られている。図1に示したように、PAIと、ビームライン注入及び/又はPLADとを上述の注入エネルギー及びドーズ量範囲で組み合わせ、次に低温SPEアニーリングを実行すると、表1に示した浅い接合及び低い面積抵抗が得られる。

30

【0022】

SPEに必要な非晶質層は、アモルファス化ドーパント・インプラントのみを用いて作製することもできる。一例として、 BF_2 に関しては、Bの質量は11であり、Fの質量は19であり、Fはシリコン格子をアモルファス化でき、その注入領域はBよりも小さく、従ってBの電気的ドーパント（原語：electrical dopant）接合深さはFよりも深くなる。As（ヒ素、質量75）又はSb（アンチモン、質量122）などの他のドーパントを考慮すると、シリコン格子中のドーパント濃度が1立方センチメートル当たり $E18$ の中央を超えると、アモルファス化が起こることがあり、低濃度においてより深いドーパント原子が、電気的接合をより深い位置で形成することになる。

40

【0023】

図3は、580で15分間にわたりSPEアニーリングを行った後のPLADエネルギーレベルの範囲に関する二次イオン質量分析（SIMS）プロフィールを示す。図3のデータに関するPAIは、30keV Ge、 $1E15/cm^2$ である。こうしたプロフィールに付いてよく知られているように、図3は、注入エネルギーの増加と共に接合深さ

50

X_j が大きくなることを示している。図3は、様々なSi・PAIエネルギーレベルに関するEOR深さも示している。例として、2.0 keV、5 E 15のPLADインプラントを選ぶと、 $1 E + 19 / cm^3$ で測定した場合は $X_j = 18 nm$ となることが分かる。上述のように、PAI・EORは X_j より小さく、漏れの少ない接合を提供できる。選択した例に関しては、図3は、概ね10 nmのEOR深さを提供する5 keV Si PAIと、概ね21 nmのEORを提供する10 keV Si PAIを示している。面積抵抗 R_s は460 オーム / sqである。

【0024】

図4及び5は、図2の工程が、それぞれ接合深さ及び漏れにもたらしうる影響を図示する。図4は、4つの異なるPLAD注入エネルギー/ドーズ量に関する接合深さ X_j と、PAIエネルギーレベルとをグラフ化したものである。注入エネルギー/ドーズ量におけるこのグラフは、PAIエネルギーが上昇すると X_j が減少することを示している。又、任意のPAIエネルギーレベルに関しては、注入エネルギー/ドーズ量が上昇すると、 X_j が上昇する。

10

【0025】

図5では、横軸は、接合深さとPAI範囲外損傷との差($X_j - EOR$)であり、縦軸は、ダイオード漏れ電流である(A / cm^2)。作図した点は、図4の同様に表示した点に対応する。これから分かるのは、10 keVのSi・PAI及び5 keV / 2 E 16 / cm^2 の注入エネルギー/ドーズ量では良好な漏れが発生し、全ての漏れ値は、高性能($< 2 E - 1 A / cm^2$)及び低電力($< 2 E - 2 A / cm^2$)論理回路に要求される許容レベルの範囲内にあるということである。図4からの対応する接合深さは、概ね680 オングストロームである。従って、現在の効率的なインプラント技術と一致した注入エネルギーレベルにおいて本明細書に記載の方法を用いれば、高品質、低抵抗率、極浅接合を形成できる。

20

【0026】

本発明の方法及びシステムを、図示し且つ詳細に説明した好適な実施形態に関連して記載してきたが、通常の実験を備えた当業者には、様々な修正及び改良が可能なことは明らかである。例えば、ビームライン注入及びPLADは、本明細書で説明したp型ドーピングに加え、n型ドーピングを含んでもよい。PLADを用いたn型ドーピングでは、ウェハをAsH₃又はPH₃でドーピングできる。ビームライン注入を用いる場合は、ウェハはAs⁺、P⁺又はSbでドーピングできる。従って、上述の方法及びシステムの精神及び範囲は、次の請求の範囲によってのみ限定される。

30

【図面の簡単な説明】

【0027】

次の図は、幾つかの例示的な実施形態を示すもので、類似の参照番号は類似の要素を示す。上述の実施形態は例示的なものであり、いかなる意味でも限定的に解釈されるべきではない。

【図1】非晶質層深さと注入エネルギーとをグラフ化したものである。

【図2】低抵抗率を備えた浅い接合を提供するための工程のフローチャートを示す。

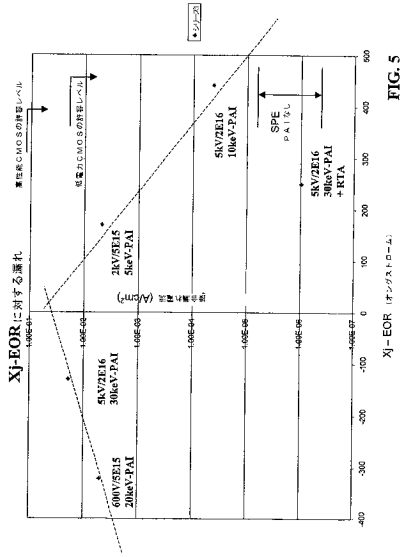
【図3】580 で15分間SPEアニーリングを行った後の、プラズマドーピング・エネルギーレベルの範囲に関する、図1の工程を用いて得られる二次イオン質量分析(SIMS)プロフィールを示す。

40

【図4】接合深さと予備アモルファス化インプラントエネルギーとのグラフを示す。

【図5】図2の工程を用いて得られる接合漏れのグラフを示す。

【 図 5 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/36977
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) : H01L 27/01, 21/8238, 21/336, 21/425 US CL : 438/199, 261, 263, 301 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/199, 261, 263, 301; 257/347, 348, 354, 382		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6,043,139 A (Eaglesham et al) 28 March 2000 (28.03.2000), see entire document.	1-17
A	US 6,362,063 B1 (Maszara et al) 26 March 2002 (26.03.2002), see entire document.	1-17
A	US 6,090,648 A (Reedy et al) 18 July 2000 (18.07.2000), see entire document.	1-17
Y,P	US 6,436,749 B1 (Tonti et al) 20 August 2002 (20.08.2002), column 3 lines 6-42.	7-16
X,P	US 6,465,847 B1 (Krishnan et al) 15 October 2002 (15.10.2002), column 2, line 62- column 5 line 31.	1-6, 17
---		-----
Y,P		7-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 11 February 2003 (11.02.2003)		Date of mailing of the international search report 28 APR 2003
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230		Authorized officer John F Niebling <i>Sharon J. Hoppe</i> Telephone No. 308-3325

フロントページの続き

(72)発明者 フェルチ, スーザン

アメリカ合衆国 カルフォルニア州 9 4 0 2 2 ロス アルトス ヒル ローブル アルト ア
ベニュー 2 7 9 7 5

(72)発明者 ファン, ツィーウェイ

アメリカ合衆国 カルフォルニア州 9 5 1 2 9 サンノゼ ウィル ロジャース ドライブ 4
3 0 5

(72)発明者 クー, ボン - ウン

アメリカ合衆国 カルフォルニア州 9 4 3 0 6 パロ アルト ビスタ アベニュー 5 6 0

Fターム(参考) 5F140 AA13 AA24 AA34 AA39 AC36 BA01 BC12 BD04 BH21 BK10
BK13 BK21 CE18