



(12) 发明专利

(10) 授权公告号 CN 107785358 B

(45) 授权公告日 2023. 05. 26

(21) 申请号 201710735129.0  
 (22) 申请日 2017.08.24  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 107785358 A  
 (43) 申请公布日 2018.03.09  
 (30) 优先权数据  
 16185640.6 2016.08.25 EP  
 (73) 专利权人 IMEC 非营利协会  
 地址 比利时勒芬  
 (72) 发明人 E·贝内  
 (74) 专利代理机构 上海专利商标事务所有限公  
 司 31100  
 专利代理师 杨洁 蔡悦

(51) Int.Cl.  
 H01L 25/18 (2023.01)  
 H01L 23/498 (2006.01)  
 H01L 23/31 (2006.01)  
 H01L 21/60 (2006.01)  
 H10B 80/00 (2023.01)  
 (56) 对比文件  
 CN 103168358 A, 2013.06.19  
 US 2014103527 A1, 2014.04.17  
 US 2014264836 A1, 2014.09.18  
 审查员 黄丽娜

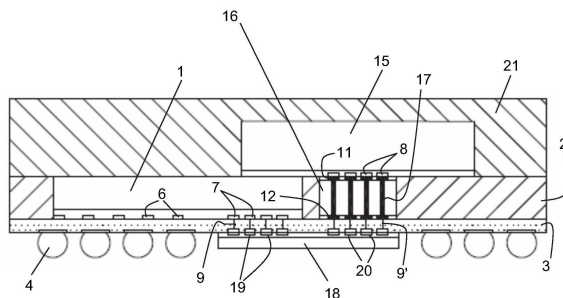
权利要求书2页 说明书9页 附图15页

(54) 发明名称

半导体管芯封装及生产这种封装的方法

(57) 摘要

本发明涉及包括嵌入在用已知的FO-WLP或eWLB技术可获得的重构晶片中的第一管芯的一种封装。除了第一管芯以外,穿基板通孔插入件被嵌入在晶片中,TSV插入件是分开的元件,可能是具有将插入件的前侧和背侧上的各触点互连的金属填充通孔的硅管芯。第二管芯被安装在基板的背侧,其中第二管芯上的触点与基板的背侧上的TSV插入件的触点电连接。在基板的前侧上安装了横向连接设备,其将基板的前侧上的TSV插入件各触点与第一管芯的前侧上的各触点互连。因此,横向连接设备和TSV插入件有效地将第一和第二管芯上的各触点互连。优选地,如从FO-WLP技术中已知的,横向连接设备被安装在基板的前侧上的再分布层上。



1. 一种半导体管芯封装,包括:

- 由模具材料形成的基板(2),其中在所述模具材料中并排嵌入的是第一半导体管芯(1)和穿基板通孔TSV插入件(16),所述基板(2)、所述TSV插入件(16)和所述第一半导体管芯(1)具有前侧和背侧,并且其中

- 所述TSV插入件(16)包括所述插入件的前侧上的N个触点(12)、所述插入件的背侧上的N个触点(11)以及分别将所述插入件的前侧和背侧上的所述触点(12、11)互连的N个金属填充的通孔(17),N是大于或等于1的整数,

- 所述第一半导体管芯(1)包括在所述第一半导体管芯的前侧上的N个触点(7),

- 所述第一半导体管芯还包括在所述第一半导体管芯的所述前侧上的一个或多个接触端子(6、35),

- 被安装在所述基板(2)的背侧上的第二半导体管芯(15),所述第二半导体管芯包括N个触点(8),所述N个触点被分别连接到所述TSV插入件(16)在所述插入件(16)的背侧上的N个触点(11),

- 被直接安装在所述第一半导体管芯(1)和所述TSV插入件(16)的所述前侧上或者所述第一半导体管芯(1)和所述TSV插入件(16)的所述前侧上的一个或一堆中间层上的横向连接设备(18),所述横向连接设备设置有第一和第二组(19、20)的N个触点,所述组各自被并排放置在所述横向连接设备的同一表面上,其中所述第一和第二组(19、20)的N个触点在所述横向连接设备内部分别被互连,并且其中所述横向连接设备上的所述第一和第二组(19、20)的N个触点分别被相应地连接到所述第一半导体管芯上的所述N个触点(7)以及所述TSV插入件(16)的在所述插入件的前侧上的N个触点(12),使得所述第一半导体管芯(1)上的所述N个触点(7)通过所述横向连接设备(18)和所述TSV插入件(16)分别被连接到所述第二半导体管芯(15)上的所述N个触点(8),

- 被连接到所述第一半导体管芯上的所述接触端子(6)的至少一些的多个封装级接触凸块(4)。

2. 根据权利要求1所述的封装,其特征在于,所述横向连接设备(18)在所述基板(2)的外部且被直接安装在所述基板(2)的前侧或者所述基板(2)的前侧上的一个或一堆中间层上。

3. 根据权利要求2所述的封装,其特征在于,包括在所述基板(2)的前侧上的再分布层RDL(3),并且其中所述封装级接触凸块(4)被安装在所述RDL(3)的外表面上,并通过所述RDL(3)内的导体(36)被连接到所述第一半导体管芯(1)的接触端子,并且其中所述横向连接设备(18)同样被安装在所述RDL(3)的外表面上。

4. 根据权利要求3所述的封装,其特征在于,所述RDL(3)包括将所述第一半导体管芯(1)上的所述N个触点(7)连接到所述RDL(3)的外表面上的第一组的N个对应触点(27)的导体(9),所述RDL(3)还包括将所述TSV插入件(16)的前侧上的所述N个触点(12)连接到所述RDL的外表面上的第二组的N个对应触点(28)的导体(9'),并且其中所述横向连接设备(18)上的所述第一和第二组的N个触点(19、20)分别被相应地接合到所述RDL(3)上的所述第一和第二组的触点(27、28)。

5. 根据权利要求1所述的封装,其特征在于,所述横向连接设备(18)被直接接合到所述第一半导体管芯(1)和所述TSV插入件(16)的前侧,并且其中所述横向连接设备(18)同样被

嵌入在所述基板(2)的所述模具材料中。

6. 根据权利要求5所述的封装,其特征在于,所述第一半导体管芯的接触端子是接触柱(35),所述接触柱的高度足够用于从所述前侧接触所述第一半导体管芯(1),而不管所述横向连接设备(18)的存在。

7. 根据权利要求6所述的封装,其特征在于,包括在所述基板(2)的前侧上的再分布层RDL(3),并且其中所述封装级接触凸块(4)被安装在所述RDL(3)的外表面上,并通过所述RDL(3)内的导体(36)被连接到所述第一半导体管芯(1)的所述接触柱(35)。

8. 根据权利要求7所述的封装,其特征在于,所述RDL(3)与所述横向连接设备(18)的背侧直接物理接触。

9. 根据权利要求7所述的封装,其特征在于,在所述RDL(3)与所述横向连接设备(18)的背侧之间存在一层模具材料。

10. 根据权利要求3、4或7到9中任一项所述的封装,其特征在于,包括被安装在所述基板(2)的背侧上的一个或多个附加的半导体管芯(31),每个附加的管芯通过附加的TSV插入件(32)被连接到所述基板的前侧,并且其中所述附加的TSV插入件通过所述RDL(3)内的导体被连接到所述第一半导体管芯(1)。

11. 根据前述权利要求1-9中任一项所述的封装,其特征在于,其中所述横向连接设备(18)包括半导体基板和线路部分的后端,并且其中所述横向连接设备(18)的第一和第二组的触点(19、20)之间的所述互连通过线路部分所述后端中的电路来被建立。

12. 根据前述权利要求1-9中任一项所述的封装,其特征在于,所述第一半导体管芯是逻辑管芯(1),并且其中所述第二半导体管芯是存储器管芯(15),并且其中所述第一半导体管芯和第二半导体管芯上的所述N个触点(7、8)被形成为致密的I/O触点阵列。

13. 根据前述权利要求1-9中任一项所述的封装,其特征在于,所述第二半导体管芯(15)上的所述N个触点(8)被直接接合到所述TSV插入件(16)的背侧上的所述N个触点(11)。

## 半导体管芯封装及生产这种封装的方法

### 技术领域

[0001] 本发明涉及半导体处理,尤其涉及多个集成电路管芯在3D互连的封装中的集成。

### 背景技术

[0002] 集成电路设备(也称为半导体芯片或管芯)的3D集成近年来已经经历了许多发展。具体而言,具有大量管芯到管芯互连的两个或更多个管芯的集成在封装尺寸和散热问题方面已成为挑战。传统的PoP(Package-on-Package(封装层叠))方法涉及将两个管芯(例如移动应用中的应用处理器和存储器芯片)封装在分开的球栅阵列型封装中,并将一个封装组装在另一个之上。所产生的封装高度可能是有问题的,并且封装级焊球不允许以例如根据宽I/O标准实现集成所要求的小间距来实现大量互连。

[0003] 已被提出的一种改进是针对底部管芯使用嵌入式管芯封装或晶片级重构管芯封装。嵌入式管芯封装将硅管芯嵌入在层压PCB中。重构的封装使用晶片级成型技术来重构晶片或面板形基板,这允许薄膜封装级互连在再分布层(RDL)中的创建。该技术被称为扇出晶片级封装(F0-WLP)或者eWLB(即嵌入式晶片级球栅阵列),例如在文档“Next generation eWLB packaging(下一代eWLB封装)”(Yonggang Jin等,电子封装技术会议(EPTC)纪要,2010)中所解说的。

[0004] 为了实现封装层叠解决方案,F0-WLP方法要求将封装的前侧连接到背侧的垂直穿封装(through-package)互连。这可以通过激光钻孔以及用Cu或焊料填充孔来完成以产生穿封装通孔(TPV)。另一种技术在管芯嵌入之前使用铜柱的电镀。然而,可获得的TPV间距相当有限(例如,TPV到TPV间距不小于几百 $\mu\text{m}$ )。

[0005] 为了实现(诸如宽I/O DRAM存储器所需的)高带宽技术(其由间距为40 $\mu\text{m}$ 的4组6x73接触焊盘组成),要求高得多的穿封装互连密度。

[0006] 这可以通过使用逻辑管芯中的穿Si通孔将宽I/O DRAM直接堆叠在逻辑管芯上来实现。然而,这要求在逻辑管芯中的TSV(穿硅通孔,或更一般而言,穿基板通孔)。此外,逻辑管芯和DRAM管芯之间的热耦合相当高。不同的解决方案是使用硅中介层以实现使用高密度硅技术的高密度互连。这允许管芯的横向放置(即并排在中介层上)。然而,封装构造变得相当昂贵。一种替代解决方案是移除封装基板并将封装实现为晶片级管芯规模封装(CSP)。然而,这些解决方案不允许逻辑管芯的独立封装和简单测试。

[0007] 发明概述

[0008] 本发明涉及如所附权利要求公开的一种半导体管芯封装及用于生产该封装的方法。根据本发明的封装包括嵌入在用上面提到的已知的F0-WLP或eWLB技术可获得的重构晶片中的第一管芯。除了第一管芯以外,毗邻该第一管芯放置的穿基板通孔插入件被嵌入在晶片中,TSV插入件是分开的元件,可能是具有将插入件的前侧和背侧上的触点互连的金属填充通孔的硅管芯。第二管芯被安装在基板的背侧,其中第二管芯上的触点与基板的背侧上的TSV插入件的触点电连接。在第一管芯和TSV插入件的前侧上安装了横向连接设备,其将基板的前侧上的TSV插入件的触点与第一管芯的前侧上的触点互连。因此,横向连接设备

和TSV插入件有效地将第一和第二管芯上的触点互连。根据一实施例,如从FO-WLP技术中已知的,横向连接设备被安装在基板的前侧上的再分布层(RDL)上。封装级焊球被提供在如已知的封装中的RDL上,并且可能在横向连接设备的位置处被中断。根据另一实施例,横向连接设备同样被嵌入在重构晶片中。

[0009] 根据本发明的封装的优点之一在于,第一管芯的测试可在安装第二管芯之前被执行。此外,取决于第二管芯上的触点的位置,第二管芯在许多情况下可被放置成与第一管芯重叠。当重叠可能时,这与传统的中介层解决方案相比减少了总体封装尺寸以及互连长度。TSV插入件和横向连接设备可通过应用如将在详细描述中解释的已知的中介层技术来产生。这允许昂贵的中介层技术被限于较小的管芯,从而导致与现有技术相比的成本降低。

[0010] 具体而言,本发明涉及半导体管芯封装,包括:

[0011] • 由模具材料形成的基板,其中在所述模具材料中并排嵌入的是第一半导体管芯和穿基板通孔(TSV)插入件,基板、TSV插入件和第一管芯具有前侧和背侧,并且其中

[0012] • TSV插入件包括插入件的前侧上的N个触点、插入件的背侧上的N个触点以及分别将插入件的前侧和背侧上的所述触点互连的N个金属填充的通孔,N是大于或等于1的整数,

[0013] • 第一管芯包括在第一管芯的前侧上的N个触点,

[0014] • 第一管芯还包括在第一管芯的前侧上的一个或多个接触端子,

[0015] • 被安装在基板的背侧上的第二半导体管芯,该第二半导体管芯包括N个触点,该N个触点被分别连接到TSV插入件在插入件的背侧上的N个触点,

[0016] • 被安装在第一管芯和TSV插入件的前侧上的横向连接设备,该横向连接设备设置有第一和第二组的N个触点,这些组各自被并排放置在横向连接设备的同一表面上,其中第一和第二组的N个触点在横向连接设备内部分别被互连,并且其中横向连接设备上的第一和第二组的N个触点分别被相应地连接到第一管芯上的N个触点以及TSV插入件的在插入件的前侧上的N个触点,使得第一管芯上的N个触点通过横向连接设备和TSV插入件分别被连接到第二管芯上的N个触点,

[0017] • 被连接到第一管芯上的至少一些接触端子的多个封装级接触凸块。

[0018] 根据一实施例,横向连接设备在基板的外部且被安装在基板的前侧。在后一种情况下,封装还可包括在基板的前侧上的再分布层(RDL),其中封装级接触凸块被安装在所述RDL的外表面上,并通过RDL内的导体被连接到第一管芯的接触端子,并且其中横向连接设备同样被安装在RDL的外表面上。

[0019] RDL可包括将第一管芯上的N个触点连接到RDL的外表面上的第一组的N个对应触点的导体,RDL还包括将TSV插入件的前侧上的N个触点连接到RDL的外表面上的第二组的N个对应触点的导体,并且其中横向连接设备上的第一和第二组的N个触点分别被相应地接合到RDL上的第一和第二组的触点。

[0020] 根据本发明的一实施例,横向连接设备被直接接合到第一半导体管芯和TSV插入件的前侧。在后一种情况下,横向连接设备可同样被嵌入在基板的模具材料中。仍然在后一种情况下,无论横向连接设备是否被嵌入在模具材料中,第一管芯的接触端子都可以是接触柱,其高度足够用于从前侧接触第一管芯,而不管横向连接设备的存在。

[0021] 在后一实施例中,封装可包括在基板的前侧上的再分布层(RDL),其中封装级接触

凸块被安装在所述RDL的外表面上,并通过RDL内的导体被连接到第一管芯的接触柱。所述RDL可以与横向连接设备的背侧直接物理接触,或者在RDL与横向连接设备的背侧之间可存在一层模具材料。

[0022] 根据本发明的包括RDL的封装还可包括被安装在基板的背侧上的一个或多个附加的半导体管芯,每个附加的管芯通过附加的TSV插入件被连接到基板的前侧,并且其中附加的TSV插入件通过RDL内的导体被连接到第一半导体管芯。

[0023] 根据一实施例,横向连接设备包括半导体基板和线路部分的后端,并且横向连接设备的第一和第二组的触点之间的互连通过所述线路部分的后端中的电路来被建立。

[0024] 根据一实施例,第一半导体管芯是逻辑管芯,而第二半导体管芯是存储器管芯,其中第一和第二管芯上的N个触点被形成为致密的I/O触点阵列。

[0025] 根据一实施例,第二半导体管芯上的N个触点被直接接合到TSV插入件的背侧上的N个触点。

### 附图说明

[0026] 各附图是解说本发明的示意图,且未按比例绘制。

[0027] 图1示出了根据本发明的一个实施例的半导体管芯封装。

[0028] 图2a至2h例示了用于生产图1的封装的优选方法步骤。

[0029] 图3例示了根据本发明的包括附加的管芯的封装的一个实施例。

[0030] 图4例示了根据另一实施例的半导体封装。

[0031] 图5a至5j示出了适用于生产图4所示封装的方法步骤。

[0032] 图6示出了带有附加的管芯和附加的图4的TSV插入件的封装。

[0033] 图7示出了根据本发明的封装的替代实施例。

### 具体实施方式

[0034] 图1所示的封装包括具有互连的I/O触点阵列7/8的逻辑管芯1和存储器管芯15。例如,存储器管芯15可以根据宽I/O标准配置的DRAM管芯。两个触点阵列7和8在这种情况下均根据该标准来被配置,即每个阵列包括间距为40 $\mu$ m的4组6x73接触焊盘。然而,本发明不限于这样的设备,并且图1的实施例应被理解成仅仅例示了本发明的典型应用领域。逻辑管芯1被嵌入在由模具材料形成的基板2中,并且在该基板的前侧上包括再分布层(RDL)3。封装级焊球4被安装在设置在RDL 3的表面上的接触焊盘5上,以用于通过被包含在RDL 3中的电路(未示出)来建立到在逻辑管芯1的前侧上设置的接触端子6的连接。逻辑管芯1的前侧还设置有I/O触点阵列7,这些I/O触点被分别连接到安装在基板2的背侧上的存储器管芯15上的对应的I/O触点阵列8,“分别”意指一个阵列的每个触点均被连接到另一阵列的对应的触点(贯穿本说明书,该“分别”的定义是有效的)。除了逻辑管芯1以外,毗邻所述管芯的穿基板通孔(TSV)插入件16被嵌入在基板2的模具材料中。TSV插入件16可以是包括多个金属填充的通孔17的硅管芯,这些金属填充的通孔将插入件16的背侧上的触点阵列11连接到插入件16的前侧上的对应的触点阵列12。当插入件16被嵌入在基板材料中时,插入件16的前侧和背侧与基板2的前侧和背侧重合。通孔17的数量对应于逻辑管芯1上的I/O触点7的数量,并且对应于存储器管芯15上的I/O触点8的数量。

[0035] 存储器管芯15上的I/O触点8被直接接合到TSV插入件16的背侧上的触点11。在RDL 3的前侧上安装有横向连接设备18。横向连接设备18包括在该横向连接设备18的相同表面上的两个触点阵列19/20,每个阵列具有与逻辑管芯1和存储器管芯15上的阵列7和8相同数量的触点。第一阵列的触点19通过设置在横向连接设备18中的电路来被分别连接到第二阵列的对应的触点20。此外,第一阵列的触点19还通过设置在RDL 3中的电路,优选地通过垂直导体9来被分别连接到逻辑管芯1上的I/O触点7。同样地,第二阵列的触点20通过设置在RDL 3中的电路,优选地通过垂直连接9'来被分别连接到TSV插入件16的前侧上的触点12。这些垂直连接9/9'被示意性地绘制成线,但是它们可以根据已知技术来被实践。优选地,垂直连接9/9'由在RDL互连堆叠中设计的一系列通孔和焊盘连接组成。典型的实现是堆叠的通孔连接(所有通孔和焊盘都与互连焊盘印痕对齐)或者阶梯通孔连接(通孔不在彼此之上对齐,而是相对于彼此稍微偏移)。横向连接设备18和TSV插入件16由此在逻辑管芯1以及存储管芯15的I/O触点7和8之间建立单独的连接。存储器管芯15由第二层的模具材料21保护。

[0036] 横向连接设备18可以是包括多个线层(例如电源/接地参考层和单个高密度互连层)的后端的硅管芯,以用于在横向连接设备上实现第一和第二触点阵列19和20之间的连接。

[0037] 图2例示了用于生产图1的封装的优选方法步骤。该过程在晶片级(即,在包括多个逻辑管芯1的晶片上)被执行。逻辑管芯1首先通过粘合剂层26来被附接到临时载体晶片25(图2a)。在这之后,TSV插入件16被放置成与逻辑管芯1相邻(图2b)。逻辑管芯1的高度与TSV插入件16的高度基本相同。逻辑管芯1和插入件16接着优选地通过上述扇出晶片级封装技术领域本身已知的压缩模制技术来被嵌入在模具材料2'中(图2c)。载体晶片25和粘合剂层26的类型也可以根据FO-WLP中已知的技术。模具材料还优选地是通常被应用于FO-WLP的材料。这样的模具材料通常由与大体积分数的无机材料(通常为小的二氧化硅颗粒)混合的热固性聚合物材料组成,以控制模具材料的机械属性(热膨胀系数和弹性模量)。在模具材料的设置之后,该材料通过合适的减薄技术(优选通过研磨)在逻辑管芯1和插入件16的水平面上被移除,在这之后,载体25和粘合剂层26通过剥离来被移除,从而产生由具有嵌入其中的逻辑管芯1和TSV插入件16的模具材料组成的重构基板2,如图2d所示。

[0038] 在翻转基板之后,再分布层3同样根据被应用于FO-WLP中的已知技术来被应用(图2e),优选地应用薄膜技术以用于产生将逻辑管芯1上的接触端子6连接到RDL 3的上表面上的接触焊盘5的线型互连级别的一个或多个后端,其中封装级焊球4被产生在该上表面上,例如这可以是球栅阵列(BGA)或芯片规模封装(CSP)型接触结构。RDL 3通常包括在厚度、宽度和间距方面相对较大的线几何形状。典型的线宽和间距约为 $5\mu\text{m}$ 的数量级,通过应用最先进的技术下降到约 $2\mu\text{m}$ 。RDL 3还包括在逻辑管芯1上的I/O触点阵列7和RDL 3的表面上的第一触点阵列27之间的单独连接9,以及在TSV插入件16的前侧的触点阵列12和RDL 3的表面上的第二触点阵列28之间的单独连接9'。没有封装级焊球被施加在包括接触点27/28的区域上此时,触点可用于对嵌入式管芯1的全面测试,并且在故障管芯的情况下,可以作出不在重构晶片的该特定位置上组装附加的管芯的决定。

[0039] 如图2f所示,横向连接设备18接着优选地通过本领域中已知的倒装芯片技术来被安装到RDL 3上,使得每个横向连接设备18上的第一和第二触点阵列19/20被分别接合到RDL 3的表面上的第一和第二触点阵列27/28。此时,高密度TSV插入件16以及经由横向连接

设备18到嵌入式管芯1的连接可被测试。假使这些连接是有缺陷的,则可以作出不在该位置处组装附加的设备的决定。

[0040] 如图2g所示,存储器管芯15接着优选地通过倒装芯片技术来被安装在封装的背侧上,使得存储器管芯的I/O触点8被接合到TSV插入件16的背侧上的触点11。存储器管芯15可通过第二包覆成型过程来被保护,其中另外的模具材料21被施加在存储器管芯上,如图2h所示。基板2接着可被分割以形成图1所示的类型的分开的封装。

[0041] 上述过程步骤的替代方案在本领域技术人员的技术之内,并且可取决于通过TSV插入件16和横向连接设备18来被互连的半导体管芯1和15的类型。例如,再分布层3并不总被要求。当不存在RDL时,横向连接设备18可分别被直接接合到逻辑管芯1和TSV插入件16的前侧上的触点阵列7和12。

[0042] 在全部附图中,且除非另有阐明,触点已被呈现为位于通过倒装芯片技术来被接合的设备的外层中的接触焊盘。这是对现实中可能更复杂的情况的简化表示,这对于技术人员而言是清楚的。术语“触点”可以是接触焊盘或接触凸块,这取决于触点将如何与随后的设备或层互连。例如,一个设备可设置有焊盘或中空接触区域,而另一设备设置有凸块,或者两侧可设置有凸块。凸起或焊盘可由多个层构建。触点可以在上层的顶部而不是被嵌入在其中,如附图中所呈现的。关于附图的另一注意点在于,设备在接合之前和之后已被同样地绘制。实际中的情况并非如此,因为倒装芯片在许多情况下涉及底层填料(underfill)步骤,其中经接合的触点在实际接合已被建立之后被嵌入在底层填料材料中。此外,接触焊盘或凸块将通常经历回流及并合成单个接触结构。附图已作出这些细节的抽象,以使附图不变得过于拥挤。然而,应当注意,如在附图中呈现且在本说明书中描述的触点的接合可以根据当今现有技术中可应用的任何方法来发生。

[0043] 此外,无论什么情况下在本说明书或权利要求书中阐明了在经组装的设备中,第一设备的“触点”被“直接接合”到第二设备的“触点”,这意味着该组装件是通过使第一设备的触点与第二设备的触点直接物理接触来被获得的,从而形成触点之间的电连接。在接合之后被获得的组装件中,由于已存在形成经建立的接合的材料合并,因此两个经接合的设备的原始触点可能不再是可区分的。当在这种情况下,经组装的设备的“触点”因此应被理解成合并的接触结构的一部分,一个部分被附接到第一设备,第二部分被附接到第二设备。“直接接合”的特征接着应被理解成这样的特征,根据该特征,这些部分通过随“触点”均匀的接触结构来被连接。

[0044] TSV插入件16和横向连接设备18可通过例如从Si-中介层技术已知的技术来被产生。下文描述用于产生TSV插入件16的优选过程流程。

[0045] 1. 提供Si晶片

[0046] 2. 通过化学气相沉积(CVD)将绝缘层沉积在晶片(例如硅)上

[0047] 3. 形成TSV阵列17:

[0048] a. 光致抗蚀剂的沉积和TSV图案的光图案化。

[0049] b. 蚀刻绝缘层和Si,以在Si基板的前侧形成深盲孔;例如,10 $\mu$ m直径和100 $\mu$ m深,或5 $\mu$ m直径和50 $\mu$ m深。

[0050] c. 沉积电介质层,从而共形地覆盖暴露的Si孔的侧壁和底部以及晶片的上表面,其目的是为了在TSV和Si基板之间形成绝缘衬垫。被用作衬垫的典型材料是臭氧一正硅酸

乙酯CVD氧化物 (Ozone-Teos CVD oxide) 以及等离子体增强的ALD共形氧化物。

[0051] d. 在形成盲孔和衬垫之后, Cu阻挡层 (例如Ti或Ta) 被沉积在盲孔的壁和底部以及晶片的上表面上, 随后是通过物理气相沉积 (PVD) 以在所述壁和底部以及上表面上形成Cu晶种层的Cu沉积过程。

[0052] e. 随后, 这些孔使用Cu电镀来被填充, Cu也在晶片的上表面上形成。

[0053] f. 在Cu退火之后, 电镀的Cu、晶种Cu以及阻挡和衬垫层通过CMP处理从晶片的上表面被移除, 从而得到在Si晶片的顶层中的电隔离的Cu插入件。

[0054] 4. 在TSV处理之后, 前侧Cu柱被制造在晶片前侧。这些Cu柱将形成TSV插入件的前侧上的触点12。这些柱是例如使用如下所示的半添加Cu电镀过程来被实现的:

[0055] a. Cu电镀晶种层通过物理气相沉积 (PVD) 来被沉积: 例如, Ti/Cu或TiW/Cu,

[0056] b. 光致抗蚀剂被沉积和图案化, 从而在旨在用于Cu柱的位置上留下孔, 这些孔覆盖晶片的顶层中的隔离的Cu插入件,

[0057] c. 在图案化的光致抗蚀剂的开放区域中电解沉积Cu,

[0058] d. 剥离光致抗蚀剂,

[0059] e. 对PVD Cu晶种和 (Ti或TiW) 粘合剂层进行背面蚀刻, 从而最小化厚得多的Cu柱的Cu的损耗。

[0060] 5. 在形成Cu柱之后, 这些柱被嵌入在聚合物层中。这可例如通过旋涂或干膜层压来完成。

[0061] 6. 在沉积聚合物层之后, 晶片的表面被平坦化, 从而仅曝露Cu柱的顶部。这可通过晶片级研磨、表面平坦化或CMP (化学机械抛光) 技术来完成,

[0062] 7. 使用临时接合的粘合剂层将晶片接合到载体Si晶片,

[0063] 8. 晶片的背侧使用机械研磨来被减薄; 晶片在研磨之后被清洗,

[0064] 9. 嵌入在晶片中的TSV从背侧曝露。优选地使用如下所示的“软”通孔揭露过程:

[0065] a. 使用湿法或干法蚀刻技术来进一步减薄Si。使用端点检测系统, 当嵌入的Cu TSV结构的尖端从晶片背侧曝露时, 减薄被停止。Cu TSV仍然覆盖有TSV衬垫氧化物层。

[0066] b. 背侧钝化和绝缘层被沉积 (例如, SiN和SiO<sub>2</sub>层的堆叠)。光致抗蚀剂层被施加, 从而平坦化曝露的TSV尖端。

[0067] c. 干法背面蚀刻步骤被用来揭露TSV尖端, 并且使用氧蚀刻化学, 背侧钝化和TSV衬垫的尖端被移除, 从而曝露TSV的金属 (实际上是TSV阻挡层, 例如Ti或Ta)。

[0068] 替代地, CMP打开过程可被使用, 其中较厚的背侧氧化物层首先被沉积, 从而嵌入曝露的背侧TSV尖端。接下来, CMP步骤被用来打开曝露的TSV的Cu。

[0069] 10. 最后, 用于产生前侧Cu柱12的过程在经减薄的晶片的背侧上被重复以形成背侧柱11, 从而得到图1至图5所示的对称TSV插入件结构。

[0070] 11. 剩余的过程包括将薄片从载体基板剥离并转移到切割带, 随后将晶片切割成最终单独的TSV插入件16。

[0071] 根据一个实施例, Cu柱不被嵌入在聚合物中, 或者这些柱仅被嵌入在插入件16的两侧中的一者上的聚合物中。当柱不被嵌入时, 它们可例如被接合到半导体管芯的触点或者横向连接设备18上的中空接合焊盘。

[0072] 横向连接设备18可通过在所述晶片上产生多个线路后端型层 (诸如电源/接地参

考层和单个高密度互连层)并在其上产生两个触点阵列19和20来被产生自硅晶片。之后,晶片可被附接到临时载体并被减薄。晶片可接着被切割以形成分开的横向连接设备18。应用于在横向连接设备18上产生线路后端型层和触点阵列的技术可以是用于(例如使用成本有效的65nm节点处理设施)在中介层基板上产生类似的层和触点的已知技术。

[0073] 横向连接设备18允许在非常致密的触点阵列之间建立连接,如在宽I/O型技术中所遇到的。对于这样的高密度互连,如被用于产生再分布层3的针对封装的常规扇出互连技术是不够的,或者要求大量的层来实现逻辑管芯1和TSV插入件16之间的互连。横向连接设备18的应用提供了该问题的解决方案。当互连的数量较不致密时,可以在再分布层3本身内实现连接。图3例示了其中附加的管芯被包括在封装中的一个实施例。在其中第一管芯1是逻辑管芯而第二管芯15是宽I/O DRAM的示例性情况下,第三管芯30可以是闪存管芯,其同样与逻辑管芯1重叠并经由附加的TSV插入件31与其连接。该第二插入件31包括较少的金属填充的通孔32,这与闪存存储器管芯30和逻辑管芯1之间的减少的连接数一致。该减少的连接数不要求分开的横向连接设备:在第二插入件31的前侧上的触点与逻辑管芯1上的接触端子6之间的连接可被合并再分布层3的电路中。

[0074] 根据另一实施例,横向连接设备18同样被嵌入在F0-WLP基板的模具材料中。根据该实施例的封装在图4中示出。在该实施例中,逻辑管芯1设置有可以以与以上关于TSV插入件1所述类似的方式获得的高接触柱35,然而不带有将这些柱嵌入在聚合物层中的步骤。TSV插入件16本身和横向连接设备18与前述实施例中的相同。横向连接设备18现在被安装成使得其触点阵列19/20被直接接合到逻辑管芯1以及TSV插入件16的前侧上的触点阵列7。由于横向连接设备18的位置,因此需要高接触柱35,并且这些柱必须足够高以允许从前侧接触这些柱35并由此允许从前侧接触逻辑管芯1,而不管所述前侧上的横向连接设备的存在。在所示的实施例中,柱35通过再分布层3中的再分布电路36来被连接到RDL 3以及所述RDL 3上的封装级焊球4。该实施例具有的优点在于,焊球4不需要被中断以用于横向连接设备18的放置。再分布电路36也存在于图1至图3所示的RDL 3中,但是其未明确示出在这些附图中,以不至于使附图的细节过多。

[0075] 图5a至5j例示了用于生产根据图4的封装的可能的过程步骤。示出了用于一个单个封装的生产的步骤,但是它们优选地在晶片级上被执行(即,用于在单个晶片上的若干封装的生产),类似于图2a-2h所示的步骤。如图5a-5b所示,逻辑管芯1和TSV插入件16经由粘合剂层26来被附接到临时载体25。然后,横向连接设备18通过倒装芯片接合来被直接接合到逻辑管芯1和插入件16,参见图5c,即,逻辑管芯1上的触点阵列7被直接接合到横向连接设备18上的第一触点阵列19,并且TSV插入件16的前侧上的触点阵列12被直接接合到横向连接设备18上的第二触点阵列20。横向连接设备18的高度高于前述实施例。然后,三个设备1、16和18的该组装件优选地通过压缩模制来被嵌入在模具材料2'中,参见图5d,随后是通过背面研磨的平坦化,参见图5e,直到逻辑管芯1的金属接触柱35变成曝露的。横向连接设备18本身同样通过背面研磨步骤来被减薄。这导致了模制材料的重构晶片2的产生,逻辑管芯1、TSV插入件16以及(经减薄的)横向连接设备18的组装件被嵌入其中。图5d和5e所示的步骤的替代方案是使用模具材料的膜通过转移模塑来嵌入组装件,在这种情况下,横向连接设备18当被接合到TSV插入件16和逻辑管芯1时需要处于正确的厚度。

[0076] 然后,再分布层3被产生在重建晶片上(图5f),包括从逻辑管芯1的金属柱35到RDL

3的外表面上的接触焊盘5的导体36。RDL可以以FO-WLP技术中已知的任何方式来被产生。此时,触点可用于对嵌入式管芯1的全面测试,并且在故障管芯的情况下,可以作出不在重构晶片的该特定位置上组装附加的管芯的决定。组装件接着被转移到第二临时载体晶片40(图5g)并经由第二粘合剂层41来被附接到其上,在这之后,第一载体25和粘合剂层26被移除,从而曝露TSV插入件16和逻辑管芯1的背侧。此时,高密度TSV插入件16以及经由横向连接设备18到嵌入式管芯1的连接可被测试。假使这些连接是有缺陷的,则可以作出不在该位置处组装附加的设备的决定。仍然如图5g所示,存储器管芯15接着通过倒装芯片接合来被安装在所述背侧上,从而建立存储器管芯上的触点阵列8与TSV插入件16的背侧上的触点阵列11之间的接触。存储器管芯15接着还被嵌入在模具材料21中(图5h),在这之后,第二载体40和粘合剂层41被移除(图5i),并且封装级凸块4被施加(图5j)。

[0077] 其他过程序列可由本领域技术人员设计以用于图4的封装的生产。例如,还可以首先将横向连接设备18放置在第一临时载体上,随后是TSV插入件16和逻辑管芯1到横向连接设备18的倒装芯片接合。在这之后跟随的是通过压缩成型或传递模塑来将横向连接设备18、TSV插入件16和逻辑管芯1的组装件嵌入在模具材料中,以及生产RDL 3和封装级凸块4。过程序列的选择可能影响完成制造过程所需的临时载体的数量。

[0078] 如图6所示,图4的实施例也可以与具有较少TSV 32的附加的插入件31组合,以用于将闪存存储器管芯30连接到逻辑管芯1。

[0079] 图7示出了具有与这些实施例相同优点的图4至图6所示实施例的替代方案。在图7的组装件中,柱35显著地高于横向连接设备18的厚度,并且RDL 3不与横向连接设备18的背侧物理接触。在用于产生这样的封装的过程序列中,横向连接设备18在模制步骤之前被安装在逻辑管芯1和TSV插入件16上,如图5c所示,但是横向连接设备18此时已具有最终厚度,而在图5c中,其具有之后在图5d所示的步骤中被减薄的更高的厚度。在替代过程中,聚合物2'的减薄进行直到(较高)柱35曝露为止。此时,聚合物层2'仍然存在于横向连接设备18的背侧上。RDL 3接着以与图5f所示相同的方式被产生在平坦化的表面上,并且封装的完成也以图5g至5j所示的方式进行。

[0080] 尽管已经在附图和前面的描述中具体地解说和描述了本发明,但是此类解说和描述被认为是解说性的或者示例性的而非限制性的。通过研究附图、公开和所附权利要求,本领域技术人员可在实践要求保护的发明时理解和实施所公开实施例的其他变体。在权利要求中,单词“包括”不排除其他元素或步骤,并且不定冠词“一”或“一个”不排除复数。在相互不同的从属权利要求中陈述某些措施的纯粹事实并不表示不能有利地使用这些措施的组合。权利要求中的任何引用符号不应被解释为限制范围。

[0081] 除非特别指明,否则对在另一层或基板“上”存在、沉积或产生的层的描述包括以下选项:

[0082] • 所述层位于、产生或直接沉积在所述另一层或基板上,即,与所述另一层或基板直接接触,以及

[0083] • 所述层位于、产生或沉积在处于所述层和所述另一层或基板之间的一个或一堆中间层上。

[0084] 除非特别指明,否则对在表面“上”存在、沉积或产生的设备的描述包括以下选项:

[0085] • 所述设备位于、安装或直接产生在所述表面上,即,与所述表面物理接触,以及

[0086] • 所述设备位于、安装或直接产生在所述表面或所述设备之间的中间层之一或中间层的堆叠上。

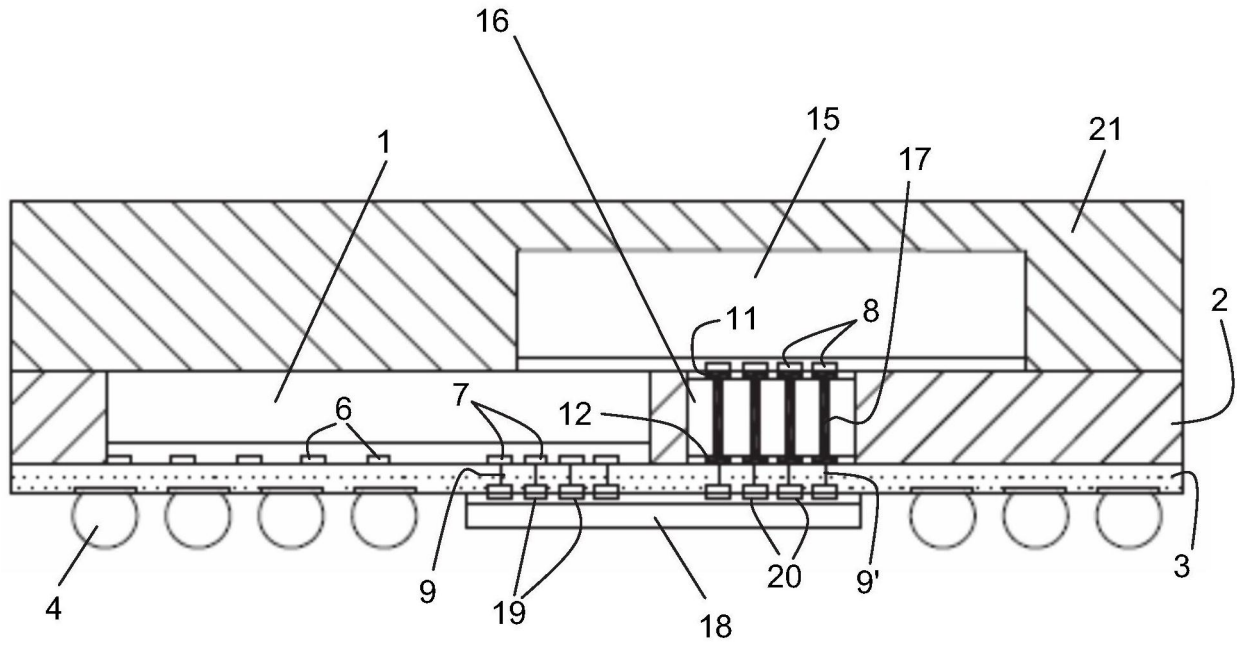


图1

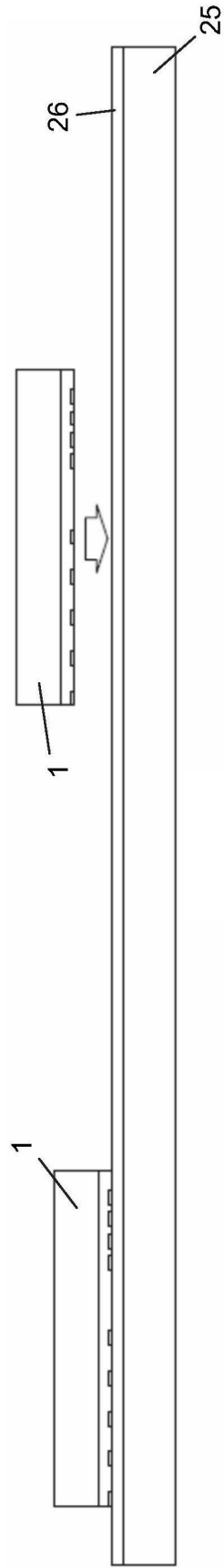


图2a

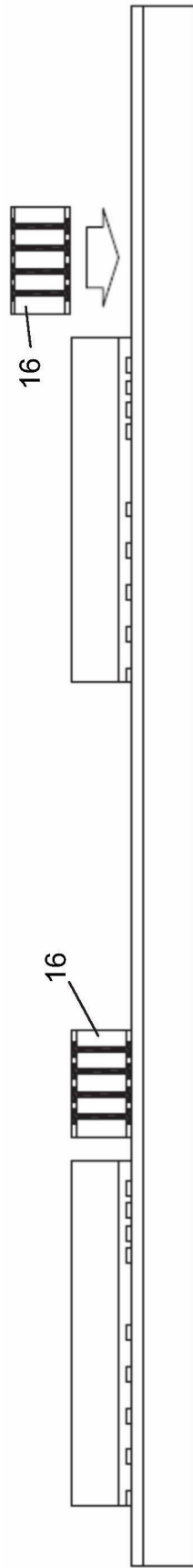


图2b

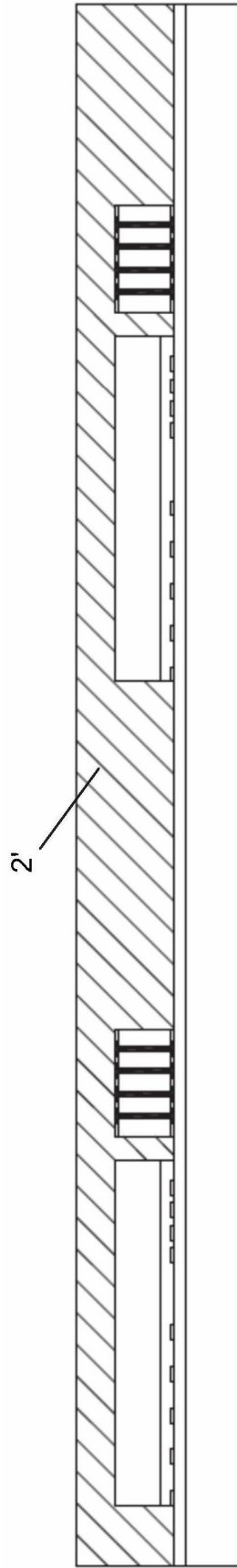


图2c

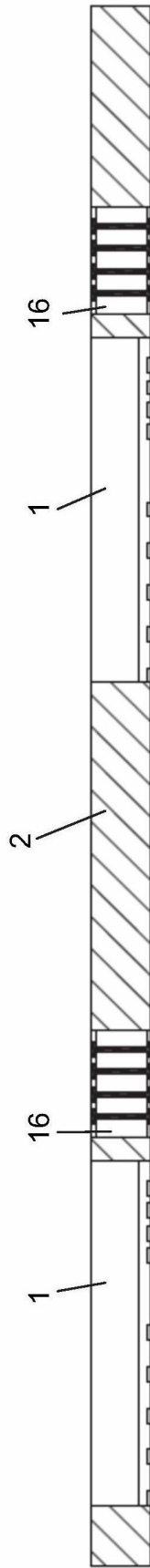


图2d

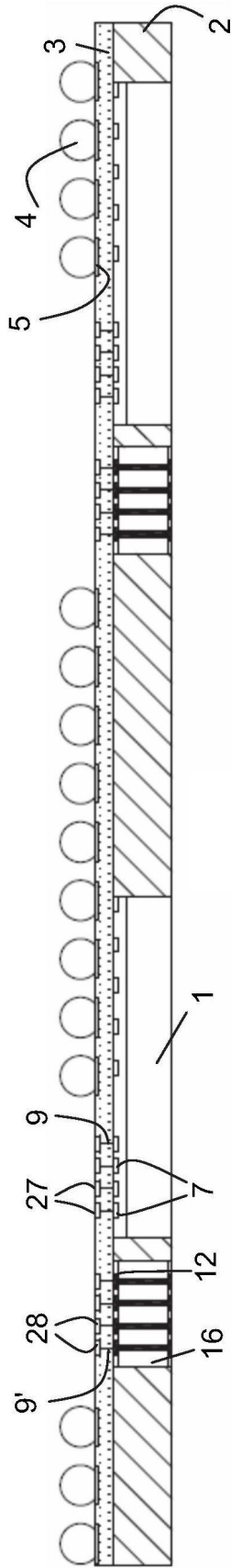


图2e

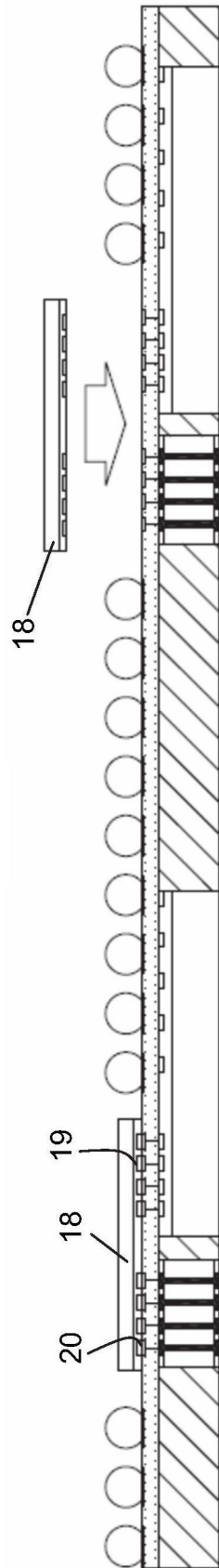


图2f

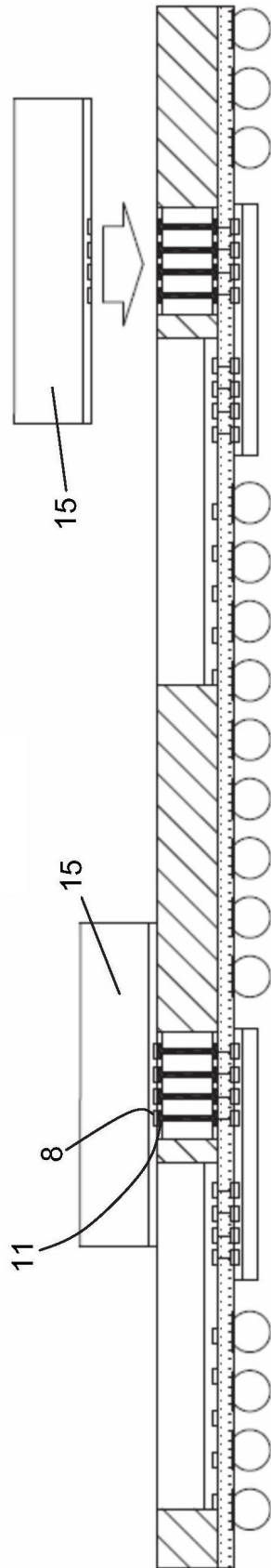


图2g

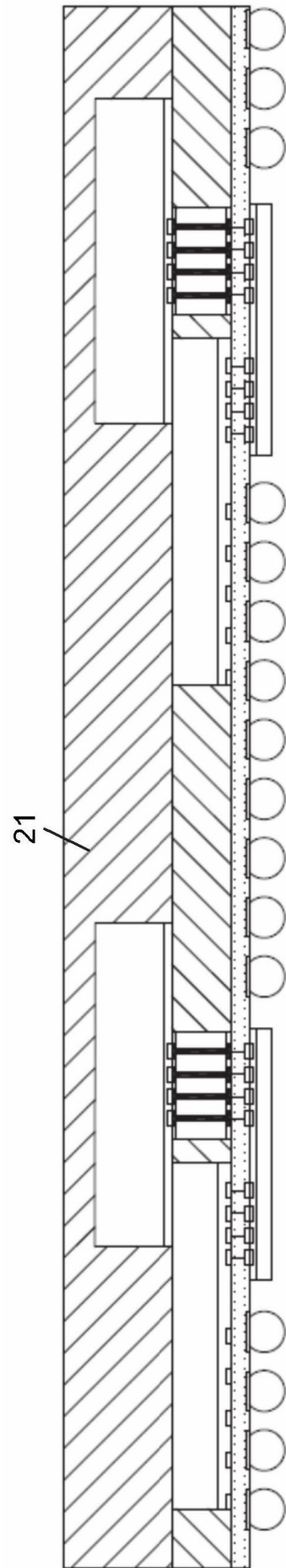


图2h

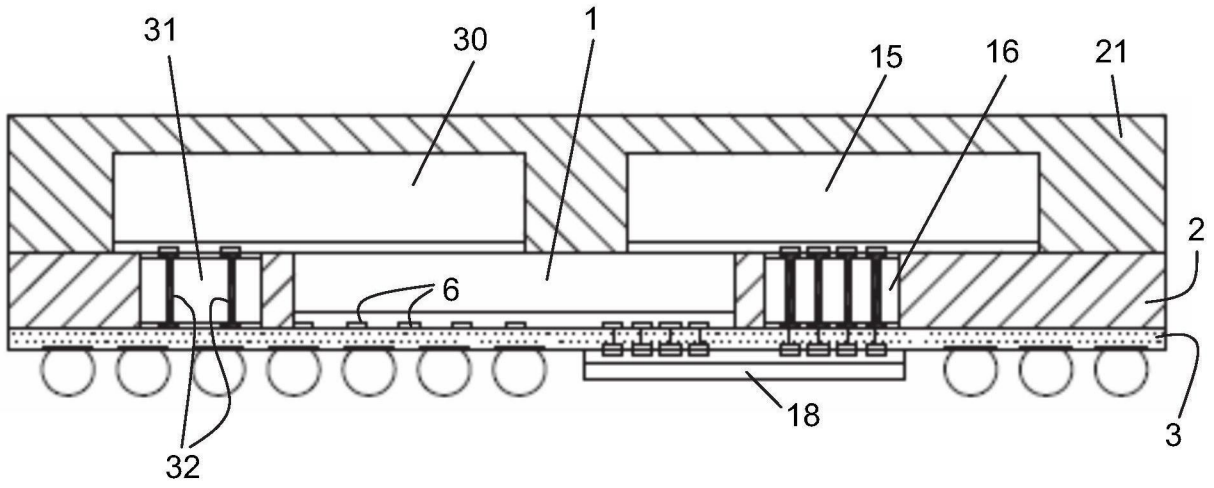


图3

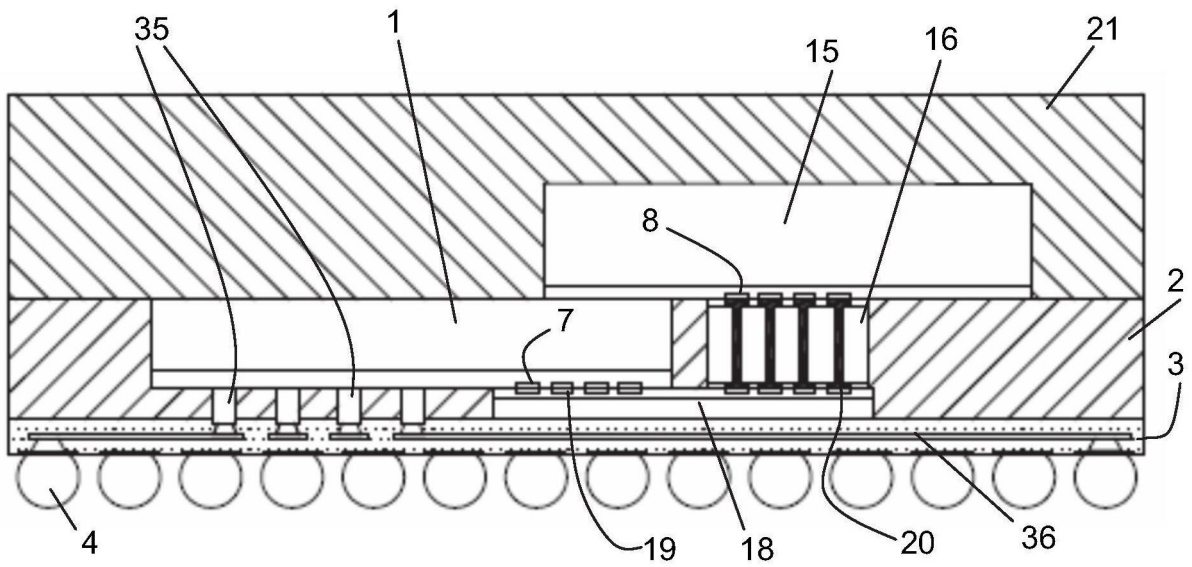


图4

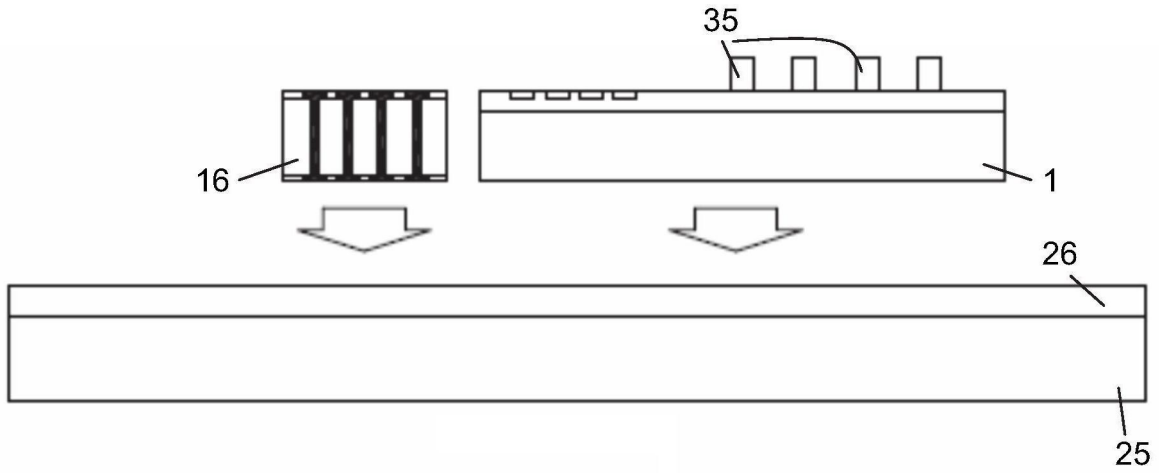


图5a

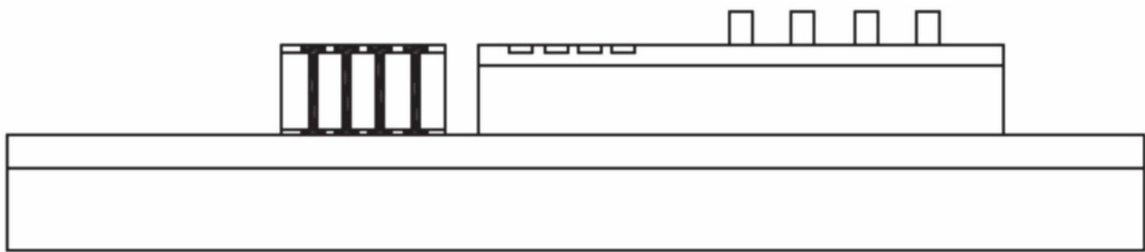


图5b

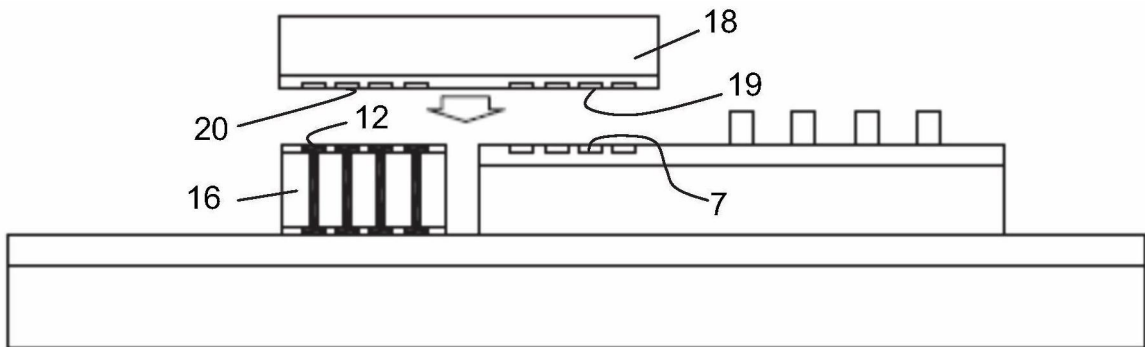


图5c

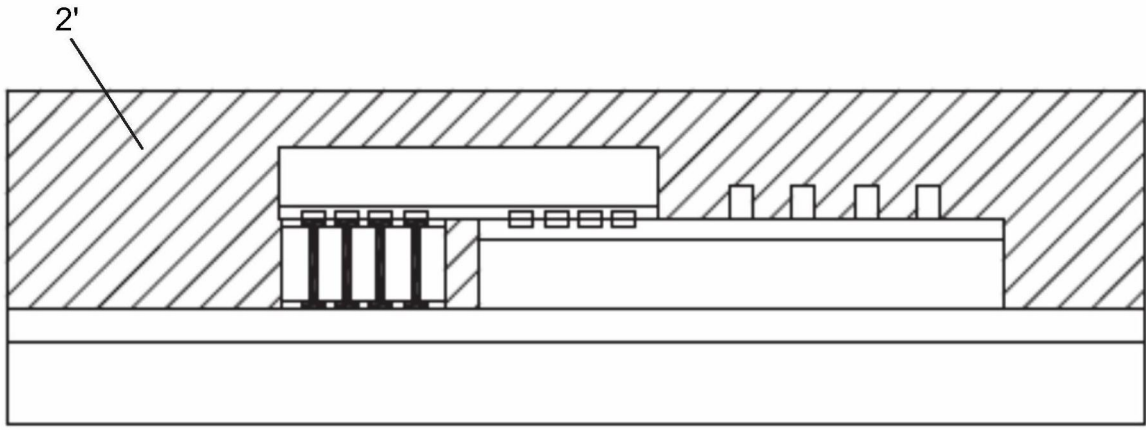


图5d

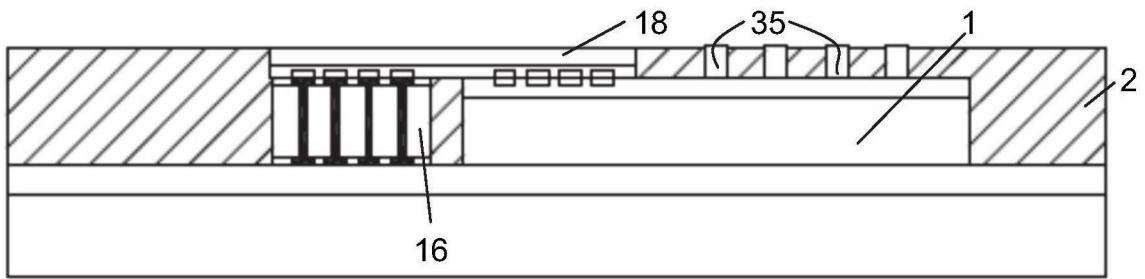


图5e

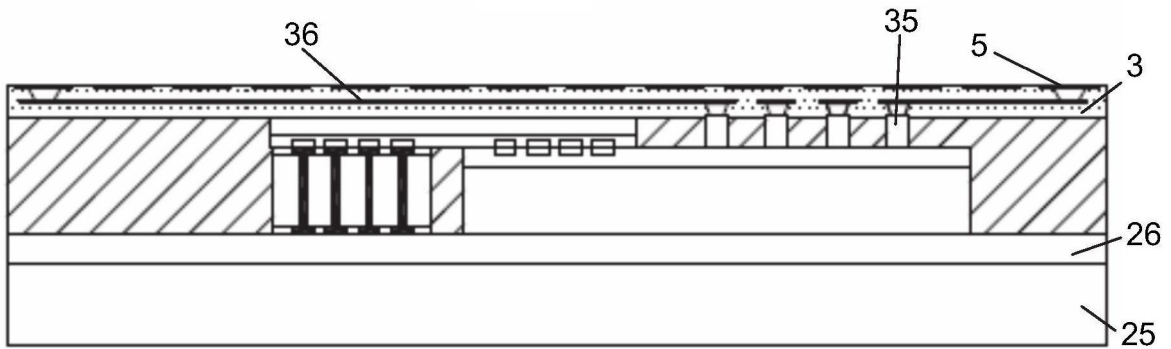


图5f

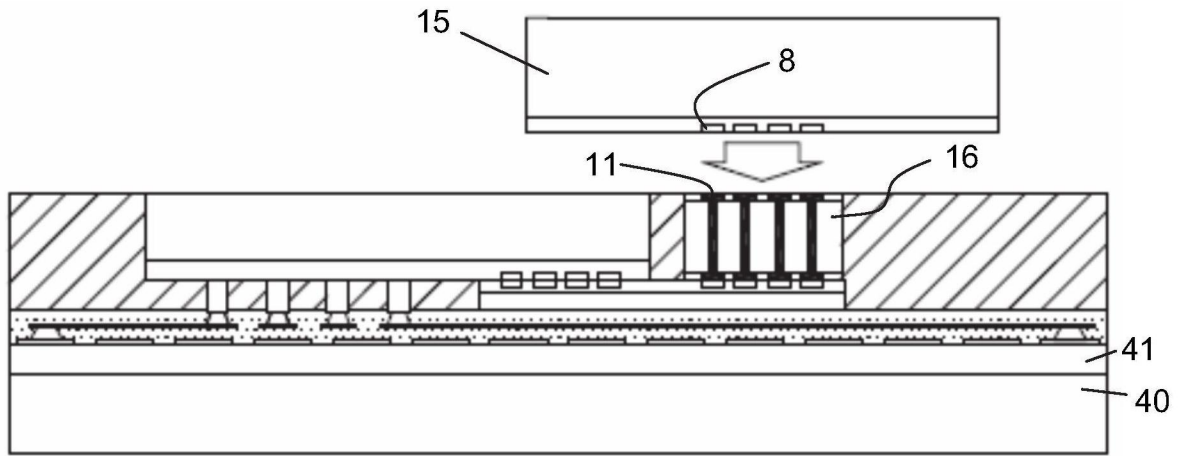


图5g

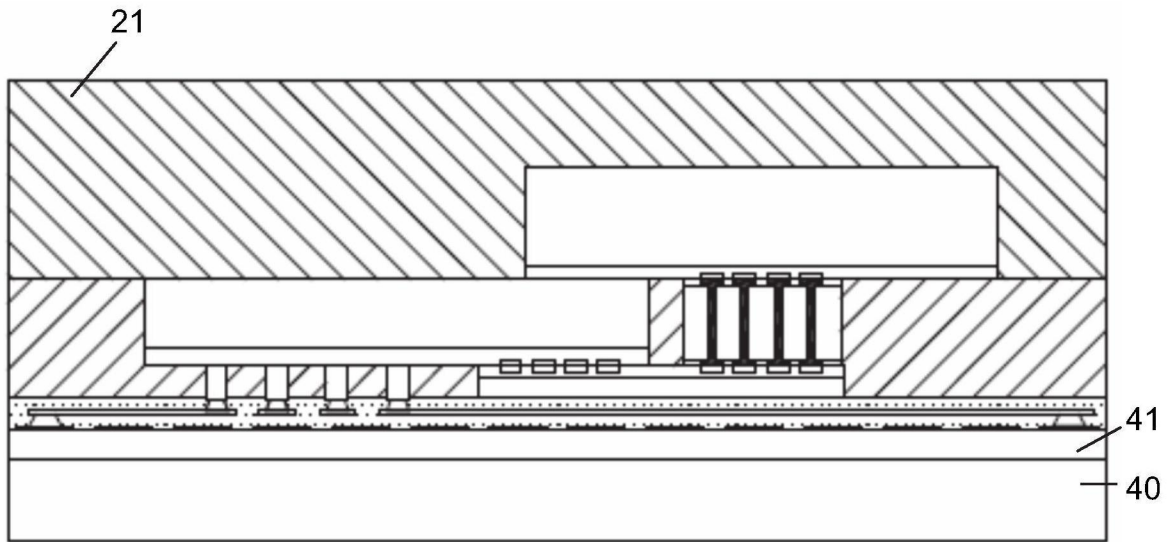


图5h

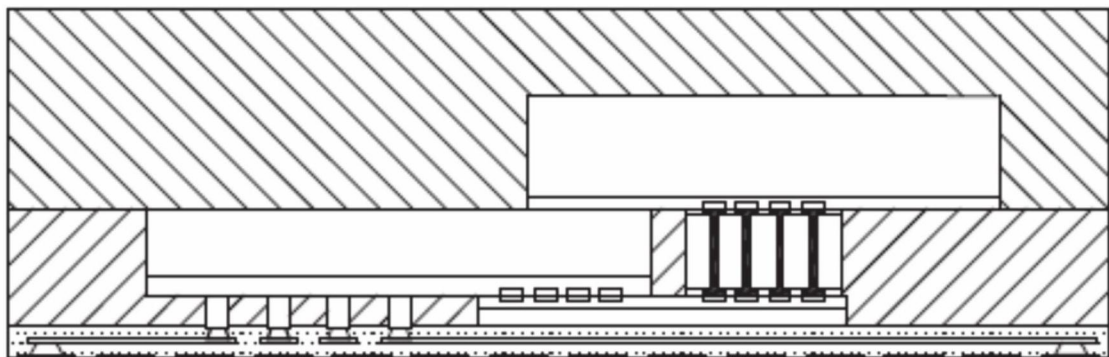


图5i

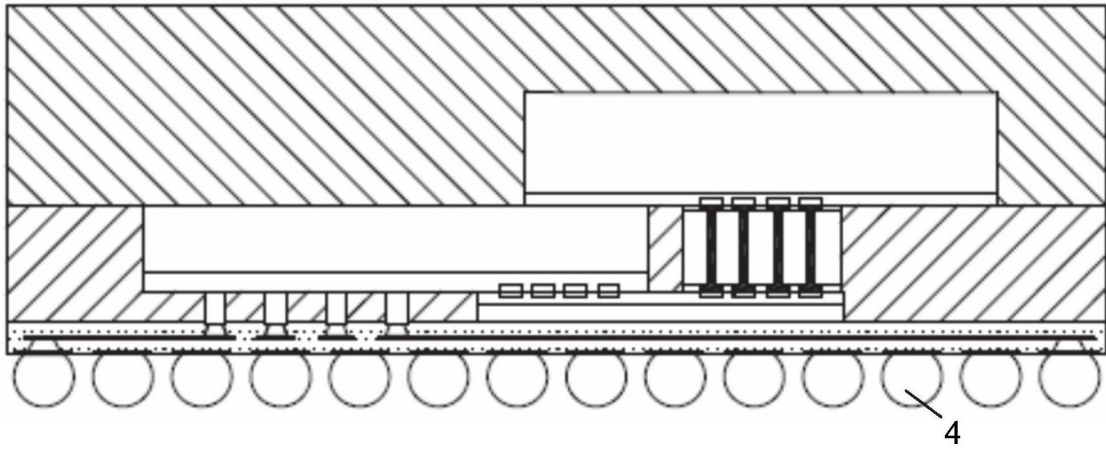


图5j

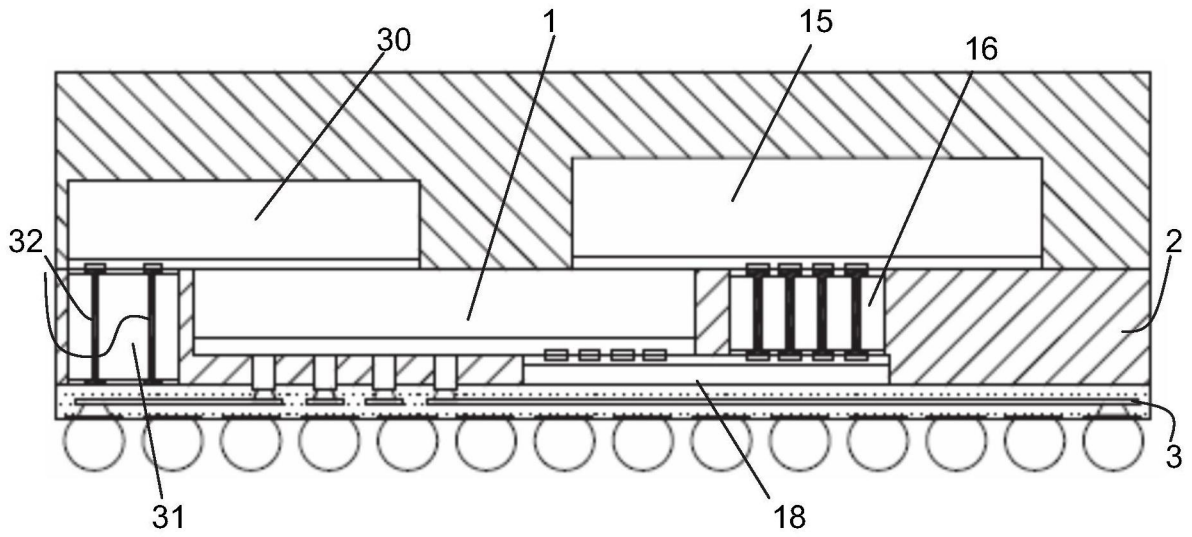


图6

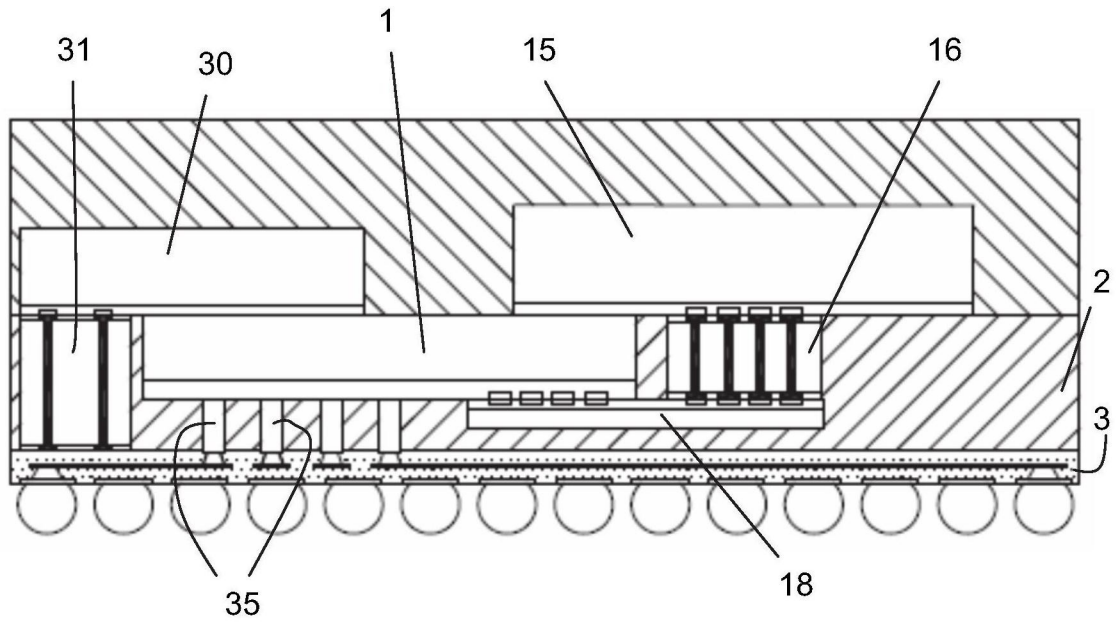


图7