(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03H 17/02 (2006.01)
G11B 20/10 (2006.01)

(45) 공고일자 2006년12월26일
(11) 등록번호 10-0660848
(24) 등록일자 2006년12월18일

(21) 출원번호 10-2004-0113690
(22) 출원일자 2004년12월28일
심사청구일자 2005년12월29일

(65) 공개번호 10-2006-0075125
(43) 공개일자 2006년07월04일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 고형종
경기 수원시 영통구 영통동 벽적골 삼성아파트 923동 501호

(74) 대리인 리앤목특허법인
이해영

(56) 선행기술조사문헌
JP10209810 A
JP2001077666 A
JP2004297244 A
JP2005094091 A
KR1019980072890 A
* 심사관에 의하여 인용된 문헌

심사관 : 강성철

전체 청구항 수 : 총 27 항

(54) 프로그램 가능한 부스팅을 위한 Gm-C 필터를 이용한이퀄라이저

(57) 요약

본 발명에 따른 이퀄라이저는, 제1 입력 노드, 제1 바이쿼드 밴드패스 노드, 및 제1 바이쿼드 로우패스 노드를 구비한 제1 바이쿼드 회로, 제1 바이쿼드 로우패스 노드와 연결된 제2 입력 노드, 제2 바이쿼드 밴드패스 노드 및 제2 바이쿼드 로우패스 노드를 구비한 제2 바이쿼드 회로, 제2 바이쿼드 밴드패스 노드의 출력 및 제2 바이쿼드 로우패스 노드의 출력을 합산하는 제1 합산 회로, 제1 합산 회로의 출력에서 제1 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로, 및 제2 합산회로의 출력과 제2 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함한다. 본 발명에 따른 이퀄라이저는, 이퀄라이저를 구성하는 회로의 사이즈를 줄이면서, 필터의 대역폭을 증가시키고, 일정한 부스팅 게인을 유지시킬 수 있다.

대표도

도 4

특허청구의 범위

청구항 1.

제1 입력 노드, 제1 바이쿼드 밴드패스 노드, 및 제1 바이쿼드 로우패스 노드를 구비한 제1 바이쿼드 회로;

상기 제1 바이쿼드 로우패스 노드와 연결된 제2 입력 노드, 제2 바이쿼드 밴드패스 노드 및 제2 바이쿼드 로우패스 노드를 구비한 제2 바이쿼드 회로;

상기 제2 바이쿼드 밴드패스 노드의 출력 및 상기 제2 바이쿼드 로우패스 노드의 출력을 합산하는 제1 합산 회로;

상기 제1 합산 회로의 출력에서 상기 제1 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로; 및

상기 제2 합산회로의 출력과 상기 제2 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함하며,

상기 제1 및 제2 바이쿼드 회로는 자체 피드백 구조로 연결된 트랜스컨덕터들이 각각 상기 제1 및 제2 바이쿼드 밴드패스 노드에 연결된 Gm-C 바이쿼드 회로인 것을 특징으로 하는 이퀄라이저.

청구항 2.

제 1 항에 있어서,

상기 제1 합산회로 및 제3 합산회로는 2개의 입력을 합산하는 제1 및 제2 연산증폭기인 것을 특징으로 하는 이퀄라이저.

청구항 3.

제 2 항에 있어서,

상기 제2 합산회로는,

상기 제1 합산 회로의 출력에서 상기 제1 바이쿼드 로우패스 노드의 출력을 빼는 제3 연산증폭기; 및

상기 제1 증폭기의 출력을 소정의 상수 배로 증폭시키는 제4 연산증폭기를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 4.

제 1 항에 있어서,

상기 제1 바이쿼드 회로는,

상기 제1 입력 노드와 상기 제1 바이쿼드 밴드패스 노드 사이에 연결된 제1 트랜스컨덕터;

상기 제1 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제1 커패시터;

상기 제1 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터;

상기 제1 바이쿼드 밴드패스 노드와 상기 제1 바이쿼드 로우패스 노드 사이에 연결된 제3 트랜스컨덕터;

상기 제1 바이쿼드 밴드패스 노드와 상기 제1 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제3 트랜스컨덕터와 피드백 구조를 형성하는 제4 트랜스컨덕터; 및

상기 제1 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제2 커패시터를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 5.

제 4 항에 있어서,

상기 제1 및 제3 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제2 및 제4 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 6.

제 4 항에 있어서,

상기 제2 바이쿼드 회로는,

상기 제2 입력 노드와 상기 제2 바이쿼드 밴드패스 노드 사이에 연결된 제5 트랜스컨덕터;

상기 제2 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제3 커패시터;

상기 제2 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제6 트랜스컨덕터;

상기 제2 바이쿼드 밴드패스 노드와 상기 제2 바이쿼드 로우패스 노드 사이에 연결된 제7 트랜스컨덕터;

상기 제2 바이쿼드 밴드패스 노드와 상기 제2 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제7 트랜스컨덕터와 피드백 구조를 형성하는 제8 트랜스컨덕터; 및

상기 제2 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제4 커패시터를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 7.

제 6 항에 있어서,

상기 제5 및 제7 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제6 및 제8 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 8.

제 1 항에 있어서,

상기 이퀄라이저는,

상기 제1 바이쿼드 회로의 제1 입력 노드에 연결되는 다수개의 바이쿼드 회로; 및

상기 다수개의 바이쿼드 회로 앞단에 연결되는 로시 적분(lossy integrator) 회로를 더 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 9.

제 8 항에 있어서,

상기 로시 적분 회로는 입력 노드와 적분 노드 사이에 연결된 제1 트랜스컨덕터;

상기 적분 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터; 및

상기 적분 노드와 접지 전압 사이에 연결된 제1 커패시턴스를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 10.

제 9 항에 있어서,

상기 제1 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제2 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 11.

제1 입력 노드 및 적분 노드를 구비한 로시 적분 회로;

상기 적분 노드와 연결된 제2 입력 노드, 제1 바이쿼드 밴드패스 노드, 및 제1 바이쿼드 로우패스 노드를 구비한 제1 바이쿼드 회로;

상기 제1 바이쿼드 로우패스 노드와 연결된 제3 입력 노드, 제2 바이쿼드 밴드패스 노드 및 제2 바이쿼드 로우패스 노드를 구비한 제2 바이쿼드 회로;

상기 제2 바이쿼드 로우패스 노드와 연결된 제4 입력 노드, 제3 바이쿼드 밴드패스 노드 및 제3 바이쿼드 로우패스 노드를 구비한 제3 바이쿼드 회로;

상기 제3 바이쿼드 밴드패스 노드의 출력 및 상기 제3 바이쿼드 로우패스 노드의 출력을 합산하는 제1 합산 회로;

상기 제1 합산 회로의 출력에서 상기 제2 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로; 및

상기 제2 합산회로의 출력과 상기 제3 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함하며,

상기 제1 내지 제3 바이쿼드 회로는 자체 피드백 구조로 연결된 트랜스컨덕터들이 각각 상기 제1, 제2 및 제3 바이쿼드 밴드패스 노드에 연결된 Gm-C 바이쿼드 회로인 것을 특징으로 하는 이퀄라이저.

청구항 12.

제 11 항에 있어서,

상기 제1 합산회로 및 제3 합산회로는 2개의 입력을 합산하는 제1 및 제2 연산증폭기인 것을 특징으로 하는 이퀄라이저.

청구항 13.

제 12 항에 있어서,

상기 제2 합산회로는,

상기 제1 합산 회로의 출력에서 상기 제2 바이쿼드 로우패스 노드의 출력을 빼는 제3 연산증폭기; 및

상기 제1 증폭기의 출력을 소정의 상수 배로 증폭시키는 제4 연산증폭기를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 14.

제 11 항에 있어서,

상기 제1 바이쿼드 회로는,

상기 제2 입력 노드와 상기 제1 바이쿼드 밴드패스 노드 사이에 연결된 제1 트랜스컨덕터;

상기 제1 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제1 커패시터;

상기 제1 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터;

상기 제1 바이쿼드 밴드패스 노드와 상기 제1 바이쿼드 로우패스 노드 사이에 연결된 제3 트랜스컨덕터;

상기 제1 바이쿼드 밴드패스 노드와 상기 제1 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제3 트랜스컨덕터와 피드백 구조를 형성하는 제4 트랜스컨덕터; 및

상기 제1 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제2 커패시터를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 15.

제 14 항에 있어서,

상기 제1 및 제3 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제2 및 제4 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 16.

제 14 항에 있어서,

상기 제2 바이쿼드 회로는,

상기 제3 입력 노드와 상기 제2 바이쿼드 밴드패스 노드 사이에 연결된 제5 트랜스컨덕터;

상기 제2 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제3 커패시터;

상기 제2 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제6 트랜스컨덕터;

상기 제2 바이쿼드 밴드패스 노드와 상기 제2 바이쿼드 로우패스 노드 사이에 연결된 제7 트랜스컨덕터;

상기 제2 바이쿼드 밴드패스 노드와 상기 제2 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제7 트랜스컨덕터와 피드백 구조를 형성하는 제8 트랜스컨덕터; 및

상기 제2 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제4 커패시터를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 17.

제 16 항에 있어서,

상기 제5 및 제7 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제6 및 제8 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 18.

제 16 항에 있어서,

상기 제3 바이쿼드 회로는,

상기 제4 입력 노드와 상기 제3 바이쿼드 밴드패스 노드 사이에 연결된 제9 트랜스컨덕터;

상기 제3 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제5 커패시터;

상기 제3 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제10 트랜스컨덕터;

상기 제3 바이쿼드 밴드패스 노드와 상기 제3 바이쿼드 로우패스 노드 사이에 연결된 제11 트랜스컨덕터;

상기 제3 바이쿼드 밴드패스 노드와 상기 제3 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제11 트랜스컨덕터와 피드백 구조를 형성하는 제12 트랜스컨덕터; 및

상기 제3 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제6 커패시터를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 19.

제 18 항에 있어서,

상기 제9 및 제11 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제10 및 제12 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 20.

제 18 항에 있어서,

상기 로시 적분 회로는 상기 제1 입력 노드와 상기 적분 노드 사이에 연결된 제13 트랜스컨덕터;

상기 적분 노드에 자체 피드백 구조로 연결된 제14 트랜스컨덕터; 및

상기 적분 노드와 접지 전압 사이에 연결된 제7 커패시턴스를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 21.

제 20 항에 있어서,

상기 제13 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제14 트랜스컨덕터는 반전 트랜스컨덕터인 것을 특징으로 하는 이퀄라이저.

청구항 22.

입력 노드, 바이쿼드 밴드패스 노드 및 바이쿼드 로우패스 노드를 구비한 n 개의 바이쿼드 회로;

n 번째 바이쿼드 회로의 바이쿼드 밴드패스 노드의 출력 및 상기 n 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 합산하는 제1 합산 회로;

상기 제1 합산 회로의 출력에서 n-1 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로; 및

상기 제2 합산회로의 출력과 상기 n 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함하며,

상기 n 개의 바이쿼드 회로는 자체 피드백 구조로 연결된 트랜스컨덕터들이 각 바이쿼드 회로의 바이쿼드 밴드패스 노드에 연결된 Gm-C 바이쿼드 회로인 것을 특징으로 하는 이퀄라이저.

청구항 23.

제 22 항에 있어서,

상기 이퀄라이저는,

첫 번째 바이쿼드의 입력 노드에 로시 적분 회로를 더 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 24.

제 23 항에 있어서,

상기 바이쿼드 회로 각각은,

각각의 입력 노드와 각각의 바이쿼드 밴드패스 노드 사이에 연결된 제1 트랜스컨덕터;

상기 각 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제1 커패시터;

상기 각 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터;

상기 각 바이쿼드 밴드패스 노드와 각각의 바이쿼드 로우패스 노드 사이에 연결된 제3 트랜스컨덕터;

상기 각 바이쿼드 밴드패스 노드와 상기 각 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제3 트랜스컨덕터와 피드백 구조를 형성하는 제4 트랜스컨덕터; 및

상기 각 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제2 커패시터를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 25.

제 23 항에 있어서,

상기 로시 적분 회로는,

입력 노드와 적분 노드 사이에 연결된 제1 트랜스컨덕터;

상기 적분 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터; 및

상기 적분 노드와 접지 전압 사이에 연결된 제1 커패시턴스를 포함하는 것을 특징으로 하는 이퀄라이저.

청구항 26.

제 23 항에 있어서,

상기 제1 합산회로 및 제3 합산회로는 2개의 입력을 합산하는 제1 및 제2 연산증폭기인 것을 특징으로 하는 이퀄라이저.

청구항 27.

제 23 항에 있어서,

상기 제2 합산회로는,

상기 제1 합산 회로의 출력에서 상기 제 n-1 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 빼는 제3 연산증폭기; 및

상기 제1 증폭기의 출력을 소정의 상수 배로 증폭시키는 제4 연산증폭기를 포함하는 것을 특징으로 하는 이퀄라이저.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그 이퀄라이저에 관한 것이며, 대역폭을 넓힐 수 있고, 작은 크기로 구현이 가능한 이퀄라이저에 관한 것이다.

연속 시간 신호 처리(continuous-time signal processing)에 사용되는 이퀄라이저는 로우 패스 필터링(lowpass filtering) 기능과 함께 입력되는 신호의 고 주파수 영역을 부스팅하여 펄스 슬리밍(pulse slimming) 즉 이퀄라이징(equalizing) 기능을 동시에 수행한다. 즉, DVD 또는 HDD PRML 판독 채널 신호 프로세스 등의 예에서, 상기 DVD 또는

HDD 상에 저장된 미디어로부터 입력되는 신호의 펄스 형상을 원하는 펄스 형상(target pulse shape)으로 만드는 이퀄라이징 기능과 미디어, 프리 연산증폭기(preamplifier), VGA 로부터 입력되는 고 주파수 노이즈를 줄이는 필터링 기능을 동시에 수행한다.

한편, 고속 디스크 드라이브 판독 채널과 다양한 종류의 미디어로부터 입력되는 신호의 프로세싱을 위해서는, 넓은 대역폭을 갖고 높은 부스팅 게인(high boosting gain) 특성을 갖는 이퀄라이저가 필수적이다. 이와 더불어, SOC(system on chip)을 실현하기 위해서는 이퀄라이저의 설계에 로우 파워와 작은 회로 면적이라는 요구가 더 필요하기 때문에 큰 대역폭을 갖는 이퀄라이저 설계에 어려움이 있다.

또한, 일반적으로, 큰 대역폭을 갖는 이퀄라이저(wide bandwidth equalizer)를 구현하기 위해서 Gm-C 필터를 근간으로 사용하며, 고 주파수 성분을 부스팅하기 위한 회로를 첨가하여 설계한다. Gm-C 필터는 오픈 루프 구조로 되어 있어 고 주파수 동작에 적합하기 때문이다.

한편, Gm-C 필터의 -3dB 주파수는 트랜스컨덕턴스와 적분 커패시터의 비율, 즉 g_m/C 로 결정된다 따라서, 대역폭을 높이기 위해서는, 트랜스컨덕턴스 값(g_m)을 높이고 커패시턴스 값(C)를 작게 구성해야 한다. 여기서, -3dB 주파수는 필터의 AC 응답 특성을 정해주는 요소로 필터의 게인이 주파수에 따라 변하는데 이 게인이 -3dB 가 되는 주파수를 -3dB 주파수라고 한다.

Gm-C 필터의 대역폭을 증가시키기 위해서, 커패시턴스의 크기가 작은 적분 커패시터를 사용하는 방법을 이용할 수 있다. 필터의 차수와 필터 타입(예를 들어, Bessel, Butterworth, Equiripple 필터 등)에 따라 정해져있는 서로 다른 값의 정규화 적분 커패시턴스(normalized integrating capacitance)를 스케일링하여 설계한다. 이때, 정규화 커패시턴스를 소정의 팩터(factor)로 스케일링한 실제 커패시턴스는 기생 커패시턴스(parasitic capacitance)보다 커야한다. 예를 들어, 3차 필터의 정규화 커패시턴스는 각각 C1=0.1, C2=0.2, C3=0.3 이고, 스케일 팩터가 5p 일 때, 전체 실제 커패시턴스는 각각 0.5pF, 1.0pF, 1.5pF 이 된다. 이때 부스팅을 위해 첨가되는 회로와 병렬로 연결되는 다수개의 트랜스컨덕터로 인해 각각의 적분 노드에 더해지는 기생 커패시턴스가 1.0pF 라면, 스케일 팩터는 최소한 10p 가 되어야 한다. 만일 스케일 팩터를 5p로 계산하면, C2 및 C3가 연결된 노드는 문제가 없지만, C1이 연결된 노드의 전체 커패시턴스(즉 0.5pF)보다 기생 커패시턴스(즉 1pF)가 더 크기 때문이다.

만일 C1 노드에 부스팅을 위해 첨가되는 회로가 존재하지 않고 단지 다수개의 트랜스컨덕터에 의한 기생 커패시턴스만이 존재하여 그 값이 0,4p 라면, 스케일 팩터로 5p를 사용해도 C1 노드에 0.1pF 적분 커패시턴스를 첨가하면 모든 커패시턴스가 문제없이 스케일링 될 수 있다. 하지만, 부스팅 알고리즘에 따라 전체 커패시턴스는 증감할 수 있고, 궁극적으로 전체 칩 사이즈의 증감 요인으로 작용할 수 있다.

도 1은 종래의 이퀄라이저의 구성을 나타낸 회로도이다.

도 1을 참조하면, 종래의 이퀄라이저(100)는 7차 이퀄라이저로 로시 적분(lossy integrator) 회로(102) 및 세 개의 Gm-C 바이쿼드(biquad) 회로(104, 106, 및 108)와 부스팅 회로(110)를 포함한다.

이퀄라이저(100)는 7차 로우 패스 필터에 부스팅을 위한 회로(110)를 첨가한 이퀄라이저이며, equiripple 타입으로 설계된 회로이다.

세 개의 Gm-C 바이쿼드 회로(104, 106, 108)는 입력 노드(112)와 바이쿼드 밴드패스 노드(114) 사이에 연결된 제1 트랜스컨덕터(118), 바이쿼드 밴드패스 노드(114)와 접지 전압 사이에 연결된 제1 커패시터(120), 바이쿼드 밴드패스 노드(114)와 바이쿼드 로우패스 노드(116) 사이에 연결된 제2 트랜스컨덕터(122), 바이쿼드 밴드패스 노드(114)와 바이쿼드 로우패스 노드(116) 사이에 연결되고 제2 트랜스컨덕터(122)와 피드백 구조를 형성하는 제3 트랜스컨덕터(124), 바이쿼드 로우패스 노드(116)에 자체 피드백 구조로 연결된 제 4 트랜스컨덕터(126), 및 바이쿼드 로우패스 노드(116)와 접지 전압 사이에 연결된 제2 커패시터(128)를 포함하는 구조를 갖는다,

여기서 바이쿼드 회로는 2차 필터(2nd-order filter)를 지칭하는 말이며, 바이쿼드 회로를 구성하는 방법은 OP 앰프를 사용하여 구성할 수도 있으며, 도 1에 도시된 바와 같이 트랜스컨덕터를 사용하여 구성할 수도 있다. 또한, 각 바이쿼드를 직렬로 연결하여 4차 이상의 필터를 만들 수도 있다.

부스팅 회로(110)는 이퀄라이저의 고 주파수 영역을 부스팅하기 위한 회로로, 제1 Gm-C 바이쿼드 회로(104)의 입력 노드와 제2 Gm-C 바이쿼드 회로(106)의 입력 노드 사이에 연결된 반전(inverting) 트랜스컨덕터(130)와 제2 Gm-C 바이쿼드 회로(106)의 입력 노드와 제3 Gm-C 바이쿼드 회로(108)의 입력 노드 사이에 연결된 비반전(non-inverting) 트랜스컨덕터(132)를 포함하는 구조를 갖는다.

비반전 트랜스컨덕터는 입력 신호와 출력 신호의 위상이 동일한 트랜스컨덕터이며, 반전 트랜스컨덕터는 입력 신호와 출력 신호의 위상이 180°차이가 나는 트랜스컨덕터이다.

이러한 Gm-C 이퀄라이저에 대한 설명은 Iuri Mehr and David R. Welland, "A CMOS continuous-time Gm-C filter for PRML read channel applications at 150 Mb/s and beyond," *IEEE J. Solid-State Circuits*, vol. 32, PP. 499-513, Apr. 1997 및 Marendra M. K. Rao and Vishnu Balan, "Magnitude and group delay shapping circuit in continuous-time read channels filters," U.S. Patent 6,184,748 B1. Feb. 2001 에 구체적으로 기재되어 있다.

한편, 도 1의 7차 equiripple 필터의 정규화 커패시턴스는 표 1에 나타난 바와 같다.

[표 1]

커패시터	정규화 커패시턴스
C1	1.1610
C2	1.2795
C3	0.5938
C4	0.5224
C5	0.6485
C6	0.2133
C7	0.8729

도 1에 도시된 이퀄라이저(100)의 구조에서 부스팅을 위해 첨가된 트랜스컨덕터(130, 132)의 출력이 C3와 C5의 적분 노드(즉, 제1 바이쿼드 회로(104)의 바이쿼드 로우패스 노드와 제2 바이쿼드 회로(106)의 바이쿼드 로우패스 노드)에 연결된다. 이렇게 되면, 첨가된 트랜스컨덕터(130, 132)의 출력에서 발생하는 기생 커패시턴스가 C3와 C5가 연결된 적분 노드에 부가되므로, C3나 C5 적분 노드의 기생 커패시턴스가 C1, C2, C4, C6 적분 노드의 기생 커패시턴스 보다 크다. 표 1를 참조하면, C3와 C5의 정규화 커패시턴스가 C1이나 C2의 정규화 커패시턴스보다 작기 때문에 이퀄라이저(100)는 커패시터 사이즈 측면에서 효율적이지 못하다. 즉, 정규화 커패시턴스가 작은 노드에 큰 기생 커패시턴스가 첨가되어 실제 전체 커패시턴스를 구현하기 위한 스케일 팩터가 커짐으로써, 다른 적분 커패시턴스들도 동시에 큰 스케일 팩터로 스케일링해야 하는 문제가 있다.

즉, 동일한 트랜스컨덕터를 사용하여 고주파 필터를 만들기 위해서는 각 적분 노드의 전체 커패시턴스가 작아져야 한다. 하나의 적분 노드의 전체 커패시턴스는, Ctot = Cnor×Sf = Cint±Cpar 로 나타내진다. 여기서 Ctot 는 전체 커패시턴스이며, Cnor는 정규화 커패시턴스, Sf 는 스케일 팩터, Cint 는 실제 회로에 연결되는 적분 커패시턴스, Cpar 는 실제 회로에 부가되는 기생 커패시턴스이다.

N차 필터는 N 개의 적분 노드가 있고, N 개의 Cint, N 개의 Cnor, N 개의 Cpar, 1개의 Sf가 존재한다. 만일 각 노드에서 Cpar 가 0라면, Cnor×Sf = Cint 가 되지만 실제 회로에서는 Cpar 이 0이 아니므로, Cint = Cnor × Sf - Cpar 가 된다.

예를 들어, 정규화 커패시턴스가 표 1과 같이, Cnor2 = 1.2795, Cnor3 = 0.5938 이며, Sf = 3p, Cpar = 0 이라면, Ctot2 = 3.8385pF 이고, Ctot3 = 1.7814pF 이 된다. 여기서 Cpar2 = 2pF 이고, Cpar3 = 1.5pF 이라면, Cint2 = 1.8385pF, Cint3 = 0.2814pF 이 된다. 그러나, 만일 Cpar2 = 2pF이고 Cpar3 = 2.5pF 이라면, 두 번째 노드는 문제없이 스케일링되지만, 세 번째 노드는 Ctot3 < Cpar3 이므로 스케일링이 올바로 이루어질 수 없다. 이렇게 되면 Sf 가 더 커져야 하고, Sf 가 커진다는 것은 7개의 Cint 가 모드 커지는 것을 의미하며 이에 따라 회로 사이즈도 커지는 문제가 발생한다.

한편, 도 1에 도시된 이퀄라이저(100)에서 부스팅 게인(K)은 제로(zero)를 생성하기 위해 첨가한 트랜스컨덕터의 트랜스컨덕턴스(g_{mk})와 필터 구성을 위해 사용한 트랜스컨덕터의 트랜스컨덕턴스(g_m)의 비율로 결정된다. 즉, 부스팅 게인 $K \propto g_{mk}/g_m$ 관계가 있다. 따라서, 고 주파수 필터를 구현하기 위해 사이즈가 큰 트랜스컨덕터를 사용하였다면, g_m 값이 증가하게 되고, 이에 따라, 부스팅을 구현하기 위해 첨가되는 트랜스컨덕터들도 같은 비율로 커져야만 g_{mk} 값을 키울 수 있어 일정한 부스팅 게인(K)을 얻을 수 있다. 또한, 부스팅 게인(K)을 키우기 위해서는 첨가되는 트랜스컨덕터의 사이즈가 더욱 더 커져야한다.

결국, 종래의 이퀄라이저 회로는 대역폭을 증가시키거나, 고 주파수에서 일정한 부스팅 게인을 얻거나 또는 부스팅 게인을 키우기 위해서는 회로의 사이즈가 증가되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 필터의 대역폭을 증가시키고, 일정한 부스팅 게인을 유지하면서 회로의 사이즈를 줄일 수 있는 이퀄라이저를 구현하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 커패시턴스의 스케일링 및 부스팅 게인의 조절이 용이하고, 커패시턴스의 스케일링 및 부스팅 게인의 조절 시에도 기생 커패시턴스의 발생이 작기 때문에 이퀄라이저 특성이 변화되지 않는 이퀄라이저를 구현하는 것이다.

발명의 구성

상술한 바와 같은 본 발명의 목적을 달성하기 위해, 본 발명의 특징에 의하면, 제1 입력 노드, 제1 바이쿼드 밴드패스 노드, 및 제1 바이쿼드 로우패스 노드를 구비한 제1 바이쿼드 회로, 상기 제1 바이쿼드 로우패스 노드와 연결된 제2 입력 노드, 제2 바이쿼드 밴드패스 노드 및 제2 바이쿼드 로우패스 노드를 구비한 제2 바이쿼드 회로, 상기 제2 바이쿼드 밴드패스 노드의 출력 및 상기 제2 바이쿼드 로우패스 노드의 출력을 합산하는 제1 합산 회로, 상기 제1 합산 회로의 출력에서 상기 제1 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로, 및 상기 제2 합산회로의 출력과 상기 제2 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함하며, 제1 및 제2 바이쿼드 회로는 자체 피드백 구조로 연결된 트랜스컨덕터들이 각각 상기 제1 및 제2 바이쿼드 밴드패스 노드에 연결된 Gm-C 바이쿼드 회로이다.

바람직하게는, 제1 합산회로 및 제3 합산회로는 2개의 입력을 합산하는 제1 및 제2 연산증폭기이며, 상기 제2 합산회로는, 상기 제1 합산 회로의 출력에서 상기 제1 바이쿼드 로우패스 노드의 출력을 빼는 제3 연산증폭기, 및 상기 제1 증폭기의 출력을 소정의 상수 배로 증폭시키는 제4 연산증폭기를 포함한다.

상기 각 바이쿼드 회로는, 입력 노드와 바이쿼드 밴드패스 노드 사이에 연결된 제1 트랜스컨덕터, 바이쿼드 밴드패스 노드와 접지 전압 사이에 연결된 제1 커패시터, 바이쿼드 밴드패스 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터, 바이쿼드 밴드패스 노드와 바이쿼드 로우패스 노드 사이에 연결된 제3 트랜스컨덕터, 바이쿼드 밴드패스 노드와 바이쿼드 로우패스 노드 사이에 연결되고, 상기 제3 트랜스컨덕터와 피드백 구조를 형성하는 제4 트랜스컨덕터, 및 바이쿼드 로우패스 노드와 상기 접지 전압 사이에 연결된 제2 커패시터를 포함한다. 제1 및 제3 트랜스컨덕터는 비반전 트랜스컨덕터이며, 상기 제2 및 제4 트랜스컨덕터는 반전 트랜스컨덕터이다.

바람직하게는, 상기 이퀄라이저는, 상기 제1 바이쿼드 회로의 제1 입력 노드에 연결되는 다수개의 바이쿼드 회로, 및 상기 다수개의 바이쿼드 회로 앞단에 연결되는 로시 적분(lossy integrator) 회로를 더 포함한다.

상기 로시 적분 회로는, 입력 노드와 적분 노드 사이에 연결된 제1 트랜스컨덕터, 상기 적분 노드에 자체 피드백 구조로 연결된 제2 트랜스컨덕터, 및 상기 적분 노드와 접지 전압 사이에 연결된 제1 커패시턴스를 포함한다. 제1 트랜스컨덕터는 비반전 트랜스컨덕터이며, 제2 트랜스컨덕터는 반전 트랜스컨덕터이다.

본 발명의 다른 특징에 의하면, 이퀄라이저는, 제1 입력 노드 및 적분 노드를 구비한 로시 적분 회로, 상기 적분 노드와 연결된 제2 입력 노드, 제1 바이쿼드 밴드패스 노드, 및 제1 바이쿼드 로우패스 노드를 구비한 제1 바이쿼드 회로, 상기 제1 바이쿼드 로우패스 노드와 연결된 제3 입력 노드, 제2 바이쿼드 밴드패스 노드 및 제2 바이쿼드 로우패스 노드를 구비한 제2 바이쿼드 회로, 상기 제2 바이쿼드 로우패스 노드와 연결된 제4 입력 노드, 제3 바이쿼드 밴드패스 노드 및 제3 바이쿼드 로우패스 노드를 구비한 제3 바이쿼드 회로, 상기 제3 바이쿼드 밴드패스 노드의 출력 및 상기 제3 바이쿼드 로우패

스 노드의 출력을 합산하는 제1 합산 회로, 상기 제1 합산 회로의 출력에서 상기 제2 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로, 및 상기 제2 합산회로의 출력과 상기 제3 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함하며, 제1 내지 제3 바이쿼드 회로는 자체 피드백 구조로 연결된 트랜스컨덕터들이 각각 상기 제1, 제2 및 제3 바이쿼드 밴드패스 노드에 연결된 Gm-C 바이쿼드 회로이다.

본 발명의 또 다른 특징에 의하면, 이퀄라이저는, 입력 노드, 바이쿼드 밴드패스 노드 및 바이쿼드 로우패스 노드를 구비한 n 개의 바이쿼드 회로, n 번째 바이쿼드 회로의 바이쿼드 밴드패스 노드의 출력 및 상기 n 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 합산하는 제1 합산 회로, 상기 제1 합산 회로의 출력에서 n-1 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 빼고 소정의 상수만큼 증폭시키는 제2 합산 회로, 및 상기 제2 합산회로의 출력과 상기 n 번째 바이쿼드 회로의 바이쿼드 로우패스 노드의 출력을 합산하는 제3 합산 회로를 포함하며, 상기 n 개의 바이쿼드 회로는 자체 피드백 구조로 연결된 트랜스컨덕터들이 각 바이쿼드 회로의 바이쿼드 밴드패스 노드에 연결된 Gm-C 바이쿼드 회로이다.

본 발명과 본 발명의 동작성의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 일반적인 4차 Gm-C 필터를 나타낸 회로도이다.

도 2에 도시된 종래의 일반적인 이퀄라이저에 이용되는 4차 Gm-C 필터(200)는, 제1 Gm-C 바이쿼드 회로(202) 와 제2 Gm-C 바이쿼드 회로(204)의 직렬 연결로 구성된다. 각 바이쿼드 회로(202 및 204)는 각각 두 개의 비반전 트랜스컨덕터와 두 개의 반전 트랜스컨덕터 및 두 개의 적분 커패시턴스로 구성된다.

이퀄라이저의 기능은 필터링의 기능과 동시에 부스팅 기능을 가져야 하고, 필터링 기능은 Cm-C 필터를 통해 달성될 수 있으며, 부스팅 기능은 각 노드의 출력 신호에 부스팅을 위한 트랜스컨덕터의 연결 또는 출력 신호에 대한 소정의 연산을 통해 얻을 수 있다.

또한, 이퀄라이저의 필터링 및 부스팅 특성은 전달함수(transfer function)의 제로(zero)와 폴(pole)의 값에 따라 결정된다. 전달함수의 폴 값은 필터링되는 주파수 대역을 결정하며, 제로 값은 부스팅 특성을 결정한다.

도 2에 도시된 Gm-C 필터(200)에서, 제1 Gm-C 바이쿼드 회로(202)의 입력 노드(V_{in})에서 제1 Gm-C 바이쿼드 회로(202)의 바이쿼드 로우패스 노드(V_3)로의 전달 함수(transfer function)는,

수학식 1

$$\frac{V_3}{V_{in}} = \frac{gm^2}{S^2 C_1 C_2 + S C_1 gm + gm^2}$$

이 된다.

그리고, 제1 Gm-C 바이쿼드 회로(202)의 입력 노드(V_{in})에서 제2 Gm-C 바이쿼드 회로(204)의 바이쿼드 밴드패스 노드(V_4)로의 전달 함수는

수학식 2

$$\frac{V_4}{V_{in}} = \frac{S C_2 gm^3 + gm^4}{(S^2 C_1 C_2 + S C_1 gm + gm^2)(S^2 C_3 C_4 + S C_3 gm + gm^2)}$$

가 되며,

그리고, 제1 Gm-C 바이쿼드 회로(202)의 입력 노드(V_{in})에서 제2 Gm-C 바이쿼드 회로(204)의 바이쿼드 로우패스 노드(V_{out})로의 전달 함수는

수학식 3

$$\frac{V_{out}}{V_{in}} = \frac{gm^4}{(S^2C_1C_2 + SC_1gm + gm^2)(S^2C_3C_4 + SC_3gm + gm^2)}$$

가 된다.

한편, 부스팅 동작에서 주파수에 상관없이 위상 쉬프트의 비율을 일정하게 하기 위해서는 전달 함수에서 리얼 제로(real zero)가 생성되어야 한다. 즉, 부스팅 동작을 위해서는 전달 함수의 분자가 $-AS^2 + B$ 의 형태가 되어야 한다.

하지만, 위의 수학식 1 내지 3 에 각각의 계수를 곱하여 나온 식을 가감해도, 전달함수의 분자는 $-AS^2 + BS + C$ 의 형태가 되어 콤플렉스 제로가 생성된다. 즉, 분자에 S 항이 잔존한다. 즉, 도 2의 Gm-C 필터를 이용하여 이퀄라이저를 구성하는 경우 전달함수의 분자에 콤플렉스 제로가 생성된다.

도 2에 도시된 Gm-C 필터를 사용하면, 종래의 부스팅 게인을 얻기 위한 트랜스컨덕터를 이용하지 않고, 단순한 연산증폭기를 이용하여 이퀄라이저를 구성하려 해도, 리얼 제로를 얻을 수 없다. 따라서, 본 발명은 변형된 Gm-C 필터를 이용하여 이퀄라이저를 구성한다. 즉, 본 발명은 상술한 문제를 해결하기 위해, 도 2의 바이쿼드 회로를 도 3의 바이쿼드 회로로 변형하여 이퀄라이저를 구성한다.

도 3은 본 발명에 따른 이퀄라이저에 사용되는 Gm-C 필터 회로를 나타낸다.

도 3을 참조하면 4차 Gm-C 필터(300)는 제1 Gm-C 바이쿼드 회로(302) 및 제2 Gm-C 바이쿼드 회로(304)의 직렬 연결로 구성된다.

제1 Gm-C 바이쿼드 회로(302)는, 제1 입력 노드(306)와 제1 바이쿼드 밴드패스 노드(308) 사이에 연결된 제1 트랜스컨덕터(312), 제1 바이쿼드 밴드패스 노드(308)와 접지 전압 사이에 연결된 제1 커패시터(314), 제1 바이쿼드 밴드패스 노드(308)에 자체 피드백 구조로 연결된 제2 트랜스컨덕터(316), 제1 바이쿼드 밴드패스 노드(308)와 제1 바이쿼드 로우패스 노드(310) 사이에 연결된 제3 트랜스컨덕터(318), 제1 바이쿼드 밴드패스 노드(308)와 제1 바이쿼드 로우패스 노드(310) 사이에 연결되고, 제3 트랜스컨덕터(318)와 피드백 구조를 형성하는 제4 트랜스컨덕터(320), 및 제1 바이쿼드 로우패스 노드(310)와 접지 전압 사이에 연결된 제2 커패시터(322)를 포함한다.

여기서, 제1 및 제3 트랜스컨덕터(312, 318)는 비반전 트랜스컨덕터이며, 상기 제2 및 제4 트랜스컨덕터(316, 320)는 반전 트랜스컨덕터이다.

이와 마찬가지로, 제2 Gm-C 바이쿼드 회로(304)는, 제1 바이쿼드 로우패스 노드(310)와 제2 바이쿼드 밴드패스 노드(324) 사이에 연결된 제5 트랜스컨덕터(328), 제2 바이쿼드 밴드패스 노드(324)와 접지 전압 사이에 연결된 제3 커패시터(330), 제2 바이쿼드 밴드패스 노드(324)에 자체 피드백 구조로 연결된 제6 트랜스컨덕터(332), 제2 바이쿼드 밴드패스 노드(324)와 제2 바이쿼드 로우패스 노드(326) 사이에 연결된 제7 트랜스컨덕터(334), 제2 바이쿼드 밴드패스 노드(324)와 제2 바이쿼드 로우패스 노드(326) 사이에 연결되고, 상기 제7 트랜스컨덕터(334)와 피드백 구조를 형성하는 제8 트랜스컨덕터(336), 및 제2 바이쿼드 로우패스 노드(326)와 접지 전압 사이에 연결된 제4 커패시터(338)를 포함한다.

여기서, 제5 및 제7 트랜스컨덕터(328, 334)는 비반전 트랜스컨덕터이며, 제6 및 제8 트랜스컨덕터(332, 336)는 반전 트랜스컨덕터이다.

즉, 도 3에 도시된 바이쿼드 회로(302, 304)는 도 2에 도시된 바이쿼드 회로(202, 204)와 비교하면, 자체 피드백 구조를 갖는 반전 트랜스컨덕터가 바이쿼드 로우패스 노드에 연결되지 않고, 바이쿼드 밴드패스 노드에 연결되는 구성을 갖는다.

도 3에 도시된 Gm-C 필터(300)에서 제1 Gm-C 바이쿼드 회로(302)의 입력 노드(V_{in})에서 제1 Gm-C 바이쿼드 회로(302)의 바이쿼드 로우패스 노드(V_3)로의 전달 함수(transfer function)는,

수학식 4

$$\frac{V_3}{V_{in}} = \frac{gm^2}{S^2 C_1 C_2 + SC_2 gm + gm^2}$$

이 된다.

그리고, 제1 Gm-C 바이쿼드 회로(302)의 입력 노드(V_{in})에서 제2 Gm-C 바이쿼드 회로(304)의 바이쿼드 밴드패스 노드(V_4)로의 전달 함수는

수학식 5

$$\frac{V_4}{V_{in}} = \frac{SC_4 gm^3}{(S^2 C_1 C_2 + SC_2 gm + gm^2)(S^2 C_3 C_4 + SC_4 gm + gm^2)}$$

가 되며, 제1 Gm-C 바이쿼드 회로(302)의 입력 노드(V_{in})에서 제2 Gm-C 바이쿼드 회로(304)의 바이쿼드 로우패스 노드(V_{out})로의 전달 함수는

수학식 6

$$\frac{V_{out}}{V_{in}} = \frac{gm^4}{(S^2 C_1 C_2 + SC_2 gm + gm^2)(S^2 C_3 C_4 + SC_4 gm + gm^2)}$$

가 된다.

이퀄라이저의 전달함수의 분자가 S의 제곱항과 상수항의 합으로만 구성되도록 하기 위해, 위의 수학식 4, 5 및 6에 각각 -K, K, 및 K+ 1을 곱한 후, 그 결과를 모두 합하면, 아래 수학식 7의 결과가 나온다.

수학식 7

$$-K\frac{V_3}{V_{in}} + K\frac{V_4}{V_{in}} + (K+1)\frac{V_{out}}{V_{in}} = \frac{-S^2 KC_3 C_4 gm^2 + gm^4}{(S^2 C_1 C_2 + SC_2 gm + gm^2)(S^2 C_3 C_4 + SC_4 gm + gm^2)}$$

즉, 수학식 4, 5 및 6에 각각 -K, K 및 K+ 1을 곱하면, 수학식 7에서 분자의 값은 $-S^2 KC_3 C_4 gm^2 + gm^4$ 가 되어 $-A\,S^2 + B$ 의 형태가 된다. 즉, S 항이 사라지고, 전달 함수는 리얼 제로를 얻을 수 있다. 수학식 7에서 얻은 제로 주파수는 수학식 8과 같다.

수학식 8

$$S = \pm\frac{gm}{\sqrt{KC_3 C_4}}$$

한편, 수학식 8을 참조하면, 부스팅 게인은 상수 K에 의해 결정됨을 알 수 있다. 즉, K 가 증가하면, 제로 주파수가 작아져서 부스팅 게인은 증가하며, 반대로 K가 감소하면 제로 주파수가 증가하여 부스팅 게인은 감소한다.

또한, K가 변하더라도, 수학식 7의 분모에는 영향을 미치지 않기 때문에 폴 주파수(pole frequency)는 변하지 않는다. 따라서, K가 변하더라도, Gm-C 필터(300)의 -3dB 주파수는 변하지 않고 부스팅 게인만 변화시키는 것이 가능하다. 즉, 폴 주파수가 변하지 않기 때문에, 필터링되는 주파수 범위에는 변동이 없고 부스팅 게인만의 조절이 가능하다.

한편, 부스팅 해상도(boosting resolution)은 상수 K의 변화량에 따라 결정되며, K의 변화량이 증가함에 따라 해상도는 더 세밀해진다. 수학식 7에 나타나는 산술 연산은 합산 연산증폭기와 게인이 K인 연산증폭기를 통해 간단히 구현될 수 있다.

도 4는 본 발명의 일 실시예에 따른 이퀄라이저 회로를 나타낸다.

도 4는 도 3에 도시된 Gm-C 필터를 이용하여 수학식 7를 구현하는 이퀄라이저를 나타낸다.

도 4를 참조하면, 본 발명에 따른 이퀄라이저(400)는 제1 입력 노드(414), 제1 바이쿼드 밴드패스 노드(416), 및 제1 바이쿼드 로우패스 노드(418)를 구비한 제1 바이쿼드 회로(402), 제1 바이쿼드 로우패스 노드(418)와 연결된 제2 입력 노드, 제2 바이쿼드 밴드패스 노드(432) 및 제2 바이쿼드 로우패스 노드(434)를 구비한 제2 바이쿼드 회로(404), 제2 바이쿼드 밴드패스 노드(432)의 출력 및 제2 바이쿼드 로우패스 노드(434)의 출력을 합산하는 제1 연산 증폭기(406), 제1 연산 증폭기(406)의 출력에서 제1 바이쿼드 로우패스 노드(418)의 출력을 빼는 제2 연산증폭기(408). 제2 연산 증폭기(408)의 출력을 소정의 상수 K로 증폭시키는 제3 연산증폭기(410), 및 상기 제3 연산증폭기(410) 출력과 제2 바이쿼드 로우패스 노드(434)의 출력을 합산하는 제4 연산 증폭기(412)를 포함한다.

한편, 제1 바이쿼드 회로(402)는, 제1 입력 노드(416)와 제1 바이쿼드 밴드패스 노드(416) 사이에 연결된 제1 트랜스컨덕터(420), 제1 바이쿼드 밴드패스 노드(416)와 접지 전압 사이에 연결된 제1 커패시터(422), 제1 바이쿼드 밴드패스 노드(416)에 자체 피드백 구조로 연결된 제2 트랜스컨덕터(424), 제1 바이쿼드 밴드패스 노드(416)와 제1 바이쿼드 로우패스 노드(418) 사이에 연결된 제3 트랜스컨덕터(426), 제1 바이쿼드 밴드패스 노드(416)와 제1 바이쿼드 로우패스 노드(418) 사이에 연결되고, 상기 제3 트랜스컨덕터(426)와 피드백 구조를 형성하는 제4 트랜스컨덕터(428), 및 제1 바이쿼드 로우패스 노드(418)와 접지 전압 사이에 연결된 제2 커패시터(430)를 포함한다.

여기서 제1 및 제3 트랜스컨덕터(420, 426)는 비반전 트랜스컨덕터이며, 상기 제2 및 제4 트랜스컨덕터(424, 428)는 반전 트랜스컨덕터이다.

이와 마찬가지로, 제2 바이쿼드 회로(404)는, 제2 입력 노드(418)와 제2 바이쿼드 밴드패스 노드(432) 사이에 연결된 제5 트랜스컨덕터(436), 제2 바이쿼드 밴드패스 노드(432)와 접지 전압 사이에 연결된 제3 커패시터(438), 제2 바이쿼드 밴드패스 노드(432)에 자체 피드백 구조로 연결된 제6 트랜스컨덕터(440), 제2 바이쿼드 밴드패스 노드(432)와 제2 바이쿼드 로우패스 노드(434) 사이에 연결된 제7 트랜스컨덕터(442), 제2 바이쿼드 밴드패스 노드(432)와 제2 바이쿼드 로우패스 노드(434) 사이에 연결되고, 상기 제7 트랜스컨덕터(442)와 피드백 구조를 형성하는 제8 트랜스컨덕터(444) 및 제2 바이쿼드 로우패스 노드(434)와 접지 전압 사이에 연결된 제4 커패시터(446)를 포함한다.

여기서, 제5 및 제7 트랜스컨덕터(436, 442)는 비반전 트랜스컨덕터이며, 상기 제6 및 제8 트랜스컨덕터(440, 444)는 반전 트랜스컨덕터이다.

도 4에서 이퀄라이저의 출력은 제4 연산 증폭기(412)의 출력(V_{out_eq})이며, 로우패스 필터의 출력은 제2 바이쿼드 로우패스 노드(434)의 출력(V_{out_flt})이 된다.

도 4를 참조하면, 부스팅 게인을 구현하기 위해서 첨가되는 구성요소는 3개의 합산 연산증폭기(406, 408 및 412)와 1개의 게인 K의 연산증폭기(410) 뿐이므로, 칩 사이즈가 큰 트랜스컨덕터를 사용하는 종래의 이퀄라이저에 비해 작은 사이즈로 간단하게 구현할 수 있다.

상술한 바와 같이, Gm-C 필터의 대역폭은 g_m/C 에 의해 결정된다. 주파수 대역폭을 넓히기 위해, 트랜스컨덕턴스(g_m) 값을 키우거나 커패시턴스(C) 값을 줄여도, 적분노드에 첨가되는 기생 커패시턴스가 작아 전체 커패시턴스 값에 큰 영향을 주지 않는다. 이퀄라이저의 주파수 대역을 넓히기 위해, 커패시턴스를 줄일지라도 첨가되는 기생 커패시턴스가 상대적으로 작기 때문에 트랜스컨덕턴스가 작은 트랜스컨덕터를 사용하여도 넓은 주파수 대역폭에서 필터링 및 이퀄라이징이 가능하다.

또한, 종래의 이퀄라이저의 부스팅 게인은 g_{mk}/g_m 에 의해 결정되지만 (여기서 g_{mk}는 부스팅을 위해 첨가된 트랜스컨덕터의 트랜스컨덕턴스), 본 발명은 별도의 부스팅 게인을 얻기위해 트랜스컨덕턴스 g_{mk}를 갖는 트랜스컨덕터가 존재하지 않기 때문에, g_m 값을 키워 대역폭을 늘리더라도 부스팅 게인에 영향이 없다. 또한, 도 4에 도시된 이퀄라이저(400)는 부스

팅 게인을 조절하기 위해, 연산 증폭기의 게인 K만 조절하면 되기 때문에, 트랜스컨덕터의 사이즈를 조절할 필요가 없고, 부스팅을 얻기 위해 첨가되는 트랜스컨덕터가 존재하지 않아 첨가되는 트랜스컨덕터로 인한 큰 기생 커패시턴스가 발생되지 않는다.

또한, 종래의 부스팅을 위해 별도의 트랜스컨덕터를 첨가했던 이퀄라이저는, 고 주파수 필터를 구현하기 위해 사이즈가 큰 트랜스컨덕터를 사용하는 경우, 부스팅을 구현하기 위해 첨가되는 트랜스컨덕터들도 같은 비율로 커져야만 일정한 부스팅 게인을 얻을 수 있는 문제가 있었지만, 본 발명에 따른 이퀄라이저(400)는 이러한 별도의 트랜스컨덕터를 사용하지 않기 때문에, 고 주파수 필터를 구현해도, 첨가되는 트랜스컨덕터를 같은 비율로 키워야 하는 문제점이 발생하지 않는다.

도 5는 본 발명의 다른 실시예에 따른 이퀄라이저 회로를 나타낸다.

도 5에 도시된 이퀄라이저(500)는 로시 적분 회로(lossy integrator; 502), 제1 내지 제3 바이쿼드 회로(504, 506, 및 508), 3개의 합산 연산증폭기(510, 512 및 516)과 1개의 게인(gain) 연산증폭기(514)를 포함한다.

이퀄라이저(500)는 3개의 바이쿼드 회로와 한 개의 로시 적분 회로를 통해 7차 Gm-C 필터를 구성하며, 4 개의 연산증폭기(510 내지 516)를 통해 이퀄라이저를 형성한다.

도 5에서 이퀄라이저의 출력은 제4 연산증폭기(516)의 출력(V_{out_eq})이며, 로우패스 필터의 출력은 제3 바이쿼드 로우패스 노드의 출력(V_{out_flt})이 된다.

로시 적분 회로(502)는 입력 노드(518)와 적분 노드(520) 사이에 연결된 비반전 트랜스컨덕터(522), 적분 노드(520)에 자체 피드백 구조로 연결된 반전 트랜스컨덕터(524), 및 적분 노드(520)와 접지 전압 사이에 연결된 커패시턴스(526)를 포함한다. 제1 내지 제3 바이쿼드 회로(504, 506 및 508)는 도 3 및 도 4에 도시된 바이쿼드 회로와 유사한 구성을 갖는다.

또한, 제1 연산증폭기(510)는 제3 바이쿼드 회로(508)의 바이쿼드 밴드패스 노드의 출력과 바이쿼드 로우패스 노드의 출력을 합산하며, 제2 연산증폭기(512)는, 제1 연산증폭기(510)의 출력에서 제2 바이쿼드 회로(506)의 바이쿼드 로우패스 노드의 출력을 빼며, 제3 연산증폭기(514)는 제2 연산증폭기(512)의 출력에 상수 K 로 증폭시키는 기능을 하며, 제4 연산증폭기(516)는 제3 연산증폭기(514)의 출력과 제3 바이쿼드 회로(508)의 바이쿼드 로우패스 노드의 출력을 합산하는 기능을 한다.

도 5의 이퀄라이저(500)는 도 4의 이퀄라이저의 앞단에 로시 적분 회로와 바이쿼드 회로를 직렬로 연결하였기 때문에, 수학식 7의 분자에서 S 항을 생성시키지 않는다. 따라서, 제4 연산증폭기(516)의 출력은 리얼 제로를 통해 부스팅 게인을 얻을 수 있다. 또한, 이퀄라이저(500)는 부스팅을 위한 별도의 트랜스컨덕터를 첨가하지 않고, 연산증폭기 만으로 이퀄라이저를 구현할 수 있다. 따라서, 회로의 사이즈를 줄일 수 있을 뿐만 아니라, 연산증폭기로 인한 기생 커패시턴스는 MOSFET의 게이트 커패시턴스만 존재하므로, 종래의 기생 커패시턴스에 비해 훨씬 작고, 전체 적분 커패시턴스에 미치는 영향은 무시할 만하다.

또한, 커패시턴스의 스케일링 조절이 용이하기 때문에, 고 주파수 필터링이 용이하며, 주파수 대역폭을 넓힐 수 있는 효과를 얻을 수 있다.

도 5에 도시된, 이퀄라이저(500)에 사용되는 적분 커패시터의 정규화 커패시턴스는 아래 표 2에 나타내었다.

[표 2]

커패시터	정규화 커패시턴스
C1	1.1610
C2	0.5938
C3	1.2795
C4	0.6485
C5	0.5224
C6	0.8729
C7	0.2133

표 2에 나타난 정규화 커패시턴스 값을 표 1과 비교하면, 각 바이쿼드 회로에서의 커패시터 쌍의 위치가 바뀌었음을 알 수 있다. 즉, 로시 적분 회로(502)를 구성하는 커패시터(C1)를 제외한 나머지 6개의 커패시터들은 각각의 바이쿼드를 구성할 때 서로 크기가 바뀐다.

도 6 내지 9는 도 5에 도시된 이퀄라이저(500)에 표 2의 정규화 커패시턴스를 스케일링하여 실제 이퀄라이저를 설계하여 시뮬레이션한 결과를 나타낸 그래프이다.

도 6은 도 5의 이퀄라이저(500)에서 제3 바이쿼드(508)의 로우패스 노드의 출력(V_{out_flt}) 주파수 응답을 나타낸다.

도 6은 정규화 커패시턴스와 트랜스컨덕턴스를 스케일링하여, -3dB 주파수가 각각 1.35MHz, 95,5MHz, 및 173.8MHz로 조절되는 예를 나타내었다. 도 6을 참조하면, 제1 연산증폭기(510)에 의해 제3 바이쿼드(508)의 밴드패스 노드와 로우패스 노드에 첨가되는 기생 커패시턴스가 작음을 알 수 있다. 또한, K=0으로 하고, 일정한 스케일링 팩터로 커패시턴스를 스케일링하여 고정시키고 트랜스컨덕턴스를 가변함에 따라, 최소 1.35MHz에서 최대 173.8MHz 영역에서 필터링 동작이 가능한 것을 알 수 있다.

도 7은 도 5의 이퀄라이저(500)를 이용하여 -3dB 주파수가 1.35MHz 일 때 상수 K를 가변하여 부스팅 게인이 변하는 결과를 나타낸다.

즉, 도 7은 도 6에서 -3dB 주파수가 1.35MHz가 되도록 커패시턴스를 스케일링 한 다음, 부스팅을 위한 연산증폭기를 이용하여 상수 K를 가변시키면서 부스팅 게인이 변하는 결과를 나타내었다. 도 7의 시뮬레이션은, K를 K=0, 1, 2....10 으로 가변시킨 결과이며, K=0 일 때는 부스팅 게인의 효과가 없으며, K=10 일 때는 부스팅 게인의 효과가 크게 된다. 즉, 도 7에서 알 수 있는 바와 같이, 본 발명에 따른 이퀄라이저(500)는 게인 상수 K의 조절을 통해 부스팅 게인을 용이하게 조절할 수 있으며, 게인 상수 K가 가변되어도 다른 트랜스컨덕턴스에는 영향을 미치지 않기 때문에 다른 트랜스컨덕터들의 사이즈를 변화시키지 않고, 단지 상수 K 만을 조절하여 원하는 부스팅 게인을 얻을 수 있다.

도 8은 도 5의 이퀄라이저(500)를 이용하여 -3dB 주파수가 95.5MHz 일 때 상수 K를 가변하여 부스팅 게인이 변하는 결과를 나타내며, 도 9는 -3dB 주파수가 173.8MHz 일 때 상수 K를 가변하여 부스팅 게인이 변하는 결과를 나타낸다.

도 7 내지 도 9를 참조하면, 본 발명에 따른 이퀄라이저(500)는 일정한 스케일링 팩터로 커패시턴스를 스케일링하여 고정시키고 트랜스컨덕턴스를 가변하여 -3dB 주파수를 가변할 수 있고 각각의 -3dB 주파수에서 서로 다른 부스팅 게인으로 가변하더라도 이퀄라이저의 부스팅 특성을 유지할 수 있음을 알 수 있다. 또한, 첨가되는 기생 커패시턴스가 작기 때문에 커패시턴스 스케일링 팩터를 작게할 수 있어 작은 트랜스컨덕턴스로도 원하는 -3dB 주파수를 구현할 수 있다. 즉, 상술한 바와 같이 본 발명에 따른 이퀄라이저는 커패시턴스의 스케일링 및 부스팅 게인의 조절이 용이하고, 커패시턴스의 스케일링 및 부스팅 게인의 조절 시에도 기생 커패시턴스의 발생이 작기 때문에 이퀄라이저 특성이 변화되지 않는다.

본 발명의 일 실시예에서는, 4차 및 7차 Gm-C 필터를 이용한 이퀄라이저를 예를 들어 설명하였지만, 본 발명의 이퀄라이저는 상기 4차 및 7차 이퀄라이저에 한정되지 않으며, 다양한 차수의 Gm-C 필터를 이용한 이퀄라이저에도 적용될 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

본 발명에 따른 이퀄라이저에 따르면, 이퀄라이저를 구성하는 회로의 사이즈를 줄이면서, 필터의 대역폭을 증가시키고, 일정한 부스팅 게인을 유지시킬 수 있다. 또한, 커패시턴스의 스케일링 및 부스팅 게인의 조절이 용이하고, 커패시턴스의 스케일링 및 부스팅 게인의 조절 시에도 기생 커패시턴스의 발생이 작기 때문에 이퀄라이저 특성이 변화되지 않는다.

도면의 간단한 설명

도 1은 종래의 이퀄라이저의 구성을 나타낸 회로도이다.

도 2는 일반적인 4차 Gm-C 필터를 나타낸 회로도이다.

도 3은 본 발명에 따른 이퀄라이저에 사용되는 Gm-C 필터 회로를 나타낸다.

도 4는 본 발명의 일 실시예에 따른 이퀄라이저 회로를 나타낸다.

도 5는 본 발명의 다른 실시예에 따른 이퀄라이저 회로를 나타낸다.

도 6은 도 5의 이퀄라이저에서 부스팅을 위한 연산증폭기를 제외한 Gm-C 필터를 이용하여 얻은 주파수 응답을 나타낸다.

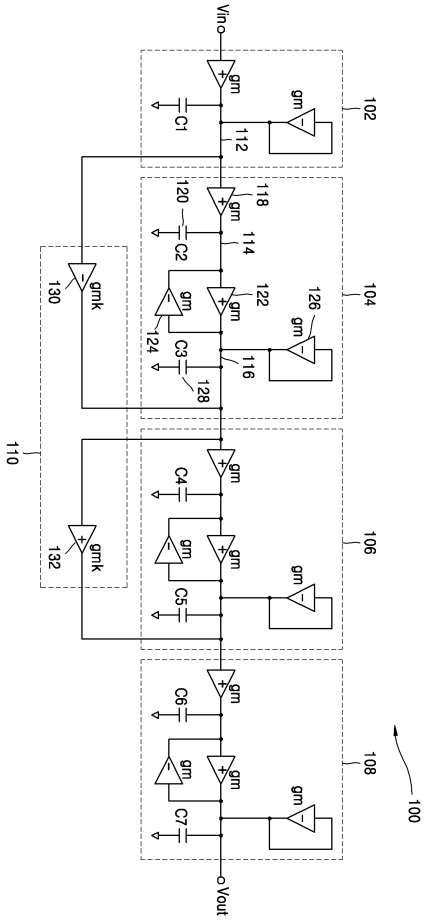
도 7은 도 5의 이퀄라이저를 이용하여 -3dB 주파수가 1.35MHz 일 때 상수 K를 가변하여 부스팅 게인이 변하는 결과를 나타낸다.

도 8은 도 5의 이퀄라이저를 이용하여 -3dB 주파수가 95.5MHz 일 때 상수 K를 가변하여 부스팅 게인이 변하는 결과를 나타낸다.

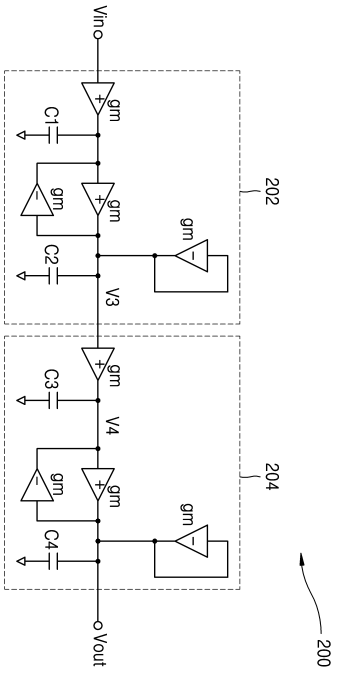
도 9는 도 5의 이퀄라이저를 이용하여 -3dB 주파수가 173.8MHz 일 때 상수 K를 가변하여 부스팅 게인이 변하는 결과를 나타낸다.

도면

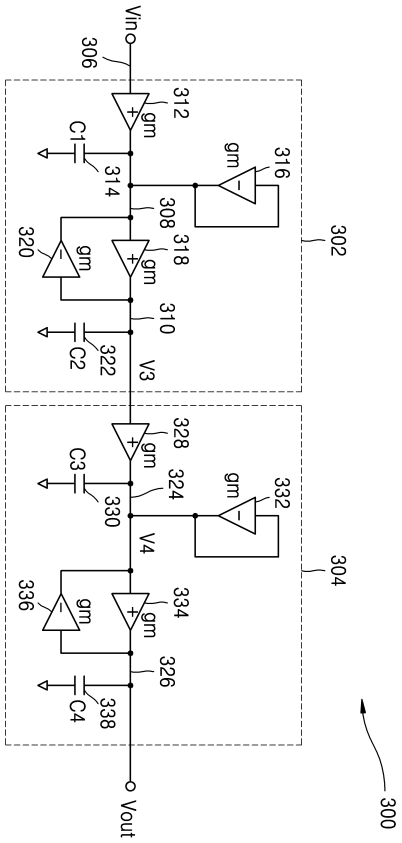
도면1



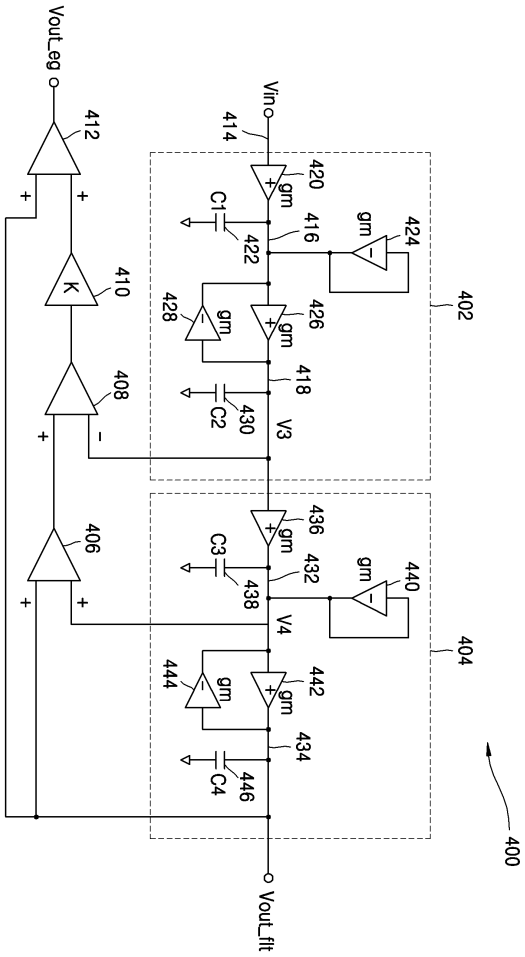
도면2


Vin
gm
C1
gm
gm
C2
V3
202
gm
C3
V4
gm
gm
C4
204
Vout
200

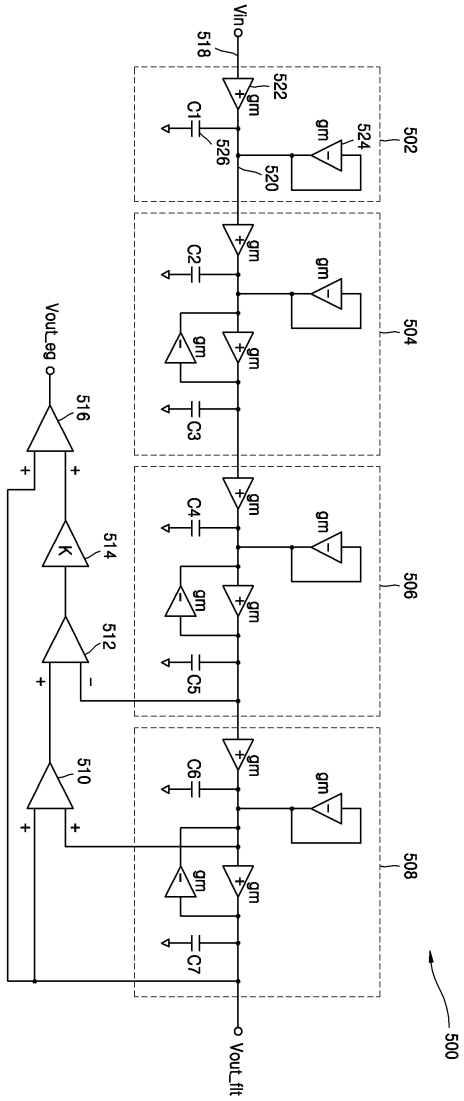
도면3


Vin
306
312
gm
C1
314
316
gm
308
320
gm
318
gm
310
C2
322
V3
302
328
gm
C3
324
330
332
gm
V4
304
336
gm
334
gm
326
C4
338
Vout
300

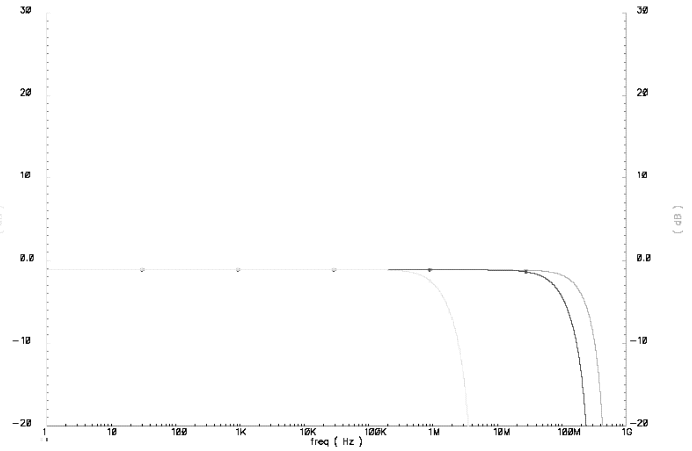
도면4


Vout_eq
412
410
408
406
Vin
414
420
gm
C1
416
422
424
428
426
418
C2
430
V3
402
436
C3
432
438
440
V4
404
444
442
434
C4
446
400
Vout_fit

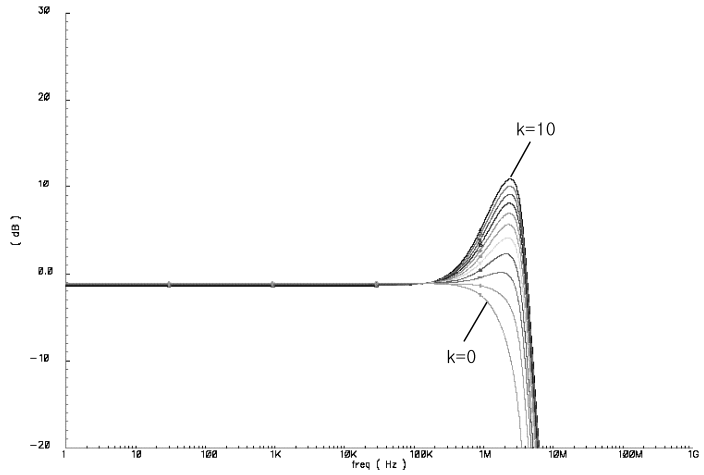
도면5


Vin
518
522
gm
C1
526
524
520
502
C2
504
C3
Vout_eg
516
K
514
512
C4
506
C5
510
C6
508
C7
Vout_flt
500

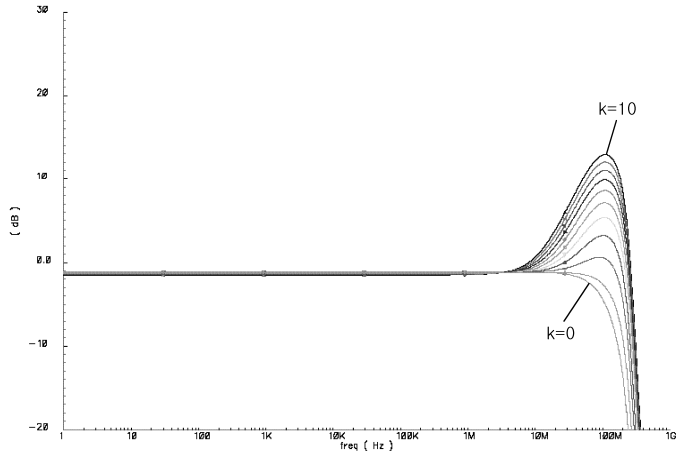
도면6


30
20
10
0.0
-10
-20
1
10
100
1K
10K
100K
1M
10M
100M
1G
freq (Hz)
(dB)

도면7



도면8



도면9

