

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3966151号
(P3966151)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月8日(2007.6.8)

(51) Int. Cl.

H 0 1 L 29/78 (2006.01)

F I

H 0 1 L 29/78 6 5 2 H

H 0 1 L 29/78 6 5 2 N

H 0 1 L 29/78 6 5 3 A

請求項の数 5 (全 15 頁)

(21) 出願番号 特願2002-298068 (P2002-298068)
 (22) 出願日 平成14年10月10日(2002.10.10)
 (65) 公開番号 特開2004-134597 (P2004-134597A)
 (43) 公開日 平成16年4月30日(2004.4.30)
 審査請求日 平成17年2月15日(2005.2.15)

(73) 特許権者 503361248
 富士電機デバイステクノロジー株式会社
 東京都品川区大崎一丁目11番2号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 岩本 進
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 大西 泰彦
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 佐藤 高広
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【特許請求の範囲】

【請求項1】

半導体基板の第1の主面と第2の主面との間に、低抵抗層と、前記第1の主面側から前記第2の主面側へ向かう縦方向に延び、かつ横方向に交互に繰り返して接合された複数の第1導電型領域および複数の第2導電型領域よりなる並列pn接合層と、前記第1の主面側に形成されたトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極と、前記ゲート絶縁膜の、前記トレンチの側壁に沿う部分の少なくとも一部に接する第2導電型ベース領域と、前記第2導電型ベース領域により前記第1導電型領域から離間され、かつ前記ゲート絶縁膜の、前記トレンチの側壁に沿う部分に接する第1導電型ソース領域と、を具備する半導体素子において、

前記トレンチの終端部は、複数の前記第2導電型領域のうちの一部の第2導電型領域内に形成されていることを特徴とする半導体素子。

【請求項2】

複数の前記第2導電型領域のうちの、前記トレンチの終端部が形成された第2導電型領域に関し、前記トレンチの終端部を囲む部分の不純物濃度は、前記第2の主面側部分の不純物濃度よりも高いことを特徴とする請求項1に記載の半導体素子。

【請求項3】

前記トレンチの終端部が形成された第2導電型領域の、前記トレンチの終端部を囲む不純物濃度の高い部分は、オン状態で電流を流す領域内に配置された並列pn接合層の第2導電型領域に配置されていることを特徴とする請求項2に記載の半導体素子。

10

20

【請求項 4】

複数の前記第 2 導電型領域のうちの、前記トレンチの終端部が形成された第 2 導電型領域に関し、前記トレンチの終端部を囲む部分の幅は、前記第 2 の主面側部分の幅よりも広いことを特徴とする請求項 1 に記載の半導体素子。

【請求項 5】

前記トレンチの終端部が形成された第 2 導電型領域の、前記トレンチの終端部を囲む幅の広い部分は、オン状態で電流を流す領域内に配置された並列 p n 接合層の第 2 導電型領域に配置されていることを特徴とする請求項 4 に記載の半導体素子。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、半導体基板の第 1 の主面側から第 2 の主面側へ向かって延びる第 1 導電型半導体よりなる複数のドリフト領域と、それと同様に延びる第 2 導電型半導体よりなる複数の仕切り領域とを、それらの延びる方向に交差する方向に交互に繰り返し接合した構成の並列 p n 接合層を有し、該並列 p n 接合層が、オン状態のときに電流を流し、かつオフ状態のときには空乏化するドリフト層となる半導体素子に関し、特に、M O S F E T（絶縁ゲート型電界効果トランジスタ）や I G B T（絶縁ゲート型バイポーラトランジスタ）やバイポーラトランジスタ等に適用可能な、高耐压化と大電流量化を両立させることのできる半導体素子に関する。

【0002】

20

【従来の技術】

一般に、半導体素子は、半導体基板の片面に電極部をもち、主面に平行な方向に電流が流れる横型素子と、半導体基板の両面に電極をもち、主面に垂直な方向に電流が流れる縦型素子とに大別される。縦型半導体素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層が延びる方向とが同じである。たとえば、通常のプレーナ型の n チャネル縦型 M O S F E T の場合、高抵抗の n⁻ドリフト層の部分は、M O S F E T がオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときは空乏化して耐压を高める。

【0003】

この高抵抗の n⁻ドリフト層の電流経路を短くすることは、電流に対するドリフト抵抗が低くなるので M O S F E T の実質的なオン抵抗を下げる効果に繋がるものの、逆に p ベース領域と n⁻ドリフト領域との間の p n 接合から進行するドレイン - ベース間空乏層が広がる幅が狭く、シリコンの臨界電界強度に速く達するため、耐压が低下してしまう。逆に耐压の高い半導体装置では、n⁻ドリフト層が厚くなるため必然的にオン抵抗が大きくなり、損失が増すことになる。すなわちオン抵抗と耐压との間にトレードオフ関係がある。

【0004】

このトレードオフ関係は、I G B T、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。また、この問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向が異なる横型半導体素子についても共通である。この問題に対する解決法として、ドリフト層を、不純物濃度を高めた n 型の領域と p 型の領域を交互に配置した並列 p n 接合層で構成し、オフ状態のときは空乏化して耐压を負担するようにした構造の半導体装置が、たとえば、特許文献 1、特許文献 2、特許文献 3、特許文献 4 に開示されている。

【0005】

通常のプレーナ型の n チャネル縦型 M O S F E T との構造上の違いは、ドリフト部が単一・単一の導電型でなく、上述した並列 p n 接合層となっている点である。この並列 p n 接合層は、オフ状態では、不純物濃度が高くても、並列 p n 構造の縦方向に配向する各 p n 接合から空乏層がその両側の横方向に拡がり、ドリフト領域全体が空乏化するため、高耐压化を図ることができる。なお、本明細書では、このような並列 p n 構造のドリフト部を備える半導体素子を超接合半導体素子と称することとする。

40
50

【0006】

ところで、一般に、プレーナ型超接合MOSFETのオン抵抗($R_{on} \cdot A$)はおよそつぎの(1)式で表される。ただし、ソース層抵抗を R_s とし、チャネル抵抗を R_{ch} とし、蓄積層抵抗を R_{acc} とし、接合FET(JFET)効果による抵抗を R_{JFET} とし、ドリフト抵抗を R_{drift} とし、ドレイン層抵抗を R_d とする。

【0007】

$$R_{on} \cdot A = (R_s + R_{ch} + R_{acc} + R_{JFET} + R_{drift} + R_d) \cdot A \quad \dots (1)$$

【0008】

超接合半導体素子では、ドリフト抵抗 R_{drift} が、つぎの(2)式で表される関係にあるため、耐圧が高くなってもドリフト抵抗が耐圧に比例して増大するだけで、従来のMOSFETと比較すると劇的なオン抵抗の低減が可能となる。さらに、同じ耐圧でも、並列pn接合層のn型ドリフト領域幅 d を小さくすることで、オン抵抗をさらに低減することができる。なお、(2)式において、 μ は電子の移動度であり、 ϵ_0 は真空の誘電率であり、 ϵ_s はシリコンの比誘電率であり、 E_c は臨界電界であり、 V_b は耐圧(降伏電圧)である。

【0009】

$$R_{drift} \cdot A = (4 \cdot d \cdot V_b) / (\mu \cdot \epsilon_0 \cdot \epsilon_s \cdot E_c^2) \quad \dots (2)$$

【0010】

しかし、ドリフト抵抗 R_{drift} が劇的に低減される一方、前記(1)式にあるドリフト抵抗以外の抵抗成分が顕著化してくる。特に、JFET効果における抵抗 R_{JFET} の割合がオン抵抗中で大きく、これを改善するために表面から掘り下げたトレンチ内にゲート電極を埋め、トレンチ側壁部にチャネルを誘起させる、いわゆるトレンチ型MOSFETの適用が提案されている。トレンチ型の超接合半導体素子については、たとえば、特許文献5に開示されている。

【0011】

【特許文献1】

欧州特許第0053854号明細書

【特許文献2】

米国特許第5216275号明細書

【特許文献3】

米国特許第5438215号明細書

【特許文献4】

特開平9-266311号公報

【特許文献5】

特開2002-76339号公報

【特許文献6】

特開2001-313391号公報

【0012】

【発明が解決しようとする課題】

しかしながら、トレンチ型MOSFETの場合でも、プレーナ型MOSFETと同様に耐圧構造部を有するため、ストライプ状のトレンチ溝を有する場合には、トレンチの終端が、耐圧構造部へ移行する領域に形成されることがある。このような場合、トレンチ終端部が3次元の曲面形状をなすため、トレンチ終端部の領域で電界集中が起こり、耐圧の低下を招くおそれがある。

【0013】

また、オン状態からオフ状態に移行する過渡期において、空乏層が並列pn接合層構造に速やかに拡張されるため、蓄積キャリアの逃げ場がなく、吐き出されたキャリアが電界集中による強電界に遭遇して、ホットキャリアとしてゲート絶縁膜へ注入されやすくなる。このため、ゲート絶縁膜が劣化して、閾値電圧の低下を招くなど、ゲート絶縁膜の信頼性が低下するおそれがある。本出願人は上記特許文献6において、ゲート絶縁膜へのホット

10

20

30

40

50

キャリアの注入を抑制することができるプレーナ型の超接合半導体素子の構造を開示しているが、トレンチ型の超接合半導体素子に関してもゲート絶縁膜へのホットキャリアの注入を抑制する必要がある。

【0014】

本発明は、上記問題点に鑑みてなされたものであって、耐圧の低下を抑制するとともに、ゲート絶縁膜の信頼性の高いトレンチ型の超接合半導体素子を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる超接合半導体素子は、半導体基板の第1の主面と第2の主面との間に、低抵抗層と、並列pn接合層を有する。並列pn接合層は、複数の第1導電型ドリフト領域と複数の第2導電型仕切り領域からなる。第1導電型ドリフト領域および第2導電型仕切り領域は、前記第1の主面側から前記第2の主面側へ向かう縦方向に延びている。並列pn接合層は、それら第1導電型ドリフト領域と第2導電型仕切り領域を横方向に交互に繰り返し接合した構造となっている。そして、第1の主面側に形成されたトレンチの終端部は、複数の第2導電型仕切り領域のうちの一部の第2導電型仕切り領域内の、不純物濃度が第2の主面側よりも高い部分、または幅が第2の主面側よりも広い部分に形成されている。

【0016】

また、トレンチの内側には、ゲート絶縁膜が設けられており、このゲート絶縁膜の内側は、ゲート電極により埋め込まれている。また、第2導電型ベース領域は、ゲート絶縁膜の、トレンチの側壁に沿う部分の少なくとも一部に接するように、第1の主面側の表面層に設けられている。第2導電型ベース領域内には、第1導電型ソース領域が、第2導電型ベース領域により第1導電型ドリフト領域から離間され、かつゲート絶縁膜の、トレンチの側壁に沿う部分に接するように設けられている。

【0017】

この発明において、トレンチの終端部が形成された第2導電型仕切り領域の、トレンチの終端部を囲む不純物濃度の高い部分、または幅の広い部分は、オン状態で電流を流す領域内に配置された並列pn接合層の第2導電型仕切り領域に配置されていてもよい。また、第1導電型ドリフト領域、第2導電型仕切り領域およびトレンチはいずれもストライプ状であり、第1導電型ドリフト領域および第2導電型仕切り領域と、トレンチとは、概ね直交していてもよい。この場合、第1導電型ドリフト領域および第2導電型仕切り領域に対して概ね直交したトレンチの他に、このトレンチに直交する第2のトレンチが設けられており、それらトレンチ同士が、オン状態で電流を流す領域を囲むように接続されていてもよい。第1導電型ドリフト領域および第2導電型仕切り領域と、トレンチとが、概ね平行になっている場合も同様であり、このトレンチとこれに直交する第2のトレンチとが、オン状態で電流を流す領域を囲むように互いに接続された構成となってもよい。

【0018】

この発明によれば、トレンチ終端部の3次元曲面形状部分が、オン状態で電流を流す領域において、並列pn接合層の第2導電型仕切り領域の不純物濃度の高い部分または幅の広い部分により囲まれていることによって、第2導電型仕切り領域の不純物濃度の高い部分または幅の広い部分と、これに接合する第1導電型ドリフト領域との境界で電界強度が強くなるので、トレンチ終端部の3次元曲面形状部分への電界集中が緩和される。

【0019】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、以下の説明および添付図面において、nもしくはpを冠記または付記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。また、nやpに付した添字の+は比較的高不純物濃度であることを意味している。さらに、以下の説明では、第1導電型をn型とし、第2導電型をp型とするが、その逆でも同様である。

10

20

30

40

50

【0020】

実施の形態1.

図1は、本発明の実施の形態1にかかる超接合半導体素子の要部の構成を示す断面斜視図である。図1に示すように、低抵抗層である n^+ ドレイン層11上に、薄い n ドリフト領域12と p 仕切り領域13を交互に並べて接合した構成の並列 pn 接合層14が形成されている。その並列 pn 接合層14の上に、 p ベース領域15が形成されている。 p ベース領域15の表面層には、 n^+ ソース領域16が形成されている。 n ドリフト領域12および p 仕切り領域13は、平面図的にはストライプ状である。

【0021】

また、 p ベース領域15内には、 p ベース領域15および n^+ ソース領域16の表面から、それらを貫通して、並列 pn 接合層14に達するトレンチ17が形成されている。このトレンチ17は、ゲート絶縁膜18を介してゲート電極19により埋め込まれている。トレンチ17は、 n ドリフト領域12および p 仕切り領域13に対して概ね直交する方向に延びるストライプ状である。

10

【0022】

トレンチ17の終端部の3次元曲面形状をなす部分20は、 p 仕切り領域13内に位置するように形成されている。この p 仕切り領域13の、トレンチ終端部の3次元曲面形状部分20を囲む部分は、その下側の部分よりも不純物濃度が高い p^+ 領域21となっている。ここで、 p ベース領域15が設けられた領域は、オン状態で電流を流す活性部である。この活性部の、トレンチ終端部が位置していない p 仕切り領域13にも、その上半部に不純物濃度が高い p^+ 領域21が設けられている。

20

【0023】

一例として、各部の基準的な寸法および不純物濃度等は以下のようなになる。トレンチ17について、その幅はおおよそ $1\mu\text{m}$ であり、深さはおおよそ $3.5\mu\text{m}$ である。また、 p^+ 領域21について、その幅はおおよそ $6\mu\text{m}$ であり、深さはおおよそ $12\mu\text{m}$ であり、不純物濃度はおおよそ $4 \times 10^{15} \text{ cm}^{-3}$ である。また、 p 仕切り領域13について、その幅はおおよそ $6\mu\text{m}$ であり、不純物濃度はおおよそ $3.6 \times 10^{15} \text{ cm}^{-3}$ である。

【0024】

また、 n ドリフト領域12について、その幅はおおよそ $6\mu\text{m}$ であり、不純物濃度は、 p 仕切り領域13に接する部分でも p^+ 領域21に接する部分でも同じであり、おおよそ $3.6 \times 10^{15} \text{ cm}^{-3}$ である。したがって、並列 pn 接合層14の、トレンチ終端部の3次元曲面形状部分20が接する部分の総不純物量は、 p^+ 領域21を設けない場合に比べて多くなる。

30

【0025】

図2は、図1に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。上述したように、トレンチ17の幅が $1\mu\text{m}$ 程度の場合には、トレンチ終端部の3次元曲面形状部分20の曲率半径はおおよそ $0.5\mu\text{m}$ となるので、この3次元曲面形状部分20を有する領域の幅は、トレンチ幅と同程度の $1\mu\text{m}$ 程度となる。したがって、図2に示すように、トレンチ終端部の3次元曲面形状部分20は、 $6\mu\text{m}$ 幅の p^+ 領域21によって完全に囲まれることになる。

40

【0026】

なお、図1において、活性部の外側は耐压構造部であるが、耐压構造部には、電界緩和を目的とした微細な並列 pn 接合層24が配置されており、その n 領域22および p 領域23は、活性部の並列 pn 接合層14の n ドリフト領域12および p 仕切り領域13のおおよそ半分の幅である。また、図示および説明を省略するが、耐压構造部には、フィールドプレート構造やガードリング構造などが適宜設けられている。また、図示省略するが、 n^+ ソース領域16および p ベース領域15には、層間絶縁膜によりゲート電極19から絶縁されたソース電極が接触しており、 n^+ ドレイン層11にはドレイン電極が接触している。

【0027】

50

上述した実施の形態 1 によれば、たとえば不純物濃度が高い p^+ 領域 2 1 と n ドリフト領域 1 2 とに約 50 V 以上の逆バイアスが印加されると、活性部の並列 pn 接合層 1 4 は完全に空乏化するが、トレンチ終端部の 3 次元曲面形状部分 2 0 が p^+ 領域 2 1 で完全に囲まれているため、そのときの電界は、 p^+ 領域 2 1 と n ドリフト領域 1 2 との境界で強くなる。したがって、トレンチ終端部の 3 次元曲面形状部分 2 0 における電界が相対的に緩和されるので、その 3 次元曲面形状部分 2 0 のゲート絶縁膜 1 8 にホットキャリアが注入されるのが抑制され、ゲート絶縁膜 1 8 の信頼性が向上するという効果が得られる。また、トレンチ終端部の 3 次元曲面形状部分 2 0 で耐圧が決定されることはないので、所望の耐圧を得ることが可能となる。

【0028】

10

また、実施の形態 1 によれば、 p^+ 領域 2 1 が活性部に配置されているため、耐圧が活性部で決定され、アバランシェ電流が活性部で発生する。したがって、トレンチ終端部の 3 次元曲面形状部分 2 0 へのアバランシェ電流の集中を回避できるので、アバランシェ耐量が向上するという効果が得られる。

【0029】

実施の形態 2 .

図 3 は、本発明の実施の形態 2 にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図 4 は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態 2 が実施の形態 1 と異なるのは、 p^+ 領域 2 1 がないことと、 p 仕切り領域 1 3 の、トレンチ終端部の 3 次元曲面形状部分 2 0 を囲む部分 3 1 の幅が、その下側部分よりも広がっていることである。

20

【0030】

この幅の広い部分 3 1 を含む p 仕切り領域 1 3 の不純物濃度は一様であり、 n ドリフト領域 1 2 の不純物濃度と同じである。また、たとえば p 仕切り領域 1 3 の幅の広い部分 3 1 の幅はおおよそ 6 . 6 μm であり、したがって n ドリフト領域 1 2 の、 p 仕切り領域 1 3 の幅の広い部分 3 1 に接する部分の幅はおおよそ 5 . 4 μm である。また、実施の形態 1 と同様に、活性部の他の p 仕切り領域 1 3 にも、幅の広い部分 3 1 が設けられている。その他の構成や、寸法および不純物濃度等は、実施の形態 1 と同じである。実施の形態 1 と同じ構成については、実施の形態 1 と同一の符号を付して説明を省略する。

【0031】

30

上述した実施の形態 2 によれば、トレンチ終端部の 3 次元曲面形状部分 2 0 が、 p 仕切り領域 1 3 の幅の広い部分 3 1 に囲まれていることによって、並列 pn 接合層 1 4 の、トレンチ終端部の 3 次元曲面形状部分 2 0 が接する部分の総不純物量が多くなるため、逆バイアスが印加されたときの電界は、 p 仕切り領域 1 3 の幅の広い部分 3 1 と n ドリフト領域 1 2 との境界で強くなる。したがって、トレンチ終端部の 3 次元曲面形状部分 2 0 における電界が相対的に緩和されるので、実施の形態 1 と同様に、ゲート絶縁膜 1 8 へのホットキャリアの注入が抑制され、ゲート絶縁膜 1 8 の信頼性が向上するとともに、所望の耐圧を得ることができるといふ効果が得られる。また、 p 仕切り領域 1 3 の幅の広い部分 3 1 が活性部に配置されているため、実施の形態 1 と同様に、アバランシェ耐量が向上するという効果が得られる。

40

【0032】

実施の形態 3 .

図 5 は、本発明の実施の形態 3 にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図 6 は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態 3 は、実施の形態 1 において、活性部内の p 仕切り領域 1 3 の p^+ 領域 2 1 内に、第 2 のトレンチ 4 1 が p 仕切り領域 1 3 に対して平行に形成されており、この第 2 のトレンチ 4 1 に、トレンチ 1 7 の終端部となる 3 次元曲面形状部分 2 0 が接続された構成となっている。第 2 のトレンチ 4 1 も、ゲート絶縁膜 1 8 を介してゲート電極 1 9 により埋め込まれている。

【0033】

50

第2のトレンチ41の幅および深さは、それぞれ実施の形態1において例示したトレンチ17の幅および深さと同じである。すなわち、幅はおおよそ $1\mu\text{m}$ であり、深さはおおよそ $3.5\mu\text{m}$ である。ここで、図6に示すように、第2のトレンチ41は、p仕切り領域13の p^+ 領域21からはみ出すことなく、その p^+ 領域21内に形成されている。その他の構成や、寸法および不純物濃度等は、実施の形態1と同じである。実施の形態1と同じ構成については、実施の形態1と同一の符号を付して説明を省略する。

【0034】

上述した実施の形態3によれば、トレンチ終端部の3次元曲面形状部分20が、p仕切り領域13の p^+ 領域21に囲まれており、逆バイアス印加時の電界は、 p^+ 領域21とnドリフト領域12との境界で強くなるため、実施の形態1と同様に、ゲート絶縁膜18への

10

【0035】

実施の形態4 .

図7は、本発明の実施の形態4にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図8は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態4は、実施の形態2に実施の形態3を適用したものである。すなわち、実施の形態2において、活性部内のp仕切り領域13の幅の広い部分31内に、第2のトレンチ41がp仕切り領域13に対して平行に形成されている。そして、この第2のトレン

20

【0036】

第2のトレンチ41の幅および深さは、それぞれ実施の形態3と同じであり、おおよそ、それぞれ $1\mu\text{m}$ および $3.5\mu\text{m}$ である。その他の構成や、寸法および不純物濃度等は、実施の形態2と同じである。実施の形態1または実施の形態2と同じ構成については、実施の形態1または実施の形態2と同一の符号を付して説明を省略する。

【0037】

上述した実施の形態4によれば、トレンチ終端部の3次元曲面形状部分20が、p仕切り領域13の幅の広い部分31に囲まれており、逆バイアス印加時の電界は、p仕切り領域

30

【0038】

実施の形態5 .

図9は、本発明の実施の形態5にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。実施の形態5は、実施の形態3または実施の形態4において、並列pn接合層14の p^+ 領域21またはp仕切り領域13の幅の広い部分31に概ね直交するトレンチ17と、このトレンチ17の終端部に接続し、かつトレン

40

【0039】

実施の形態6 .

図10は、本発明の実施の形態6にかかる超接合半導体素子の要部の構成を示す断面斜視図であり、図11は、そのトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。また、図12は、トレンチ終端部の近傍領域(図11のA-A')における縦断面図であり、図13は、トレンチ終端部の近傍でない領域、すなわち素子活性領域(図1

50

1のB-B')における縦断面図である。

【0040】

図10に示すように、実施の形態6は、実施の形態2において、並列pn接合層14のp仕切り領域13に概ね直交するトレンチ17の代わりに、p仕切り領域13に沿って平行に延びるトレンチ51を、p仕切り領域13およびp仕切り領域13の幅の広い部分31の上に設けた構成となっている。そして、図11および図12に示すように、トレンチ51の終端部の3次元曲面形状部分20は、p仕切り領域13の幅の広い部分31により囲まれている。

【0041】

また、図11および図13に示すように、トレンチ51の、その終端部を除く部分では、トレンチ51の幅の方がp仕切り領域13の幅よりも広いため、トレンチ51の側壁部は並列pn接合層14のnドリフト領域12に接している。トレンチ51の底部は、p仕切り領域13に接している。このトレンチ51も、ゲート絶縁膜18を介してゲート電極19により埋め込まれている。

10

【0042】

ここで、トレンチ51の幅はたとえば7 μ mである。また、トレンチ終端部の近傍箇所においては、p仕切り領域13の幅の広い部分31の幅はおおよそ8 μ mであり、したがってnドリフト領域12の幅はおおよそ4 μ mである。その他の構成や、寸法および不純物濃度等は、実施の形態2と同じである。実施の形態1または実施の形態2と同じ構成については、実施の形態1または実施の形態2と同一の符号を付して説明を省略する。

20

【0043】

上述した実施の形態6によれば、トレンチ終端部の3次元曲面形状部分20が、p仕切り領域13の幅の広い部分31に囲まれており、逆バイアス印加時の電界は、p仕切り領域13の幅の広い部分31とnドリフト領域12との境界で強くなるため、実施の形態2と同様に、ゲート絶縁膜18へのホットキャリアの注入抑制により、ゲート絶縁膜18の信頼性が向上するとともに、所望の耐圧を得ることができるという効果が得られる。

【0044】

実施の形態7

図14は、本発明の実施の形態7にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。また、図15は、トレンチ終端部の近傍領域(図14のC-C')における縦断面図であり、図16は、トレンチ終端部の近傍でない領域、すなわち素子活性領域(図14のD-D')における縦断面図である。

30

【0045】

図14に示すように、実施の形態7は、実施の形態6において、p仕切り領域13の幅の広い部分31が、トレンチ51の終端部近傍領域だけでなく、トレンチ51に沿って素子活性領域にも設けられた構成となっている。したがって、図14および図15に示すように、トレンチ51の終端部の3次元曲面形状部分20が、p仕切り領域13の幅の広い部分31により囲まれているのは勿論であるが、図16に示すように、トレンチ51の、その終端部を除く部分でも、トレンチ51は、p仕切り領域13の幅の広い部分31により囲まれている。その他の構成は、実施の形態6と同じであるので、説明を省略する。したがって、実施の形態7によれば、実施の形態6と同様の効果が得られる。さらに、p仕切り領域13の幅の広い部分31が活性部に配置されているため、実施の形態1と同様に、アバランシェ耐量が向上するという効果が得られる。

40

【0046】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。たとえば、上述した寸法や不純物濃度の値は一例であり、本発明はこれに限定されるものではない。また、実施の形態6または実施の形態7において、実施の形態3または実施の形態4のように、トレンチ51に直交する第2のトレンチを設け、この第2のトレンチに、トレンチ51の終端部を接続する構成としてもよい。その場合、実施の形態5のように、トレンチ51および第2のトレンチによって素子活性領域を囲む構成としてもよい。また、本発

50

明は、M O S F E Tに限らず、I G B Tやバイポーラトランジスタ等にも適用可能である。

【 0 0 4 7 】

【 発 明 の 効 果 】

本発明によれば、トレンチ終端部の3次元曲面形状部分が、オン状態で電流を流す領域において、並列p n接合層の第2導電型仕切り領域の不純物濃度の高い部分または幅の広い部分により囲まれていることによって、第2導電型仕切り領域の不純物濃度の高い部分または幅の広い部分と、これに接合する第1導電型ドリフト領域との境界で電界強度が強くなるので、トレンチ終端部の3次元曲面形状部分への電界集中が緩和される。したがって、ゲート絶縁膜へのホットキャリアの注入を緩和することができるので、ゲート絶縁膜の信頼性が向上するとともに、耐圧の安定化を図ることができる。

10

【 図 面 の 簡 単 な 説 明 】

【 図 1 】 本発明の実施の形態1にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【 図 2 】 図1に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【 図 3 】 本発明の実施の形態2にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【 図 4 】 図3に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

20

【 図 5 】 本発明の実施の形態3にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【 図 6 】 図5に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【 図 7 】 本発明の実施の形態4にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【 図 8 】 図7に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【 図 9 】 本発明の実施の形態5にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

30

【 図 1 0 】 本発明の実施の形態6にかかる超接合半導体素子の要部の構成を示す断面斜視図である。

【 図 1 1 】 図10に示す超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【 図 1 2 】 図11のA - A 'における切断面の構造を示す縦断面図である。

【 図 1 3 】 図11のB - B 'における切断面の構造を示す縦断面図である。

【 図 1 4 】 本発明の実施の形態7にかかる超接合半導体素子のトレンチ底部付近の深さにおける平面構造の要部を示す模式図である。

【 図 1 5 】 図14のC - C 'における切断面の構造を示す縦断面図である。

【 図 1 6 】 図14のD - D 'における切断面の構造を示す縦断面図である。

40

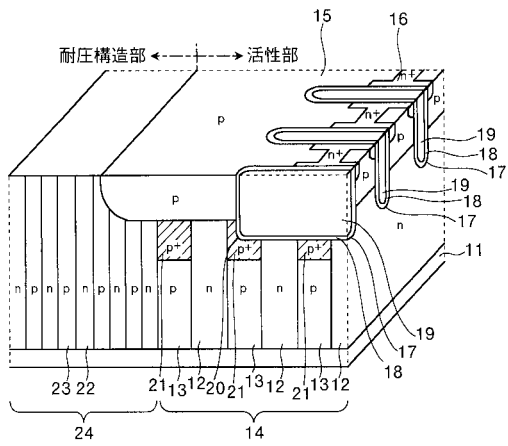
【 符 号 の 説 明 】

- 1 1 低抵抗層 (n^+ ドレイン層)
- 1 2 第1導ドリフト領域 (n ドリフト領域)
- 1 3 第2導電型仕切り領域 (p 仕切り領域)
- 1 4 並列 p n 接合層
- 1 5 第2導電型ベース領域 (p ベース領域)
- 1 6 第1導電型ソース領域 (n^+ ソース領域)
- 1 7 , 5 1 トレンチ
- 1 8 ゲート絶縁膜
- 1 9 ゲート電極

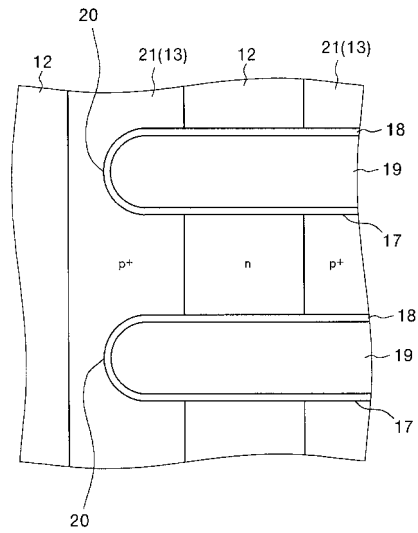
50

4 1 第 2 のトレンチ

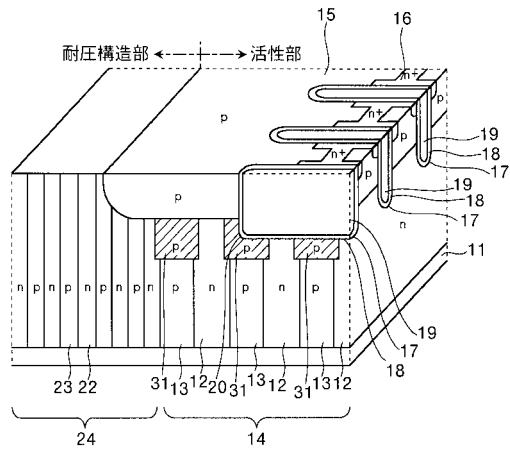
【 図 1 】



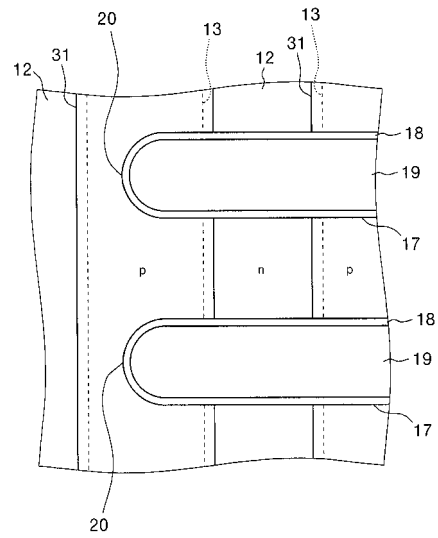
【 図 2 】



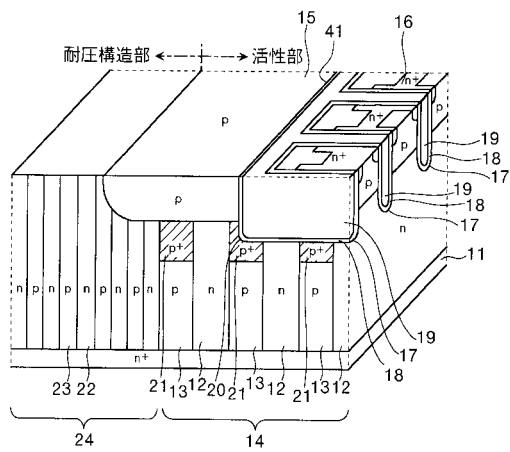
【図 3】



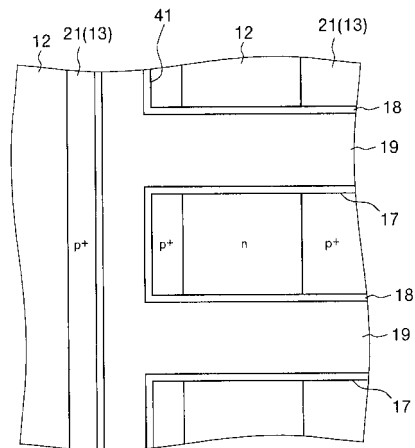
【図 4】



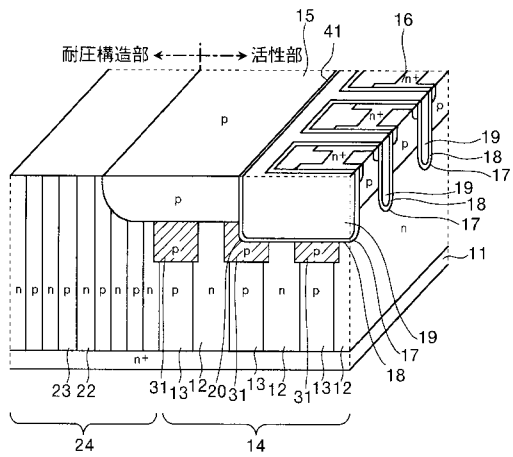
【図 5】



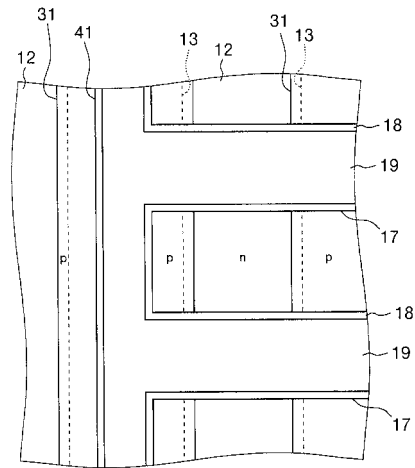
【図 6】



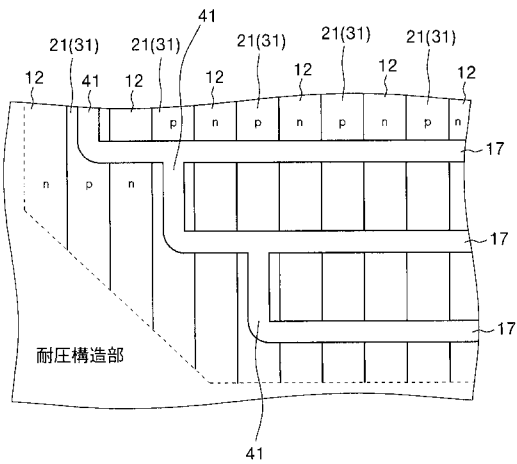
【圖 7】



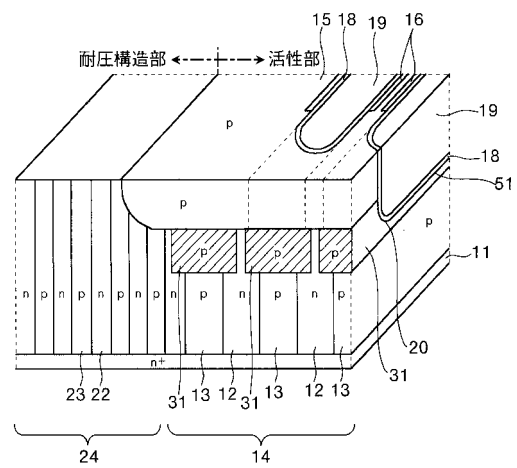
【 図 8 】



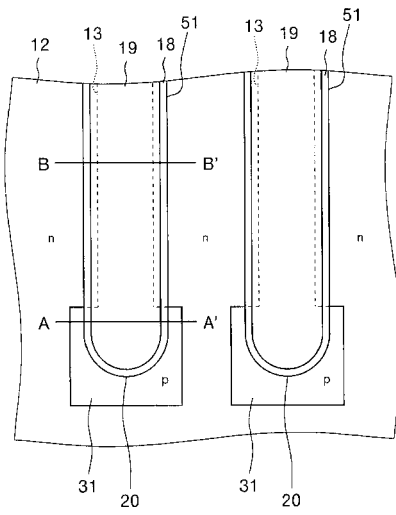
【 図 9 】



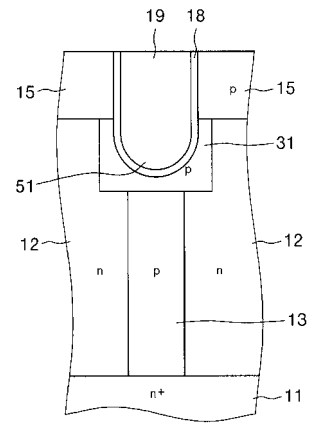
【 図 1 0 】



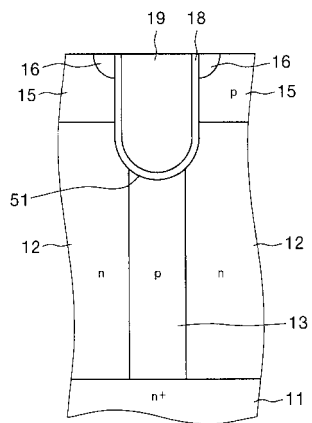
【図 1 1】



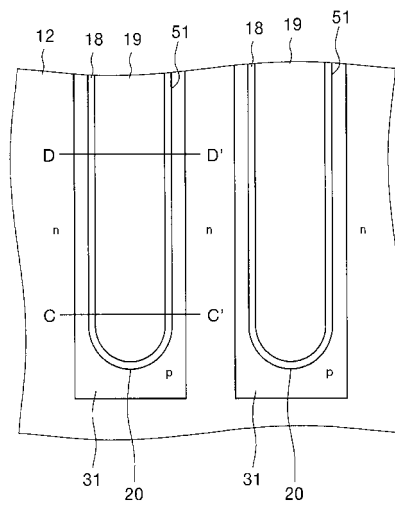
【図 1 2】



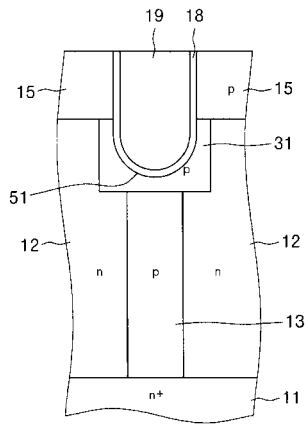
【図 1 3】



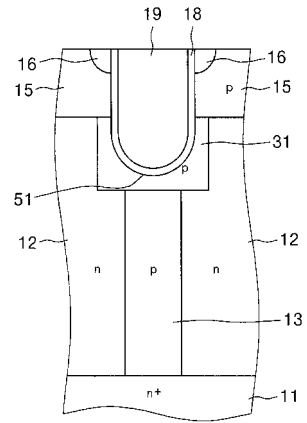
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(72)発明者 永岡 達司

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 小野田 誠

(56)参考文献 特開2002-009083(JP,A)

特開2002-076339(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78