

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5000308号
(P5000308)

(45) 発行日 平成24年8月15日 (2012. 8. 15)

(24) 登録日 平成24年5月25日 (2012. 5. 25)

(51) Int. Cl. F I
H03K 5/08 (2006.01) H03K 5/08 E
GO1R 19/165 (2006.01) GO1R 19/165 M

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2007-1462 (P2007-1462)	(73) 特許権者	000116024
(22) 出願日	平成19年1月9日 (2007. 1. 9)		ローム株式会社
(65) 公開番号	特開2008-172328 (P2008-172328A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成20年7月24日 (2008. 7. 24)	(74) 代理人	100105924
審査請求日	平成21年12月4日 (2009. 12. 4)		弁理士 森下 賢樹
		(72) 発明者	中原 宏徳
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 電圧比較回路およびそれを用いた電源管理回路

(57) 【特許請求の範囲】

【請求項 1】

複数の入力電圧を、それぞれに設定されたしきい値電圧と比較し、大小関係を判定する電圧比較回路であって、

それぞれが前記入力電圧ごとに設けられ、対応する前記入力電圧を、対応するしきい値電圧に応じて設定された分圧比で分圧して分割電圧を生成する、複数の分圧抵抗対と、

調節可能な基準電圧を生成する基準電圧源と、

それぞれが前記入力電圧ごとに設けられ、その一方の入力端子に前記基準電圧を受け、その他方の入力端子に、対応する分圧抵抗対により生成された分割電圧を受け、前記入力電圧と前記分割電圧を比較する複数のコンパレータと、

定電流源と、

前記定電流源が生成する電流の経路上に設けられた基準テールトランジスタと、

を備え、

前記基準電圧を V_{ref} 、 i 番目の入力電圧に対応する分圧比を r_i とするとき、 i 番目の入力電圧に対応するしきい値 V_{thi} は、 $V_{thi} = V_{ref} / r_i$ で与えられ、

前記複数のコンパレータの入力段にそれぞれ設けられた複数の差動対を、半導体基板上に第 1 の方向に隣接して配置し、

前記複数の差動対にテール電流を流す複数のテールトランジスタの制御端子を前記基準テールトランジスタの制御端子と共通に接続し、前記複数のテールトランジスタおよび前記基準テールトランジスタを、前記基準テールトランジスタが中央となるように、前記半

導体基板上に前記第 1 の方向に隣接して配置するとともに、

前記複数の差動対のうちの i 番目 (i は自然数) の差動対と、対応する i 番目のテールトランジスタと、を、それぞれ前記第 1 の方向と垂直な第 2 の方向に隣接して配置したことを特徴とする電圧比較回路。

【請求項 2】

それぞれの前記差動対の電流経路に設けられた複数のカレントミラー負荷を、半導体基板上に隣接して配置したことを特徴とする請求項 1 に記載の電圧比較回路。

【請求項 3】

前記複数のカレントミラー負荷を、前記半導体基板上に前記第 1 の方向に隣接して配置するとともに、

前記複数の差動対のうちの i 番目 (i は自然数) の差動対と、対応する i 番目のカレントミラー負荷と、を、それぞれ前記第 1 の方向と垂直な第 2 の方向に隣接して配置したことを特徴とする請求項 2 に記載の電圧比較回路。

【請求項 4】

前記複数のカレントミラー負荷に代えて設けられた複数の負荷抵抗対を、半導体基板上に隣接して配置したことを特徴とする請求項 2 に記載の電圧比較回路。

【請求項 5】

前記複数の負荷抵抗対を、前記半導体基板上に前記第 1 の方向に隣接して配置するとともに、

前記複数の差動対のうちの i 番目 (i は自然数) の差動対と、対応する i 番目の負荷抵抗対と、を、それぞれ前記第 1 の方向と垂直な第 2 の方向に隣接して配置したことを特徴とする請求項 4 に記載の電圧比較回路。

【請求項 6】

前記複数の分圧抵抗対はそれぞれ、単位抵抗素子を直列に接続して構成される第 1、第 2 抵抗、を含み、

前記単位抵抗素子を、半導体基板上の所定の領域に集中して配置し、前記複数の分圧抵抗対をペアリングして構成したことを特徴とする請求項 1 に記載の電圧比較回路。

【請求項 7】

前記基準電圧源は、

所定の定電圧を生成する基準電圧回路と、

前記定電圧を分圧し、前記基準電圧を生成する基準分圧抵抗対と、

を含み、前記基準分圧抵抗対の少なくとも一方がトリミング可能に構成されることを特徴とする請求項 1 に記載の電圧比較回路。

【請求項 8】

前記複数の分圧抵抗対はそれぞれ、単位抵抗素子を直列に接続して構成される第 1、第 2 抵抗を含み、

前記基準電圧源は、

所定の定電圧を生成する基準電圧回路と、

前記定電圧を分圧し、前記基準電圧を生成する基準分圧抵抗対と、

を含み、

前記基準分圧抵抗対は、単位抵抗素子を直列に接続して構成される第 1、第 2 基準抵抗を含み、少なくとも一方がトリミング可能に構成され、

前記単位抵抗素子を、半導体基板上の所定の領域に集中して配置し、前記複数の分圧抵抗対および前記基準分圧抵抗対をペアリングして構成したことを特徴とする請求項 1 に記載の電圧比較回路。

【請求項 9】

複数の電圧を生成する電源回路と、

前記電源回路から出力される複数の電圧を、複数のしきい値電圧と比較する請求項 1 から 8 のいずれかに記載の電圧比較回路と、

前記電圧比較回路の比較結果にもとづき、所定の処理を実行する制御部と、

10

20

30

40

50

を備えることを特徴とする電源管理回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電圧比較回路に関し、特に、複数の電圧を、それぞれに設定されたしきい値電圧と比較し、大小関係を判定する電圧比較回路に関する。

【背景技術】

【0002】

近年の携帯電話、PDA(Personal Digital Assistant)、ノート型パーソナルコンピュータなどのさまざまな電子機器には、デジタル信号処理を行うCPU(Central Processing Unit)や、その他のDSP(Digital Signal Processor)、あるいは、液晶パネル、LEDなど、多くの電子回路が搭載される。これらの電子回路部品は、電池や、電池電圧を安定化する電源回路から電力供給を受けて動作する。

10

【0003】

ここで、各電子回路には、それぞれ、安定動作保証電圧が規定されており、供給される電圧が、安定動作保証電圧以下となると、その電子回路は正常に動作しなくなる。したがって、こうした電子機器では、複数の電子回路に供給される電圧を、それぞれに対して個別に設定される所定電圧と比較して監視し、起動シーケンスなどを制御する必要がある。

【発明の開示】

20

【発明が解決しようとする課題】

【0004】

本発明はかかる状況に鑑みてなされたものであり、その目的は、複数の電圧と複数の基準電圧を比較可能な電圧比較回路の提供にある。

【課題を解決するための手段】

【0005】

本発明のある態様は、複数の入力電圧を、それぞれに設定されたしきい値電圧と比較し、大小関係を判定する電圧比較回路に関する。この電圧比較回路は、複数の入力電圧を、それぞれに設定された分圧比で分圧し、複数の分割電圧を生成する複数の分圧抵抗対と、調節可能な基準電圧を生成する基準電圧源と、基準電圧を、複数の分圧抵抗対により生成された複数の分割電圧とそれぞれ比較する複数のコンパレータと、を備える。複数のコンパレータの入力段にそれぞれ設けられた複数の差動対は、半導体基板上に隣接して配置される。

30

【0006】

この態様において、基準電圧を V_{ref} 、複数 n の分圧抵抗対それぞれの分圧比を $r_1 \sim r_n$ とすると、複数の入力電圧ごとのしきい値電圧 $V_{th1} \sim V_{thn}$ は、 $V_{ref} / r_1 \sim V_{ref} / r_n$ に設定される。したがって、基準電圧 V_{ref} を変化させれば、複数の入力電圧それぞれに対する複数のしきい値電圧を調節することができる。

ここで、一般的には、複数のコンパレータが設けられる場合、コンパレータごとの差動対を構成するトランジスタ同士のみペアリングし、複数のコンパレータは別個独立に構成され、各コンパレータのオフセットはばらついてしまう。これに対して、本発明では、複数のコンパレータの差動対を、隣接して配置することにより複数の差動対同士でペアリングがとれるため、複数のコンパレータのオフセットを均一化できる。言い換えれば、基準電圧に対してのみ調節機能を設ければよく、分圧抵抗対にトリミング機能を持たせる必要がないため、回路を小面積化することができる。

40

【0007】

ある態様ではさらに、それぞれの差動対の電流経路に設けられた複数のカレントミラー負荷を、半導体基板上に隣接して配置してもよい。

この場合、差動対のみを隣接させる場合に比べて、さらにコンパレータのオフセットを均一化することができる。

50

【 0 0 0 8 】

複数の差動対を、半導体基板の第1の方向に隣接して配置し、複数のカレントミラー負荷を、半導体基板の第1の方向に隣接して配置するとともに、複数の差動対のうちの*i*番目(*i*は自然数)の差動対と、対応する*i*番目のカレントミラー負荷と、を、それぞれ第1の方向と垂直な第2の方向に隣接して配置した。

この場合、同一のコンパレータ内の素子が第2の方向に揃って配置されるため、配線が容易となる。

【 0 0 0 9 】

ある態様ではさらに、複数のカレントミラー負荷に代えて設けられた複数の抵抗負荷対を、半導体基板上に隣接して配置してもよい。

この場合、差動対のみを隣接させる場合に比べて、さらにコンパレータのオフセットを均一化することができる。

【 0 0 1 0 】

複数の差動対を、半導体基板の第1の方向に隣接して配置し、複数の負荷抵抗対を、半導体基板の第1の方向に隣接して配置するとともに、複数の差動対のうちの*i*番目(*i*は自然数)の差動対と、対応する*i*番目の負荷抵抗対と、を、それぞれ第1の方向と垂直な第2の方向に隣接して配置してもよい。

この場合、同一のコンパレータ内の素子が第2の方向に揃って配置されるため、配線が容易となる。

【 0 0 1 1 】

ある態様ではさらに、複数の差動対にテール電流を流す複数のテールトランジスタを、半導体基板上に隣接して配置してもよい。

この場合、差動対のみを隣接させる場合に比べて、さらにコンパレータのオフセットを均一化することができる。

【 0 0 1 2 】

複数の差動対を、半導体基板の第1の方向に隣接して配置し、複数のテールトランジスタを、半導体基板の第1の方向に隣接して配置するとともに、複数の差動対のうちの*i*番目(*i*は自然数)の差動対と、対応する*i*番目のテールトランジスタと、を、それぞれ第1の方向と垂直な第2の方向に隣接して配置した。

この場合、同一のコンパレータ内の素子が第2の方向に揃って配置されるため、配線が容易となる。

【 0 0 1 3 】

ある態様において、複数の分圧抵抗対はそれぞれ、単位抵抗素子を直列に接続して構成される第1、第2抵抗、を含んでもよい。単位抵抗素子を、半導体基板上の所定の領域に集中して配置し、複数の分圧抵抗対をペアリングして構成してもよい。

この場合、分圧比のばらつきも抑制されるため、複数のしきい値電圧の変動を抑えることができる。

【 0 0 1 4 】

ある態様において、基準電圧源は、所定の定電圧を生成する基準電圧回路と、定電圧を分圧し、基準電圧を生成する基準分圧抵抗対と、を含んでもよい。基準分圧抵抗対の少なくとも一方がトリミング可能に構成されてもよい。

【 0 0 1 5 】

ある態様において、複数の分圧抵抗対はそれぞれ、単位抵抗素子を直列に接続して構成される第1、第2抵抗を含んでもよい。基準電圧源は、所定の定電圧を生成する基準電圧回路と、定電圧を分圧し、基準電圧を生成する基準分圧抵抗対と、を含んでもよい。基準分圧抵抗対は、単位抵抗素子を直列に接続して構成される第1、第2基準抵抗を含み、少なくとも一方がトリミング可能に構成され、単位抵抗素子を、半導体基板上の所定の領域に集中して配置し、複数の分圧抵抗対および基準分圧抵抗対をペアリングして構成してもよい。

【 0 0 1 6 】

10

20

30

40

50

本発明の別の態様は、電源管理回路である。この電源管理回路は、複数の電圧を生成する電源回路と、電源回路から出力される複数の電圧を、複数のしきい値電圧と比較する上述の電圧比較回路と、電圧比較回路の比較結果にもとづき、電源回路の動作を制御する制御部と、を備える。

【0017】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したのもまた、本発明の態様として有効である。

【発明の効果】

【0018】

本発明に係る電圧比較回路によれば、複数のしきい値電圧を簡易に調節できる。

10

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態に係る低電圧誤動作防止回路について、図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。

【0020】

図1は、実施の形態に係る電圧比較回路100の構成を示す回路図である。電圧比較回路100は、複数 n 個(n は2以上の整数)の入力端子 $P1 \sim Pn$ に入力されている入力電圧 $V_{in1} \sim V_{inn}$ を、それぞれに設定されたしきい値電圧と比較し、大小関係を判定する。比較結果は、それぞれ、比較信号 $S1 \sim Sn$ として出力される。

20

【0021】

電圧比較回路100は、複数の分圧抵抗対 $RP1 \sim RPn$ 、基準電圧源10、複数のコンパレータ $CMP1 \sim CMPn$ を備える。

分圧抵抗対 $RP1 \sim RPn$ は、複数の入力電圧 $V_{in1} \sim V_{inn}$ を、それぞれに設定された分圧比 $r1 \sim rn$ で分圧し、複数の分割電圧 $Vd1 \sim Vdn$ を生成する。分圧抵抗対 RPi は、直列に接続された第1抵抗 Ria 、第2抵抗 Rib を含む。 i 番目の分圧抵抗対 RPi における分圧比 ri は、

$$r_i = R_{ib} / (R_{ia} + R_{ib})$$

で与えられる。分圧抵抗対 RP は、抵抗値の調節が不可能な固定抵抗を含んで調節される。

30

【0022】

基準電圧源10は、調節可能な基準電圧 V_{ref} を生成する。基準電圧 V_{ref} を生成するために、基準電圧源10を図1のように構成してもよい。図1の基準電圧源10は、基準電圧回路12と、基準分圧抵抗対14を含む。

【0023】

基準電圧回路12は、たとえばバンドギャップレギュレータであって、所定の定電圧 V_{bgr} を生成する。基準分圧抵抗対14は、第1基準抵抗 $R0a$ 、第2基準抵抗 $R0b$ を含み、その抵抗値の比に応じて分圧比 $r0$ が設定される。基準分圧抵抗対14は、分圧比 $r0$ で定電圧 V_{bgr} を分圧し、基準電圧 V_{ref} を生成する。図1の回路では、基準分圧抵抗対14の第1基準抵抗 $R0a$ 、 $R0b$ の両方がトリミング可能に構成される。第1基準抵抗 $R0a$ 、第2基準抵抗 $R0b$ をトリミングすることにより分圧比 $r0$ が調節され、結果として基準電圧 V_{ref} が調節される。

40

【0024】

コンパレータ $CMP1 \sim CMPn$ は、基準電圧 V_{ref} を、複数の分圧抵抗対 $RP1 \sim RPn$ により生成された複数の分割電圧 $Vd1 \sim Vdn$ とそれぞれ比較する。各コンパレータ $CMP1 \sim CMPn$ の出力は、大小関係を示す比較信号 $S1 \sim Sn$ としてその他の回路ブロックへと出力される。

【0025】

図1の回路では、分割電圧 $Vd1 \sim Vdn$ が共通の基準電圧 V_{ref} と比較される。したがって、 i 番目の入力電圧 V_{ini} に対するしきい値電圧 V_{thi} は、

50

$$V_{thi} = V_{ref} / r_i$$

となる。本実施の形態では、入力電圧 V_{in} ごとに、分圧比を適宜設定することにより、それぞれに対して別個のしきい値電圧を設定することができる。

【0026】

図2は、図1のコンパレータの構成例を示す図である。各コンパレータCMPは、差動対DP、カレントミラー負荷CM、テールトランジスタTTを含んで構成される。図2の回路図は、各コンパレータCMPの入力段のみを示しており、増幅段や出力段は省略されている。差動対DPは、PチャンネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) である第1トランジスタM1、第2トランジスタM2を含んで構成される。差動対の第1トランジスタM1のゲートには、分割電圧 V_d が入力され、第2トランジスタM2のゲートには基準電圧 V_{ref} が印加される。差動対DPには、カレントミラー負荷CMが接続される。カレントミラー負荷CMは、NチャンネルMOSFETである第3トランジスタM3、第4トランジスタM4が接続される。また差動対DPには、テールトランジスタTTが接続される。テールトランジスタTT1~TTnは、基準テールトランジスタTT0とカレントミラー接続される。基準テールトランジスタTT0には、定電流源2が接続される。テールトランジスタTTは、基準テールトランジスタTT0に流れる電流に比例したテール電流を生成する。

10

【0027】

なお、各コンパレータCMPの構成は図2に限定されず、さまざまな形式のコンパレータCMPを利用することができる。たとえばバイポーラトランジスタで構成されてもよいし、差動対をNチャンネルMOSFETで構成してもよい。

20

【0028】

本実施の形態に係る電圧比較回路100は、一つの半導体基板上に一体に集積化され、そのレイアウトに特徴を有している。図3は、図1の電圧比較回路100が形成される半導体基板200のレイアウト図である。半導体基板200上において、配線は第1の方向x、第2の方向yに向かって敷設される。

【0029】

本実施の形態において、複数のコンパレータCMP1~CMPnの入力段にそれぞれ設けられた複数の差動対DP1~DPnは、半導体基板200の第2領域22内に隣接するように配置される。

30

この配置により、複数のコンパレータCMP1~CMPnの特性、特に入力オフセット電圧を均一化することができる。

【0030】

さらに、それぞれの差動対DP1~DPnの電流経路に設けられた複数のカレントミラー負荷CM1~CMnは、半導体基板200の第3領域24に隣接するように配置される。

【0031】

図3に示すように、複数の差動対DP1~DPnならびに複数のカレントミラー負荷CM1~CMnは、半導体基板の第1の方向xに隣接して配置される。また、複数の差動対DP1~DPnのうちのi番目(iは自然数)の差動対と、対応するi番目のカレントミラー負荷CMiは、第2の方向yに隣接して配置される。

40

この配置により、同一のコンパレータCMP内の素子が第2の方向yに揃って配置されるため、配線が容易となる。

【0032】

なお、コンパレータCMPが、カレントミラー負荷CMに代えて、抵抗を含んで構成される場合、カレントミラー負荷CMに代えて、抵抗を隣接するように配置してもよい。つまり、i番目(iは自然数)の差動対DPiと、対応するi番目の負荷抵抗対とを、それぞれ第2の方向yに隣接して配置してもよい。

【0033】

さらに図3に示すように、複数のテールトランジスタTT1~TTnおよび基準テール

50

トランジスタ $T T 0$ を、第 1 領域 20 内に隣接して配置してもよい。このとき、基準テールトランジスタ $T T 0$ を、中央に配置してもよい。この配置により、テールトランジスタの特性が揃うため、コンパレータ $C M P$ の特性をさらに均一化することができる。

【0034】

なお、 i 番目 (i は自然数) の差動対 $D P i$ と、対応する i 番目のテールトランジスタ $T T i$ と、を、第 2 の方向 y に隣接して配置してもよい。この場合、さらに配線を効率的に敷設できる。

【0035】

本実施の形態において、複数の分圧抵抗対 $R P 1 \sim R P n$ を構成する任意の第 1 抵抗 $R i a$ 、第 2 抵抗 $R i b$ はそれぞれ、単位抵抗素子を直列に接続して構成される。図 3 に示すように、単位抵抗素子は半導体基板 200 上の第 4 領域 30 に隣接して集中的に配置される。第 1 抵抗 $R 1 a \sim R n a$ 、第 2 抵抗 $R 1 b \sim R n b$ は、ペアリングして構成される。

10

【0036】

さらに、本実施の形態では、基準分圧抵抗対 14 の第 1 基準抵抗 $R 0 a$ 、第 2 基準抵抗 $R 0 b$ も、分圧抵抗対 $R P 1 \sim R P n$ とペアリングされる。

【0037】

図 3 の最下部には、第 4 領域 30 におけるペアリングの様子が示される。第 4 領域 30 内には、単位抵抗素子 $R e$ が複数個、隣接して配置される。

ペアリングは、以下の規則にもとづいている。

20

1. 同一の分圧抵抗対に属する 2 つの抵抗を構成する単位抵抗素子 $R e$ は隣接する。たとえば、基準分圧抵抗対 $R P 0$ の第 1 基準抵抗 $R 0 a$ 、第 2 基準抵抗 $R 0 b$ に含まれる単位抵抗素子は隣接する。また、 i 番目の分圧抵抗対 $R P i$ の第 1 抵抗 $R i a$ と第 2 抵抗 $R i b$ に含まれる単位抵抗素子は隣接する。

【0038】

2. 複数の分圧抵抗対 $R P 0 \sim R P n$ が隣接するように配置し、ひとつのセグメント $S E G$ を構成する。なおセグメント内における分圧抵抗対の順番は問わない。さらに、この規則により生成されたセグメント $S E G$ を複数個、繰り返して隣接して配置する。複数のセグメント内の単位抵抗素子の個数は一致する必要はなく、所望の抵抗値が得られるように、適宜変更すればよい。

30

【0039】

この規則により、すべての抵抗が好適にペアリングされる。すなわち、同一の分圧抵抗対内の抵抗を構成する単位抵抗素子同士がペアリングされるため、分圧比が一定に保たれる。さらに、複数の分圧抵抗対同士がペアリングされるため、分圧抵抗対 $R P$ ごとの分圧比が変動した場合においても、分圧比の相対的な変動が抑制される。

【0040】

本実施の形態に係る電圧比較回路 100 の利点を説明する。

通常の半導体プロセスにおいて、変動量大きい特性のひとつとして、コンパレータ $C M P 1 \sim C M P n$ の入力オフセット電圧が上げられる。従来の設計思想に従えば、複数のコンパレータ $C M P 1 \sim C M P n$ は、監視対象となる入力電圧 $V i n 1 \sim V i n n$ が現れる配線の近傍に、別個に形成される。この場合、各コンパレータ $C M P 1 \sim C M P n$ の入力オフセット電圧が独立に変化してしまう。その結果、仮に基準電圧 $V r e f$ や、分圧抵抗対 $R P 1 \sim R P n$ の分圧比 $r 1 \sim r n$ の変動がわずかであっても、しきい値電圧 $V t h 1 \sim V t h n$ が変化してしまう。たとえば、 i 番目のコンパレータ $C M P i$ に、 $+100$ mV のオフセットが、 j 番目のコンパレータ $C M P j$ に、 -100 mV のオフセットが生じた場合、それぞれのしきい値電圧 $V t h i$ 、 $V t h j$ は、見かけ上、 $+100$ mV、 -100 mV オフセットされる。このオフセットは、基準電圧 $V r e f$ の調節のみでは補償できない。そこで、分圧抵抗対 $R P 1 \sim R P n$ ごとに、分圧比 $r 1 \sim r n$ を調節できる機構を設ける必要があった。

40

【0041】

50

これに対して、本実施の形態では、コンパレータCMP1～CMPnの入力段の差動対DP1～DPnを、監視対象の入力電圧Vin1～Vinnが現れる配線の位置にかかわらず、近接した領域に配置している。これによって、コンパレータCMP1～CMPnのオフセットの変動を、揃えることができる。

たとえば、i番目のコンパレータCMPiに、+100mVのオフセットが生ずると、その他のすべてのコンパレータCMPにも、+100mV程度のオフセットが生じる。したがって、すべての入力電圧Vin1～Vinnに対するしきい値電圧Vth1～Vthnが、見かけ上、+100mV程度オフセットされる。本実施の形態に係る電圧比較回路100では、基準電圧Vrefを+100mV調節すれば、コンパレータCMPに生じたオフセット量を補償することができる。

10

【0042】

以上が、分圧抵抗対RP1～RPnにトリミング機構が不要となる理由である。

【0043】

コンパレータCMP1～CMPnの差動対DP1～DPnを近接して配置するのみでも、入力オフセット電圧の変動を揃えることができるが、カレントミラー負荷CM1～CMn、テールトランジスタTT1～TTnについても、同様に配置することにより、さらに入力オフセット電圧を均一化することができる。

【0044】

また、本実施の形態では、分圧抵抗対RP1～RPnおよび基準分圧抵抗対RP0についても、そのレイアウトに配慮を払っている。

20

同一の分圧抵抗対内の抵抗を構成する単位抵抗素子同士をペアリングすることにより、分圧比の変動を抑制することができる。さらに、複数の分圧抵抗対間でもペアリングされるため、分圧抵抗対RPごとの分圧比が変動した場合においても、分圧比の相対的な変動が抑制される。

たとえば、プロセスばらつきなどによって分圧比riが10%増大すると、その他の分圧比rjも10%程度増大する。このとき、基準分圧抵抗対RP0の分圧比r0も、10%増大するはずであるから、基準電圧Vrefは、1.1倍になる。

したがって、しきい値電圧Vth1、Vthnは、いずれも

$$V_{th1} = V_{ref} \times 1.1 / (r_1 \times 1.1) = V_{ref} / r_1$$

$$V_{thn} = V_{ref} \times 1.1 / (r_n \times 1.1) = V_{ref} / r_n$$

30

となるから、それぞれのしきい値電圧Vthの変動を抑制することができる。

【0045】

たとえば、プロセスばらつきなどによって分圧比r1が10%増大すると、分圧比rnも10%程度増大する。このとき、基準分圧抵抗対RP0の分圧比r0も、10%増大するはずであるから、基準電圧Vrefは、1.1倍になる。

したがって、しきい値電圧Vth1、Vthnは、いずれも

$$V_{th1} = V_{ref} \times 1.1 / (r_1 \times 1.1) = V_{ref} / r_1$$

$$V_{thn} = V_{ref} \times 1.1 / (r_n \times 1.1) = V_{ref} / r_n$$

となるから、それぞれのしきい値電圧Vthの変動を抑制することができる。

【0046】

40

もし、基準分圧抵抗対RP0の分圧比r0の分圧比のみが異なった変動をした場合には、第1基準抵抗R0a、第2基準抵抗R0bをトリミングすることにより、分圧比r1～rnの変動量に応じて、分圧比r0を調節すればよい。

【0047】

なお、プロセスによっては、抵抗の変動がきわめて小さいものも存在する。こうしたプロセスを利用する場合には、抵抗のレイアウトについて自由度が増し、上述した規則に従わなくても高精度なしきい値電圧Vth1～Vthnを設定できる。

【0048】

このように、本実施の形態に係る電圧比較回路100によれば、抵抗値やコンパレータのオフセット電圧がばらついた場合でも、基準電圧Vrefのみを調節するため、回路の

50

製造が容易となる。

さらに、本実施の形態に係る電圧比較回路 100 では、プロセスばらつきに加えて、温度変動によるコンパレータや抵抗の特性変動を抑制することができる。

【0049】

図 4 は、図 1 の電圧比較回路 100 を利用した電源装置の構成を示すブロック図である。

電源装置 300 は、電子機器 400 に搭載される。電子機器 400 は、たとえば携帯電話端末や PDA であり、異なる電源電圧で動作するプロセッサ、液晶のバックライト、その他のデジタル回路、アナログ回路などの負荷を含む。図 4 において、複数の負荷は、310a ~ 310d で示される。

10

【0050】

電源装置 300 は、複数の電圧 V1 ~ V4 を生成する。電圧 V1 ~ V4 は、電源電圧として負荷 310a ~ 310d に供給される。

【0051】

電源装置 300 は、電圧比較回路 100、制御部 110、複数の電圧生成部 120a ~ 120d を含み、電源管理 ID として構成される。電圧生成部 120a ~ 120d は、リニアレギュレータやスイッチングレギュレータであり、図示しない電池から出力される電池電圧を利用して、それぞれ電圧 V1 ~ V4 を生成する。

【0052】

電圧比較回路 100 は、複数の電圧生成部 120a ~ 120d により生成される電圧 V1 ~ V4 を監視し、それぞれに対応したしきい値電圧 Vth1 ~ Vth4 と比較する。つまり、図 4 の電圧 V1 ~ V4 は、図 1 の入力電圧 Vin1 ~ Vin4 に相当する。比較結果は、信号 S1 ~ S4 として制御部 110 へと入力される。制御部 110 は、信号 S1 ~ S4 を参照して、電圧比較回路 100 の比較結果にもとづき、所定の処理を実行する。所定の処理は、たとえば、電源装置 300 の外部に設けられたホストプロセッサに対する各電圧生成部 120a ~ 120d の起動完了の通知などが例示される。あるいは、制御部 110 が、比較結果にもとづいて電圧生成部 120a ~ 120d を所定の順序で起動・停止してもよい。具体的には、ある電圧 V1 がしきい値電圧 Vth1 より高くなったことを契機として、他の電圧生成部の起動を開始してもよい。

20

【0053】

このように、本実施の形態に係る電圧比較回路 100 は、複数の電圧を生成する電源装置 300 に好適に利用することができる。

30

また、電圧比較回路 100 は、外部から供給される電源電圧を監視してもよい。この場合、UVO (Under Voltage Lock Out) 回路として機能させることができる。

【0054】

実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

【図面の簡単な説明】

【0055】

【図 1】実施の形態に係る電圧比較回路の構成を示す回路図である。

40

【図 2】図 1 のコンパレータの構成例を示す図である。

【図 3】図 1 の電圧比較回路が形成される半導体基板のレイアウト図である。

【図 4】図 1 の電圧比較回路を利用した電源装置の構成を示すブロック図である。

【符号の説明】

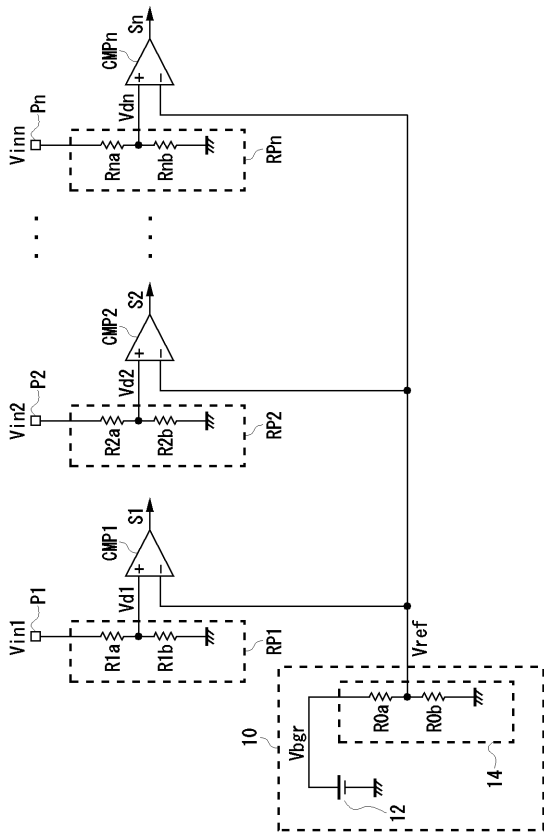
【0056】

100 電圧比較回路、 RP 分圧抵抗対、 CMP コンパレータ、 DP 差動対、 CM カレントミラー負荷、 TT テールトランジスタ、 P 入力端子、 Ra 第 1 抵抗、 Rb 第 2 抵抗、 S 比較信号、 10 基準電圧源、 12 基準電圧回路、 14 基準分圧抵抗対、 R0a 第 1 基準抵抗、 R0b 第 2 基準抵抗

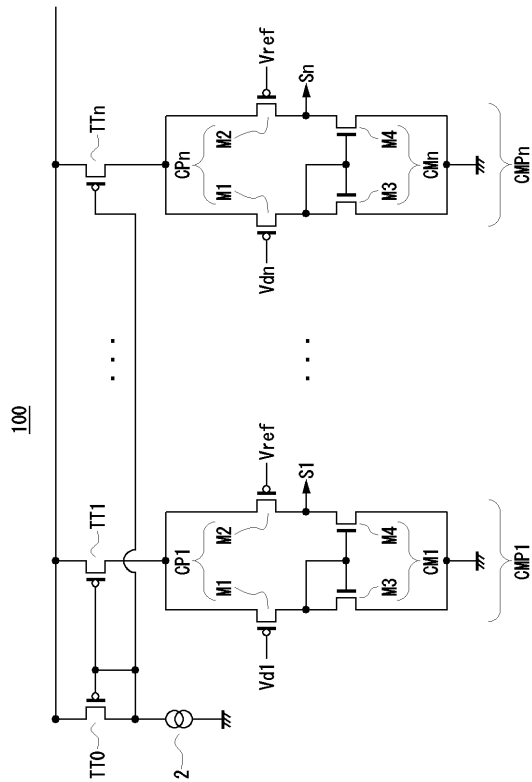
50

、 2 0 第 1 領 域、 2 2 第 2 領 域、 2 4 第 3 領 域、 3 0 第 4 領 域、 1 1
 0 制 御 部、 1 2 0 電 圧 生 成 部、 3 0 0 電 源 装 置、 3 1 0 負 荷、 4 0 0
 電 子 機 器。

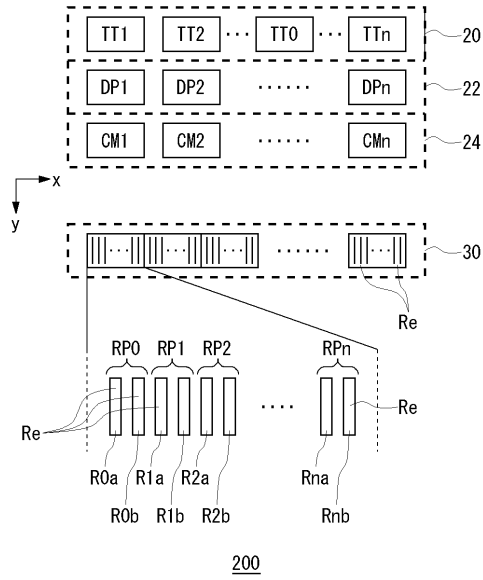
【 図 1 】



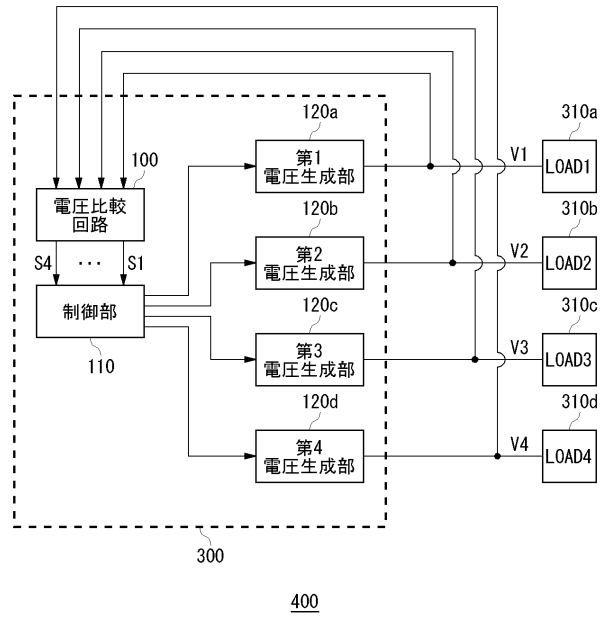
【 図 2 】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開昭54-114060(JP,A)
特開昭61-059908(JP,A)
特開平2-117208(JP,A)
特開平4-156107(JP,A)
特開平4-163962(JP,A)
特開平5-19027(JP,A)
特開平6-18610(JP,A)
特開平10-270644(JP,A)
特開2005-110156(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/08
G01R 19/165